(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[7]
G11C 11/41

(45) 공고일자 2000년12월15일
(11) 등록번호 10-0274729
(24) 등록일자 2000년09월15일

(21) 출원번호 10-1997-0051299
(65) 공개번호 특1998-0079400
(22) 출원일자 1997년10월07일
(43) 공개일자 1998년11월25일
(30) 우선권주장 97-093874 1997년04월11일 일본(JP)

(73) 특허권자 후지쯔 가부시끼가이샤 아끼구사 나오유끼
일본국 가나가와켄 가와사키시 나카하라꾸 가미고다나카 4초메 1-1
(72) 발명자 시노자키 나오하루
일본 가나가와켄 가와사키시 나카하라쿠 가미코다나카 4죠메 1반 1고,후지쓰 가부시키가이샤 나이
(74) 대리인 조태연

심사관 : 김종찬

(54) 반도체장치의내부강압전원회로

요약

본 발명에 따라, 반도체 장치에 있어서 외부로부터 공급되는 외부 전원 전압을 내부 전원 전압으로 강압하는 내부 강압 전원 회로는 제어 전압에 응답하여 상기 내부 전원 전압을 발생하는 회로와, 통상 동작시용과 시험 동작시용으로 각각 설치되어 상기 제어 전압의 전위를 조정 가능하게 하기 위한 퓨즈 소자를 갖는 전위 조정 회로와, 통상 동작시용과 시험 동작시용으로 각각 설치되어 각 대응하는 상기 전위 조정 회로의 출력에 기초하여 상기 제어 전압의 전위를 제어하는 전위 제어 회로를 구비한다. 상기 외부 전원 전압은 상기 통상 동작시용 전위 조정 회로의 전원으로서 이용되고, 상기 내부 전원 전압은 상기 시험 동작시용 전위 조정 회로의 전원으로서 이용된다. 이 회로 구성에 의하면, 내부 강압 전원 전압의 전위를 조정하는 퓨즈 회로에 있어서의 DC 패스 전류를 삭감할 수 있고, 저소비 전력화 및 안정 동작을 실현하는 것이 가능해진다.

대표도

도3

명세서

도면의 간단한 설명

도 1은 외부 전원 전압(VCC)에 대한 내부 강압 전원 전압(VII)의 특성예를 나타내는 도면.

도 2는 종래 기술의 반도체 장치의 내부 강압 전원 회로의 구성을 나타내는 블록도.

도 3은 본 발명의 제1 실시 형태에 따른 반도체 장치의 내부 강압 전원 회로의 구성을 나타내는 블록도.

도 4는 도 3에 있어서의 통상 동작시용 VII 전위 조정 회로의 일례를 나타내는 회로도.

도 5는 도 3에 있어서의 시험 동작시용 VII 전위 조정 회로의 일례를 나타내는 회로도.

도 6은 도 3에 있어서의 VII 전위 제어 회로 및 VII 발생 회로의 일례를 나타내는 회로도.

도 7은 본 발명의 제2 실시 형태에 따른 반도체 장치의 내부 강압 전원 회로의 구성을 나타내는 블록도.

도 8a 및 도 8b는 도 7에 있어서의 통상 동작시용 및 시험 동작시용 각 전원 회로의 일례를 나타내는 회로도.

도 9a 및 도 9b는 도 7에 있어서의 통상 동작시용 및 시험 동작시용 각 전원 회로의 다른 예를 나타내는 회로도.

〈도면의 주요 부분에 대한 부호의 설명〉

10 : 통상 동작시용 VII 전위 조정 회로

11 : (통상 동작시용) 퓨즈 회로

12 : (통상 동작시용) 디코드 회로

13 : 통상 동작시용 VII 전위 제어 회로

14 : VII 발생 회로

15 : 시험 동작시용 VII 전위 조정 회로

16 : (시험 동작시용) 퓨즈 회로

17 : (시험 동작시용) 디코드 회로

18 : 시험 동작시용 VII 전위 제어 회로

20 : 통상 동작시용 전원 회로

30 : 시험 동작시용 전원 회로

VCC : 외부로부터 공급되는 전원 전압

VII : 내부에서 강압된 전원 전압

N : VII 전위 제어 회로의 출력 노드

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 장치의 내부 강압 전원 회로에 관한 것으로, 더욱 상세히 말하자면, 그 내부 강압 전원 전압의 전위를 조정하기 위한 퓨즈 회로를 이용한 전원 회로의 구성에 관한 것이다.

오늘날의 반도체 장치에 있어서는, 점점 저소비 전력화가 요구되어 오고 있고, 퓨즈 회로에서 발생하는 DC 패스 전류를 가능한 0에 가까이 하기 위한 회로기술이 필요해지고 있다. 그러나, 종래 알려져 있는 전원 회로에서는, 그 요구에 반드시 만족된다고는 할 수 없으며, 개선의 여지가 남겨져 있다. 그래서, 이러한 요구를 만족시키기 위한 회로 기술이 요망되고 있다.

통상, 반도체 장치에 있어서는, 소비 전력의 감소, 산화막압의 내압 개선, 전원 전압의 평탄화, 외부 전원 전압의 이행 시기 등의 목적으로, 외부 전원 전압을 칩내부에서 필요로 하는 전원 전압으로 강압하여 이용한다고 한 것(즉「내부 강압」)이 일반적으로 행해지고 있다.

도 1에는 외부 전원 전압(VCC)에 대한 내부 강압 전원 전압(VII)의 특성의 일례가 도시된다. 도시의 예는 외부 전원 전압으로서 VCC=3.3V를 사용한 제품의 경우를 나타낸 것이다.

VCC=3.3V를 사용한 제품의 권장 동작 범위는, 일반적으로 카달로그로부터VCC=3.0V~3.6V의 범위로 되어 있다. 그러나, 전술한 목적으로부터, 칩내부에서는 VII=2.4V로 평탄(즉 일정)해지도록 제어된 내부 강압 전원 회로가 실제로는 사용된다.

한편, 반도체 장치에 있어서는, 제품 불량이 발생하는 것은 피할수 없다. 이것은, 배스터브 곡선(bathtub curve) 등으로도 알려지는 바와 같이, 그 불량 시기에 있어서, 생산되자마자 출현하는 것과, 오랜 세월 지나고 나서 수명에 의해 출현하는 것의 2개의 형태가 대부분이다. 전자의 형태를 「초기 불량」이라 칭하고 있다.

반도체 장치에서는, 이 초기 불량을 초기 단계에서 제거하기 위한 시도로서, 예컨대 번인(burn-in:B.I.) 시험 등의 가속 시험이 행해진다. 이것은, 디바이스에 대하여 가혹한 조건(즉, 전압이 권장 동작 범위보다 높고, 온도도 고온으로 한 상태에서, 장시간 동작을 행하게 한다는 조건)을 부여함으로써 행해지는 것이다.

도 1의 예에서는, VCC≥4V의 범위를 가속 시험 영역으로 하고, 이 범위에서는 내부 강압 전원 전압(VII)은 VII=2.4V의 평탄 상태에서 해제되어, 외부 전원 전압(VCC)에 추종하여 고전위가 되도록 제어된다.

이러한 이유로, 종래 알려져 있는 내부 강압 전원 회로는 통상 동작시용 전원 전압 제어부와 시험 동작시용 전원 전압 제어부로 구성되는 것이 일반적으로 되어 있다. 도 2에 그 일구성예가 도시된다.

도 2에 있어서, 50은 통상 동작시용 VII 전위 조정 회로를 나타낸다. 이 회로(50)는 공정 아웃후에 노드(N)의 전위에 따른 내부 강압 전원 전압(VII)의 전위를 조정 가능하게 하기 위한 퓨즈 소자를 이용한 퓨즈 회로(51)와, 상기 퓨즈 회로(51)에 있어서의 퓨즈 소자의 절단 상태를 지시하는 정보를 디코드하는 디코드 회로(52)를 갖고 있다. 또한, 53은 디코드 회로(52)의 디코드 결과에 기초하여 노드(N)의 전위를 제어하는 통상 동작시용 VII 전위 제어 회로, 54는 통상 동작시용 VII 전위 제어 회로(53)의 출력(노드(N)의 전위)에 응답하여 내부 강압 전원 전압(VII)을 발생하는 VII 발생 회로를 나타낸다.

동일하게, 55는 시험 동작시용 VII 전위 조정 회로를 나타낸다. 이 회로(55)는 공정 아웃후에 노드(N)의 전위에 따른 내부 강압 전원 전압(VII)의 전위를 조정 가능하게 하기 위한 퓨즈 소자를 이용한 퓨즈 회로(56)와, 상기 퓨즈 회로(56)에 있어서의 퓨즈 소자의 절단 상태를 지시하는 정보를 디코드하는 디코드 회로(57)를 가지고 있다. 58은 디코드 회로(57)의 디코드 결과에 기초하여 노드(N)의 전위를 제어하는 시험 동작시용 VII 전위 제어 회로를 나타낸다. 이 시험 동작시용 VII 전위 제어 회로(58)의 출력은 노드(N)에 접속되어 있다. 따라서, VII 발생 회로(54)는 시험 동작시에는, VII 전위 제어 회로(58)의 출력(노드(N)의 전위)에 응답하여 내부 강압 전원 전압(VII)을 발생한다.

통상 동작시용 VII 전위 조정 회로(50) 및 VII 전위 제어 회로(53), 시험 동작시용 VII 전위 조정 회로(55) 및 VII 전위 제어 회로(58), 및 VII 발생 회로(54)의 회로 전원으로서, 각각 외부 전원 전압(VCC)이 사용되고 있다.

이 회로 구성에 있어서, 노드(N)의 전위는 통상 동작시용 및 시험 동작시용 각 VII 전위 제어 회로

(53,58)의 출력에 의해서 결정된다. 그러나, 공정 변동 등이라는 바람직하지 못한 상황에서 제품이 만들어졌을 때, 대개의 경우는 목표로 하고 있던 VII 전위 제어용 전압(노드(N)의 전위)을 출력할 수 없게 된다.

그래서, 공정 아웃후에 이 VII 전위 제어용 전압(노드(N)의 전위)의 조정을 행할 수 있도록 하기 위해서, 통상 동작시용 VII 전위 조정 회로(50) 및 시험 동작시용 VII 전위 조정 회로(55)가 설치되어 있다.

즉, 통상 동작시에 있어서는, VII 전위 조정 회로(50)내의 퓨즈 회로(51)에 있어서의 각 퓨즈 소자를 적절히 절단 상태로 하여, 이 퓨즈 소자의 절단 상태를 지시하는 정보를 디코드 회로(52)에 의해서 디코드하고, 이 디코드 결과에 기초하여, VII 전위 제어 회로(53)에 의해 노드(N)의 전위를 조정하는 것이 가능해진다.

동일하게, 시험 동작시에 있어서는, VII 전위 조정 회로(55)내의 퓨즈 회로(56)에 있어서의 몇개의 퓨즈 소자를 절단 상태로 하여, 이들 퓨즈 소자의 절단 상태를 지시하는 정보를 디코드 회로(57)에 의해서 디코드하며, 이 디코드 결과에 기초하여, VII 전위 제어 회로(58)에 의해 노드(N)의 전위를 조정할 수 있다.

발명이 이루고자 하는 기술적 과제

전술한 바와 같이 종래의 내부 강압 전원 회로에서는, 공정 아웃후에 노드(N)의 전위(즉 내부 강압 전원 전압(VII)의 전위)를 조정 가능하게 하기 위한 퓨즈 회로(51,56)가 이용되고 있기 때문에, 각 퓨즈 회로에서는 퓨즈 소자를 통해서 DC 패스 전류가 발생하게 된다. 오늘날, 저소비 전력화가 진행되는 시점에서, 이 DC 패스 전류의 값은 카달로그에서 허용된 전류치에 비하여 무시할 수 없는 크기가 되어, 문제로 되었다.

또한, 종래 기술에서는 내부 강압 전원 회로를 구성하는 회로의 모든 전원에 외부 전원 전압(VCC)이 사용되고 있기 때문에, 상기한 문제점이 어떤 경우에는 한층 더 현저하게 나타나는 경우도 있다. 즉, 이 회로 구성에 있어서 퓨즈 회로에 있어서의 각 퓨즈 소자의 절단 상태가 완전하지 않은 경우(즉, 저항치로서 그다지 높은 것으로 되지 않은 경우), DC 패스 전류가 상대적으로 증대하게 된다. 그 결과, 퓨즈 소자의 수가 증가하면 증가할수록 문제는 현저하게 된다. 최근의 디바이스 카달로그에서는, μA 주문의 소비 전류치가 존재하며, 저소비 전력화를 적극적으로 행하지 않으면 안되는 상황에 있다. 이 퓨즈 회로에 있어서의 DC 패스 전류는 이 μA 주문의 카달로그치를 좌우할 수 있기 때문에, 그 전류치를 최소로 억제할 필요가 있다.

또한, DC 패스 전류가 증대하면, 각 퓨즈 소자의 양단에 나타나는 전압(즉 퓨즈 소자의 절단 상태를 지시하는 정보)이 불안정해질 가능성이 있고, 그 때문에 퓨즈 회로 자체의 동작 신뢰성이 저하한다는 문제점도 있다. 이것은, 내부 강압 전원 회로 전체로서의 동작을 불안정하게 한다.

본 발명은 이러한 종래 기술에 있어서의 과제를 감안하여 창작된 것으로, 외부 전원 전압을 내부에서 필요로 하는 전원 전압으로 강압하여 사용하는 반도체 장치에 있어서, 그 내부 강압 전원 전압의 전위를 조정하기 위한 퓨즈 회로에 있어서의 DC 패스 전류를 삭감하고, 나아가서는 저소비 전력화를 도모하며, 안정 동작을 실현할 수 있는 내부 강압 전원 회로를 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

본 발명에 의하면, 반도체 장치에 있어서 외부로부터 공급되는 외부 전원 전압을 내부 전원 전압으로 강압하는 내부 강압 전원 회로로서, 제어 전압에 응답하여 상기 내부 전원 전압을 발생하는 회로와, 통상 동작시용과 시험 동작시용으로 각각 설치되어, 상기 제어 전압의 전위를 조정 가능하게 하기 위한 퓨즈 소자를 갖는 전위 조정 회로와, 통상 동작시용과 시험 동작시용으로 각각 설치되어, 각각 대응하는 상기 전위 조정 회로의 출력에 기초하여 상기 제어 전압의 전위를 제어하는 전위 제어 회로를 구비하고, 상기 외부 전원 전압은 상기 통상 동작시용 전위 조정 회로의 전원으로서 이용되고, 상기 내부 전원 전압은 상기 시험 동작시용 전위 조정 회로의 전원으로서 이용되는 것을 특징으로 하는 반도체 장치의 내부 강압 전원 회로가 제공된다.

본 발명의 회로 구성에 의하면, 번인 시험 등의 시험 동작시에 동작이 요구되는 회로 부분(전위 조정 회로)의 전원 전압으로서, 통상의 전원 전압(외부 전원 전압)보다도 낮은 전위의 전압(내부 강압 전원 전압)이 사용되고 있으므로, 전위 조정 회로내의 퓨즈 소자에 흐르는 DC 패스 전류를 상대적으로 삭감할 수 있다. 이것은, 저소비 전력화에 기여하는 것이다.

또한, DC 패스 전류가 상대적으로 삭감됨으로써 퓨즈 소자의 양단에 나타나는 전압(퓨즈 소자의 절단 상태를 지시하는 정보)이 상대적으로 안정화된다. 이것에 의해서, 내부 강압 전원 회로 전체의 안정 동작을 실현하는 것이 가능해진다.

본 발명의 다른 구성상의 특징 및 작용에 대해서는 첨부 도면을 참조하면서 이하에 기술되는 실시 형태를 이용하여 상세히 설명한다.

도 3에는 본 발명의 제1 실시 형태에 관한 반도체 장치의 내부 강압 전원 회로의 구성이 도시되어 있다.

본 실시 형태에 따른 내부 강압 전원 회로는 구성적으로는, 도 2에 도시된 종래 기술의 회로 구성과 거의 동일하다. 즉, 본 실시 형태에 있어서, 참조부호 10~18이 나타내는 구성 요소는 도 2에 있어서 참조 부호 50~58이 나타내는 구성 요소에 각각 대응하는 것으로, 이들 각 구성 요소의 동작은 동일하므로 그 설명은 생략한다.

본 실시 형태에 따른 내부 강압 전원 회로의 특징은, 번인 시험 등의 시험 동작시에 동작이 요구되는 VII 전위 조정 회로(15)(퓨즈 회로(16) 및 디코드 회로(17)를 포함한다)에 대해서만, 회로 전원으로서 외부 전원 전압(VCC)보다도 낮은 전위의 내부 강압 전원 전압(VII)을 사용하고, 다른 모든 회로에는 회로 전원

으로서 외부 전원 전압(VCC)을 사용한다는 것에 있다.

도 4~도 6에는 본 실시 형태에 따른 내부 강압 전원 회로를 구성하는 각 회로의 구체적인 일구성예가 도시된다.

도 4는 통상 동작시용 VII 전위 조정 회로(10)(퓨즈 회로(11) 및 디코드 회로(12)를 포함한다)의 일구성예를 나타낸다. 도시된 바와 같이, 퓨즈 회로(11)는 퓨즈 소자(F1~F6)와, n 채널 트랜지스터(Q1~Q3)와, 인버터(IV1~IV15)로 구성되어 있고, 디코드 회로(12)는 인버터(IV21~IV27)와, AND 게이트(AD1~AD5)로 구성되어 있다. 또한, F01~F03은 각각 퓨즈 소자의 절단 상태를 지시하는 정보를 표시하며, D01, D0X1~D05, D0X5는 각각 디코드 정보를 표시하고 있다.

도 5는 시험 동작시용 VII 전위 조정 회로(15)(퓨즈 회로(16) 및 디코드 회로(17)를 포함한다)의 일구성예를 나타낸다. 도시된 바와 같이, 퓨즈 회로(16)는 퓨즈 소자(F11~F18)와, n 채널 트랜지스터(Q11~Q14)와, 인버터(IV31~IV50)로 구성되어 있고, 디코드 회로(17)는 인버터(IV51~IV63)와, AND 게이트(AD11~AD19)로 구성되어 있다. 또한, F011~F014는 각각 퓨즈 소자의 절단 상태를 지시하는 정보를 표시하며, D011, D0X11~D019, D0X19는 각각 디코드 정보를 표시하고 있다.

도 6은 통상 동작시용 및 시험 동작시용 각 VII 전위 제어 회로(13,18)와 VII 발생 회로(14)의 일구성예를 나타낸다. 도시된 바와 같이, 통상 동작시용 VII 전위 제어 회로(13)는 제1 커런트 미러 회로[p 채널 트랜지스터(Q21,Q22), n 채널 트랜지스터(Q23,Q24), 저항기(R1)]와, 제2 커런트 미러 회로[p 채널 트랜지스터(Q25,Q26), n 채널 트랜지스터(Q27~Q29)]와, p 채널 트랜지스터(Q30)와, 제3 커런트 미러 회로[p 채널 트랜지스터(Q31,Q32), n 채널 트랜지스터(Q33~Q35)]와, p 채널 트랜지스터(Q36)와, 디코드 정보(D01, D0X1~D05, D0X5)에 응답하는 트랜스퍼 게이트(TG1~TG5)와, 상기 트랜스퍼 게이트의 상태(온/오프)에 의해 그 저항치가 변하는 저항기 스트링[저항기(R11~R16)]으로 구성되어 있다. 시험 동작시용 VII 전위 제어 회로(18)는 레벨 시프터를 구성하는 p 채널 트랜지스터(Q41~Q43) 및 저항기(R2)와, 커런트 미러 회로[p 채널 트랜지스터(Q44,Q45), n 채널 트랜지스터(Q46~Q48)]와, p 채널 트랜지스터(Q49)와, 디코드 정보(D011, D0X11~D019, D0X19)에 응답하는 트랜스퍼 게이트(TGI1~TG19)와, 상기 트랜스퍼 게이트의 온 상태에 의해서 그 저항치가 변하는 저항기 스트링[저항기(R21~R30)]으로 구성되어 있다. VII 발생 회로(14)는 각 VII 전위 제어 회로(13,18)의 출력단(노드(N))의 전위에 응답하는 n 채널 트랜지스터(Q50)로 구성되어 있다. 즉, 도시된 예에서는 트랜지스터(Q50) 게이트의 전위(노드(N)의 전위)에 따라서 외부 전원 전압(VCC)으로부터 내부 강압 전원 전압(VII)으로 전압 변환을 행하고 있다.

상기 설명된 회로 구성에 따라, 각 퓨즈 소자(F1~F6)의 절단 상태를 지시하는 정보(퓨즈 정보 F01~F03)는 통상의 동작시에, 퓨즈 회로(11)로부터 출력되고(도 4 참조), 대응하는 디코드 회로(12)에 공급된다(도 4 참조). 디코드 회로(12)는 이 입력되는 퓨즈 정보(F01~F03)를 디코드하고, 그 디코드 결과로서 디코드 정보(D01, D0X1~D05, D0X5)를 출력한다. 이 출력된 디코드 정보(D01, D0X1~D05, D0X5)는 그 대응하는 VII 전위 조정 회로(13)(도 6 참조)에 공급된다. VII 전위 제어 회로(13)는 그 입력된 디코드 정보(D01, D0X1~D05, D0X5)에 기초하여 각 트랜스퍼 게이트(TG1~TG5)를 온하거나 또는 오프하여, 저항기 스트링(R11~R16)의 저항치가 결정된다. 노드 N의 전위, 즉 내부 강압 전원 전압 VII의 전위는 이와 같이 결정된 저항치에 따라서 결정된다.

동일하게, 각 퓨즈 소자(F11~F18)의 절단 상태를 지시하는 정보(퓨즈 정보 F011~F014)는 시험 동작 동안, 퓨즈 회로(16)로부터 출력되고(도 5 참조), 대응하는 디코드 회로(17)에 공급된다(도 5 참조). 디코드 회로(17)는 이 입력되는 퓨즈 정보(F011~F014)를 디코드하고, 그 디코드 결과로서 디코드 정보(D011, D0X11~D019, D0X19)를 출력한다. 이 출력된 디코드 정보(D011, D0X11~D019, D0X19)는 그 대응하는 VII 전위 조정 회로(18)(도 6 참조)에 공급된다. VII 전위 제어 회로(18)는 그 입력된 디코드 정보(D011, D0X11~D019, D0X19)에 기초하여 각 트랜스퍼 게이트(TG11~TG19)를 온하거나 또는 오프하여, 저항기 스트링(R21~R30)의 저항치가 결정된다. 노드 N의 전위, 즉 내부 강압 전원 전압 VII의 전위는 이와 같이 결정된 저항치에 따라서 결정된다.

이상 설명한 바와 같은 제1 실시 형태의 구성에 의하면, 시험 동작시용 VII 전위 조정 회로(15)[퓨즈 회로(16) 및 디코드 회로(17)]의 전원으로 통상의 전원 전압(VCC)보다도 낮은 전위의 내부 강압 전원 전압(VII)이 사용되고 있으므로, 퓨즈 회로(16)에 있어서의 각 퓨즈 소자(F11~F18)에 흐르는 DC 패스 전류를 상대적으로 삭감할 수 있다.

회로 전체에 있어서의 DC 패스 전류의 삭감 효과를 정량적으로 나타내면, 이하의 수학식 1과 같아진다.

$$ICC = I \times (nn \times VCC) + (nb \times VII)/(nn + nb) \times VCC$$

그래서, ICC는 대책후(본 실시 형태)의 DC 패스 전류, I는 대책전(예컨대 도 2에 도시된 종래 기술)의 DC 패스 전류, nn은 통상 동작시용 퓨즈 회로(11)에 있어서의 퓨즈 소자의 패스 수, nb는 시험 동작시용 퓨즈 회로(16)에 있어서의 퓨즈 소자의 패스 수를 나타내고 있다.

도 4 및 도 5에 도시된 구성예에서는 nn=3, nb=4이고, 또한, VCC=3.3V, VII=2.4V로 생각하면, 수학식 1은,

ICC=I×{(3×3.3)+(4×2.4)}/(3+4)×3.3=0.84I

가 되며, 약 16%의 전류 삭감이 된다.

이와 같이, 본 실시 형태의 구성에 의하면, 퓨즈 회로에서 발생하는 DC 패스 전류를 삭감할 수 있으므로, 저소비 전력화에 대한 요구를 충분히 만족시킬 수 있다.

또한, DC 패스 전류를 삭감함으로써 퓨즈 회로에 있어서의 각 퓨즈 소자의 양단에 나타나는 전압(각 퓨즈 소자의 절단 상태를 지시하는 정보)을 다음단의 디코드 회로에 안정하게 공급할 수 있다. 이것에 의해서, 퓨즈 회로 및 디코드 회로를 포함한 내부 강압 전원 회로 전체의 동작을 안정하게 유지하는 것이 가능해

진다.

도 7에는 본 발명의 제2 실시 형태에 따른 반도체 장치의 내부 강압 전원 회로의 구성이 도시되어 있다.

본 실시 형태에 따른 내부 강압 전원 회로는 전술한 제1 실시 형태에 따른 회로 구성과 실질적으로 동일한 구성을 가지고 있다. 이 제2 실시 형태에 따른 내부 강압 전원 회로의 특징은 통상 동작시용 및 시험 동작시용 각 VII 전위 조정 회로(10,15)의 전원으로서 각각 전용의 전원 회로(20,30)를 설치한 것이다.

도 8a 및 도 8b에는 통상 동작시용 전원 회로(20) 및 시험 동작시용 전원 회로(30)의 일구성예가 각각 도시되어 있다.

도시의 예에서는 통상 동작시용 전원 회로(20)는 외부 전원 전압(VCC)의 라인에 드레인이 접속되고 또한 이 드레인에 게이트가 접속된 n 채널 트랜지스터(21)에 의해 구성되어 있다(도 8a 참조). 통상 동작시용 VII 전위 조정 회로(10)에 공급되어야 할 전원 전압(VCCL)은 트랜지스터(21)의 소스로부터 취출되도록 되어 있다. 즉, 외부 전원 전압(VCC)으로부터 상기 외부 전원 전압(VCC)보다도 낮은 전위의 전압(VCCL)을 생성하고 있다.

동일하게, 시험 동작시용 전원 회로(30)는 외부 전원 전압(VCC)의 라인에 드레인이 접속되고 또한 이 드레인에 게이트가 접속된 n 채널 트랜지스터(31)에 의해서 구성되어 있다(도 8b 참조). 시험 동작시용 VII 전위 조정 회로(15)에 공급되어야 할 전원 전압(VCCL)은 트랜지스터(31)의 소스로부터 취출되도록 되어 있다. 즉, 외부 전원 전압(VCC)으로부터 상기 외부 전원 전압(VCC)보다도 낮은 전위의 전압(VCCL)을 생성하고 있다.

이러한 구성을 갖는 전원 회로(20,30)를 이용함으로써 퓨즈 소자에 흐르는 DC 패스 전류를 삭감할 수 있으며, 저소비 전력화를 실현하는 것이 가능해진다.

도 9a 및 도 9b에는 통상 동작시용 전원 회로(20) 및 시험 동작시용 전원 회로(30)의 다른 구성예가 각각 도시되어 있다.

도시된 예에서는 통상 동작시용 전원 회로(20)는 외부 전원 전압(VCC)의 라인에 드레인이 접속되고 또한 이 드레인에 게이트가 접속된 n 채널 트랜지스터(22)에 의해 구성되어 있다(도 9a 참조). 그리고, 통상 동작시용 VII 전위 조정 회로(10)에 공급되어야 할 전원 전압(VCCL)은 트랜지스터(22)의 소스로부터 취출되도록 되어 있다. 즉, 외부 전원 전압(VCC)으로부터 상기 외부 전원 전압(VCC)보다도 낮은 전위의 전압(VCCL)을 생성하고 있다.

한편, 시험 동작시용 전원 회로(30)는 내부 강압 전원 전압(VII)의 라인에 드레인이 접속되고 또한 상기 드레인에 게이트가 접속된 n 채널 트랜지스터(32)에 의해 구성되어 있다(도 9b 참조). 그리고, 시험 동작시용 VII 전위 조정 회로(15)에 공급되어야 할 전원 전압(VIIL)은 트랜지스터(32)의 소스로부터 취출되도록 되어 있다. 즉, 내부 강압 전원 전압(VII)으로부터 상기 내부 강압 전원 전압(VII)보다도 더욱 낮은 전위의 전압(VIIL)을 생성하고 있다.

이러한 구성을 갖는 전원 회로(20,30)를 이용함으로써 도 8a 및 8b의 구성예의 경우에 비하여, 더 저소비 전력화를 도모하는 것이 가능해진다.

또, 도 8a 내지 도 9b에 도시된 전원 회로(20,30)의 구성예에서는 외부 전원 전압(VCC) 또는 내부 강압 전원 전압(VII)의 레벨에 대하여 n 채널 트랜지스터 1개분 문턱치 전압만큼 강압한 레벨을 갖는 전압을 생성하도록 하였지만, 전원 회로(20,30)의 구성예는 도시한 예에 한정되지 않는다.

발명의 효과

이상 설명한 바와 같이 본 발명에 따르면, 외부 전원 전압을 내부에서 필요로 하는 전원 전압으로 강압하여 사용하는 반도체 장치에 있어서, 그 내부 강압 전원 전압의 전위를 조정하기 위한 퓨즈 회로에 있어서의 DC 패스 전류를 삭감할 수 있다. 이것에 의해서, 저소비 전력화 및 안정 동작을 실현하는 것이 가능해진다.

(57) 청구의 범위

청구항 1

반도체 장치의 외부로부터 공급되는 외부 전원 전압을 공급받아 반도체 장치에 사용되는 내부 전원 전압을 발생하는 내부 강압 전원 회로에 있어서,

제어 전압에 응답하여, 통상 동작시에는 상기 외부 전원 전압보다 낮고 시험 동작시에는 상기 통상 동작시의 내부 전원 전압보다 높은 상기 내부 전원 전압을 발생하는 내부 전원 전압 발생 회로와;

퓨즈 소자를 가지며 통상 동작시용의 제1 조정 신호를 발생하는 제1 전위 조정 회로와;

퓨즈 소자를 가지며 시험 동작시용의 제2 조정 신호를 발생하는 제2 전위 조정 회로와;

상기 제1 조정 신호에 기초하여 상기 제어 전압을 제어하는 제1 전위 제어 회로와;

상기 제2 조정 신호에 기초하여 상기 제어 전압을 제어하는 제2 전위 제어 회로를 구비하며,

상기 내부 전원 전압은 상기 제2 전위 조정 회로의 전원으로서 이용되는 것을 특징으로 하는 내부 강압 전원 회로.

청구항 2

제1항에 있어서, 상기 제1 및 제2 전위 제어 회로는 각각 상기 제어 전압을 결정하기 위한 저항기 스트링

을 포함하는 것을 특징으로 하는 내부 강압 전원 회로.

청구항 3

제2항에 있어서, 상기 제1 및 제2 전위 조정 회로는 각각 대응 퓨즈 소자를 포함하는 퓨즈 회로 및 상기 퓨즈 회로에 있어서의 상기 퓨즈 소자의 상태를 나타내는 퓨즈 회로의 출력 신호를 디코드하여 상기 제1 및 제2 조정 신호 중 대응하는 하나의 신호를 발생하는 디코드 회로를 포함하며, 상기 제1 및 제2 전위 제어 회로의 상기 저항기 스트링의 종단 전압은 상기 제1 및 제2 조정 신호에 따라 각각 선택되는 것을 특징으로 하는 내부 강압 전원 회로.

청구항 4

반도체 장치의 외부로부터 공급되는 외부 전원의 전압을 강압하는 반도체 장치용 내부 강압 전원 회로에 있어서,

외부 전원을 공급받고, 제어 신호에 응답하여 내부 전원 전압을 발생하는 회로와;

퓨즈 소자를 가지며 조정 신호를 출력하는 통상 동작시용 전위 조정 회로와;

상기 조정 신호를 공급받고 상기 조정 신호에 응답하여 상기 제어 신호의 전위를 제어하는 통상 동작시용 전위 제어 회로와;

상기 전위 조정 회로에 상기 외부 전원의 전압보다 낮은 전위의 전원 전압을 발생하는 전원 회로를 구비하는 것을 특징으로 하는 반도체 장치용 내부 강압 전원 회로.

청구항 5

제4항에 있어서, 상기 통상 동작시용 전위 제어 회로는 상기 제어 신호의 전위를 결정하기 위한 저항기 스트링을 포함하는 것을 특징으로 하는 반도체 장치용 내부 강압 전원 회로.

청구항 6

제5항에 있어서, 상기 통상 동작시용 전위 조정 회로는 퓨즈 소자를 포함하는 퓨즈 회로 및 상기 퓨즈 회로의 퓨즈 소자의 상태를 나타내는 퓨즈 회로의 출력 신호를 디코드하는 디코드 회로를 포함하며, 상기 저항기 스트링의 저항치는 상기 각 디코드 회로의 디코드 결과에 따라 선택되는 것을 특징으로 하는 반도체 장치용 내부 강압 전원 회로.

청구항 7

반도체 장치의 외부로부터 공급되는 외부 전원의 전압을 강압하는 반도체 장치용 내부 강압 전원 회로에 있어서,

외부 전원을 공급받고, 제어 신호에 응답하여 내부 전원 전압을 발생하는 회로와;

퓨즈 소자를 가지며 조정 신호를 출력하는 시험 동작시용 전위 조정 회로와;

상기 조정 신호를 공급받고 상기 조정 신호에 응답하여 상기 제어 신호의 전위를 제어하는 시험 동작시용 전위 제어 회로와;

상기 전위 조정 회로에 상기 외부 전원의 전압보다 낮은 전위의 전원 전압을 발생하는 전원 회로를 구비하는 것을 특징으로 하는 반도체 장치용 내부 강압 전원 회로.

청구항 8

제7항에 있어서, 상기 시험 동작시용 전위 제어 회로는 상기 제어 신호의 전위를 결정하기 위한 저항기 스트링을 포함하는 것을 특징으로 하는 반도체 장치용 내부 강압 전원 회로.

청구항 9

제8항에 있어서, 상기 시험 동작시용 전위 조정 회로는 퓨즈 소자를 포함하는 퓨즈 회로 및 상기 퓨즈 회로의 퓨즈 소자의 상태를 나타내는 퓨즈 회로의 출력 신호를 디코드하는 디코드 회로를 포함하며, 상기 저항기 스트링의 저항치는 상기 각 디코드 회로의 디코드 결과에 따라 선택되는 것을 특징으로 하는 반도체 장치용 내부 강압 전원 회로.

청구항 10

반도체 장치의 외부로부터 공급되는 외부 전원의 전압을 강압하는 반도체 장치용 내부 강압 전원 회로에 있어서,

외부 전원을 공급받고, 제어 신호에 응답하여 내부 전원 전압을 발생하는 회로와;

퓨즈 소자를 가지며 조정 신호를 출력하는 시험 동작시용 전위 조정 회로와;

상기 조정 신호를 공급받고 상기 조정 신호에 응답하여 상기 제어 신호의 전위를 제어하는 시험 동작시용 전위 제어 회로와;

상기 전위 조정 회로에 상기 내부 전원의 전압보다 낮은 전위의 전원 전압을 발생하는 전원 회로를 구비하는 것을 특징으로 하는 반도체 장치용 내부 강압 전원 회로.

청구항 11

제10항에 있어서, 상기 시험 동작시용 전위 제어 회로는 상기 제어 신호의 전위를 결정하기 위한 저항기

스트링을 포함하는 것을 특징으로 하는 반도체 장치용 내부 강압 전원 회로.

청구항 12

제11항에 있어서, 상기 시험 동작시용 전위 조정 회로는 퓨즈 소자를 포함하는 퓨즈 회로 및 상기 퓨즈 회로의 퓨즈 소자의 상태를 나타내는 퓨즈 회로의 출력 신호를 디코드하는 디코드 회로를 포함하며, 상기 저항기 스트링의 저항치는 상기 각 디코드 회로의디코드 결과에 따라 선택되는 것을 특징으로 하는 반도체 장치용 내부 강압 전원 회로.

청구항 13

외부 전원 전압을 공급받고, 제어 전압에 응답하여 통상 동작시에는 외부 전원 전압보다 낮고, 시험 동작시에는 상기 통상 동작시의 내부 전원 전압보다 높은 내부 전원 전압을 발생하는 내부 전원 전압 발생부와;

상기 내부 전원 전압을 공급받고, 퓨즈 소자를 포함하며, 조정 신호를 발생하는 시험 동작시용 전위 조정 회로와;

상기 조정 신호에 응답하여 상기 제어 전압을 제어하는 전위 제어 회로를 구비하는 것을 특징으로 하는 내부 강압 전원 회로.

청구항 14

제13항에 있어서, 상기 전위 제어 회로는 상기 제어 전압을 결정하기 위한 저항기 스트링을 포함하는 것을 특징으로 하는 내부 강압 전원 회로.

청구항 15

제14항에 있어서, 상기 시험 동작시용 전위 조정 회로는 퓨즈 소자를 포함하는 퓨즈 회로 및 상기 퓨즈 회로의 출력 신호를 디코드하여 상기 조정 신호를 발생하는 디코드 회로를 포함하며, 상기 저항기 스트링의 저항치는 상기 조정 신호에 응답하여 선택되는 것을 특징으로 하는 반도체 장치용 내부 강압 전원 회로.

청구항 16

제13항에 있어서, 상기 퓨즈 소자는 상기 내부 전원 전압을 갖는 제1 단자와 기준 전위를 갖는 제2 단자 사이에 접속되는 것을 특징으로 하는 내부 강압 전원 회로.

청구항 17

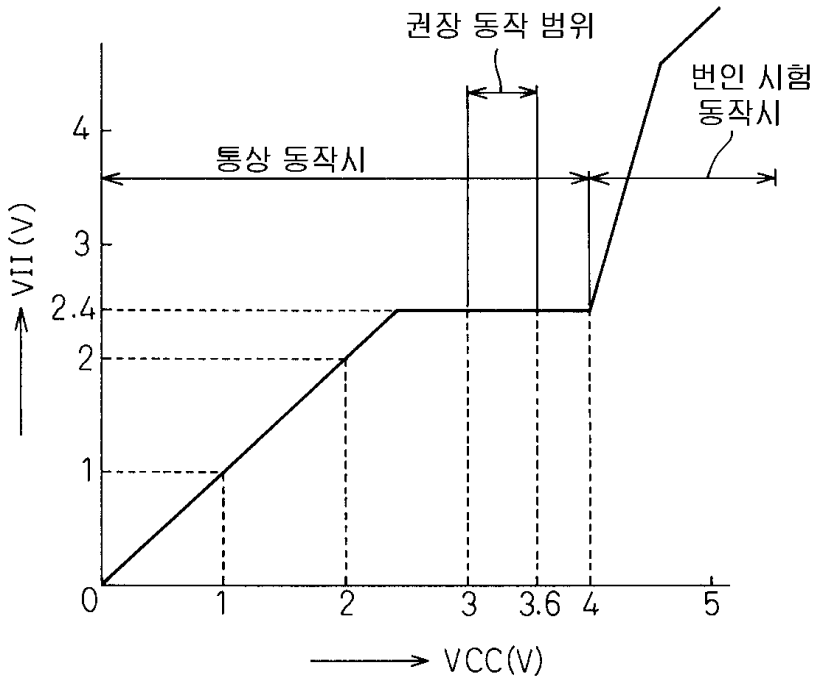
제14항에 있어서, 상기 전위 제어 회로는,

상기 외부 전원 전압을 공급받고, 기준 전압을 발생하는 기준 전압 발생 회로와;

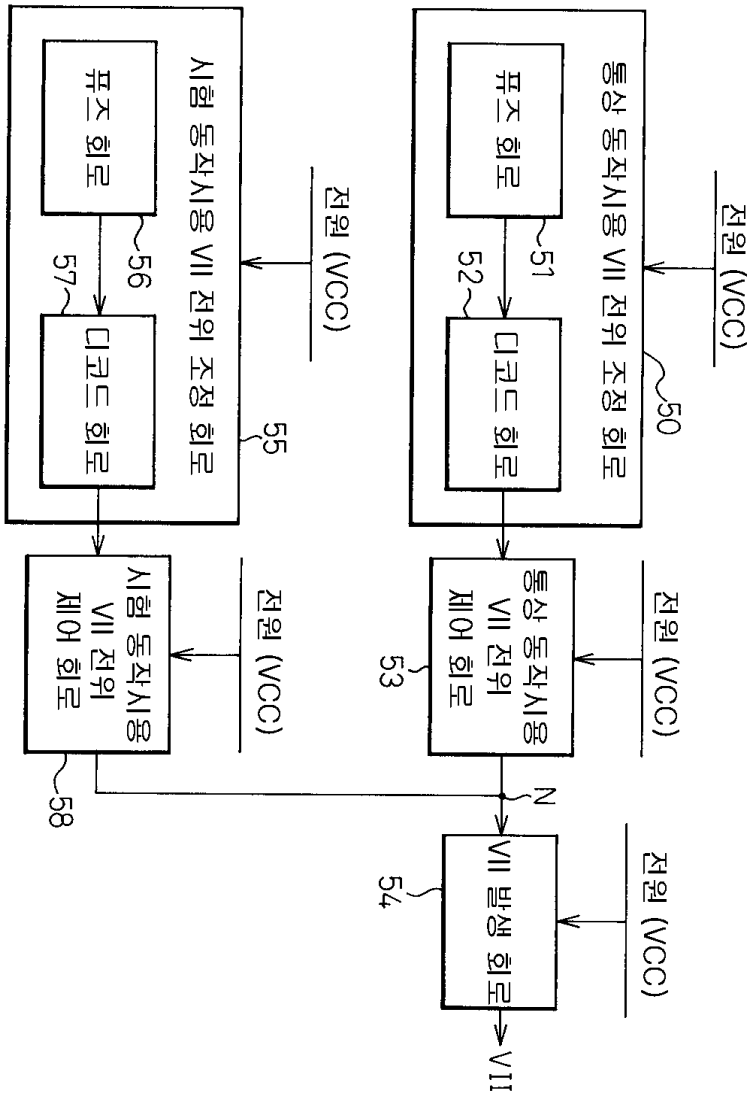
상기 제어 전압을 제어하기 위해 상기 저항기 스트링으로부터의 출력 전압과 상기 기준 전압을 비교하는 비교기를 포함하는 것을 특징으로 하는 내부 강압 전원 회로.

도면

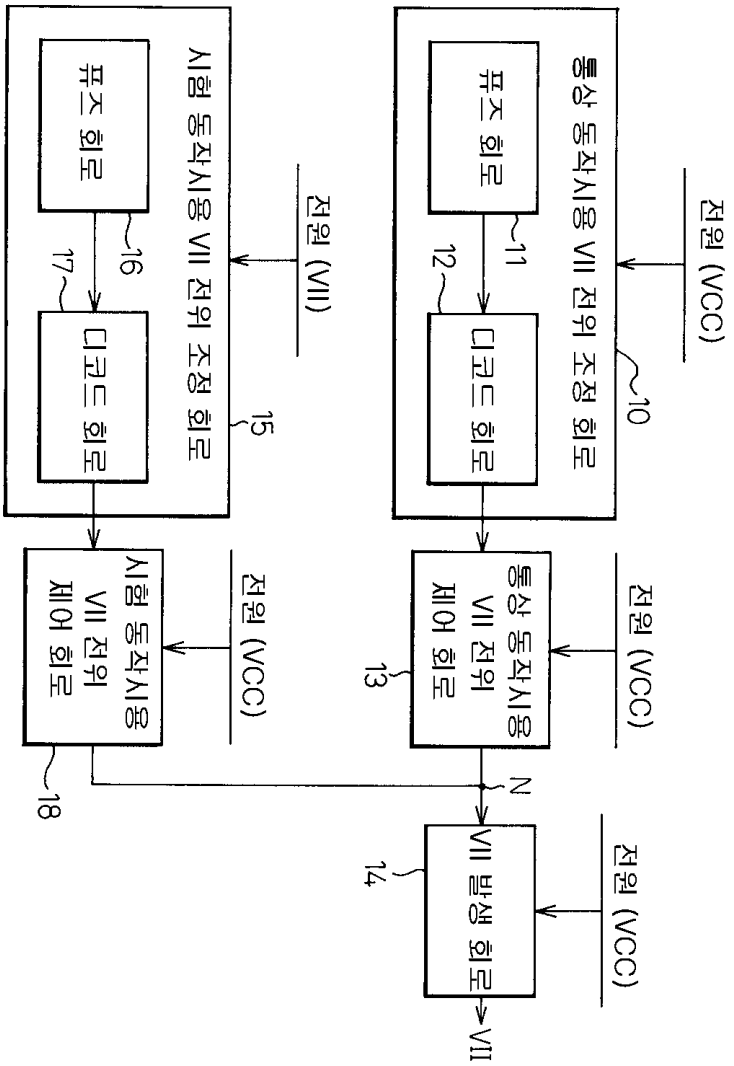
도면1



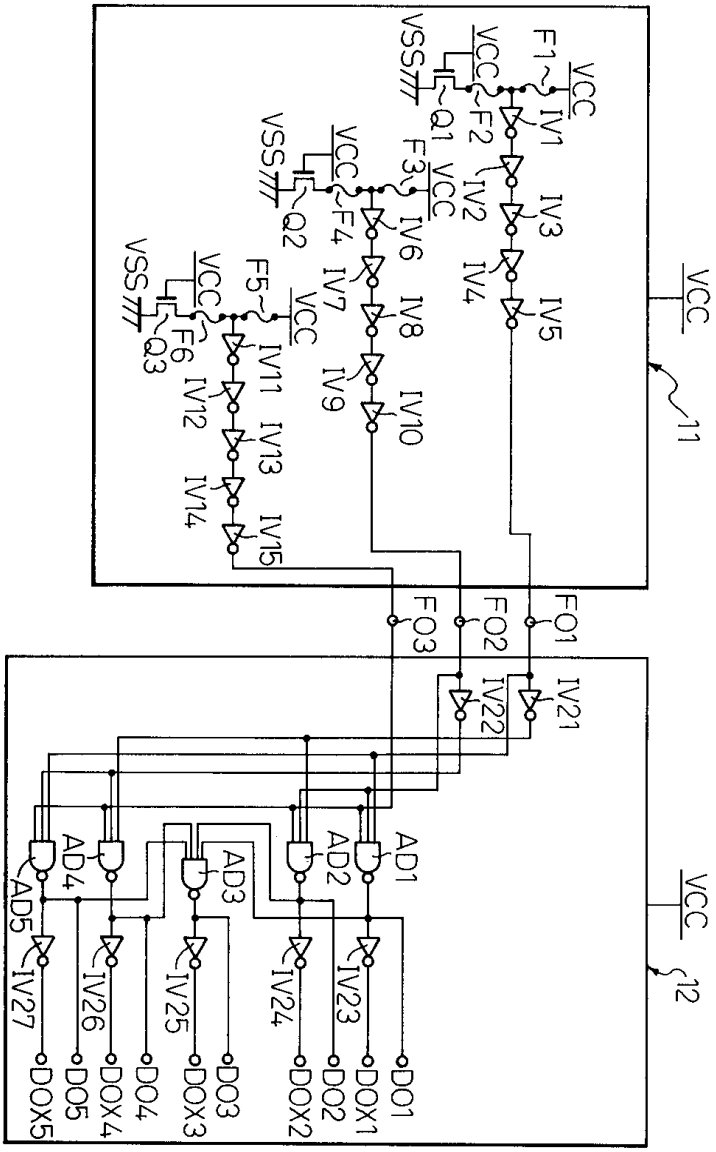
도면2


통상 동작시용 VII 전위 조정 회로
퓨즈 회로
51
52
디코드 회로
50
전원 (VCC)
시험 동작시용 VII 전위 조정 회로
퓨즈 회로
56
57
디코드 회로
55
전원 (VCC)
통상 동작시용 VII 전위 제어 회로
53
전원 (VCC)
시험 동작시용 VII 전위 제어 회로
58
전원 (VCC)
N
VII 발생 회로
54
VII

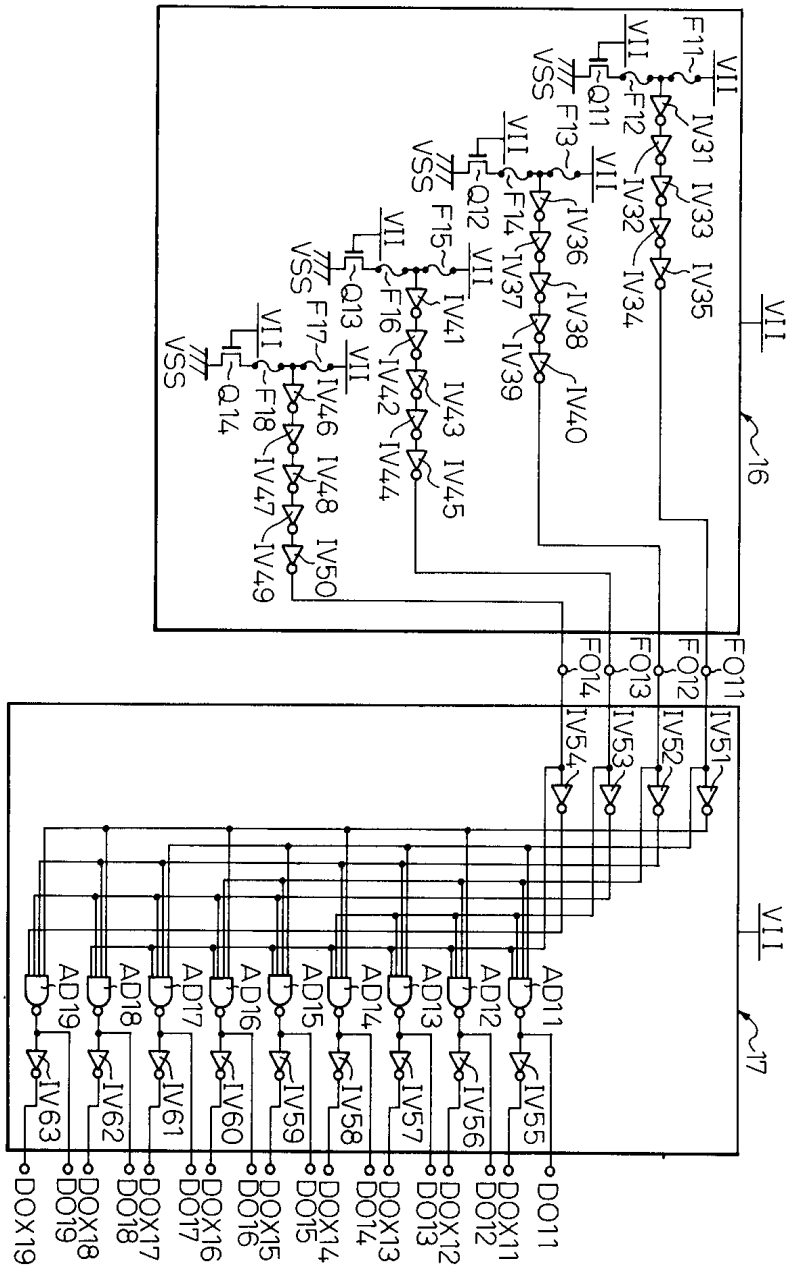
도면3


통상 동작시용 VII 전위 조정 회로
퓨즈 회로
디코드 회로
11
12
10
전원 (VCC)
시험 동작시용 VII 전위 조정 회로
퓨즈 회로
디코드 회로
16
17
15
전원 (VII)
통상 동작시용 VII 전위 제어 회로
13
전원 (VCC)
시험 동작시용 VII 전위 제어 회로
18
전원 (VCC)
N
VII 발생 회로
14
전원 (VCC)
VII

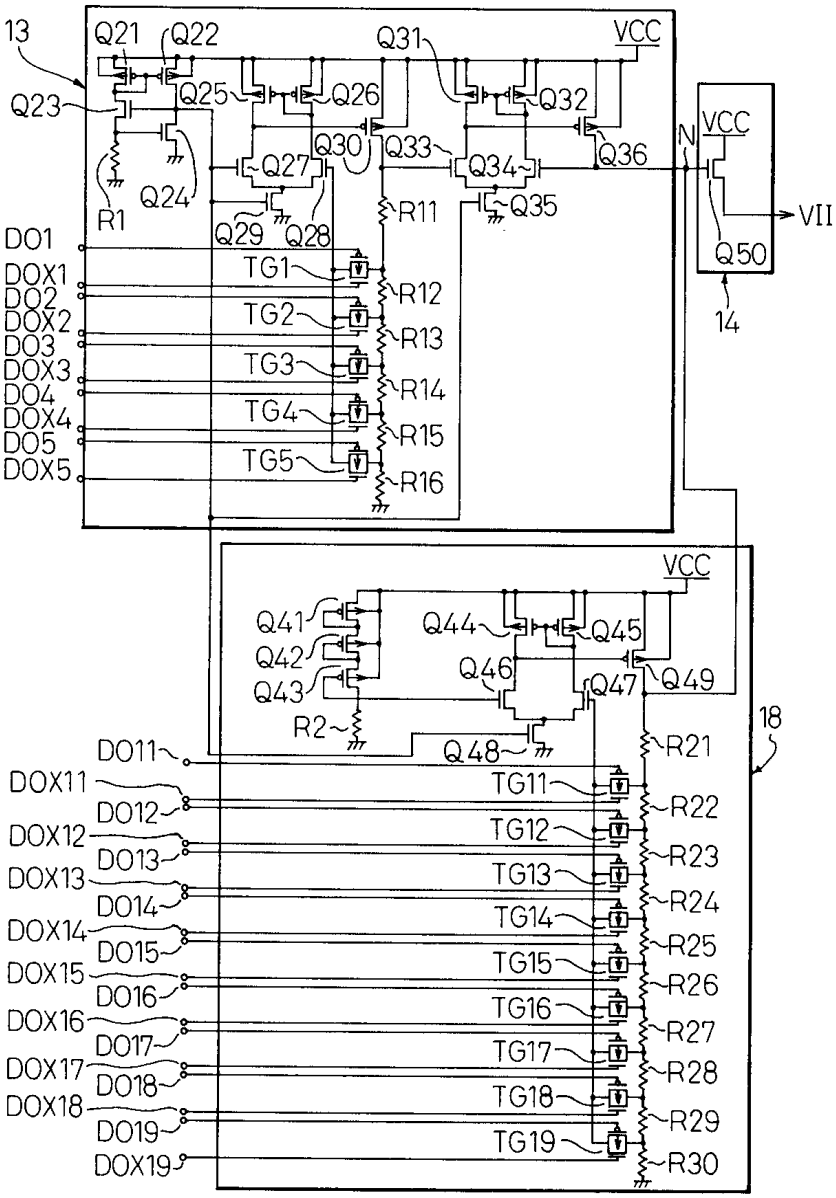
도면4


VCC
F1
IV1
VCC
F2
Q1
VSS
IV2
IV3
IV4
IV5
VCC
F3
VCC
Q2
VSS
F4
IV6
IV7
IV8
IV9
IV10
VCC
F5
VCC
Q3
VSS
F6
IV11
IV12
IV13
IV14
IV15
11
FO3
FO2
FO1
IV22
IV21
AD5
AD4
AD3
AD2
AD1
IV27
IV26
IV25
IV24
IV23
DOX5
DO5
DOX4
DO4
DOX3
DO3
DOX2
DO2
DOX1
DO1
VCC
12

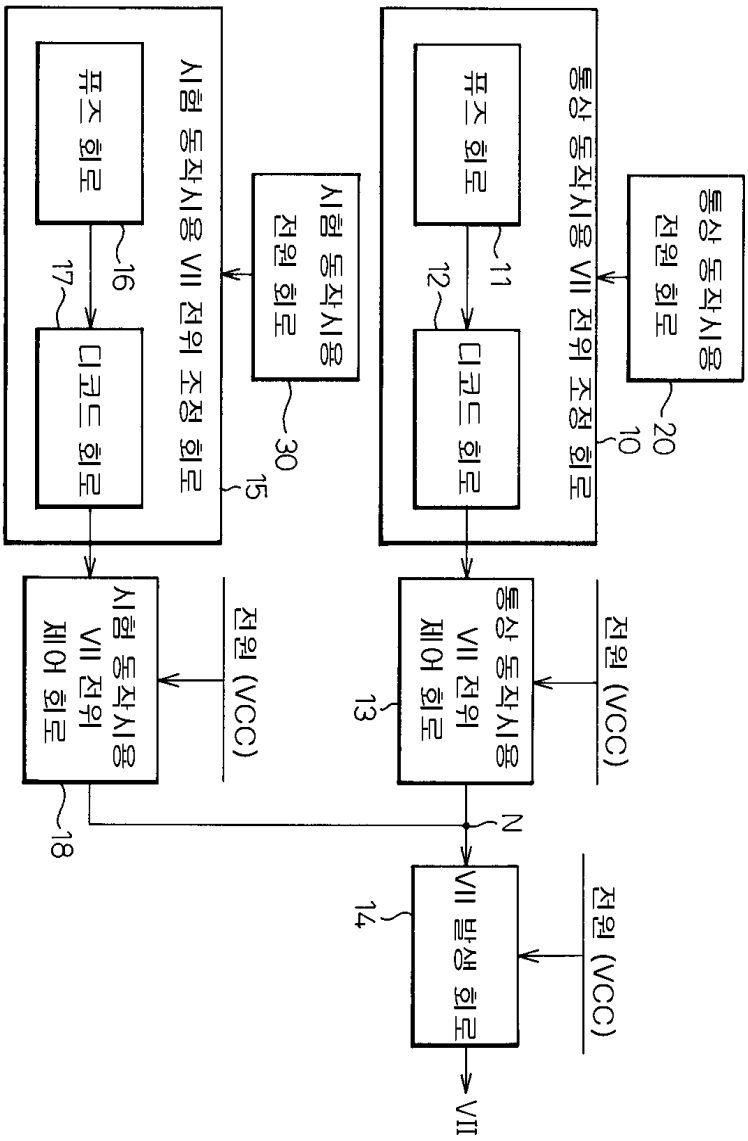
도면5


VII
F11~
IV31
IV33
IV35
VII
~F12
IV32
IV34
Q11
VII
VSS
F13~
IV36
IV38
VII
~F14
IV37
IV39
Q12
VII
VSS
F15~
IV41
IV43
IV45
VII
~F16
IV42
IV44
Q13
VII
VSS
F17~
IV46
IV48
IV50
VII
~F18
IV47
IV49
Q14
VSS
VII
16
FO11
FO12
FO13
FO14
IV51
IV52
IV53
IV54
VII
17
AD11
AD12
AD13
AD14
AD15
AD16
AD17
AD18
AD19
IV55
IV56
IV57
IV58
IV59
IV60
IV61
IV62
IV63
DO11
DOX11
DOX12
DOX13
DOX14
DOX15
DOX16
DOX17
DOX18
DOX19

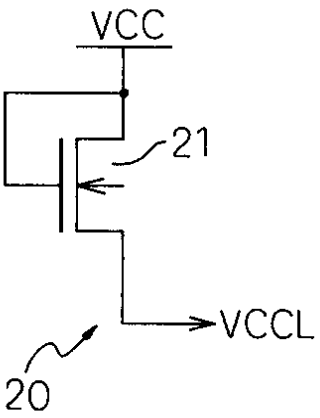
도면6


13
Q21
Q22
Q31
VCC
Q23
Q25
Q26
Q32
N
VCC
Q30
Q33
Q36
Q27
Q34
Q24
Q35
VII
R1
Q29
Q28
R11
DO1
TG1
Q50
DOX1
DO2
R12
14
TG2
DOX2
R13
DO3
TG3
DOX3
R14
DO4
TG4
DOX4
R15
DO5
TG5
DOX5
R16
VCC
Q41
Q44
Q45
Q42
Q46
Q47
Q49
Q43
18
R2
Q48
R21
DO11
TG11
DOX11
R22
DO12
TG12
DOX12
R23
DO13
TG13
DOX13
R24
DO14
TG14
DOX14
R25
DO15
TG15
DOX15
R26
DO16
TG16
DOX16
R27
DO17
TG17
DOX17
R28
DO18
TG18
DOX18
R29
DO19
TG19
DOX19
R30

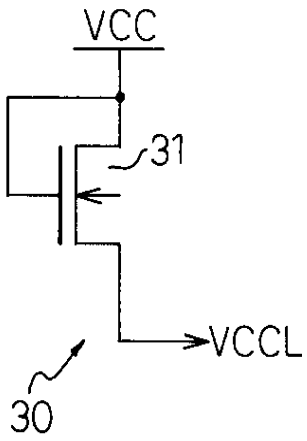
도면7


통상 동작시용 VII 전위 조정 회로
퓨즈 회로
디코드 회로
통상 동작시용 전원 회로
시험 동작시용 VII 전위 조정 회로
퓨즈 회로
디코드 회로
시험 동작시용 전원 회로
통상 동작시용 VII 전위 제어 회로
시험 동작시용 VII 전위 제어 회로
전원 (VCC)
전원 (VCC)
VII 발생 회로
전원 (VCC)
VII
N
10
11
12
13
14
15
16
17
18
20
30

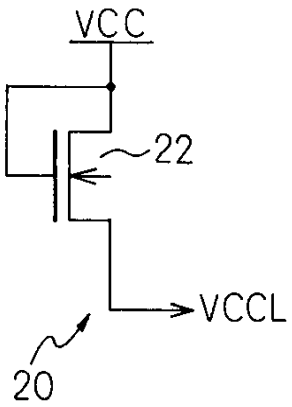
도면8a


VCC
21
VCCL
20

도면8b



도면9a



도면9b

