

(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION
EN MATIÈRE DE BREVETS (PCT)

(19) Organisation Mondiale de la Propriété
Intellectuelle
Bureau international



(43) Date de la publication internationale
30 avril 2009 (30.04.2009)

PCT

(10) Numéro de publication internationale
WO 2009/053607 A1

- (51) Classification internationale des brevets :
H03M 1/34 (2006.01) *H03M 1/12* (2006.01)
- (21) Numéro de la demande internationale :
PCT/FR2008/051813
- (22) Date de dépôt international :
7 octobre 2008 (07.10.2008)
- (25) Langue de dépôt : français
- (26) Langue de publication : français
- (30) Données relatives à la priorité :
0758284 12 octobre 2007 (12.10.2007) FR
- (71) Déposant (pour tous les États désignés sauf US) : COM-
MISSARIAT A L'ENERGIE ATOMIQUE [FR/FR]; 25,
rue Leblanc, Immeuble "Le Ponant D", F-75015 Paris (FR).
- (72) Inventeur; et
- (75) Inventeur/Déposant (pour US seulement) :
LACHARTRE, David [FR/FR]; Lotissement Les Etoiles,
975, avenue de l'Europe, F-38330 Montbonnot (FR).
- (74) Mandataire : VUILLERMOZ, Bruno; CABINET LAU-
RENT & CHARRAS, Le Contemporain, 50, chemin de la
Bruyère, F-69574 Dardilly Cedex (FR).
- (81) États désignés (sauf indication contraire, pour tout titre de
protection nationale disponible) : AE, AG, AL, AM, AO,
AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH,
CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG,
ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL,
IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK,
LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW,
MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT,
RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ,
TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM,
ZW.

[Suite sur la page suivante]

(54) Title: QUANTIZER, ANALOGUE-DIGITAL CONVERTER COMPRISING SUCH A QUANTIZER, AND ULTRA-WIDE-
BAND RECEIVER INTEGRATING SUCH A CONVERTER

(54) Titre : QUANTIFICATEUR, CONVERTISSEUR ANALOGIQUE-NUMERIQUE COMPRENANT UN TEL QUANTIFI-
CATEUR, ET RECEPTEUR ULTRA-LARGE BANDE INTEGRANT UN TEL CONVERTISSEUR

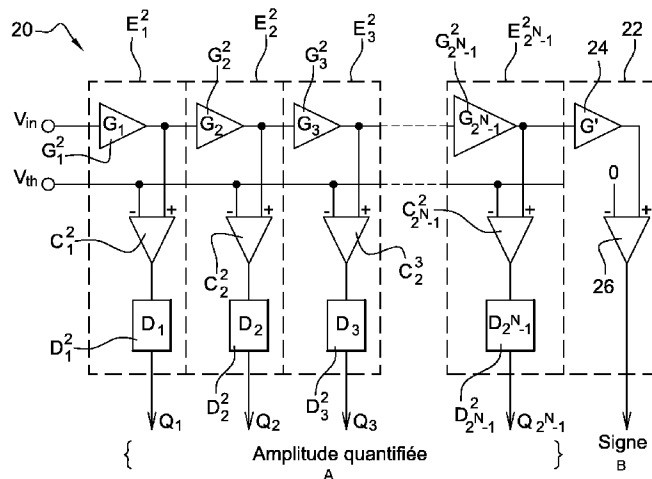


Fig. 2

A quantized amplitude
B sign

(57) Abstract: The invention relates to an N bit asynchronous quantizer (20) comprising: - $2^N - 1$ signal amplifier stages ($G_1^2 - G_{2^N-1}^2$) arranged in series, the input of the first stage being able to receive a signal to be quantized; - $2^N - 1$ comparators ($C_1^2 - C_{2^N-1}^2$), a comparator being connected to the output of each amplifier stage ($G_1^2 - G_{2^N-1}^2$), and able to compare the value of this output with a predetermined threshold value; and - at least $2^N - 2$ delay lines ($D_1^2 - D_{2^N-1}^2$) placed at the output of the first $2^N - 2$ comparators, the signals output by the delay lines ($D_1^2 - D_{2^N-1}^2$) and by the last comparator constituting at any instant the quantized binary values of the input signal with a time shift.

[Suite sur la page suivante]

WO 2009/053607 A1



(84) États désignés (sauf indication contraire, pour tout titre de protection régionale disponible) : ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasién (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), européen (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Publiée :

- avec rapport de recherche internationale
- avant l'expiration du délai prévu pour la modification des revendications, sera republiée si des modifications sont requises

(57) **Abrége :** L'invention concerne un Quantificateur asynchrone à N bits (20) comprenant :- $2^N - 1$ étages amplificateurs de signal ($G_1^2 - G_{2N-1}^2$) agencés en série, l'entrée du premier étage étant apte à recevoir un signal à quantifier; $2^N - 1$ comparateurs ($C_1^2 - C_{2N-1}^2$), un comparateur étant connecté à la sortie de chaque étage amplificateur ($G_1^2 - G_{2N-1}^2$), et apte à comparer la valeur de cette sortie à une valeur de seuil prédéterminée; et -au moins $2^N - 2$ lignes à retard ($D_1^2 - D_{2N-1}^2$) placées en sortie des $2^N - 2$ premiers comparateurs, les signaux fournis en sortie des lignes à retard ($D_1^2 - D_{2N-1}^2$) et du dernier comparateur constituant à tout instant les valeurs binaires quantifiées du signal d'entrée avec un décalage temporel.

QUANTIFICATEUR, CONVERTISSEUR ANALOGIQUE-NUMERIQUE COMPRENANT UN TEL QUANTIFICATEUR, ET RECEPTEUR ULTRA-LARGE BANDE INTEGRANT UN TEL CONVERTISSEUR

5 DOMAINE DE L'INVENTION

La présente invention a trait au domaine de la quantification de signaux analogiques, et plus particulièrement la quantification à haute vitesse de signaux analogiques.

- 10 La présente application trouve application notamment dans la réception de données transmises sous forme d'une onde radiofréquence, et particulièrement dans une réception du type ultra-large bande.

ETAT ANTERIEUR DE LA TECHNIQUE

15

Certaines applications, comme par exemple la transmission de données par onde radiofréquence, nécessitent une conversion analogique-numérique à très haute vitesse pouvant atteindre plusieurs gigaéchantillons par seconde.

- 20 A cette fin, des convertisseurs analogiques-numériques, ou CAN, du type flash sont usuellement utilisés en raison de leur vitesse de conversion. Le principe d'un tel CAN consiste à comparer le signal à convertir à autant de tensions différentes qu'il y a de pas de conversion souhaités.

- 25 Un exemple de CAN flash à N bits est illustré schématiquement à la figure 1 sous la référence générale **10**. Ce CAN comprend 2^N-1 comparateurs de tension $C_1^1, C_2^1, C_3^1, \dots, C_{2^N-1}^1$, un amplificateur G^1 , et 2^N-2 résistances $R_1^1, R_2^1, R_3^1, \dots, R_{2^N-1}^1$ connectées en série entre une tension de référence V_{ref} et la masse.

- 30 L'amplificateur de tension G^1 reçoit en entrée et amplifie une tension V_{in} à quantifier et à échantillonner, et est connecté en sortie à chacune des entrées positives (+) des comparateurs $C_1^1, C_2^1, C_3^1, \dots, C_{2^N-1}^1$ à qui il délivre la tension amplifiée V_{amp} .

- 35 Les 2^N-2 résistances $R_1^1, R_2^1, R_3^1, \dots, R_{2^N-1}^1$ sont de valeur identique R et forment un pont diviseur de tension définissant 2^N-2 tensions $V_2, V_3, \dots, V_{2^N-1}$. Le premier comparateur C_1^1 a sa borne négative (-) connectée à la tension V_{ref} et les autres comparateurs $C_2^1, C_3^1, \dots, C_{2^N-1}^1$ ont leur borne négative (-) connectée respectivement aux tensions $V_2, V_3, \dots, V_{2^N-1}$.

La tension amplifiée V_{amp} attaque donc parallèlement et simultanément les comparateurs $C_1^1, C_2^1, C_3^1, \dots, C_{2^N-1}^1$, et est ainsi comparée à 2^N-1 tensions de seuil $V_1=V_{ref}, V_2, V_3, \dots, V_{2^N-1}$. Les sorties des comparateurs $C_1^1, C_2^1, C_3^1, \dots, C_{2^N-1}^1$ définissent de ce fait les valeurs binaires quantifiées $Q_1, Q_2, Q_3, \dots, Q_{2^N-1}$ du CAN flash.

Par ailleurs, les comparateurs $C_1^1, C_2^1, C_3^1, \dots, C_{2^N-1}^1$ sont synchrones, c'est-à-dire qu'ils délivrent le résultat de leur comparaison sur les fronts montants ou descendants d'une horloge d'échantillonnage H.

Ainsi, le CAN flash quantifie le signal V_{in} avec un pas de quantification constant tout en échantillonnant simultanément celui-ci à la fréquence du signal d'horloge H.

Du fait de l'agencement parallèle des comparateurs $C_1^1, C_2^1, C_3^1, \dots, C_{2^N-1}^1$, de très hautes vitesses peuvent être atteintes. Usuellement la vitesse de conversion de ce type de convertisseur est limitée uniquement par la vitesse de fonctionnement des comparateurs.

Or, un CAN flash pose les problèmes suivants.

Tout d'abord, le signal V_{in} nécessite d'être amplifié en amplitude pour utiliser au mieux la plage dynamique du CAN. Il existe ainsi une amplification biaisée au niveau de chaque comparateur. En effet, en considérant ce CAN linéaire, on peut considérer que l'amplification par l'amplificateur G^1 est équivalente à une réduction, par le gain de l'amplificateur G^1 , de toutes les tensions de seuil $V_1, V_2, V_3, \dots, V_{2^N-1}$. L'amplification du signal V_{in} peut ainsi être vue comme comprise dans la fonction de comparaison elle-même, c'est-à-dire une comparaison incluant une amplification biaisée par la présence des tensions de seuil.

Ensuite, le signal à quantifier V_{in} nécessite également d'être amplifié en puissance, afin de charger en parallèle les 2^N-1 comparateurs $C_1^1, C_2^1, C_3^1, \dots, C_{2^N-1}^1$. Ainsi pour un fonctionnement satisfaisant du CAN flash, l'amplificateur G^1 doit donc être puissant, linéaire, et à faible bruit. De plus, dans le cas de faibles signaux pour V_{in} , une amplification importante doit être réalisée en un seul étage. L'ensemble de ces contraintes rend la conception de l'amplificateur G^1 difficile et aboutit dans le meilleur de cas à un amplificateur grand consommateur d'énergie.

En outre, pour tenir la charge dans les comparateurs, il est souvent nécessaire, voire obligatoire, d'incorporer dans ceux-ci des buffers puissants. La consommation est ainsi encore accrue.

- 5 Le but de la présente invention est de résoudre les problèmes susmentionnés en proposant un quantificateur économe en énergie, qui autorise une quantification comparable à celle des CAN flash, notamment en ce qui concerne la rapidité de quantification.

10 EXPOSE DE L'INVENTION

A cet effet l'invention a tout d'abord pour objet un quantificateur asynchrone à N bits comportant :

- 15 ▪ 2^N-1 étages amplificateurs de signal agencés en série, l'entrée du premier étage étant apte à recevoir un signal à quantifier ; et
- 2^N-1 comparateurs, un comparateur étant connecté à la sortie de chaque étage amplificateur, et apte à comparer la valeur de cette sortie à une valeur de seuil prédéterminée ; et
- 20 ▪ au moins 2^N-2 lignes à retard placées en sortie des 2^N-2 premiers comparateurs, les sorties des lignes à retard et du dernier comparateur définissant les valeurs binaires quantifiées du quantificateur.

En d'autres termes, dans une telle architecture, une amplification est réalisée simultanément à la quantification et de manière graduelle.

25

Ainsi, pour obtenir l'amplification nécessaire à l'utilisation optimale de la dynamique du quantificateur, il peut être utilisé des amplificateurs dont les gains sont de l'ordre du gain de l'amplificateur du CAN flash divisé par 2^N . De fait, ces amplificateurs sont de plus faible puissance, consomment ensemble moins que
30 l'amplificateur utilisé dans le CAN flash, et présentent un comportement plus linéaire.

Par ailleurs, l'amplification étant simultanée à la quantification, il n'est pas
35 nécessaire de prévoir une amplification en amont du quantificateur pour s'assurer que la dynamique du quantificateur est effectivement pleinement exploitée.

En outre, son gain peut être avantageusement choisi entre 1 et 2, sachant que des amplificateurs présentant un tel gain sont de conception simple et de consommation réduite.

- 5 De plus, une telle architecture est peu sensible aux non linéarités de ses composants électroniques. En effet, les non linéarités apparaissent lorsque les signaux auxquels ils sont soumis prennent des valeurs élevées. C'est par exemple le cas des phénomènes de saturation.
- 10 Or, dans le cas où la sortie d'un étage dépasse le seuil qui lui est associé, on sait que les seuils des comparateurs suivants seront également dépassés en raison de l'amplification réalisée par les étages consécutifs. Les non-linéarités des amplificateurs suivants n'a ainsi aucune incidence sur la quantification puisque la
- 15 quantification mise en œuvre par une telle architecture débute par le bit de poids fort, associé au premier étage amplificateur, et termine par le bit de poids faible, associé au dernier étage amplificateur. Ceci est d'autant plus intéressant lorsque le signal à quantifier prend une valeur supérieure au premier seuil, car l'ensemble des non linéarités des composants suivants dans la chaîne n'ont aucune incidence sur la
- 20 quantification. De fait, il est seulement nécessaire qu'un amplificateur soit linéaire jusqu'à la valeur de seuil qui lui est associée.

Selon des modes de réalisation particuliers de l'invention, le quantificateur comprend une ou plusieurs des caractéristiques suivantes.

- 25 La valeur absolue du gain d'un étage amplificateur est comprise entre environ 1 et environ 2. Ainsi, il est utilisé des amplificateurs de faible gain peu consommateurs d'énergie, et simples à concevoir.

- 30 Les gains des étages amplificateurs sont sensiblement identiques. Dans un tel cas, une quantification avec compression logarithmique est obtenue, ce qui est avantageux dans le cas des signaux présentant une grande dynamique.

- 35 La valeur absolue du gain d'un étage amplificateur, hormis le premier, est sensiblement égal à $i/(i-1)*G_1$, où G_1 est le gain du premier étage amplificateur et i la position de l'étage amplificateur dans la série d'étages amplificateurs. Il est ainsi obtenu une quantification avec des amplitudes à pas constant entre deux étages amplificateurs consécutifs. On retrouve ainsi la quantification usuellement mise en œuvre dans les CAN flash.

Le gain des étages amplificateurs est négatif. De cette manière, il est possible de réaliser, simultanément à la quantification, un redressement du signal à quantifier. En outre, on peut utiliser des inverseurs, qui sont des composants simples à concevoir et peu consommateurs d'énergie.

Un étage amplificateur est également agencé pour filtrer la composante continue du signal à quantifier. Ceci est notamment utile dans le cas où le signal à quantifier présente en théorie une composante continue nulle. Ainsi, il est réalisé un filtrage d'un décalage continu parasite. Ceci est par exemple réalisé au moyen du gain de l'étage amplificateur qui est choisi pour être sensiblement nul aux basses fréquences.

Chaque étage amplificateur est du type à contrôle de gain automatique. De cette manière, on s'assure que la quantification se fait sur toute la dynamique du signal V_{in} . Ceci est particulièrement intéressant dans le cas d'une réception RF pour s'adapter à la puissance du signal reçu.

Chaque étage amplificateur comporte :

- un amplificateur différentiel, dont une entrée positive forme l'entrée de l'étage amplificateur ;
- une première impédance, connectée entre une entrée négative et une sortie de l'amplificateur différentiel ; et
- une seconde impédance, connectée entre l'entrée négative de l'amplificateur différentielle et une masse.

Chaque étage amplificateur comporte un agencement série de deux cellules amplificatrices, chacune de ces cellules étant composée :

- d'un inverseur, dont la sortie forme la sortie de la cellule,
- d'une première impédance connectée entre l'entrée et la sortie de l'inverseur, et
- d'une seconde impédance connectée à l'une de ses bornes à l'entrée de l'inverseur, et dont l'autre borne forme l'entrée de la cellule.

Il est ainsi possible de façonner la réponse fréquentielle du gain par un choix approprié de la valeur des impédances. Par exemple, il peut être conçu des gains à bande étroite du type passe-bande accordé avec le signal à quantifier.

L'étage amplificateur peut comporter :

- un inverseur, dont la sortie forme la sortie de l'étage amplificateur,
- une première impédance connectée entre l'entrée et la sortie de l'inverseur, et
- une seconde impédance connectée à l'une de ses bornes à l'entrée de l'inverseur, et dont l'autre borne forme l'entrée de l'étage.

5

De cette manière, il est obtenu une quantification entrelacée des alternances positives et négatives du signal à quantifier. On divise ainsi le nombre d'étages par deux en faisant la supposition que le signal reçu varie peu entre les alternances positives et négatives.

10

De préférence, dans le cas où le gain d'un étage amplificateur est négatif, le quantificateur comporte en outre un module de traitement numérique apte à appliquer une fonction « OU » à chaque paire de sorties consécutives des lignes à retard, le résultat de la fonction « OU » formant une valeur binaire quantifiée. Le

15 quantificateur met ainsi en œuvre simultanément une quantification et un redressement. En outre, le dernier étage fournit le signe du signal à quantifier.

20

De préférence, la valeur en continue de la seconde impédance est sensiblement supérieure à la valeur en continue de la première impédance, de manière à filtrer la

20 composante continue et s'assurer qu'un décalage continu, par exemple introduit par les composantes du quantificateur, ne se propage pas le long de la chaîne d'amplification.

25

De préférence, la première impédance est celle définie entre le drain et la source

25 d'un transistor MOS. Il est ainsi possible de commander simplement le gain de l'étage amplificateur par la commande de la tension appliquée à la grille du transistor MOS. Il est alors possible de prévoir des moyens de contrôle automatique du gain de l'étage amplificateur par une commande appropriée de cette tension de grille.

30

La valeur de seuil peut être unique pour l'ensemble des comparateurs. On peut ainsi choisir des comparateurs identiques pour le quantificateur et ainsi diminuer les

risques de dispersion des caractéristiques des composants du quantificateur. En outre, à l'aide d'une tension de seuil unique de faible valeur, les propriétés de la

35 quantification (dynamique de la quantification, compression logarithmique, à pas constant, etc...) sont principalement fixées par le choix des gains des étages amplificateurs

Chaque comparateur peut comporter :

- un amplificateur différentiel à grand gain, recevant sur une entrée positive la sortie de l'étage amplificateur correspondant, et sur une entrée négative la valeur de seuil correspondante,
- 5 ▪ et un module de prise de décision binaire, connecté en sortie de l'amplificateur différentiel à grand gain.

De préférence, le module de prise de décision binaire comprend un discriminateur à hystérésis. De cette manière, les valeurs quantifiées sont correctement saturées.

10

Le quantificateur peut comporter un module de filtrage connecté en sortie du module de prise de décision binaire pour éliminer des impulsions de durée inférieure à une durée prédéterminée. Ceci se traduit par une réduction du bruit ainsi qu'un meilleur comportement de la quantification aux hautes fréquences.

15

Le quantificateur peut comporter en outre une ligne à retard connectée à la sortie de chaque comparateur, les lignes à retard étant agencées pour délivrer la sortie des comparateurs sensiblement au même instant. De préférence, chaque ligne à retard comporte $2^N - 1 - i$ cellules à retard sensiblement identiques, où i est la position de
20 l'étage amplificateur associé à la ligne dans la série d'étages amplificateurs.

De cette manière, les retards induits par la propagation du signal le long de la chaîne d'amplification sont compensés.

25

Le quantificateur peut également comporter, en début ou en fin de la série d'étages amplificateurs, un étage amplificateur supplémentaire, et un comparateur supplémentaire connecté à la sortie de l'étage amplificateur supplémentaire, et apte à comparer la sortie de celui-ci à la valeur nulle pour déterminer le signe du signal à quantifier.

30

La présente invention a également pour objet un convertisseur analogique-numérique à N bits comportant un quantificateur du type précité et un échantillonneur relié au quantificateur, et apte à échantillonner les signaux qu'il reçoit en entrée.

35

En d'autres termes, dans un tel convertisseur, la fonction de quantification est dissociée de la fonction d'échantillonnage, ce qui résulte de l'architecture du quantificateur qui est par nature asynchrone. Il est ainsi possible d'appliquer tout

traitement numérique asynchrone jugé utile au signal quantifié avant son échantillonnage.

5 Ceci est particulièrement avantageux lorsque l'information utile contenue dans le signal quantifiée est contenue dans une gamme de fréquences basses, comme cela est généralement le cas de la réception de données radiofréquence modulées, pour lesquelles seule l'enveloppe du signal est utile. Avant l'échantillonnage, il est donc possible d'appliquer une extraction de l'enveloppe, par exemple au moyen d'un filtre passe-bas, puis d'échantillonner à une fréquence basse. Une économie
10 d'énergie est ainsi obtenue puisqu'il n'est pas nécessaire de prévoir un échantillonneur haute vitesse très consommateur d'énergie.

Selon des modes de réalisation particuliers de l'invention, le convertisseur comporte une ou plusieurs des caractéristiques suivantes.

15 Le convertisseur peut comporter un module de traitement numérique connecté entre le quantificateur et l'échantillonneur.

L'invention a également pour objet un récepteur ultra-large bande comportant un
20 convertisseur du type précité.

BREVE DESCRIPTION DES FIGURES

L'invention sera mieux comprise à la lecture de la description qui suit, donnée
25 uniquement à titre d'exemple, et réalisée en relation avec les dessins annexés, dans lesquels :

- la figure 1 est une vue schématique d'un CAN flash classique, dont il a déjà été discuté dans le préambule ;
- la figure 2 est une vue schématique d'un premier mode de réalisation du
30 quantificateur selon l'invention ;
- les figures 3 à 6 sont des graphiques illustrant la quantification mise en œuvre par l'invention par comparaison avec la quantification mise en œuvre par un CAN flash classique ;
- la figure 7 est une vue schématique d'un premier mode de réalisation d'un étage
35 amplificateur entrant dans la constitution du quantificateur de la figure 2 ;
- la figure 8 est une vue schématique d'un second mode de réalisation d'un étage amplificateur entrant dans la constitution du quantificateur de la figure 2 ;

- la figure 9 est une vue schématique d'un comparateur entrant dans la constitution du quantificateur de la figure 2 ;
- les figures 10 et 11 illustrent un discriminateur à hystérésis entrant dans la constitution du comparateur de la figure 9 ;
- 5 – les figures 12 à 14 sont des vues schématiques de différents modes de réalisation de cellule à retard entrant dans la constitution du quantificateur de la figure 2 ;
- la figure 15 est une vue schématique d'un CAN selon l'invention ;
- la figure 16 est une vue schématique d'un récepteur ultra-large bande selon l'invention ;
- 10 – les figures 17 à 22 sont des chronogrammes illustrant les différentes étapes de traitement mises en œuvre par le CAN redresseur de la figure 16 ; et
- la figure 23 est une forme de réalisation particulière du récepteur de la figure 16.

DESCRIPTION DETAILLEE DE L'INVENTION

15

QUANTIFICATEUR SELON L'INVENTION

Sur la figure 2, un quantificateur de tension à N bits **20** comprend 2^N-1 étages de quantification $E_1^2 - E_{2^N-1}^2$ agencés en série.

20

Chaque étage de quantification $E_1^2 - E_{2^N-1}^2$ comporte :

- un amplificateur de tension $G_1^2 - G_{2^N-1}^2$ de gain prédéterminé ;
- un comparateur de tension $C_1^2 - C_{2^N-1}^2$, dont l'entrée positive (+) est connectée à la sortie de l'amplificateur de tension $G_1^2 - G_{2^N-1}^2$, et dont l'entrée négative (-) reçoit une tension de seuil unique V_{th} ; et
- 25 ▪ une cellule à retard $D_1^2 - D_{2^N-1}^2$, dont l'entrée est connectée à la sortie du comparateur de tension $C_1^2 - C_{2^N-1}^2$, et qui applique un retard prédéterminé à cette sortie.

30

Les amplificateurs de tension $G_1^2 - G_{2^N-1}^2$ sont connectés en série, le premier G_1^2 d'entre eux recevant une tension à quantifier V_{in} .

- 35 Les sorties des cellules à retard $D_1^2 - D_{2^N-1}^2$ forment quant à elles les valeurs binaires quantifiées $Q_1 - Q_{2^N-1}$ du quantificateur **20** à N bits. Leur retard est sélectionné pour compenser le retard s'accumulant le long de la chaîne d'amplification formée des amplificateurs $G_1^2 - G_{2^N-1}^2$, de manière à ce que les valeurs binaires $Q_1 - Q_{2^N-1}$ soient

temporellement ajustées sur le même instant, et ainsi obtenir une cohérence temporelle pour celles-ci.

Ainsi, il est possible de quantifier de façon asynchrone un signal d'entrée en temps continu, c'est-à-dire un signal non échantillonné, les signaux fournis en continu en sortie des cellules de retard $D_1^2 - D_{2^{N-1}}^2$ constituant les valeurs binaires quantifiées correspondant au signal d'entrée avec un décalage temporel correspondant au temps de propagation à travers le quantificateur.

10 On notera que la dernière cellule de retard $D_{2^{N-1}}^2$ est facultative, comme dans l'exemple relatif à la figure 23 ci-après décrit.

De manière facultative, le quantificateur **20** comporte également un étage **22** de détermination du signe de la tension V_{in} . L'étage **22** comporte un amplificateur **24**, agencé en série avec l'amplificateur $G_{2^{N-1}}^2$ du dernier étage de quantification $E_{2^{N-1}}^2$.

L'étage **22** comprend par ailleurs un comparateur **26**, connecté par son entrée positive (+) à la sortie de l'amplificateur **24**, et recevant sur son entrée négative (-) une tension nulle, la sortie du comparateur **26** donnant de ce fait le signe de la tension V_{in} .

Dans une première variante de réalisation du quantificateur de la figure 2, une quantification avec compression logarithmique est réalisée en choisissant pour les gains des amplificateurs $G_1^2 - G_{2^{N-1}}^2$ une valeur unique prédéterminée G.

25 En effet, dans un tel cas, la tension V_{in} est quantifiée selon l'échelle de valeurs $\left\{ \frac{V_{th}}{G^{2^{N-1}}}, \dots, \frac{V_{th}}{G^3}, \frac{V_{th}}{G^2}, \frac{V_{th}}{G} \right\}$. Cette variante est par exemple utile dans une application à la quantification d'un signal présentant une grande dynamique.

30 Dans une seconde variante de réalisation du quantificateur de la figure 2, une quantification avec une amplitude à pas constant, c'est-à-dire une quantification analogue à celle mise en œuvre dans CAN flash classique, est réalisée en choisissant pour chaque amplificateur $G_2^2 - G_{2^{N-1}}^2$ à partir de la deuxième position dans la chaîne d'amplification un gain sensiblement égal à $\frac{i}{i-1}$, où i est la position de

35 l'amplificateur dans cette chaîne.

En effet, dans un tel cas, la tension V_{in} est quantifiée selon l'échelle de valeurs $\left\{ \frac{V_{th}}{(2^N - 1) \times G_1}, \dots, \frac{V_{th}}{3 \times G_1}, \frac{V_{th}}{2 \times G_1}, \frac{V_{th}}{G_1} \right\}$, où G_1 est le gain du premier amplificateur G_1^2 dans la chaîne d'amplification.

5 Les figures 3 à 6 illustrent une telle quantification avec amplitude à pas constant.

Les figures 3 et 4 illustrent la quantification mise en œuvre par le CAN flash classique de la figure 1. Sur la figure 3, l'évolution temporelle de la tension amplifiée $G \times V_{in}$ en sortie de l'amplificateur G^1 est représentée, ainsi que les quatre premières tensions de seuil V_1, V_2, V_3 et V_4 . La figure 4 illustre l'évolution temporelle correspondante des quatre premières valeurs quantifiées Q_1, Q_2, Q_3 et Q_4 en sortie des quatre premiers comparateurs $C_1^1, C_2^1, C_3^1, C_4^1$.

15 Les figures 5 et 6 illustrent quant à elles la quantification avec amplitude à pas constant mise en œuvre par le quantificateur de la figure 2, également pour les quatre premières valeurs quantifiées Q_1, Q_2, Q_3 et Q_4 .

Comme on peut le constater, la quantification obtenue par la quantification de ces deux dispositifs est identique.

20 Toutefois, dans le CAN flash classique, il est nécessaire d'amplifier la tension V_{in} avec un gain très important pour obtenir une comparaison avec l'ensemble des tensions de référence $V_1, V_2, V_3, \dots, V_{2^N - 1}$.

25 Dans le quantificateur selon l'invention, lorsqu'une tension de seuil unique V_{th} est choisie pour l'ensemble des étages de quantification $E_1^2 - E_{2^N - 1}^2$, il n'est pas nécessaire d'amplifier la tension pour être certain d'utiliser toute la plage dynamique de la quantification si les gains des amplificateurs sont choisis en conséquence et/ou sont des gains variables.

30 De préférence, les gains des amplificateurs $G_1^2 - G_{2^N - 1}^2$ à partir du deuxième amplificateur G_2^2 sont compris strictement entre 1 et 2. Le gain du premier amplificateur G_1^2 peut quant à lui être égal à 1

35 On sait en effet qu'il est simple de réaliser des amplificateurs ayant de tels gains. En outre, de tels amplificateurs sont peu consommateurs d'énergie et présentent une

grande linéarité en comparaison avec les amplificateurs de grand gain, tel que l'amplificateur G^1 utilisé dans un CAN flash classique de la figure 1.

De préférence également, les gains des amplificateurs $G_1^2 - G_{2^N-1}^2$ sont sélectionnés
5 en fonction de l'application particulière à laquelle est destiné le quantificateur.

Plus particulièrement, les amplificateurs présentent un gain non nul uniquement dans la bande de fréquence attendue de la tension V_{in} . Par exemple, dans le cas où il est attendu une tension V_{in} ne comportant pas de composante continue, les gains des
10 amplificateurs $G_1^2 - G_{2^N-1}^2$ sont du type passe-haut ou passe-bande, de manière à filtrer les basses fréquences.

Ceci est particulièrement avantageux car les effets de sélection de bandes de fréquences des amplificateurs se cumulent le long de la chaîne d'amplification.
15 Ainsi, pour les derniers étages de quantification, une composante parasite, par exemple continue, reçue en entrée est sensiblement annulée par son filtrage successif au travers des amplificateurs $G_1^2 - G_{2^N-1}^2$. En considérant par exemple des gains identiques avec une atténuation de -20dB du continu, le filtrage du continu en sortie du quantificateur est de $-(2^N-1)*20$ dB, sans pour cela prévoir des filtres
20 complexes.

Ceci est particulièrement avantageux dans la mesure où les derniers étages de quantification, qui correspondent aux bits de poids faible de la quantification, sont destinés à la quantification de signaux de faible valeur particulièrement sensibles
25 aux bruits parasites et aux non linéarités.

En outre, le fait d'utiliser des amplificateurs à bande de fréquences limitée, permet d'utiliser également des comparateurs $C_1^2 - C_{2^N-1}^2$ à bande de fréquences limitée, moins consommateurs d'énergie que des comparateurs large bande, comme cela est
30 usuellement le cas des CAN flash classiques.

Un premier mode de réalisation 70 d'un amplificateur $G_1^2 - G_{2^N-1}^2$ est illustré à la figure 7.

35 L'amplificateur 70 comporte :

- un amplificateur différentiel 72 de gain A, recevant sur sa borne positive (+) la tension à amplifier, et délivrant en sortie la tension amplifiée,

- une première impédance **74** de valeur Z_1 , connectée entre la sortie de l'amplificateur différentiel **72** et la borne négative (-) de celui-ci,
- et une seconde impédance **76** de valeur Z_2 , connectée entre la borne négative (-) de l'amplificateur différentiel **72** et la masse.

5

La fonction de transfert entre la sortie S et l'entrée E de l'amplificateur **70** est ainsi donnée par la relation :

$$\frac{S}{E} = \frac{A \times (Z_1 + Z_2)}{Z_1 + (1 + A) \times Z_2}.$$

- 10 La contre-réaction au moyen de l'impédance **74** a pour effet de régler le gain de l'amplificateur **70** avec précision. En effet, le réglage de gain est plus précis à l'aide du composant passif qu'est l'impédance **74** qu'avec l'aide d'un composant actif.

- 15 Les valeurs Z_1 et Z_2 des impédances **72** et **74** sont par ailleurs sélectionnées pour mettre en forme la réponse fréquentielle de l'amplificateur **70**, par exemple en fonction de la bande de fréquence de la tension à quantifier V_{in} , comme cela a été mentionné plus haut.

- 20 De préférence, les valeurs Z_1 et Z_2 sont également choisies pour que la fonction de transfert de l'amplificateur **70** soit du type passe haut, de manière à ne pas amplifier un décalage continu parasite V_{offset} pouvant apparaître entre les bornes positive (+) et négative (-) de l'amplificateur différentiel **72**. On sait en effet qu'il est courant que la réponse de l'amplificateur différentiel **72** soit du type $S = A(V_+ - V_- + V_{offset})$, où V_+ et V_- sont les tensions aux bornes positive (+) et négative (-) de l'amplificateur différentiel **72** respectivement et V_{offset} un décalage continu parasite.

- 30 Aussi, pour le continu, la valeur de Z_2 est sensiblement supérieure à la valeur de Z_1 . Par exemple, l'impédance **76** est une résistance, et l'impédance **74** est formée d'une résistance en parallèle avec une inductance, ou bien l'impédance **74** est une résistance et l'impédance **76** est formée d'une résistance en série avec un condensateur.

- 35 Lorsqu'une résistance est choisie pour l'une et/ou l'autre des impédances **74** et **76**, elle est de préférence mise en œuvre sous la forme de la résistance entre le drain et la source d'un transistor MOS. La valeur de cette résistance, et donc celle du gain de l'amplificateur **70**, peut ainsi être réglée par la tension appliquée sur la grille du transistor MOS.

Un contrôle de gain est également mis en œuvre par le pilotage de cette tension de grille.

5 La figure 8 est une vue schématique d'un second mode de réalisation **80** d'un amplificateur $G_1^2 - G_{2^{N-1}}^2$.

Selon ce mode de réalisation, l'amplificateur **80** comporte deux cellules identiques d'amplification **82**, **84** agencées en série. Chaque cellule **82**, **84** comporte un inverseur **820**, **840** de gain A, dont la sortie forme celle-ci. La cellule **82**, **84**
 10 comporte également une première impédance **822**, **842** de valeur Z_1 , connectée entre l'entrée et la sortie de l'inverseur **820**, **840**, et une seconde impédance **824**, **844** de valeur Z_2 , connectée à l'une de ses bornes à l'entrée de l'inverseur **822**, **842**, et dont l'autre borne forme l'entrée de la cellule **82**, **84**. La fonction de transfert entre la sortie S et l'entrée E de l'amplificateur **80** est ainsi donnée par la relation :

15

$$\frac{S}{E} = \left(\frac{A \times Z_1}{Z_1 + (1 + A) \times Z_2} \right)^2$$

Les valeurs Z_1 et Z_2 des impédances sont sélectionnées de manière analogue au mode de réalisation décrit en relation avec la figure 7.

20

Ce deuxième mode de réalisation est avantageux car on a ici accès au signal inversé, ce qui permet d'avoir une comparaison sur les alternances positives et négatives du signal sans avoir à changer ni les comparateurs ni les seuils de comparaison. L'inverseur est en effet le plus simple des amplificateurs avec inversion. Un
 25 amplificateur opérationnel ne se justifie donc pas notamment en raison du filtrage du continu. Pour ce faire, on pourra rajouter un comparateur en sortie de chaque cellule **82** ou utiliser une seule cellule inverseuse (**82** ou **84**) pour chaque amplificateur.

30 Sur la figure 9, il est illustré un mode de réalisation **90** d'un comparateur $C_1^2 - C_{2^{N-1}}^2$ du quantificateur de la figure 2.

Le comparateur **90** comprend un amplificateur différentiel **92** de gain A, recevant sur sa borne positive (+) la sortie de l'amplificateur $G_1^2 - G_{2^{N-1}}^2$, **24** auquel il est associé, et sur sa borne négative (-) la tension de seuil V_{th} .

35

Le comparateur **90** comporte également un discriminateur à hystérésis **94**, connecté en sortie de l'amplificateur différentiel **92**. Le discriminateur **94** prend la décision

binaire quant au fait de savoir si la tension sur la borne (+) est supérieure à la tension sur la borne (-) de l'amplificateur **92** en fournissant en sortie un signal correctement saturé.

- 5 Enfin, optionnellement, le comparateur **90** comporte un filtre passe-bas détecteur de crête **96**, connecté en sortie du discriminateur **94**.

10 Ce filtre **96** comporte une cellule à retard **960**, connectée en sortie du discriminateur **94**, et appliquant un retard de valeur prédéterminée τ à la tension qu'elle reçoit en entrée. Le filtre **96** comporte également des portes « OU » logique **962** et « NON-ET » logique **964**, connectées chacune en sortie du discriminateur **94** et de la cellule à retard **960**, ainsi qu'une bascule bistable RS sensible aux niveaux bas formée de deux portes « NON-ET » **966**, **968** interconnectées.

15 Le filtre **96** élimine ainsi les impulsions de durée inférieure au retard τ . La valeur de τ est de préférence choisie de manière à ce que son inverse soit supérieur ou égal à la fréquence de Shannon de la tension V_{in} à quantifier. Ainsi, grâce au filtre **96**, les impulsions parasites, par exemple provoquées par des interférences de hautes fréquences, sont sensiblement éliminées.

20

La figure 10 est un exemple de réalisation **100** du discriminateur **94** et la figure 11 est une hystérésis mise en œuvre par ce mode de réalisation du discriminateur **94**.

25 Le discriminateur **100** comporte deux inverseurs logiques **102**, **104** en série, une première résistance **106** de valeur R_1 connectée en parallèle des deux inverseurs **102**, **104**, ainsi qu'une seconde résistance **108** de valeur R_2 , connectée en entrée du premier inverseur **102**. La borne libre de la seconde résistance **108** forme l'entrée E du discriminateur **100** et la sortie du second inverseur forme la sortie S de celui-ci.

30 Comme on peut le constater sur la figure 11, la tension d'hystérésis est sensiblement égale à $V \times \frac{R_1}{R_2}$, où V est la demi amplitude du résultat binaire, où 2V est la tension d'alimentation des inverseurs **102**, **104**, c'est-à-dire également l'amplitude en sortie de ceux-ci.

35 Les figures 12 à 14 sont des vues schématiques de modes de réalisation **120**, **130** et **140** de cellules à retard $D_1^2 - D_{2^{N-1}}^2$.

La cellule **120** de la figure 12 comporte deux branches **122**, **124** de transistors MOS. Chaque branche est constituée :

- 5 ▪ d'un premier transistor MOS à canal p **1220**, **1240**, dont la source est connectée à la masse et dont la grille est connectée à une tension V_{com} de réglage du retard de la cellule **120**,
- d'un second transistor MOS à canal p **1222**, **1242**, dont la source est connectée au drain du premier transistor MOS **1220**, **1240**,
- et d'un transistor MOS à canal n **1224**, **1244**, dont le drain est connecté au drain du second transistor MOS **1222**, **1242** et dont la source est connectée à la masse.

10

Les grilles du second transistor MOS à canal p **1222** et du transistor à canal n **1224** de la première branche **122** sont communes et sont connectées à l'entrée E de la cellule **120**. Les grilles du second transistor MOS à canal p **1242** et du transistor à canal n **1244** de la seconde branche **122** sont communes et sont connectées à la

15 sortie S de la cellule **120**.

La cellule à retard **130** de la figure 13 est identique à celle de la figure 12 à la différence que le premier transistor MOS à canal p de la seconde branche est omis.

- 20 La cellule **120** de la figure 12 retarde à la fois les fronts montants et les fronts descendants d'un signal appliqué à l'entrée E, alors que la cellule **130** de la figure 13 ne retarde que les fronts descendants.

- 25 Par ailleurs, la présence du transistor MOS supplémentaire **1240** dans la cellule **120** a pour effet de limiter le courant de commutation des transistors en fonction de la tension de réglage V_{com} .

- 30 La cellule à retard **140** de la figure 14 comporte quant à elle deux transistors MOS à canal n **1400**, **1402**, ayant leurs sources en commun, deux capacités **1404**, **1406** connectées respectivement entre les drains des transistors **1400**, **1402** et la masse, et une source de courant **1408** connectée entre les sources des transistors **1400**, **1402** et la masse. L'entrée E de la cellule **140** est connectée aux grilles de ces transistors et la sortie S aux drains de ceux-ci. La valeur du retard appliqué par la cellule **140** est réglée par la valeur du courant I_{com} de la source de courant **1408**

35

La cellule **140** présente une vitesse de fonctionnement plus élevée que celle des cellules **120**, **130** des figures 12 et 13, mais nécessite en permanence le courant de polarisation I_{com} .

CONVERTISSEUR ANALOGIQUE/NUMERIQUE SELON L'INVENTION

La figure 15 est une vue schématique d'un convertisseur analogique-numérique **150**
5 incorporant un quantificateur selon l'invention.

Le CAN comporte un quantificateur **1500** selon l'invention, par exemple celui de la
figure 2, et un échantillonneur **1502**, dont la fréquence d'échantillonnage est celle
d'une horloge H. L'échantillonneur est par exemple formé d'un registre de 2^N-1
10 bascules D.

De manière particulièrement avantageuse, le CAN **150** comprend également un
circuit de traitement numérique asynchrone **1504**, agencé entre le quantificateur
1500 et l'échantillonneur **1502**, et mettant en œuvre toute opération jugée utile sur le
15 signal quantifié.

Le traitement des valeurs quantifiées de la tension V_{in} est ainsi réalisé avant
échantillonnage. Ceci est rendu possible par le fait que le quantificateur selon
l'invention est par nature asynchrone du fait des retards de propagation du signal le
20 long de la chaîne d'amplification.

Classiquement, dans le cas d'un CAN flash, un traitement est réalisé sur les valeurs
quantifiées et échantillonnées en sortie de celui-ci. Or, on sait qu'un traitement sur
de telles valeurs nécessite en réalité de reconvertir les valeurs échantillonnées en
25 valeurs numériques pour permettre des opérations logiques. La réalisation d'un
traitement sur les valeurs quantifiées non échantillonnées permet ainsi de faire
l'économie de cette étape, impliquant de fait un gain en vitesse de fonctionnement et
en consommation.

30 Bien entendu, il est également possible de ne prévoir aucun traitement numérique
des valeurs quantifiées avant leur échantillonnage. Dans un tel cas, le quantificateur
est directement connecté à l'échantillonneur.

APPLICATION A LA RECEPTION ULTRA LARGE BANDE IMPULSIONNELLE

35

La transmission radio d'informations numériques ou analogiques est usuellement
réalisée en convertissant par modulation ces informations en un signal, dont le
domaine fréquentiel, constitué d'une ou plusieurs bandes de hautes fréquences, est

compatible avec la transmission par onde radiofréquence (RF). Cette transmission se fait sans support filaire, et en général dans un canal de transmission qui est constitué par l'environnement (air ou vide par exemple) situé entre l'émetteur et le récepteur du signal RF. Une fois reçu, le signal RF est démodulé pour retrouver les informations initiales dans leur bande de base fréquentielle.

On distingue au moins deux types de transmission RF, à savoir une transmission par porteuse modulée et une transmission par des signaux impulsionnels, par exemple du type radar.

Dans le cas d'une transmission par porteuse modulée, le signal RF est produit par la combinaison d'un ou de plusieurs signaux sinusoïdaux modulés, qui ont la particularité d'être émis pendant une grande partie, voire la totalité de la durée de transmission. L'émission du signal RF est donc réalisée de manière continue.

Dans le cas d'une transmission RF par des signaux impulsionnels, le signal RF est une impulsion modulée, en général de courte durée par rapport à la durée totale de transmission, mais répétée régulièrement. L'émission se fait donc de manière discontinue. Les impulsions courtes occupant un spectre de fréquences très large, on parle souvent de transmission de type ultra large bande impulsionnel (UWB).

Aujourd'hui, de nombreux émetteurs-récepteurs RF sont conçus pour envoyer des informations numériques plutôt que des informations analogiques en raison des possibilités toujours plus grandes qu'offrent le traitement numérique des signaux. On observe ainsi, dans un récepteur RF, qu'une conversion analogique-numérique est réalisée au plus tôt après la réception, parfois même en sortie de l'antenne de réception, pour profiter le plus rapidement possible des avantages qu'offre le traitement numérique.

Toutefois, placer un convertisseur analogique-numérique au plus près de l'antenne du récepteur RF, c'est-à-dire en amont des composants de démodulation qui convertissent le signal dans la bande de base, oblige, sauf cas très particuliers de sous-échantillonnage, à échantillonner à au moins deux fois la plus haute fréquence du spectre du signal RF reçu. Or, un échantillonnage à très haute fréquence (de l'ordre de plusieurs gigahertz) implique d'une part l'utilisation de convertisseurs très rapides, usuellement des CAN flash, et d'autre part une démodulation numérique à partir d'un flux très important de données (de l'ordre du gigaoctet par seconde).

De tels récepteurs RF n'ont pour l'instant pas donné satisfaction, notamment en ce qui concerne la consommation.

5 Par ailleurs, dans le cas de la détection UWB non cohérente par détection de l'énergie des impulsions du signal RF reçu, par exemple décrite dans le document WO 2005/074150, une approximation de la puissance instantanée du signal RF reçu est réalisée en mesurant la valeur absolue de ce signal au moyen d'un redressement de celui-ci.

10 Or, un redressement efficace est obtenu pour un signal d'amplitude suffisamment importante. Aussi, dans le récepteur UWB non cohérent par détection d'énergie, il est nécessaire de prévoir une forte amplification de l'amplitude du signal reçu, typiquement une amplification de l'ordre de 70 dB. Une partie du gain de l'amplification est usuellement obtenue par l'amplificateur faible bruit, typiquement
15 un gain de l'ordre de 20dB. Le reste de l'amplification est réalisée à l'aide d'étages amplificateurs spécifiques.

La figure 16 est une vue schématique d'un récepteur UWB **160** non cohérent par détection d'énergie. Ce récepteur **160** comporte un CAN selon l'invention. Ce CAN
20 résout à la fois le problème de consommation d'énergie et le problème de l'échantillonnage à très haute fréquence par l'utilisation d'un quantificateur selon l'invention, peu gourmand en énergie et permettant de séparer la fonction de quantification de la fonction d'échantillonnage.

25 Le récepteur UWB **160** comporte une antenne de réception RF **1600** et un amplificateur faible bruit **1602** classiques.

Le récepteur **160** comporte en outre un quantificateur à compression logarithmique **1604** selon l'invention, tel que décrit en relation avec la figure 2. Le quantificateur
30 **1604** est connecté à l'amplificateur **1602** et quantifie le signal RF amplifié en sortie de ce dernier.

Un module **1606**, appliquant une fonction de redressement et de filtrage et passe-bas, est également prévu en sortie du quantificateur **1604**.

35

Le redressement mis en œuvre par le module **1606** consiste par exemple à régler le signe du signal quantifié à 0.

Le filtrage passe-bas du module **1606**, par exemple sous la forme d'un filtre à réponse impulsionnelle finie ou infinie, réduit sensiblement la bande passante du signal quantifié de manière à baisser d'un ordre de grandeur la fréquence de l'échantillonnage mise en œuvre ultérieurement. Il n'est ainsi conservé que
5 l'enveloppe du signal reçu, c'est-à-dire la partie utile de celui-ci.

Par ailleurs, un échantillonneur **1608**, formé d'un registre à 2^N-1 bascules monostables du type D, est connecté en sortie du filtre passe-bas pour l'échantillonnage des valeurs quantifiées délivrées par celui-ci.
10

Enfin, un encodeur thermométrique **1610**, connecté à l'échantillonneur **1608**, encode les valeurs quantifiées et échantillonnées en sortie de celui-ci, selon un codage binaire souhaité, comme un codage gray par exemple.

15 Les figures 17 à 22 illustrent les différentes étapes de traitement réalisées par le récepteur **160** sur un exemple d'impulsions reçues, ici du type racine carrée de cosinus surélevé à une fréquence centrale de 4,5 GHz et ayant une bande de fréquences de 700 MHz. La fréquence d'échantillonnage est ici de 2 GHz.

20 La figure 23 est un autre mode de réalisation du quantificateur **1604**, du module de redressement et de filtrage passe-bas **1606** et d'échantillonnage **1608** du récepteur **160** de la figure 16.

Dans cette forme de réalisation, le quantificateur, ici désigné sous la référence **230**,
25 est formé de 2^N-1 étages de quantification $E_1^{23} - E_{2^N-1}^{23}$ agencés en série et d'une matrice triangulaire **232** de cellules à retard de valeur τ .

Chacun de ces étages $E_1^{23} - E_{2^N-1}^{23}$ comporte un premier inverseur CMOS **I1**, dont la sortie forme la sortie de l'étage, un transistor CMOS à canal n **M1** et un condensateur **Cs**, connecté à l'une de ses bornes à la borne entrée de l'inverseur **I1**
30 et dont l'autre bornes forme l'entrée de l'étage de quantification $E_1^{23} - E_{2^N-1}^{23}$.

Le condensateur **Cs** réalise le filtrage d'une composante continue parasite du signal V_{in} à quantifier. En effet, dans le cadre de l'application à la réception UWB, le
35 signal ne comporte pas de composante continue lorsqu'il n'est pas parasité.

Le chemin drain-source du transistor **M1** est monté en contre-réaction sur le premier inverseur **I1**, et la grille du transistor **M1** est connectée à une tension de commande

Vgain. La valeur de la tension de grille Vgain du transistor **M1** règle le gain de l'amplification réalisée par l'étage d'amplification, gain qui est ici négatif.

Chaque étage de quantification $\mathbf{E}_1^{23} - \mathbf{E}_{2^{N-1}}^{23}$ comporte en outre un second inverseur CMOS **I2**, connecté en sortie du premier inverseur **I1**. Le second inverseur **I2** est choisi différent du premier inverseur **I1** de manière à ce que l'inverseur **I2** amplifie la sortie du premier inverseur **I1** avec un biais en tension prédéterminé. Ce biais correspond à la tension de seuil V_{th} souhaitée pour la quantification mise en œuvre par l'étage de quantification $\mathbf{E}_1^{23} - \mathbf{E}_{2^{N-1}}^{23}$. Ceci est par exemple réalisé en choisissant des transistors de taille différente pour les inverseurs **I1** et **I2**.

Enfin, chaque étage de quantification $\mathbf{E}_1^{23} - \mathbf{E}_{2^{N-1}}^{23}$ comprend un discriminateur à hystérésis **H**, par exemple celui décrit en relation avec la figure 10.

La matrice triangulaire **232** comporte quant à elle une série de cellules à retard consécutives pour chaque étage de quantification $\mathbf{E}_1^{23} - \mathbf{E}_{2^{N-1}}^{23}$, le nombre de cellules à retard consécutives pour le $i^{ème}$ étage de quantification étant égal à de $2^N - 1 - i$, de manière à compenser le temps de propagation dans les étages $\mathbf{E}_1^{23} - \mathbf{E}_{2^{N-1}}^{23}$.

Le quantificateur **230** comporte en outre un filtre **234**. Le filtre **234** réalise, en combinaison avec les étages de quantification $\mathbf{E}_1^{23} - \mathbf{E}_{2^{N-1}}^{23}$, une fonction de redressement.

Plus particulièrement, en supposant les gains égaux à $-G$ pour les étages de quantification $\mathbf{E}_1^{23} - \mathbf{E}_{2^{N-1}}^{23}$, avec G un nombre positif prédéterminé, il est réalisé au moyen des étages de quantification impairs $\mathbf{E}_1^{23}, \mathbf{E}_3^{23}, \dots, \mathbf{E}_{2^{N-1}}^{23}$ une comparaison de la tension V_{in} à quantifier (la tension en sortie de l'amplificateur faible bruit) avec les valeurs $\left\{ -\frac{V_{th}}{G^{2^N-1}}, \dots, -\frac{V_{th}}{G^3}, -\frac{V_{th}}{G} \right\}$.

Par ailleurs, il est réalisé au moyen des étages de quantification pairs $\mathbf{E}_2^{23}, \mathbf{E}_4^{23}, \dots, \mathbf{E}_{2^{N-2}}^{23}$ une comparaison de la tension V_{in} avec les valeurs $\left\{ \frac{V_{th}}{G^{2^N-2}}, \dots, \frac{V_{th}}{G^4}, \frac{V_{th}}{G^2} \right\}$.

De fait, les étages impairs réalisent une quantification de la valeur absolue des alternances négatives de la tension V_{in} alors que les étages pairs réalisent une quantification de la valeur absolue des alternances positives de la tension V_{in} . Une quantification entrelacée des alternances positives et négatives de la tension V_{in} est ainsi obtenue.

Le filtre **234** réalise également un filtrage passe-bas par détection de crête. Ce filtrage est effectué en allongeant, d'une durée δ prédéterminée, chaque valeur quantifiée $Q_1 - Q_{2^N-1}$ en sortie de la matrice **232**. Pour chacune des valeurs quantifiées $Q_1 - Q_{2^N-1}$, le filtre **234** comporte à cet effet une porte « OU » **2340** au
5 travers de laquelle la valeur quantifiée est combinée avec une valeur d'elle-même retardée au moyen d'une cellule à retard **2342** de valeur δ .

Le filtre **234** combine également, au moyen de portes « OU » **2344**, les valeurs quantifiées allongées associées à deux étages de quantification consécutifs. Par
10 exemple, en notant $Q'_1 - Q'_{2^N-1}$ les valeurs quantifiées allongées, le filtre **234** réalise, hormis pour la première valeur quantifiée allongée Q'_1 , les combinaisons logiques $Q''_i = Q'_i \text{ OU } Q'_{i+1}$. Il est ainsi obtenu un redressement des alternances négatives quantifiées de la tension V_{in} .

Enfin, un échantillonneur **236** est également prévu pour échantillonner les valeurs
15 quantifiées, allongées et redressées en sortie du filtre **234**.

Bien qu'il ait été décrit un quantificateur à valeur de seuil unique, on comprendra qu'il est possible de choisir des valeurs différentes pour la comparaison.

REVENDICATIONS

1. Quantificateur asynchrone à N bits (20 ; 230, 232, 234) comprenant :
 - 5 ▪ 2^N-1 étages amplificateurs de signal ($G_1^2-G_{2^{N-1}}^2$; I1, Cs, M1) agencés en série, l'entrée du premier étage étant apte à recevoir un signal à quantifier ;
 - 2^N-1 comparateurs ($C_1^2-C_{2^{N-1}}^2$; I2, H), un comparateur étant connecté à la sortie de chaque étage amplificateur ($G_1^2-G_{2^{N-1}}^2$; I1, Cs, M1), et apte à comparer la valeur de cette sortie à une valeur de seuil prédéterminée ; et
 - 10 ▪ au moins 2^N-2 lignes à retard ($D_1^2-D_{2^{N-1}}^2$) placées en sortie des 2^N-2 premiers comparateurs, les signaux fournis en sortie des lignes à retard ($D_1^2-D_{2^{N-1}}^2$) et du dernier comparateur constituant à tout instant les valeurs binaires quantifiées du signal d'entrée avec un décalage temporel.

- 15 2. Quantificateur selon la revendication 1, *caractérisé* en ce que la valeur absolue du gain d'un étage amplificateur ($G_1^2-G_{2^{N-1}}^2$; I1, Cs, M1) est comprise entre environ 1 et environ 2.

- 20 3. Quantificateur selon l'une des revendications 1 et 2, *caractérisé* en ce que le gain des étages amplificateurs ($G_1^2-G_{2^{N-1}}^2$; I1, Cs, M1) est sensiblement identique.

- 25 4. Quantificateur selon l'une des revendications 1 et 2, *caractérisé* en ce que la valeur absolue du gain d'un étage amplificateur ($G_1^2-G_{2^{N-1}}^2$; I1, Cs, M1), hormis le premier, est sensiblement égal à $i/(i-1)*G_1$, où G_1 est le gain du premier étage amplificateur et i la position de l'étage amplificateur dans la série d'étages amplificateurs.

- 30 5. Quantificateur selon l'une des revendications 1 et 2, *caractérisé* en ce que le gain des étages amplificateurs est négatif.

6. Quantificateur selon l'une quelconque des revendications précédentes, *caractérisé* en ce qu'un étage amplificateur ($G_1^2-G_{2^{N-1}}^2$; I1, Cs, M1) est également agencé pour filtrer la composante continue du signal à quantifier.

7. Quantificateur selon l'une quelconque des revendications précédentes, *caractérisé* en ce que chaque étage amplificateur ($G_1^2 - G_{2^N-1}^2$; I1, Cs, M1) est du type à contrôle de gain automatique.
- 5 8. Quantificateur selon l'une quelconque des revendications précédentes, *caractérisé* en ce que chaque étage amplificateur ($G_1^2 - G_{2^N-1}^2$) comporte :
- un amplificateur différentiel (72), dont une entrée positive forme l'entrée de l'étage amplificateur ;
 - une première impédance (74), connectée entre une entrée négative et une
- 10 sortie de l'amplificateur différentiel (72); et
- une seconde impédance (76), connectée entre l'entrée négative de l'amplificateur différentielle et la masse.
9. Quantificateur selon l'une quelconque des revendications 1 à 7, *caractérisé* en
- 15 ce que chaque étage amplificateur ($G_1^2 - G_{2^N-1}^2$) comporte un agencement série de deux cellules amplificatrices (82, 84), chacune de ces cellules (82, 84) étant composée :
- d'un inverseur (820, 840), dont la sortie forme la sortie de la cellule (82, 84),
- 20
- d'une première impédance (822, 842), connectée entre l'entrée et la sortie de l'inverseur (820, 840), et
 - d'une seconde impédance (824, 844), connectée à l'une de ses bornes à l'entrée de l'inverseur (820, 840), et dont l'autre borne forme l'entrée de la cellule (82, 84).
- 25
10. Quantificateur selon l'une quelconque des revendications 1 à 7, *caractérisé* en ce que chaque étage amplificateur (I1, Cs, M1) comporte :
- un inverseur (I1), dont la sortie forme la sortie de l'étage amplificateur,
 - une première impédance (M1) connectée entre l'entrée et la sortie de
- 30 l'inverseur (I1), et
- une seconde impédance (Cs) connectée à l'une de ses bornes à l'entrée de l'inverseur, et dont l'autre borne forme l'entrée de l'étage.
11. Quantificateur selon la revendication 5 ou 10, *caractérisé* en ce qu'il comporte
- 35 en outre un module (234) de traitement numérique apte à appliquer une fonction « OU » à chaque paire de sorties consécutives des lignes à retard et du dernier comparateur, le résultat de la fonction « OU » formant une valeur binaire quantifiée.

- 5
12. Quantificateur selon la revendication 8, 9, 10 ou 11, *caractérisé* en ce que la valeur en continue de la seconde impédance (76 ; 824, 844 ; Cs) est sensiblement supérieure à la valeur en continue de la première impédance (74 ; 822, 842 ; M1).
- 10
13. Quantificateur selon la revendication 8, 9, 10, 11 ou 12, *caractérisé* en ce que la première impédance (M1) est celle définie entre le drain et la source d'un transistor MOS.
- 15
14. Quantificateur selon l'une quelconque des revendications précédentes, *caractérisé* en ce que la valeur de seuil est unique pour l'ensemble des comparateurs ($C_1^2 - C_{2^{N-1}}^2$; I2, H).
- 20
15. Quantificateur selon l'une quelconque des revendications précédentes, *caractérisé* en ce que chaque comparateur ($C_1^2 - C_{2^{N-1}}^2$) comporte :
- un amplificateur différentiel à grand gain (92), recevant sur une entrée positive la sortie de l'étage amplificateur correspondant, et sur une entrée négative la valeur de seuil correspondante, et
 - un module de prise de décision binaire (94), connecté en sortie de l'amplificateur différentiel à grand gain.
- 25
16. Quantificateur selon la revendication 15, *caractérisé* en ce que le module de prise de décision binaire (94) comprend un discriminateur à hystérésis (94).
- 30
17. Quantificateur selon la revendication 15 ou 16, *caractérisé* en ce qu'il comporte en outre un module (96) de filtrage connecté en sortie du module (94) de prise de décision binaire pour éliminer les impulsions de durée inférieure à une durée prédéterminée.
- 35
18. Quantificateur selon l'une quelconque des revendications précédentes, *caractérisé* en ce que chaque ligne à retard (232) comporte $2^N - 1 - i$ des cellules à retard sensiblement identiques, où i est la position de l'étage amplificateur (I1, M1, Cs) associé à la ligne dans la série d'étages amplificateurs.
19. Quantificateur selon l'une quelconque des revendications précédentes, *caractérisé* en ce qu'il comporte en outre, en début ou en fin de la série d'étages amplificateurs, un étage amplificateur supplémentaire (22), et un

comparateur supplémentaire (26) connecté à la sortie de l'étage amplificateur supplémentaire (22) et apte à comparer la sortie de celui-ci à la valeur nulle pour déterminer le signe du signal à quantifier.

- 5 **20.** Convertisseur analogique-numérique à N bits (150) comprenant un quantificateur (1500) selon l'une quelconque des revendications précédentes et un échantillonneur (1502) relié au quantificateur et apte à échantillonner les signaux qu'il reçoit en entrée.
- 10 **21.** Convertisseur analogique-numérique selon la revendication 19, *caractérisé* en ce qu'il comporte un module de traitement numérique (1504) connecté entre le quantificateur (1500) et l'échantillonneur (1502).
- 15 **22.** Récepteur ultra-large bande (160), du type intégrant un convertisseur (1604, 1606, 1608) selon l'une des revendications 20 ou 21.
- 20 **23.** Récepteur ultra-large bande selon la revendication 22, *caractérisé* en ce que le quantificateur met en œuvre une quantification avec compression logarithmique.

(Etat de la technique)

Fig. 1

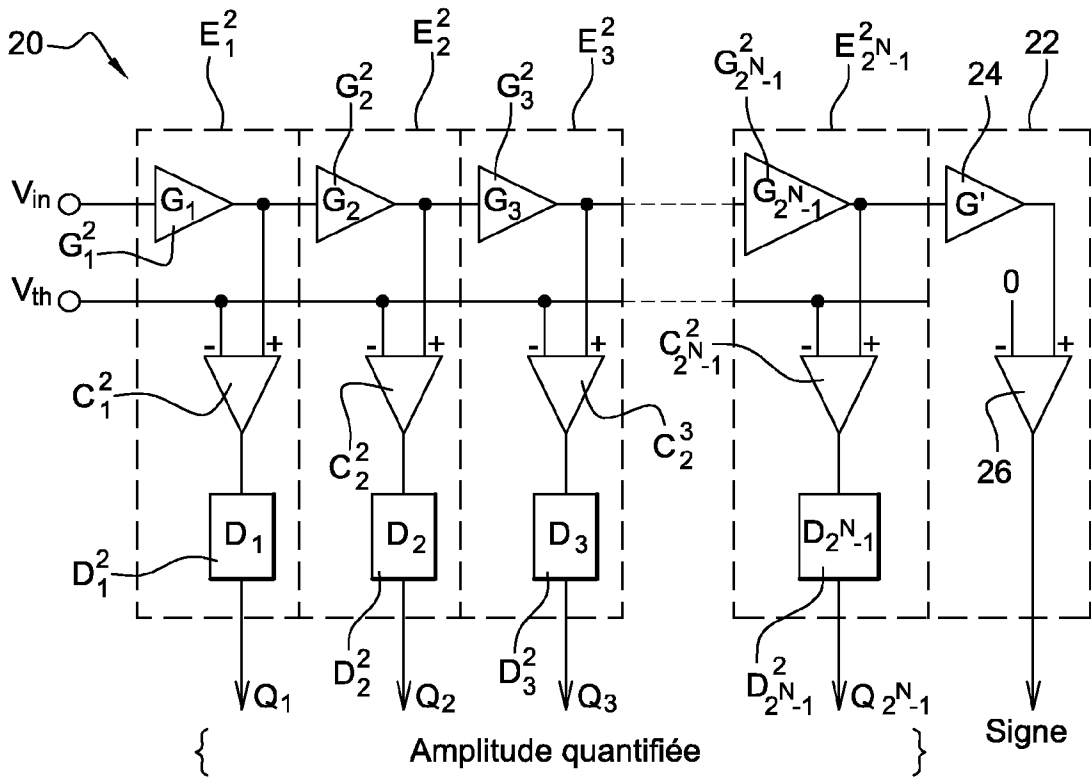
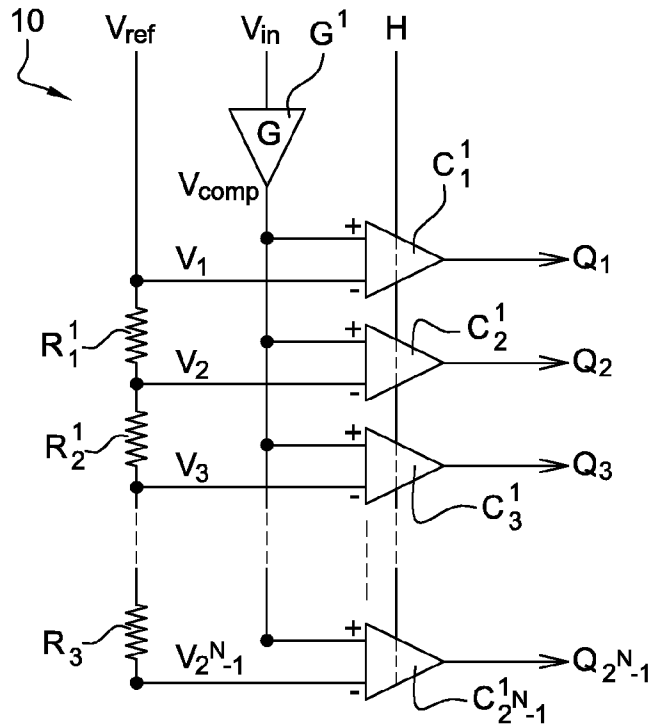
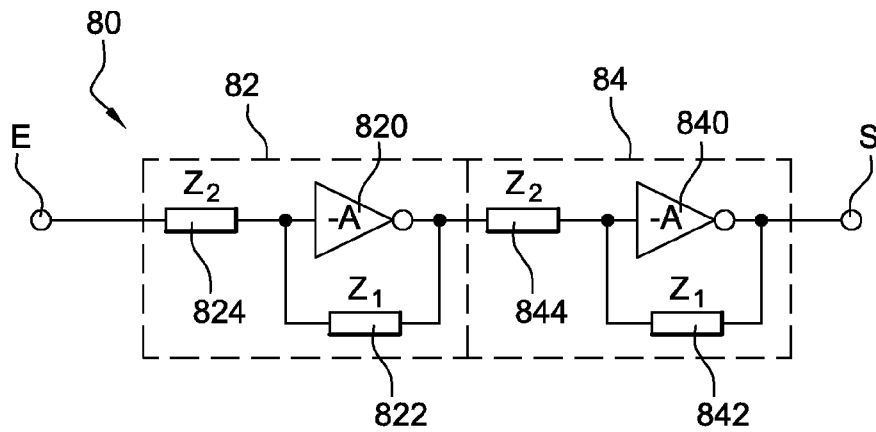
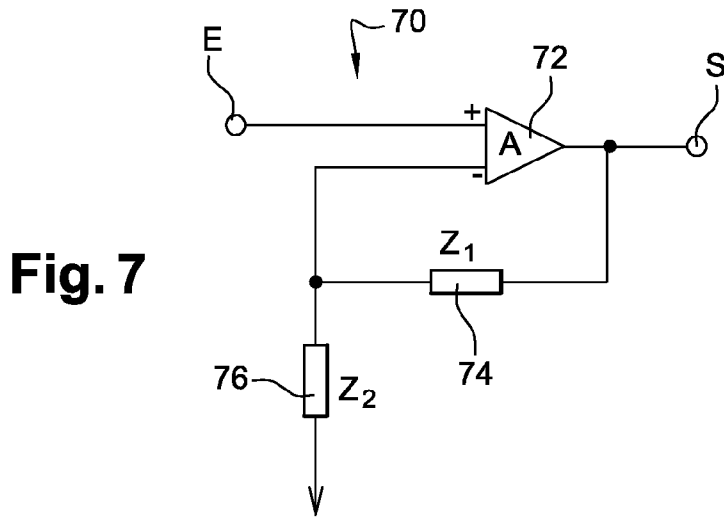
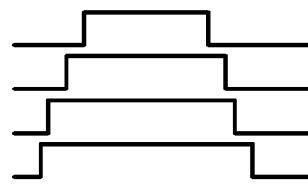
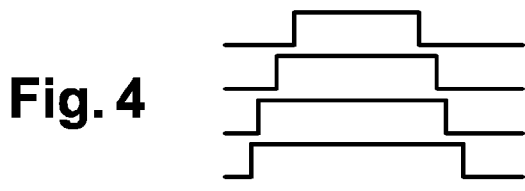
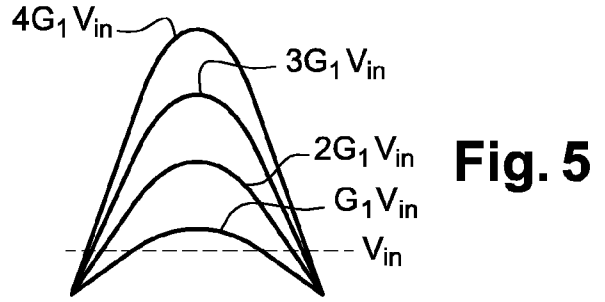
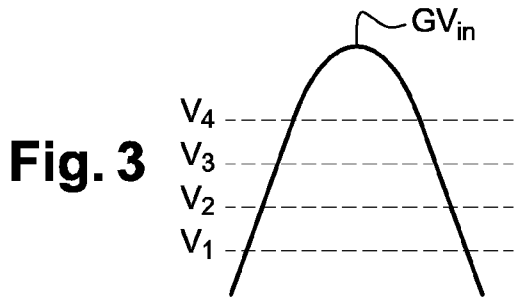


Fig. 2



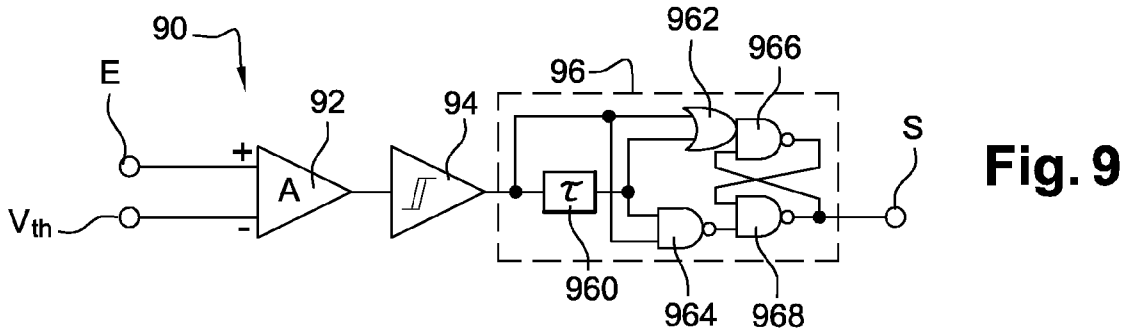


Fig. 9

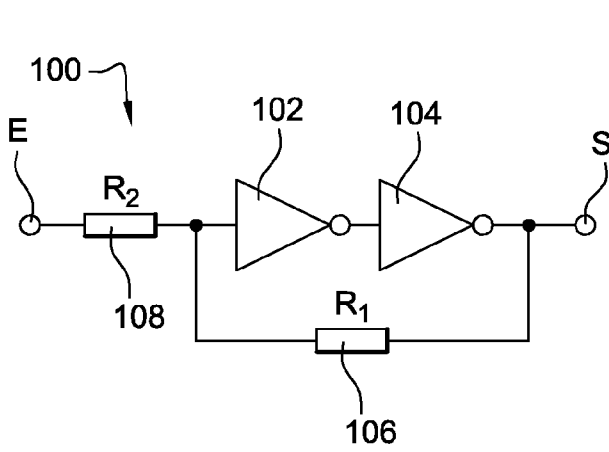


Fig. 10

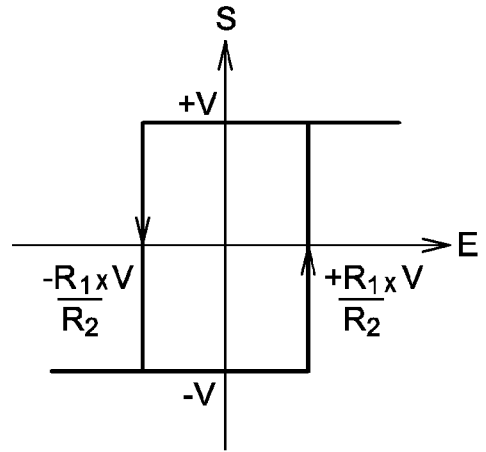


Fig. 11

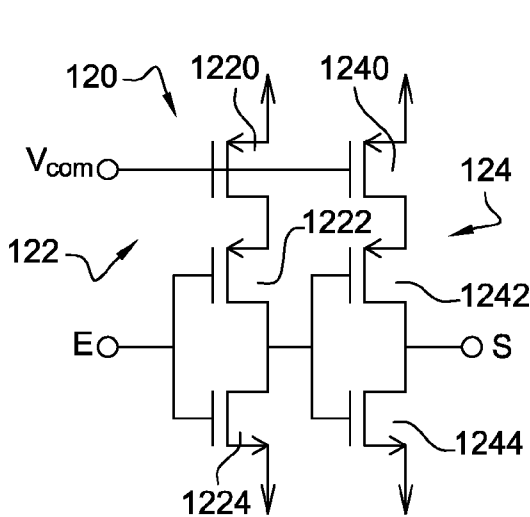


Fig. 12

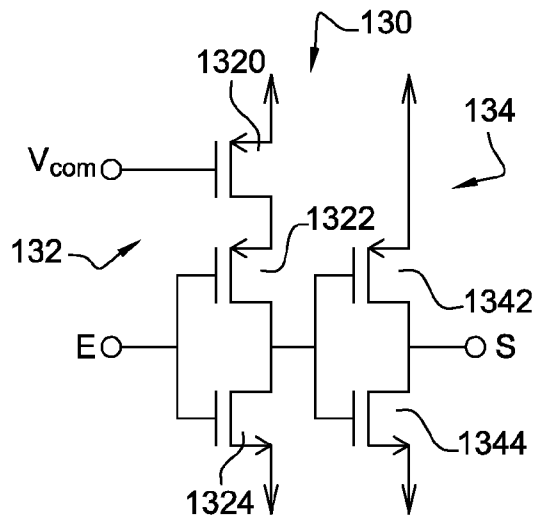


Fig. 13

Fig. 14

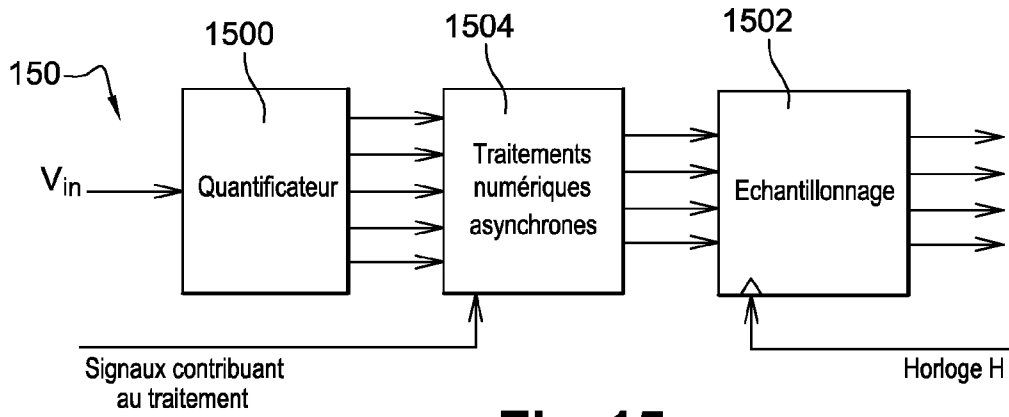
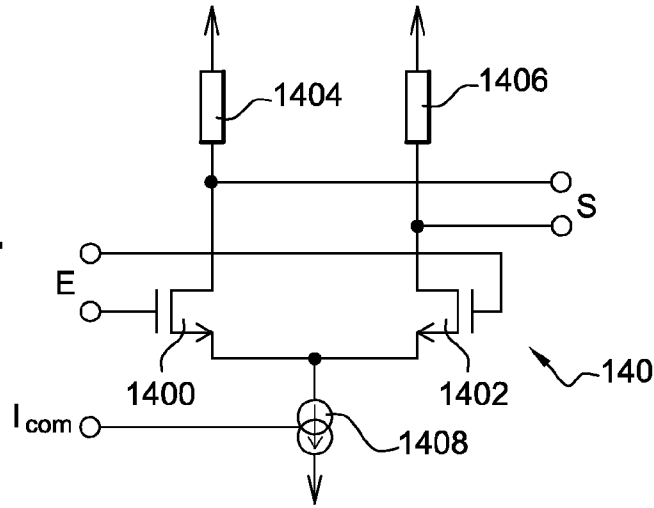


Fig. 15

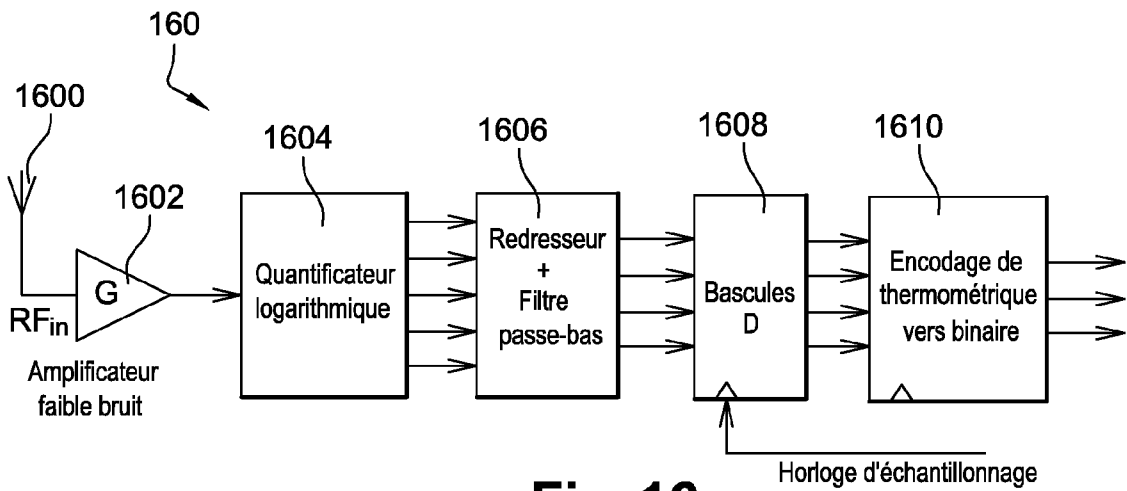


Fig. 16

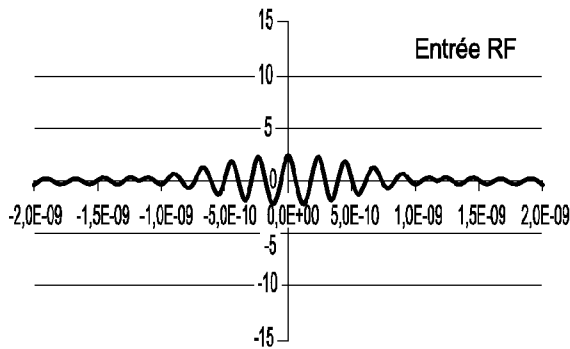


Fig. 17

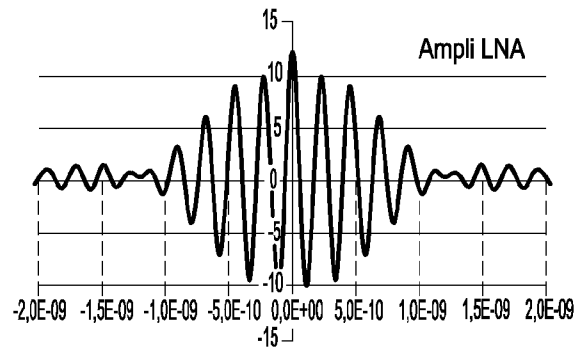


Fig. 18

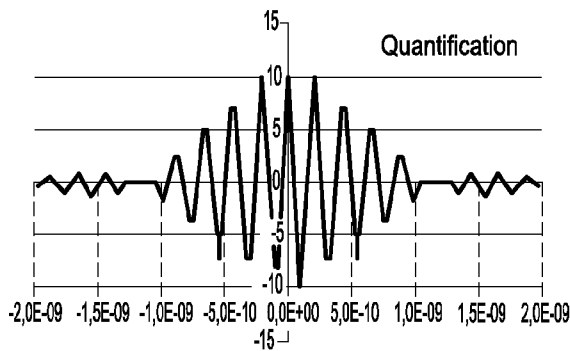


Fig. 19

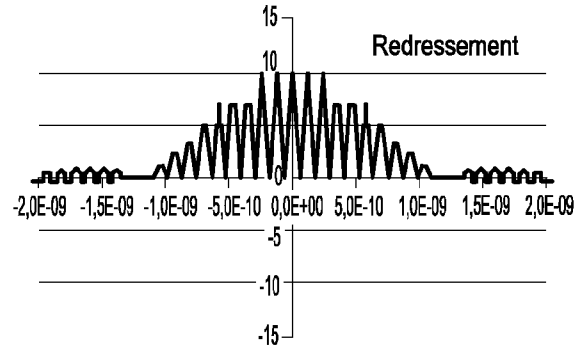


Fig. 20

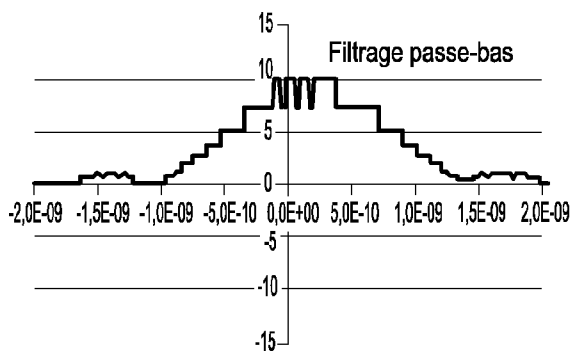


Fig. 21

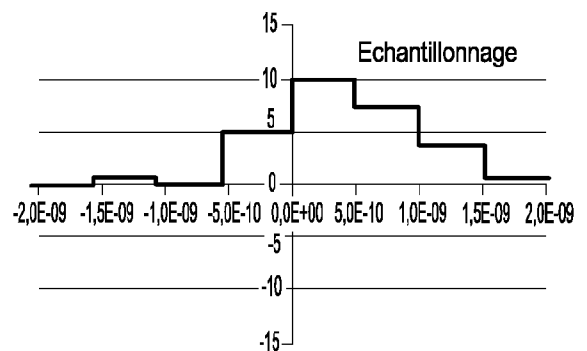
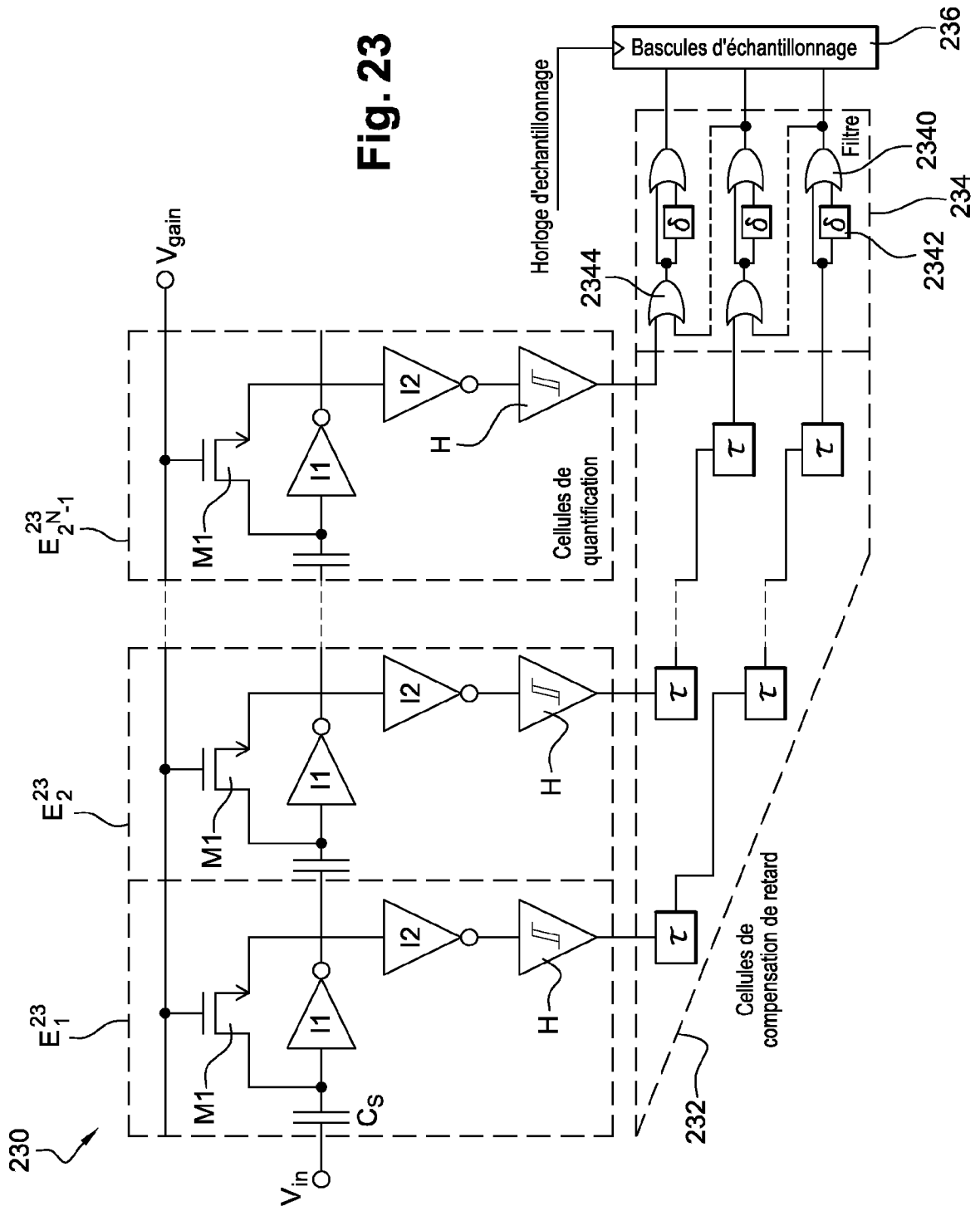


Fig. 22

Fig. 23



INTERNATIONAL SEARCH REPORT

International application No
PCT/FR2008/051813

A. CLASSIFICATION OF SUBJECT MATTER
INV. H03M1/34 H03M1/12

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H03M

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data, COMPENDEX, INSPEC, IBM-TDB

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5 760 730 A (FISCHER MATTHEW J [US] ET AL) 2 June 1998 (1998-06-02) column 3, line 17 - column 5, line 11; figure 1 column 1, lines 14-44 -----	1

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents :

A document defining the general state of the art which is not considered to be of particular relevance

E earlier document but published on or after the international filing date

L document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

O document referring to an oral disclosure, use, exhibition or other means

P document published prior to the international filing date but later than the priority date claimed

T later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

X document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

Y document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

* & * document member of the same patent family

Date of the actual completion of the international search

12 mars 2009

Date of mailing of the international search report

20/03/2009

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Authorized officer

Beindorff, Henk

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/FR2008/051813

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 5760730	A	WO 9844634 A1	08-10-1998

RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale n°
PCT/FR2008/051813

A. CLASSEMENT DE L'OBJET DE LA DEMANDE
INV. H03M1/34 H03M1/12

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE

Documentation minimale consultée (système de classification suivi des symboles de classement)
H03M

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si cela est réalisable, termes de recherche utilisés)
EPO-Internal, WPI Data, COMPENDEX, INSPEC, IBM-TDB

C. DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie*	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	US 5 760 730 A (FISCHER MATTHEW J [US] ET AL) 2 juin 1998 (1998-06-02) colonne 3, ligne 17 - colonne 5, ligne 11; figure 1 colonne 1, ligne 14-44	1

Voir la suite du cadre C pour la fin de la liste des documents

Les documents de familles de brevets sont indiqués en annexe

* Catégories spéciales de documents cités:

- *A* document définissant l'état général de la technique, non considéré comme particulièrement pertinent
- *E* document antérieur, mais publié à la date de dépôt international ou après cette date
- *L* document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)
- *O* document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens
- *P* document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

- *T* document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention
- *X* document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément
- *Y* document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier
- *&* document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée

12 mars 2009

Date d'expédition du présent rapport de recherche internationale

20/03/2009

Nom et adresse postale de l'administration chargée de la recherche internationale
Office Européen des Brevets, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Fonctionnaire autorisé

Beindorff, Henk

RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

Demande internationale n°

PCT/FR2008/051813

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 5760730	A	02-06-1998 WO 9844634 A1	08-10-1998