

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4297136号
(P4297136)

(45) 発行日 平成21年7月15日(2009.7.15)

(24) 登録日 平成21年4月24日(2009.4.24)

(51) Int.Cl.

F I

G 1 1 C 13/00 (2006.01)

G 1 1 C 13/00 A

H 0 1 L 27/10 (2006.01)

H 0 1 L 27/10 4 5 1

請求項の数 5 (全 16 頁)

(21) 出願番号 特願2006-158868 (P2006-158868)
 (22) 出願日 平成18年6月7日(2006.6.7)
 (65) 公開番号 特開2007-328857 (P2007-328857A)
 (43) 公開日 平成19年12月20日(2007.12.20)
 審査請求日 平成19年6月13日(2007.6.13)

(73) 特許権者 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100122884
 弁理士 角田 芳末
 (74) 代理人 100133824
 弁理士 伊藤 仁恭
 (72) 発明者 対馬 朋人
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内
 (72) 発明者 荒谷 勝久
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内

審査官 仲間 晃

最終頁に続く

(54) 【発明の名称】 記憶装置

(57) 【特許請求の範囲】

【請求項 1】

電気抵抗の状態により情報を記憶・保持する記憶素子と、前記記憶素子と直列に接続された、負荷となる回路素子とを有してメモリセルが構成され、

前記記憶素子は、2つの電極の間に記憶層が挟まれてなり、前記記憶層にはCu, Ag, Znのうち少なくともいずれか1つの金属元素を含有しており、

前記記憶素子の抵抗値が高い状態から抵抗値が低い状態へ変化させる動作を書き込みと定義し、前記記憶素子の抵抗値が低い状態から抵抗値が高い状態へ変化させる動作を消去と定義したとき、

前記書き込みの動作と、前記消去の動作とでは、前記記憶素子に印加される電圧の方向が逆であり、

前記書き込みの際に、前記回路素子又は前記記憶素子に印加される電圧又は電流を制御することにより、前記書き込み後の前記記憶素子の抵抗値が、異なる複数のレベルに設定され、

前記記憶素子は、抵抗値が低い状態の前記複数のレベル及び前記消去後の抵抗値が高い状態に、それぞれ異なる情報が割り当てられ、各前記メモリセルの前記記憶素子に対して、それぞれ3値以上の情報を記憶することが可能であり、

抵抗値が低い状態の前記複数のレベルのうち、最も抵抗値の低いレベル以外のレベルから消去する際には、前記最も抵抗値の低いレベルへ変化させる過程が行われてから、前記抵抗値が高い状態に変化させる過程が行われる

10

20

記憶装置。

【請求項 2】

前記回路素子が M I S トランジスタから成り、前記 M I S トランジスタにより各前記メモリセルの前記記憶素子へのアクセスが制御されると共に、前記書き込みの際に、前記 M I S トランジスタのゲートに印加されるゲート電圧が制御されることにより、前記書き込み後の前記記憶素子の抵抗値が、前記異なる複数のレベルに設定される請求項 1 に記載の記憶装置。

【請求項 3】

前記回路素子が M I S トランジスタから成り、前記 M I S トランジスタにより各前記メモリセルの前記記憶素子へのアクセスが制御されると共に、前記書き込みの際に、前記 M I S トランジスタのソース・ドレイン又は前記記憶素子に印加される電圧又は電流が制御されることにより、前記書き込み後の前記記憶素子の抵抗値が、前記異なる複数のレベルに設定される請求項 1 に記載の記憶装置。

【請求項 4】

前記書き込みの際に、前記 M I S トランジスタのゲートに印加されるゲート電圧を変えることにより、前記書き込み後の前記記憶素子の抵抗値が前記異なる複数のレベルに設定される請求項 2 に記載の記憶装置。

【請求項 5】

前記書き込みの際に、前記記憶素子に印加される電圧を変えることにより、前記書き込み後の前記記憶素子の抵抗値が前記異なる複数のレベルに設定される請求項 3 に記載の記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電気抵抗の状態により情報を記憶・保持する記憶素子を用いて、メモリセルが構成された記憶装置に係わる。

【背景技術】

【0002】

フラッシュメモリ等の半導体不揮発性メモリは小型であり、電源をオフにしても記録が保持されることから、動画画像や音声の記録媒体として広く利用されている。

【0003】

不揮発性メモリにおいては、より多くの記録容量や記録密度を実現することが求められている。

【0004】

これを実現する構成として、多値記録、即ち一つのメモリセルに対して 2 ビット以上のデータを記憶することが可能な構成の、不揮発性メモリが提案されている。

このとき、例えば 2 ビットのデータが記録できるという場合には、メモリセルを構成する記憶素子が 4 つの状態の保持が可能であることを意味する。

【0005】

このような多値化技術を実現するメモリとしては、フラッシュメモリや、記憶素子の抵抗値の変化により情報を記録する抵抗変化型メモリが知られている。

【0006】

抵抗変化型メモリでは、例えば、記憶素子に電圧パルスを印加することにより、情報の記録を行っている（例えば、非特許文献 1 参照）。

そして、この電圧パルスを印加する回数を変更することにより、記憶素子の抵抗値を異ならせて、多値記録を実現している。

【0007】

しかしながら、フラッシュメモリの書き込み動作は、フローティングゲートと呼ばれる端子への段階的な電荷注入によって実行されるため、フラッシュメモリで多値記録を行うように構成した場合は、1 ビット記録（単値記録）を行う場合と比較して、著しく時間が

10

20

30

40

50

かかることになる。

【 0 0 0 8 】

また、上述した抵抗変化型メモリで多値記憶を行う場合においても、多値記録を実現するための段階的な抵抗変化を、端子への電圧パルスの印加回数で制御するため、同様に時間がかかり、動作速度を高速化することが困難である。

【 0 0 0 9 】

上述した多値記録が可能な記憶素子に対して情報の記録動作を行う場合には、複数のビットを入力して、入力された複数のビットに対応する電荷注入もしくはパルス印加回数を実行する必要があるため、この入力される複数のビットと記録する多値の情報との関係に応じた記録動作（電荷注入もしくはパルス印加回数）を、簡便かつ面積効率の優れた回路で実現することが望まれる。

10

【 0 0 1 0 】

従って、多値記録を速く行うことができると共に、駆動回路を簡便かつ面積効率の優れた回路により構成した記憶装置が望まれる。

【 0 0 1 1 】

そこで、本出願人は、記憶素子とMISトランジスタ等の回路素子とを用いてメモリセルを構成し、記憶素子又は回路素子に印加する電圧又は電流を制御することにより、記憶素子の抵抗値を制御して、多値記録を可能にした記憶装置を提案している（特許文献1参照）。

【 0 0 1 2 】

20

この構成の記憶装置においては、記憶素子の抵抗値が高い状態から抵抗値が低い状態へ変化させる動作を書き込みと定義し、記憶素子の抵抗値が低い状態から抵抗値が高い状態へ変化させる動作を消去と定義したとき、書き込み後の抵抗値（即ち抵抗値が低い状態）を複数のレベルとすることにより、消去後の抵抗値（即ち抵抗値が高い状態）と合わせて3値以上の多値記録を可能にしている。

【 0 0 1 3 】

【非特許文献1】W. W. Z h u a n g 他著, 「Novel Colossal Magnetoresistive Thin Film Nonvolatile Resistance Random Access Memory (RRAM)」, Technical Digest " International Electron Devices Meeting ", 2 0 0 2 年, p . 1 9 3

【特許文献1】特開2 0 0 5 - 2 3 5 3 6 0 号公報

30

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 4 】

しかしながら、この構成の記憶装置において、消去の動作を行う際には、書き込み後の抵抗値の複数のレベルのそれぞれから、消去動作を行って抵抗値が高い状態に遷移させるまでの経路が、各レベルで別々に（例えばレベルが3つなら3種類）存在してしまい、それぞれの経路における消去特性が異なる。ここで言う消去特性とは、消去後の抵抗値、消去後の抵抗値のばらつき、記録した情報の保持特性（抵抗値の保持特性）等である。

【 0 0 1 5 】

消去後の抵抗値に大きいばらつきがあると、記録された情報を読み出す際に、正確に読み出すことができず読み出しエラーとなることがある。

40

また、消去の際に印加する電圧が、全ての経路に対応するように設定されていない場合には、消去を失敗することもある。

従って、このような消去特性の不一致を解消することが望まれる。

【 0 0 1 6 】

上述した問題の解決のために、本発明においては、多値データの記録を高速で行うことが可能であり、かつ記録や読み出しを安定して行うことができる記憶装置を提供するものである。

【課題を解決するための手段】

【 0 0 1 7 】

50

本発明の記憶装置は、電気抵抗の状態により情報を記憶・保持する記憶素子と、記憶素子と直列に接続された、負荷となる回路素子とを有してメモリセルが構成され、記憶素子は、2つの電極の間に記憶層が挟まれてなり、記憶層にはCu, Ag, Znのうち少なくともいずれか1つの金属元素を含有しており、記憶素子の抵抗値が高い状態から抵抗値が低い状態へ変化させる動作を書き込みと定義し、記憶素子の抵抗値が低い状態から抵抗値が高い状態へ変化させる動作を消去と定義したとき、書き込みの動作と、消去の動作とでは、記憶素子に印加される電圧の方向が逆であり、書き込みの際に、回路素子又は記憶素子に印加される電圧又は電流を制御することにより、書き込み後の記憶素子の抵抗値が異なる複数のレベルに設定され、記憶素子は、抵抗値が低い状態の複数のレベル及び消去後の抵抗値が高い状態に、それぞれ異なる情報が割り当てられ、各メモリセルの記憶素子に対して、それぞれ3値以上の情報を記憶することが可能であり、抵抗値が低い状態の複数のレベルのうち、最も抵抗値の低いレベル以外のレベルから消去する際には、最も抵抗値の低いレベルへ変化させる過程が行われてから、抵抗値が高い状態に変化させる過程が行われるものである。

10

【0018】

上述の本発明の記憶装置の構成によれば、記憶素子に負荷となる回路素子が直列に接続されてメモリセルが構成されているため、メモリセルの両端に記憶素子の書き込み閾値電圧以上の電圧を印加すると、記憶素子の抵抗値が変化して記憶素子に書き込みが行われるが、書き込み後の記憶素子の抵抗値は、記憶素子の電流 - 電圧特性（I - V特性）及び回路素子の電流 - 電圧特性（I - V）により決まる状態（動作点）に設定され、それ以上は

20

変化しなくなる。これにより、回路素子又は記憶素子に印加される電圧又は電流の大きさを変更することにより、設定される書き込み後の記憶素子の抵抗値を、変更することが可能になる。

そして、本発明の記憶装置では、書き込みの際に回路素子又は記憶素子に印加される電圧又は電流を制御することにより、書き込み後の記憶素子の抵抗値が異なる複数のレベルに設定され、記憶素子は、抵抗値が低い状態の複数（N種類； $N \geq 2$ ）のレベル及び消去後の抵抗値が高い状態に、それぞれ異なる情報が割り当てられ、各メモリセルの記憶素子に対してそれぞれ3値以上の情報を記憶することが可能であることから、記憶素子に対して、低抵抗の複数（N種類の）のレベルと高抵抗の状態との合計（ $N + 1$ ）種類の状態に、情報の記録後の抵抗値を制御することが可能になる。これにより、（ $N + 1$ ）値以上、

30

即ち3値以上の情報を記憶素子に記憶することが可能である。

このように、3値以上と、通常の2値（データ“0”及び“1”）を記憶する記憶素子よりも多い、いわゆる多値記録を行うことが可能になる。

【0019】

これにより、回路素子又は記憶素子に印加される電圧や電流を制御することにより、メモリセルの両端へ印加される電圧パルスの回数を変化させなくても、例えば1回の電圧パルスで、3値以上の情報を記憶素子に記録することが可能になり、パルス幅の制御や多数回のパルスが必要なくなる。

従って、短い時間で多値記録を行うことが可能である。

【0020】

40

さらに、抵抗値が低い状態の複数のレベルのうち、最も抵抗値の低いレベル以外のレベルから消去する際には、最も抵抗値の低いレベルへ変化させる過程が行われてから、抵抗値が高い状態に変化させる過程が行われるので、消去の動作の経路が常に最も抵抗値の低い（書き込み後の）レベルを経由することになり、消去特性が一定となる。

これにより、消去後の抵抗値をほぼ一定として、この抵抗値のばらつきを大幅に低減することが可能になるため、消去動作を安定して行うことができると共に、情報の読み出しの際の読み出しエラーの発生を抑制することができる。

従って、記憶素子への情報の記録や、記憶素子に記録された情報の読み出しを安定して行うことができる。

【発明の効果】

50

【 0 0 2 1 】

上述の本発明によれば、短い時間で多値記録を行うことが可能であるため、多値記録を高速で行うことが可能になる。

また、メモリセルの選択用の能動素子等の回路素子や配線の電位制御回路、可変抵抗素子又はスイッチング素子等によって、簡素な構成により多値記録を行うことが可能である。

従って、本発明により、多値記録を高速で行うことが可能であり、比較的簡単な構成の駆動回路で多値記録を可能にする記憶装置を実現することができる。

【 0 0 2 2 】

さらに、本発明によれば、情報の記録や情報の読み出しを安定して行うことができるので、動作が安定した信頼性の高い記憶装置を実現することができる。

【発明を実施するための最良の形態】

【 0 0 2 3 】

以下、本発明の記憶装置の実施の形態を説明する。本発明では、抵抗変化型記憶素子をメモリセルに使用して記憶装置を構成する。

【 0 0 2 4 】

まず、本発明の記憶装置の一実施の形態において、記憶装置に使用する抵抗変化型記憶素子の電圧 - 電流変化を図 1 に示す。この抵抗変化型記憶素子は、前記特許文献 1 の実施の形態で説明している抵抗変化型記憶素子と同一の構成である。

【 0 0 2 5 】

即ち、この抵抗変化型記憶素子は、初期状態は抵抗値が大きく電流が流れにくい状態 (S T 1) であるが、書き込み閾値電圧 (図 1 の $+1 \cdot 1 \times [V]$ 、例えば数 100 mV) 以上印加すると、電流が流れて抵抗値が低下していく (S T 2)。

そして、記憶素子がオーミック特性へと変化し (S T 3)、電流が電圧に比例して流れる状態となる。

その後、電圧を 0 V に戻してもその抵抗値 (低い抵抗値) を保持し続ける。

【 0 0 2 6 】

次に、負の電圧を記憶素子に印加し、印加電圧を大きくしていくと、消去閾値電圧 (図 1 の $-1 \cdot 1 \times [V]$ 、例えば数 100 mV) で電流が減少し (S T 4)、初期状態と同じ高抵抗へと変化する。

その後、電圧を 0 V に戻してもその抵抗値 (高い抵抗値) を保持し続ける (S T 5)。

【 0 0 2 7 】

なお、図 1 では印加電圧の範囲を $-2 \times \sim +2 \times$ としているが、印加電圧をそれ以上に大きくしても、この記憶素子では、抵抗値はほとんど変化しない。

【 0 0 2 8 】

上述した電圧 - 電流特性を有しているため、この抵抗変化型記憶素子は、従来の抵抗変化型記憶素子と同様に、1 ビット情報を記録する不揮発性メモリを実現することが可能である。この抵抗変化型記憶素子は、単独でも記憶装置のメモリセルを構成することが可能なものである。

【 0 0 2 9 】

図 1 に示したような I - V 特性を有する抵抗変化型記憶素子としては、例えば、第 1 の電極と第 2 の電極との間 (例えば下部電極と上部電極との間) に記憶層が挟まれて構成された記憶素子において、記憶層が例えば希土類酸化膜等の薄膜から成るものが挙げられる。

【 0 0 3 0 】

この構成の記憶素子においては、希土類酸化膜中において、Cu, Ag, 或いは Zn のようなイオン化が容易な金属を含有していることが望ましい。

【 0 0 3 1 】

本実施の形態では、特に、この抵抗変化型記憶素子に対して、この記憶素子へのアクセスを制御する能動素子として M I S トランジスタを用いる。そして、図 2 に回路図を示す

10

20

30

40

50

ように、抵抗変化型記憶素子 A に対して M I S トランジスタ T を直列に接続して、記憶装置のメモリセル C を構成する。これにより、M I S トランジスタ T が、抵抗変化型記憶素子 A に対する負荷としても作用することになる。

【 0 0 3 2 】

即ち図 2 に示すように、抵抗変化型記憶素子 A の M I S トランジスタ T に接続された端子とは反対側の端子に端子電圧 V_1 が印加され、M I S トランジスタ T の抵抗変化型記憶素子 A に接続された端子とは反対側の一方（例えばソース側）の端子に端子電圧 V_2 が印加され、M I S トランジスタ T のゲートにゲート電圧 V_{GS} が印加される構成となっている。

そして、メモリセル C を構成する抵抗変化型記憶素子 A 及び M I S トランジスタ T の両端にそれぞれ端子電圧 V_1 , V_2 が印加されることにより、両端子間に電位差 $V (= | V_2 - V_1 |)$ を生じる。

【 0 0 3 3 】

なお、M I S トランジスタ T のオン抵抗値は、抵抗変化型記憶素子 A の高い抵抗値よりは低いことが望ましい。より望ましくは、抵抗変化型記憶素子 A の高い抵抗値の例えば数分の 1 以下として、充分低くなるようにする。

これは、M I S トランジスタ T のオン抵抗値が高いと、端子間に印加した電位差がほとんど M I S トランジスタ T にかかるため、電力がロスしてしまい、印加した電圧を効率良く記憶素子 A の抵抗の変化に使用することができないからである。

【 0 0 3 4 】

次に、本実施の形態の記憶装置の電気回路図を図 3 に示す。この電気回路図は、図 2 の各電圧 (V_1 , V_2 , V_{GS}) を印加するための電圧制御回路を含んでいる。

【 0 0 3 5 】

この記憶装置 100 は、 $(m+1)$ 行・ $(n+1)$ 列のメモリセル C が、マトリクス状に配置されて構成されている。メモリセル C は、図 2 に示したように、抵抗変化型記憶素子 A の一端がトランジスタ T の一端（ここではドレイン）に接続されて構成されている。

トランジスタ T ($T_{00} \sim T_{mn}$) のゲートは、ワード線 W ($W_0 \sim W_m$) に接続されている。抵抗変化型記憶素子 A の他端は、ビット線 B ($B_0 \sim B_n$) に接続されている。また、トランジスタ T の他端（ソース）は、ソース線 S ($S_0 \sim S_m$) に接続されている。

さらに、ビット線 B ($B_0 \sim B_n$) は、その電圧制御回路であるビットデコーダ B D ($B D_0 \sim B D_n$) に接続されている。ワード線 W ($W_0 \sim W_m$) は、その電圧制御回路であるロウデコーダ R D ($R D_0 \sim R D_m$) に接続されている。ソース線 S ($S_0 \sim S_m$) は、その電圧制御回路であるソースデコーダ S D ($S D_0 \sim S D_m$) に接続されている。

【 0 0 3 6 】

このように構成されている本実施の形態の記憶装置 100 では、例えば次のようにして、情報の記録を行うことができる。

情報の記録を行うべきメモリセル C に対応するワード線 W に対して、ロウデコーダ R D によりゲート電圧 V_{GS} を印加して、M I S トランジスタ T のゲートをオンにする。そして、そのメモリセル C に対応するビット線 B 及びソース線 S に対して、ビットデコーダ B D 及びソースデコーダ S D により、図 2 に示した端子電圧 V_1 , V_2 を印加する。これにより、メモリセル C 内の抵抗変化型記憶素子 A 及び M I S トランジスタ T に、電圧 V を印加することができる。

【 0 0 3 7 】

このように電圧 V を印加したときに、抵抗変化型記憶素子 A の両端にかかる電圧が、前述した抵抗変化型記憶素子 A の書き込み閾値電圧よりも大きくなっていれば、抵抗変化型記憶素子 A の抵抗値が高抵抗の状態から低下して、低抵抗の状態へと遷移する。

これにより、抵抗変化型記憶素子 A へ情報の記録（以下、この場合を書き込みとする）を行うことができる。

また、抵抗変化型記憶素子 A の抵抗値が低抵抗の状態であるときに、M I S トランジス

10

20

30

40

50

タTのゲートをオンにすると共に、メモリセルC内の抵抗変化型記憶素子A及びM I SトランジスタTに、書き込み時とは逆極性の電圧Vを印加すると、抵抗変化型記憶素子Aの両端にかかる電圧が、前述した抵抗変化型記憶素子Aの消去閾値電圧よりも大きくなっていれば、抵抗変化型記憶素子Aの抵抗値が低抵抗の状態から増大して、高抵抗の状態へと遷移する。

これにより、抵抗変化型記憶素子Aへ情報の記録（以下、この場合を消去とする）を行うことができる。

【0038】

なお、このとき、ワード線Wが各行のメモリセルCで共通になっているため、同一行の全てのメモリセルCにおいて、M I SトランジスタTのゲートがオンになる。

10

従って、例えば同一行のメモリセルC群のうち一部のメモリセルCにだけ情報の記録を行う場合には、情報の記録を行わない他のメモリセルCについては、ビット線Bの電位を、ソース線Sの電位と同じ、又はソース線Sとの電位差が抵抗変化型記憶素子Aの閾値電圧（書き込み閾値電圧或いは消去閾値電圧）よりも充分小さくなるように設定して、記録が行われないようにする。

【0039】

次に、メモリセルCの両端に電圧を印加したときの変化について、その概略を説明する。

メモリセルCの両端に印加した電圧Vは、記憶素子AとM I SトランジスタTとに分圧される。

20

このとき、前述したようにM I SトランジスタTのオン抵抗値が記憶素子Aの高い抵抗値よりも充分低い構成であれば、記憶素子Aの抵抗値が高抵抗である状態では、印加した電圧のほとんどが記憶素子Aの両端に加わる。即ち、記憶素子Aの両端に加わる電圧VAについて、ほぼ $V_A = V$ となる。

【0040】

ここで、記憶素子Aの閾値電圧 V_{th} よりも印加電圧Vが大きい（ $V > V_{th}$ ）場合には、記録動作が開始され、記憶素子Aの抵抗値R1が低下していく。この記憶素子Aの抵抗値R1の低下とともに、記憶素子Aの両端の電圧VAも減少していく。

【0041】

やがて、記憶素子Aの両端の電圧VAがある電圧 V_{min} （ V_{th} ）まで減少すると、記憶素子Aの抵抗値R1の減少が止まり、それ以上は抵抗値R1が減少しなくなる。これにより、記憶素子Aの両端の電圧VAも V_{min} で停止する。

30

これは、記憶素子Aの抵抗値R1の低下により記憶素子Aの両端の電圧VAが減少していくと、記憶素子Aに流れる電流Iと記憶素子Aの両端の電圧VAとの関係が、記憶素子AのI-V特性に近づいていき、この記憶素子AのI-V特性に達したときにそれ以上は変化できなくなるからである。即ち、記憶素子AのI-V特性に達した後に、記憶素子Aの抵抗値R1をさらに減少させるためには、今度は記憶素子Aの両端の電圧VAを増やす必要があるが、この電圧VAを増やすと記憶素子Aに流れる電流Iも増加し、記憶素子Aに直列接続されたM I SトランジスタTにも同じ電流Iが流れるため、電流Iの増加に対応してM I SトランジスタTの両端にかかる電圧（ $V - V_A$ ）も増加する。しかし、メモリセルCへの印加電圧Vが一定であり、各素子A、Tの両端にかかる電圧（ V_A 、 $V - V_A$ ）はこの印加電圧Vを分圧しているので、両方を共に増やすことは不可能である。

40

このため、記憶素子AのI-V特性に達した状態で、記憶素子Aの抵抗値R1の低下が止まり、各素子A、Tの両端にかかる電圧（ V_A 、 $V - V_A$ ）がそれぞれ一定値となる。

【0042】

以下、この状態をこのメモリセルCの動作点と呼ぶ。本実施の形態の記憶装置100のメモリセルCでは、この動作点において、情報の記録動作（書き込み動作）が停止することになる。

この動作点における各素子A、Tの両端の電圧及びメモリセルCを流れる電流は、記憶素子AのI-V特性とM I SトランジスタTのI-V特性とにより求めることができる。

50

具体的には、例えば0側を起点として抵抗変化型記憶素子AのI-V特性(電圧-電流変化)を描き、例えばV側を起点としてMISトランジスタTのI-V特性(電圧-電流変化)を描き、これらのI-V特性(電圧-電流変化)の線の交点が動作点となる。なお、逆に0側を起点としてMISトランジスタTのI-V特性(電圧-電流変化)を描き、V側を起点として抵抗変化型記憶素子AのI-V特性(電圧-電流変化)を描いても、同様に動作点を求めることができる。

【0043】

次に、印加電圧Vの極性を逆にして、情報の記録(消去)を行うときには、記憶素子Aの抵抗値が低い場合、記憶素子Aの両端にかかる電圧VAが記憶素子Aの消去閾値電圧よりも大きくなるように印加電圧Vを設定する。

10

記憶素子Aの両端にかかる電圧VAが記憶素子Aの消去閾値電圧よりも大きければ、情報の記録(消去)が開始され、記憶素子Aの抵抗値が増大していく。記憶素子Aの抵抗値の増大に伴って記憶素子Aの分圧即ち記憶素子Aの両端にかかる電圧VAも増大するため、記憶素子Aの抵抗値の増大がさらに進行していく。記憶素子Aの抵抗値がある程度大きく(高抵抗に)なると、それ以上は抵抗値の増大が進行しなくなるため、ここで情報の記録動作(消去動作)が停止することになる。

この状態における各素子A、Tの両端の電圧及びメモリセルCを流れる電流も、上述の動作点と同様に、記憶素子AのI-V特性とMISトランジスタTのI-V特性とにより求めることができる。

【0044】

20

このようにメモリセルCの両端に電圧Vを印加することにより、そのメモリセルCの記憶素子Aに情報の記録、即ち書き込みや消去を行うことができる。

【0045】

上述した情報の記録についての説明では、記憶素子Aの抵抗値が高い状態と低い状態の2つの状態を利用して情報の記録を行うようにしているため、例えばデータ“0”とデータ“1”といった、2値(1ビット)の情報の記録を行うことができる。

本実施の形態の記憶装置では、さらにこれを応用して、3値や4値(2ビット)以上の多値記録を行うものである。

以下、本実施の形態における多値記録について説明する。

【0046】

30

MISトランジスタTは、ゲートに印加されるゲート電圧 V_{GS} の大きさによって、オン抵抗が変化し、I-V特性も変化する。

そこで、メモリセルCのMISトランジスタTのゲート電圧 V_{GS} を変更することにより、MISトランジスタTのI-V特性を変化させて、これにより動作点の位置を変えることが可能になる。

【0047】

即ち、図4に示すように、MISトランジスタTのゲート電圧 V_{GS} を、 V_{G1} 、 V_{G2} 、 V_{G3} ($V_{G1} > V_{G2} > V_{G3}$)と変えることにより、MISトランジスタTのI-V特性が変化する。MISトランジスタTのゲート電圧 V_{GS} が大きいほど、電流がよく流れ、オン抵抗が低くなることから、I-V特性の曲線が図4中で上方になる。

40

そして、MISトランジスタTのゲート電圧 V_{GS} を、 V_{G1} 、 V_{G2} 、 V_{G3} と変えることにより、動作点もそれぞれP1、P2、P3と異なる点になり、動作点における記憶素子Aの抵抗値も異なることになる。

【0048】

そして、例えば、各動作点P1、P2、P3を、それぞれ2ビット情報の“11”、“10”、“01”に割り当て、高い抵抗値の状態(書き込み前及び消去後)を“00”に割り当てることにより、記憶素子Aに2ビット情報を記憶させることが可能になる。

【0049】

このように、書き込みを行った素子の抵抗値に対して、複数のビット情報を割り当てることにより、多値記録を実現することができる。

50

【 0 0 5 0 】

なお、実際の記憶装置では、メモリセルC毎のM I SトランジスタTに若干の特性の違いが存在することがあるため、このことを考慮して、図4に示した動作点P 1 , P 2 , P 3だけでなく、動作点P 1 , P 2 , P 3付近のある程度幅のある範囲(記憶素子Aの抵抗値の範囲)を、それぞれの情報(例えば、“ 0 1 ” , “ 1 0 ” , “ 1 1 ”の各データ)に割り当てる。

【 0 0 5 1 】

例えば、記憶素子Aの抵抗値が、3 k Ω 以下である場合を2ビット情報の“ 1 1 ”、3 k Ω ~ 6 k Ω である場合を“ 1 0 ”、6 k Ω ~ 9 k Ω である場合を“ 0 1 ”、9 k Ω 以上である場合を“ 0 0 ”、といったように割り当てる。

10

【 0 0 5 2 】

同様にして、さらに細かく抵抗値の範囲を区切ることにより、3ビット情報(8値)、4ビット情報(16値)も記録することが可能である。

【 0 0 5 3 】

上述のように多値記録を行った記憶素子Aに記録された情報を読み出す場合には、読み出し用の電流をメモリセルCに流して、この電流が記憶素子Aの抵抗値に比例して流れるため、記憶素子Aの抵抗値を検出して、情報の内容を検出することができる。

【 0 0 5 4 】

ただし、この読み出し時において、記憶素子Aの抵抗値を低下させないようにする必要がある。

20

そのために、読み出し時において、M I SトランジスタTのゲートに、比較的高い電圧、例えば電源電圧 V_{DD} を印加する。これにより、M I SトランジスタTのオン抵抗が小さくなるため、読み出し用の電流を流したときに記憶素子Aの両端にかかる電圧 V_A が小さくなり、記憶素子Aの抵抗値を低下させてしまうことがない。

この他に、例えば、読み出し時において、メモリセルCの両端への印加電圧をその情報の記録に対応する動作点の書き込み時のメモリセルCの両端への印加電圧よりも小さくすることも考えられるが、上述のようにゲート電圧に電源電圧を印加する方法が電圧を制御しやすい点で優れている。

【 0 0 5 5 】

また、記憶素子Aを低抵抗の状態から高抵抗の状態に遷移させるとき、即ち消去を行うときにも、M I SトランジスタTのゲート電圧 V_{GS} を、比較的高い電圧、例えば電源電圧 V_{DD} にすることが望ましい。これにより、M I SトランジスタTのオン抵抗が小さくなるため、メモリセルCの両端への印加電圧 V を大きくしなくても、記憶素子Aの両端にかかる電圧 V_A を消去閾値以上に大きくすることが可能になる。

30

従って、比較的小さい印加電圧 V で消去を行うことが可能になるため、消去に必要なメモリセルCへの印加電圧 V を低減して、配線や素子にかかる負担を低減することができる。

【 0 0 5 6 】

なお、図5に示すように、メモリセルCの両端に印加する電圧 V を変更しても、同様に動作点を異ならせることができるため、これにより多値記録を行うことが可能である。

40

図5では、メモリセルCの両端に印加する電圧 V を、2 . 0 V , 1 . 0 V , 0 . 6 5 Vと変更することにより、動作点をP 1 , P 2 , P 3と異ならせている。

【 0 0 5 7 】

また、M I SトランジスタTのゲート電圧 V_{GS} と、メモリセルCの両端に印加する電圧 V とを、両方とも変更してもよい。

このようにしても、多値記録を行うことが可能である。この構成は、例えばメモリセルCの両端に印加する印加電圧 V を大きく(幅広く)変化させることが難しい場合に好適である。

【 0 0 5 8 】

なお、本実施の形態では、記憶素子Aが図1に示したI - V特性を有するため、記憶素

50

子Aの抵抗値を低くする方向では、ゲート電圧 V_{GS} やメモリセルCへの印加電圧 V を変化させることにより、記憶素子Aの抵抗値が低くなるため、図4のP2からP1へ遷移させるというように、動作点同士で直接遷移させることが可能である。

【0059】

一方、記憶素子Aの抵抗値を高くする方向（例えば図4のP1からP2への遷移）では、ゲート電圧 V_{GS} やメモリセルCへの印加電圧 V を変化させても、記憶素子Aの抵抗値が高くならないため、動作点同士で直接遷移させることができない。

そこで、一旦逆極性の電圧を印加して低抵抗の状態（オーミック特性）から高抵抗の状態へ遷移させ、その後に改めて所望の抵抗値に遷移させる。この場合には、2段階の遷移が必要になるが、それでもパルスの回数によって抵抗値を規定する構成の記憶装置と比較すると、十分に短い時間で情報の記録を行うことができる。

10

【0060】

ただし、動作点P1、P2、P3にそれぞれ対応する3つの抵抗値（以下、「書き込みレベル」とする）から、消去後の抵抗値（以下、「消去レベル」とする）に至るまでの経路は3種類存在しており、前述したように、それぞれの持つ消去特性（抵抗値、抵抗値のばらつき、記録した情報の保持特性等）は異なっている。

そこで、本実施の形態では、各経路の消去特性の不一致を解消するために、メモリセルを構成している抵抗変化型記憶素子に対するオーバーライトが可能であることに着目して、消去レベルに変化させる際に、常に最も抵抗値の低い書き込みレベルを経由させる。

即ち、抵抗値の高低が、書き込みレベル1（動作点P1）<書き込みレベル2（動作点P2）<書き込みレベル3（動作点P3）<消去レベル、の関係にあるとき、消去レベルに変化させる際に、常に書き込みレベル1（動作点P1）を経由させる。

20

例えば、書き込みレベル2（動作点P2）→消去レベルとする際には、書き込みレベル2（動作点P2）→書き込みレベル1（動作点P1）→消去レベルとする。

【0061】

これにより、記憶素子Aの抵抗値を高くする方向に変える場合、即ち例えば、書き込みレベル2（動作点P2）から書き込みレベル3（動作点P3）へ変えるためには、書き込みレベル2（動作点P2）→書き込みレベル1（動作点P1）→消去レベル→書き込みレベル3（動作点P3）と、3段階の遷移を実行することになる。

【0062】

30

上述のように、消去レベルに変化させる際に、常に最も抵抗値の低い書き込みレベルを経由させることにより、経路の消去特性が一定となるので、消去レベルをほぼ一定にして消去レベルのばらつきを大幅に低減することができる。

【0063】

本実施の形態の記憶装置100では、抵抗変化型記憶素子AとMISトランジスタTとを直列に接続してメモリセルCを構成し、MISトランジスタTのゲート電圧 V_{GS} やメモリセルCの両端への印加電圧 V を変更することにより、動作点を変えて記憶素子Aの情報の記録（書き込みや消去）後の抵抗値を複数のレベル（点もしくは範囲）に制御して、記憶素子Aに3値以上の情報の記録、即ち多値記録を行うことができる。

【0064】

40

そして、本実施の形態の記憶装置では、MISトランジスタTのゲート電圧 V_{GS} やメモリセルCの両端への印加電圧 V を変更するだけで、情報の記録後の記憶素子Aの抵抗値を変更することができるため、多値記録を行う場合でも、1クロックの電圧パルス・電流パルスで済み、パルス幅の制御や多数回のパルスが必要なくなる。

これにより、短い時間で多値記録を行うことが可能である。

【0065】

また、本実施の形態の記憶装置では、メモリセルCの選択を行うためにメモリセルC内に設けられているアクセス用のMISトランジスタTを、メモリセルCの動作点を制御するための回路素子として利用しているため、メモリセルC内にさらに回路素子を追加しなくても、多値情報を記録することが可能である。

50

即ち、本実施の形態の記憶装置では、簡素な構成により、多値記録を行うことが可能である。

【0066】

さらに、本実施の形態の記憶装置では、図3に示したように、各行のメモリセルCのMISTランジスタTのゲートに共通のワード線Wが接続され、このワード線WがロウデコーダRDに接続されている。

このため、このロウデコーダRDにワード線Wの電位制御を行う回路を接続するか、ロウデコーダRD内にワード線Wの電位制御を行う回路を内蔵することにより、簡素な構成でメモリセルCのMISTランジスタTのゲート電圧 V_{GS} を制御することができる。

そして、前述したように、メモリセルCのMISTランジスタTのゲート電圧 V_{GS} を変更することによって、MISTランジスタTのI-V特性及びオン抵抗を変化させて、これにより動作点を変更することができることから、多値記録を行うことができる。

即ち、本実施の形態の記憶装置では、簡素な構成により、メモリセルCのMISTランジスタTのゲート電圧 V_{GS} を制御して、多値記録を行うことが可能である。

【0067】

また、このようにロウデコーダRDに対してワード線Wの電位制御を行う回路を設けることにより、ワード線Wの電位を一定とすることによって、同一行のメモリセルに対して一括して読み出しを行うことが可能になる。

【0068】

また、図5に示したように、メモリセルCの両端に印加する電圧Vを変更するには、例えば、図6Aに電気回路図を示すように、ビットデコーダBD0にデコーダ抵抗制御信号SDR0を供給するように構成し、このデコーダ抵抗制御信号SDR0により、ビットデコーダBD0内の可変抵抗素子R0又はスイッチング素子の抵抗値を制御すればよい。このビットデコーダBD0内の可変抵抗素子R0又はスイッチング素子も、MISTランジスタT00と同じく、記憶素子A00に対する負荷抵抗となるものである。

そして、ビットデコーダBD0は、通常可変抵抗素子R0又はスイッチング素子を内部に備えているため、新たな構成を追加しなくても簡易な構成で、メモリセルCの両端に印加する電圧Vを変更することができる。

なお、行方向のメモリセルCに共通に接続されたソース線Sから特定のソース線Sを選択するソースデコーダSDに対して、ソース線Sの電位制御を行う回路を設けたり、ソースデコーダSD内の可変抵抗素子又はスイッチング素子の抵抗値を制御したりしても、同様にメモリセルCの両端に印加する電圧Vを制御することが可能である。

【0069】

また、MISTランジスタTのゲート電圧 V_{GS} と、メモリセルCの両端に印加する電圧Vとを、両方とも変更する場合には、例えば、図6Bに電気回路図を示すように、図6Aの場合と同様にビットデコーダBD0にデコーダ抵抗制御信号SDR0を供給すると共に、例えば、ロウデコーダRD0に接続されたワード線W0の電位制御を行う回路(図示せず)から、ワード線W0の電位を制御する信号SW0をロウデコーダRD0に供給して、MISTランジスタTのゲート電圧 V_{GS} を制御するように構成すればよい。或いは、ロウデコーダRD0に、ワード線W0の電位制御を行う回路を内蔵させてもよい。

なお、図6A及び図6Bの各電気回路図では、図面を簡略化するために、1つのメモリセルについて示しているが、他の行や他の列のメモリセルも同様に構成される。

【0070】

従って、本実施の形態によれば、簡素な構成であり、かつ多値記録を行うことが可能である記憶装置を実現することができる。

【0071】

さらに、本実施の形態の記憶装置100によれば、消去レベルに変化させる際には、即ち消去の動作を行う際には、常に最も抵抗値の低い書き込みレベルを経由させることにより、消去の経路の消去特性が一定となるので、消去レベルをほぼ一定にして、消去レベルのばらつきを大幅に低減することができる。

これにより、消去の動作や情報の読み出し動作を安定して行うことができるので、安定して動作する信頼性の高い記憶装置 100 を実現することができる。

【0072】

ここで、多値記録を行う記憶装置において、一旦最低書き込みレベルを経由した方が、消去特性が良好であることを、具体例を用いて示す。

図2に回路構成を示すメモリセルCを多数有して成る記憶装置を、実際に作製し、書き込み・消去を繰り返し行った。

トランジスタTのゲート電圧 V_{GS} を一定の値として、書き込み・消去を 10^6 (100 万)回繰り返した後において、多数ある各メモリセルCの記憶素子について書き込み後の抵抗値と消去後の抵抗値とを測定した。この測定を、書き込み時のトランジスタTのゲート電圧 V_{GS} を $0.7V$ 、 $0.9V$ 、 $1.5V$ の3通りで変えて、それぞれ行った。 $V_{GS} = 0.7V$ のときの書き込みレベルを「書き込みレベル3」、 $V_{GS} = 0.9V$ のときの書き込みレベルを「書き込みレベル2」、 $V_{GS} = 1.5V$ のときの書き込みレベルを「書き込みレベル1」として、3つの書き込みレベルを設定した。各レベルの抵抗値の関係は、書き込みレベル $1 <$ 書き込みレベル $2 <$ 書き込みレベル $3 <$ 消去レベルである。なお、消去時のトランジスタTのゲート電圧 V_{GS} は、いずれの場合も電源電圧と同じ $1.8V$ とした。

記憶素子の書き込み後の抵抗値の分布と消去後の抵抗値の分布を、それぞれ図7と図8に示す。図7及び図8において、横軸は書き込み及び消去のそれぞれの抵抗値、縦軸は累積確率分布 [%] である。折れ線が縦に立っているほど、抵抗値のばらつきが小さいことを表している。

3つの線のうち、実線は、繰り返し書き込み・消去の各回で、書き込みレベル3と消去レベルとに変化させた場合を示している。点線は、書き込みレベル2と消去レベルとに変化させた場合を示している。破線は、書き込みレベル1と消去レベルとに変化させた場合を示している。このうち、破線は、最も抵抗値の低い書き込みレベル1から消去を行った場合である。他の2つの線は、最低書き込みレベル(書き込みレベル1)を経由しない場合に相当する。

【0073】

図7からわかるように、最も低い書き込みレベル1では、 10 万回の繰り返し後も抵抗値のばらつきがほとんどない。これに対して、書き込みレベル3では、 $11k\Omega \sim 14.5k\Omega$ までの抵抗値の分布がある。

図8からわかるように、最も低い書き込みレベル1から消去した場合が、消去レベルのバラツキが小さい。ばらつきが約二桁も改善されている。

即ち、多値記録を行う場合においても、例えば、書き込みレベル2から直接消去レベルに変化させるのではなく、一旦最も低い書き込みレベル1までオーバーライトを行った後に消去を行うのが、最も良いことがわかる。

【0074】

なお、この例ではゲート電圧 $V_{GS} = 1.5V$ とした場合が最低書き込みレベル(書き込みレベル1)となっているが、常に $V_{GS} = 1.5V$ が最低書き込みレベルになるとは限らない。例えば、ゲート電圧 $V_{GS} = 2.0V$ とした場合に、最低書き込みレベルとなることもある。

【0075】

上述の実施の形態では、MISトランジスタTを記憶素子Aに直列に接続してメモリセルCを構成していたが、記憶素子に直列に接続する回路素子は、MISトランジスタに限定されるものではない。

記憶素子に直列に接続する回路素子として、例えばバイポーラトランジスタを用いることも可能である。その場合も、バイポーラトランジスタのベース電流又はメモリセルの両端への印加電圧を変更することにより、多値記録を行うことが可能である。

さらに、記憶素子に直列に接続する回路素子として、例えばダイオード等の能動素子や抵抗素子を使用することも可能である。

これらダイオードや抵抗素子を使用した場合には、メモリセルの両端に印加する電圧を変更することによって、多値記録を行うことが可能になる。

なお、トランジスタやダイオード等の能動素子を記憶素子に直列に接続する回路素子として用いた場合には、メモリセルの選択を能動素子で行うことが可能になる。

【0076】

上述の実施の形態では、記憶素子Aが図1に示したI-V特性を有する構成であったが、本発明では、メモリセルを構成する記憶素子の構成は、図1に示したI-V特性と同様の傾向の特性を有する記憶素子に限らず、抵抗変化型記憶素子一般に広く適用することが可能である。

【0077】

本発明は、上述の実施の形態に限定されるものではなく、本発明の要旨を逸脱しない範囲でその他様々な構成が取り得る。

【図面の簡単な説明】

【0078】

【図1】本発明の記憶装置の一実施の形態において、記憶装置に使用する抵抗変化型記憶素子の電圧-電流変化を示す図である。

【図2】本発明の記憶装置の一実施の形態において、抵抗変化型記憶素子を用いて構成したメモリセルの回路図である。

【図3】本発明の記憶装置の一実施の形態の電気回路図である。

【図4】図2のMISトランジスタのゲート電圧を変更したときの動作点の変化を説明する図である。

【図5】図2のメモリセルの両端への印加電圧を変更したときの動作点の変化を説明する図である。

【図6】A ビットデコーダの抵抗値を制御する場合の記憶装置の電気回路図である。
B ビットデコーダの抵抗値及びワード線の電位を制御する場合の記憶装置の電気回路図である。

【図7】書き込み・消去を繰り返した後の、記憶素子の書き込み後の抵抗値の分布を示す図である。

【図8】書き込み・消去を繰り返した後の、記憶素子の消去後の抵抗値の分布を示す図である。

【符号の説明】

【0079】

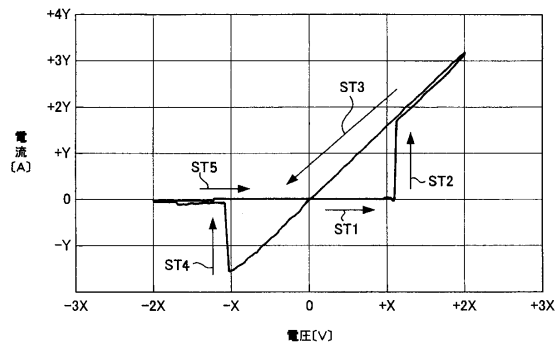
C メモリセル、100 記憶装置、A (抵抗変化型)記憶素子、T MISトランジスタ、 V_{GS} ゲート電圧

10

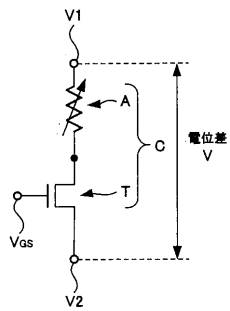
20

30

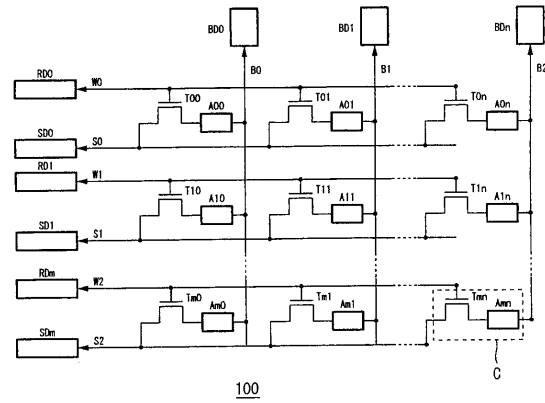
【図 1】



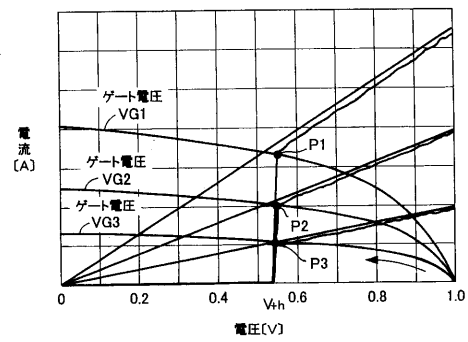
【図 2】



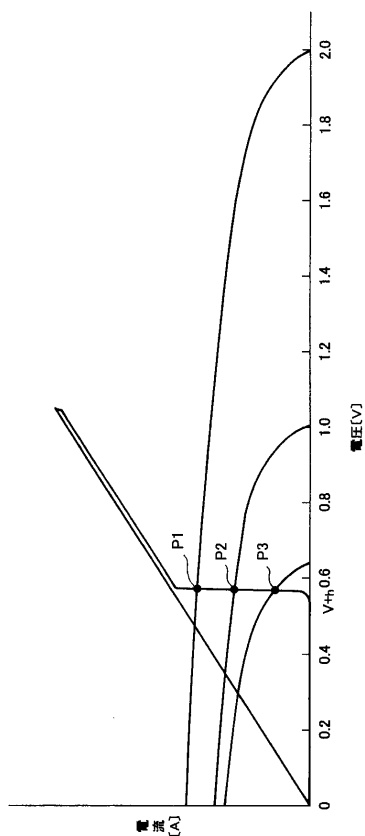
【図 3】



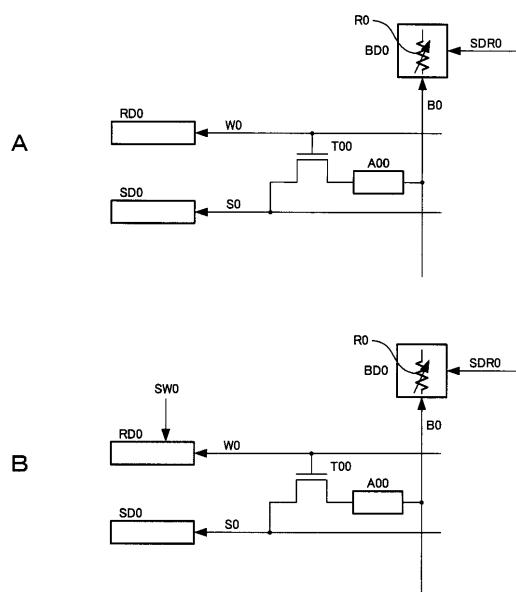
【図 4】



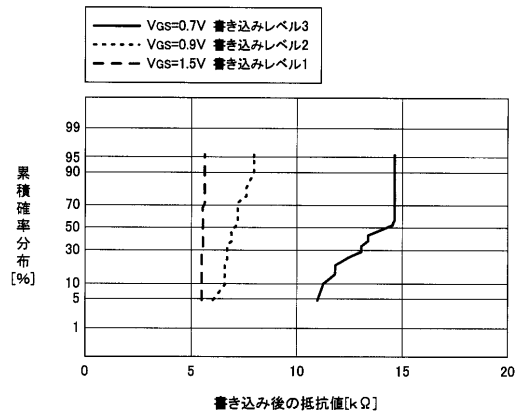
【図 5】



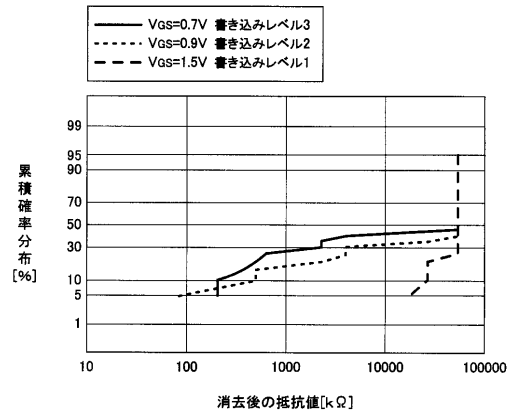
【図 6】



【図 7】



【図 8】



フロントページの続き

(56)参考文献 特表2005-031752(JP,A)
特開2005-235360(JP,A)
特開2004-185754(JP,A)
特開2001-357680(JP,A)
特開2006-114087(JP,A)

(58)調査した分野(Int.Cl., DB名)
G11C 13/00
H01L 27/10