

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4261992号
(P4261992)

(45) 発行日 平成21年5月13日 (2009. 5. 13)

(24) 登録日 平成21年2月20日 (2009. 2. 20)

(51) Int. Cl.		F I		
H O 4 L	29/06	(2006. 01)	H O 4 L	13/00 3 O 5 Z
G O 6 F	13/38	(2006. 01)	G O 6 F	13/38 3 1 O A
H O 4 L	12/28	(2006. 01)	G O 6 F	13/38 3 5 O
			H O 4 L	12/28 1 O O H

請求項の数 2 (全 8 頁)

(21) 出願番号	特願2003-165165 (P2003-165165)	(73) 特許権者	000005016
(22) 出願日	平成15年6月10日 (2003. 6. 10)		パイオニア株式会社
(65) 公開番号	特開2005-5863 (P2005-5863A)		東京都目黒区目黒1丁目4番1号
(43) 公開日	平成17年1月6日 (2005. 1. 6)	(74) 代理人	100079119
審査請求日	平成18年5月18日 (2006. 5. 18)		弁理士 藤村 元彦
		(72) 発明者	松丸 誠
			埼玉県所沢市花園4丁目2610番地 パイオニア株式会社 所沢工場内
		(72) 発明者	小野寺 渉
			埼玉県所沢市花園4丁目2610番地 パイオニア株式会社 所沢工場内
		(72) 発明者	美濃島 邦宏
			埼玉県所沢市花園4丁目2610番地 パイオニア株式会社 所沢工場内

最終頁に続く

(54) 【発明の名称】 情報データの送受信装置及び送受信方法

(57) 【特許請求の範囲】

【請求項 1】

I Pover 1 3 9 4 規格に基づくパケットであることを示す所定の識別子が付された情報データを含む情報データの系列を伝送バスを介して送受信する情報データの送受信装置であって、

受信した前記情報データに前記識別子が付されている場合に受信した前記情報データを保存する第1受信バッファと、

受信した前記情報データに前記識別子が付されていない場合に受信した前記情報データを保存する第2受信バッファと、

受信した前記情報データに前記識別子が付されていなかった場合に承認保留中であることを表す情報を前記伝送バス上に送出する承認保留情報送出回路と、

受信した前記情報データに前記識別子が付されていた場合には前記保留中を表す情報を送出することなく、承認済みを表す情報を前記伝送バス上に送出する承認完了情報送出回路と、を有することを特徴とする情報データの送受信装置。

【請求項 2】

I Pover 1 3 9 4 規格に基づくパケットであることを示す所定の識別子が付された情報データを含む情報データの系列を伝送バスを介して送受信する情報データの送受信方法であって、

受信した前記情報データに前記識別子が付されている場合には受信した前記情報データを第1受信バッファに保存せしめる一方、受信した前記情報データに前記識別子が付され

10

20

ていない場合には受信した前記情報データを第2受信バッファに保存せしめる行程と、

受信した前記情報データに前記識別子が付されていなかった場合には承認保留中であることを表す情報を前記伝送バス上に送出する一方、受信した前記情報データに前記識別子が付されていた場合には前記保留中を表す情報に代わり、承認済みを表す情報を前記伝送バス上に送出する行程と、を有することを特徴とする情報データの送受信方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、情報データの送受信装置及び送受信方法に関する。

【0002】

【背景技術】

現在、複数の情報処理装置間において情報データの伝送を為すインターフェースとして、IEEE (Institute of Electrical and Electronics Engineers) 1394-1995規格(以下、IEEE 1394と称する)に基づく高速シリアルデータ転送インターフェースが知られている。IEEE 1394による伝送では、情報データをデータパケット化して伝送を行うものであり、同期データ伝送用のアイソクロナス伝送と、非同期データ伝送用のアシンクロナス伝送とを交互に実行する。アイソクロナス伝送は、リアルタイム伝送を行う必要がある例えば音声データ及び映像データの如き時系列データを伝送する際に使用される。一方、アシンクロナス伝送は、非同期データを対象としたものである。アシンクロナス伝送では、各データパケットに、送信元の機器を示すアドレスを示す送信ノードIDと送信先の機器のアドレスを示す受信ノードIDが付されており、情報処理装置の各々は自分のID(自己ID)が付されているパケットを取り込む。

【0003】

又、近年、IEEE 1394バス上にIP(インターネットプロトコル)パケットを伝送する「IP over 1394」規格に基づく伝送装置が登場してきた(例えば、特許文献1参照)。「IP over 1394」では上記アシンクロナス伝送を利用して非同期でIPパケットの伝送を行うものであり、そのIPパケットは所定の特定アドレスのみに発行可能となっている。

【0004】

よって、ホストCPUは、非同期パケットの受信時において、上記特定アドレスを用いてIPパケットに対する識別処理をも実行しなければならない。従って、ホストCPUの負荷が大となりスループットが悪化するという問題があった。

【0005】

【特許文献1】

特開2002-111701号公報

【0006】

【発明が解決しようとする課題】

本発明は、ホストCPUの負荷を低減させることが可能な情報データの送受信装置及び送受信方法を提供することを目的とする。

【0007】

【課題を解決するための手段】

請求項1記載による情報データの送受信装置は、IP over 1394規格に基づくパケットであることを示す所定の識別子が付された情報データを含む情報データの系列を伝送バスを介して送受信する情報データの送受信装置であって、受信した前記情報データに前記識別子が付されている場合に受信した前記情報データを保存する第1受信バッファと、受信した前記情報データに前記識別子が付されていない場合に受信した前記情報データを保存する第2受信バッファと、受信した前記情報データに前記識別子が付されていなかった場合に承認保留中であることを表す情報を前記伝送バス上に送出する承認保留情報送回路と、受信した前記情報データに前記識別子が付されていた場合には前記保留中を表す情報を送出することなく、承認済みを表す情報を前記伝送バス上に送出する承認完了情報送

10

20

30

40

50

出回路と、を有する。

【0008】

又、請求項2記載による情報データの送受信方法は、I Pover 1 3 9 4規格に基づくパケットであることを示す所定の識別子が付された情報データを含む情報データの系列を送バスを介して送受信する情報データの送受信方法であって、受信した前記情報データに前記識別子が付されている場合には受信した前記情報データを第1受信バッファに保存せしめる一方、受信した前記情報データに前記識別子が付されていない場合には受信した前記情報データを第2受信バッファに保存せしめる行程と、受信した前記情報データに前記識別子が付されていなかった場合には承認保留中であることを表す情報を前記伝送バス上に送出する一方、受信した前記情報データに前記識別子が付されていた場合には前記保留中を表す情報に代わり、承認済みを表す情報を前記伝送バス上に送出する行程と、を有する。

10

【0009】

【発明の実施の形態】

図1は、情報処理装置内に搭載されている、本発明による送受信装置としてのIEEE 1394インターフェース部を示す図である。

図1において、ホストCPU（中央処理装置）1は、この情報処理装置の主となる動作（例えば、情報端末器としての動作）を実現すべき各種制御を実行しつつ、IEEE 1394バス100を介して情報データの送受信を行うべくIEEE 1394インターフェース部2に対する制御を行う。

20

【0010】

ここで、上記の如き主動作にて生成されたストリームデータをアイソクロナス伝送を利用して、IEEE 1394バス100に接続されている他の機器に送信する場合、ホストCPU1は、ストリーム送出部3が上記ストリームデータを同期パケット送信バッファ21に供給するように制御する。一方、かかるストリームデータをアシンクロナス伝送を利用して、IEEE 1394バス100に接続されている他の機器に送信する場合、ホストCPU1は、このストリームデータを非同期パケット送信バッファ22に供給する。

【0011】

同期パケット送信バッファ21は、送信すべきストリームデータを、IEEE 1394におけるアイソクロナス伝送の規定に従った形態でパケット化した同期データパケットを順次記憶し、これらをパケット送信回路23に供給する。

30

非同期パケット送信バッファ22は、送信すべき情報データを、IEEE 1394におけるアシンクロナス伝送の規定に従った形態でパケット化した非同期データパケットを順次記憶し、これらをパケット送信回路23に供給する。

【0012】

パケット送信回路23は、上記の如き同期データパケット、非同期データパケット、及びホストCPU1から供給された後述するレスポンスパケットをIEEE 1394の規定に従った形態にてIEEE 1394バス100上に送出する。

パケット受信回路24は、IEEE 1394バス100を介して伝送されてきた同期データパケット及び非同期データパケットを取り込む。そして、パケット受信回路24は、取り込んだ同期データパケットを同期データパケット P_{SY} として同期パケット受信バッファ25に供給すると共に、取り込んだ非同期データパケットを非同期データパケット P_{ASY} としてアドレス比較器26及びデマルチプレクサ27に供給する。同期パケット受信バッファ25は、同期データパケット P_{SY} を順次取り込んで記憶し、ホストCPU1はこの同期データ（ストリームデータ）をストリームデータ受信処理部4に供給するように制御する。

40

【0013】

アドレス比較器26は、非同期データパケット P_{ASY} に付されているアドレスと、「I P over 1 3 9 4」規定に基づくIP（インターネットプロトコル）アドレスとしての特定アドレスADとを比較する。この際、両者が一致している場合にはアドレス比較器2

50

6は論理レベル1の比較結果信号CSをデマルチプレクサ27に供給し、両者が互いに異なる場合には論理レベル0の比較結果信号CSをデマルチプレクサ27に供給する。尚、特定アドレスADは、ホストCPU1によって任意のアドレスに変更可能である。

【0014】

デマルチプレクサ27は、論理レベル0の比較結果信号CSが供給された場合には上記非同期データパケットP_{ASY}を非同期パケット受信バッファ28に供給する一方、論理レベル1の比較結果信号CSが供給された場合には上記非同期データパケットP_{ASY}をIPパケット受信バッファ29に供給する。すなわち、デマルチプレクサ27は、非同期データパケットP_{ASY}のアドレスが特定アドレスADと一致している場合にはこの非同期データパケットP_{ASY}がIPパケットであると判断してこれをIPパケット受信バッファ29に供給する。一方、非同期データパケットP_{ASY}のアドレスが特定アドレスADとは異なる場合には、これを非同期パケット受信バッファ28に供給するのである。非同期パケット受信バッファ28は、上記非同期データパケットP_{ASY}を順次取り込みこれを記憶する。IPパケット受信バッファ29は、上記非同期データパケットP_{ASY}をIPパケットとして順次取り込みこれを記憶する。

10

【0015】

ペンディングACKパケット生成回路30は、非同期データパケットP_{ASY}がデマルチプレクサ27を介して非同期パケット受信バッファ28に供給された場合に、承認保留中であることを表すペンディングACKパケットを生成してこれをパケット送信回路23に供給する。この際、パケット送信回路23は、かかるペンディングACKパケットをIEEE1394バス100上に出送する。すなわち、受信した非同期データパケットP_{ASY}のアドレスが特定アドレスADとは異なる場合には、承認保留中であることを表す情報（ペンディングACKパケット）をIEEE1394バス100上に出送するのである。

20

【0016】

完了ACKパケット生成回路31は、非同期データパケットP_{ASY}がデマルチプレクサ27を介してIPパケット受信バッファ29に供給された場合に、承認済みであることを表す完了ACKパケットを生成してこれをパケット送信回路23に供給する。この際、パケット送信回路23は、かかる完了ACKパケットをIEEE1394バス100上に出送する。すなわち、受信した非同期データパケットP_{ASY}のアドレスが特定アドレスADと一致する場合には、承認済みであることを表す情報（完了ACKパケット）をIEEE1394バス100上に出送するのである。

30

【0017】

以下に、図1に示されるIEEE1394インターフェース部におけるアシンクロナス伝送時の送受信動作について説明する。

先ず、IEEE1394バス100を介してIPパケット以外の非同期データパケットを受信した場合、この非同期データパケットはマルチプレクサ27を介して非同期パケット受信バッファ28に供給される。この際、ペンディングACKパケット生成回路30にて生成されたペンディングACKパケットがIEEE1394バス100上に出送される。ここで、ホストCPU1は、図2に示す如き非同期パケット受信処理サブルーチンの処理を実行する。

40

【0018】

図2において、ホストCPU1は、先ず、非同期パケット受信バッファ28に記憶されている非同期パケットを取り込み（ステップS1）、この非同期パケットのアドレスやデータタイプ等が自己対応パケットであるか否かを判定する（ステップS2）。ステップS2において、自己対応パケットであると判定された場合、ホストCPU1は、完了レスポンスパケットを生成しこれを非同期パケット送信バッファ22に供給する（ステップS3）。一方、上記ステップS2において自己対応パケットではないと判定された場合、ホストCPU1は、エラーレスポンスパケットを生成しこれを非同期パケット送信バッファ22に供給する（ステップS4）。ステップS3又はS4の実行により、非同期パケット送信バッファ22は、完了レスポンスパケット又はエラーレスポンスパケットをIEEE13

50

94バス100上に送出する。すると、IEEE1394バス100上において上記レスポンス packets を受信した他の情報処理装置はACK packets をIEEE1394バス100に送出する。パケット受信回路24は、このACK packets を受信すると、これをアドレス比較器26及びデマルチプレクサ27に供給する。この際、ACK packets は、デマルチプレクサ27を介して非同期パケット受信バッファ28に供給され、この非同期パケット受信バッファ28に保存される。上記ステップS3又はS4の実行後、ホストCPU1は、非同期パケット受信バッファ28にACK packets が保存されているか否かの判定を、一定期間実行する（ステップS5）。ステップS5において一定期間内にACK packets が受信されなかったと判定された場合、ホストCPU1は、ステップS2の実行に戻り、直前まで送出していた完了レスポンス packets 又はエラーレスポンス packets を再び送出する。ステップS5において、非同期パケット受信バッファ28にACK packets が保存されていると判定されると、ホストCPU1は、非同期パケット受信バッファ28からACK packets を取り込む（ステップS6）。ステップS6の実行後、ホストCPU1は、この非同期パケット受信処理サブルーチンを抜けてメインルーチン（図示せぬ）の処理に戻る。

10

【0019】

一方、IEEE1394バス100を介してIP packets に対応した非同期パケットを受信した場合には、アドレス比較器26によりこの非同期パケットがIP packets であると判定され、IP packets 保存専用のIP packets 受信バッファ29に保存される。更に、IP packets を受信した場合には、ホストCPU1の処理を介さずに直ちに、承認済みを表す完了ACK packets がIEEE1394バス100上に送出される。これにより、上記ステップS3～S5の如き、ホストCPU1によるレスポンス packets の送出処理及びACK packets の受信処理が不要となる。

20

【0020】

よって、図1に示されるIEEE1394インターフェース部2によれば、ホストCPU1の負荷を低減させることが可能になる。

尚、上記実施例においては、情報処理装置の主となる動作を制御するホストCPU1を、IEEE1394インターフェース部2の送受信制御にも兼用しているが、IEEE1394インターフェース部2内に送受信制御専用の内蔵CPUを設けるようにしても良い。

30

【0021】

図3は、かかる点に鑑みて為されたIEEE1394インターフェース部2の他の構成を示す図である。

図3に示されるIEEE1394インターフェース部2においては、内蔵CPU40が追加された点を除き、その構成は図1に示されるものと同一である。すなわち、図1に示されるホストCPU1と同一の制御を内蔵CPU40が実施するのである。ただし、IP packets に対する処理に関してはホストCPU1が行う。

【図面の簡単な説明】

【図1】本発明による送受信装置としてのIEEE1394インターフェース部2を示す図である。

【図2】図1に示されるホストCPU1によって実行される非同期パケット受信処理サブルーチンの一例を示す図である。

40

【図3】本発明による送受信装置としてのIEEE1394インターフェース部2の他の構成を示す図である。

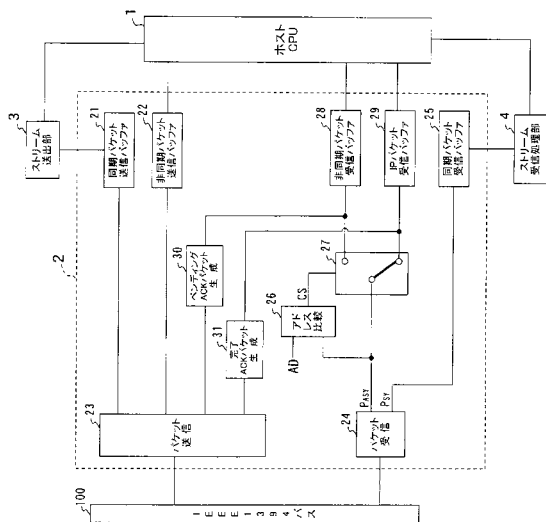
【符号の説明】

- 1 ホストCPU
- 2 IEEE1394インターフェース部
- 24 パケット受信回路
- 26 アドレス比較器
- 27 デマルチプレクサ
- 28 非同期パケット受信バッファ

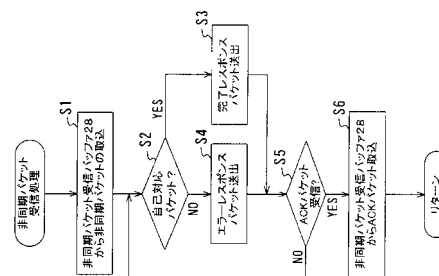
50

- 29 IPパケット受信バッファ
 30 ペンディングACKパケット生成回路
 31 完了ACKパケット生成回路

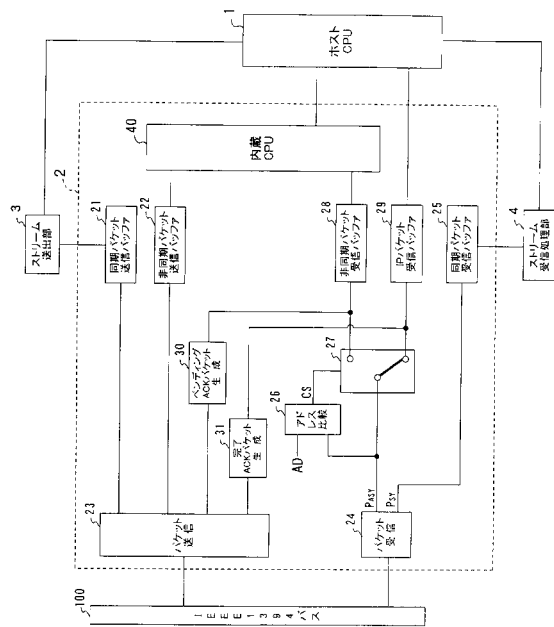
【図1】



【図2】



【図 3】



フロントページの続き

(72)発明者 大野 欣哉

埼玉県所沢市花園4丁目2610番地 パイオニア株式会社 所沢工場内

(72)発明者 薄葉 英巳

埼玉県所沢市花園4丁目2610番地 パイオニア株式会社 所沢工場内

審査官 北村 智彦

(56)参考文献 特開2003-023471 (JP, A)

特開2001-168915 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H04L13/00-13/18

H04L29/00-29/14

G06F 13/38

H04L 12/28