



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I512802 B

(45)公告日：中華民國 104 (2015) 年 12 月 11 日

(21)申請案號：102133555

(22)申請日：中華民國 102 (2013) 年 09 月 16 日

(51)Int. Cl. : H01L21/28 (2006.01)

H01L29/78 (2006.01)

(30)優先權：2012/09/27 美國

13/629,148

(71)申請人：英特爾股份有限公司 (美國) INTEL CORPORATION (US)

美國

(72)發明人：拉多撒福傑維克 馬可 RADOSAVLJEVIC, MARKO (US)；狄威 吉伯特 DEWEY, GILBERT (US)；朱功 班傑明 CHU-KUNG, BENJAMIN (US)；巴蘇 迪潘傑 BASU, DIPANJAN (IN)；珈納 薩納斯 GARDNER, SANAZ K. (US)；蘇利 沙亞斯 SURI, SATYARTH (IN)；皮拉瑞斯提 拉維 PILLARISSETTY, RAVI (US)；穆可吉 尼洛依 MUKHERJEE, NILOY (IN)；陳漢威 THEN, HAN WUI (MY)；喬羅伯特 CHAU, ROBERT S. (US)

(74)代理人：林志剛

(56)參考文獻：

TW 200711001A

US 2006/0289761A1

US 2011/0108803A1

"Epitaxial core-shell and core-multishell nanowire

heterostructures", Lincoln J. Lauhon et al, 2002, Nature. Vol. 420 pp.57~61, 7 November 2002

審查人員：王順德

申請專利範圍項數：31 項 圖式數：7 共 50 頁

(54)名稱

具有含低帶隙包覆層之通道區的非平面半導體裝置

NON-PLANAR SEMICONDUCTOR DEVICE HAVING CHANNEL REGION WITH LOW BAND-GAP CLADDING LAYER

(57)摘要

本發明說明具有含低帶隙包覆層之通道區域的非平面半導體裝置。例如，半導體裝置包括配置在基板上之複數條奈米線的垂直配置。每一奈米線包括具有第一帶隙的內區域以及圍繞該內區域的一外包覆層。該包覆層具有較低之第二帶隙。閘極堆疊係被配置在每一奈米線的通道區域上並且將它完全圍繞。該閘極堆疊包括配置在該包覆層上並且圍繞它的閘極介電層以及配置在該閘極介電層上的閘極電極。源極與汲極區域係被配置在該奈米線之通道區域的任一側上。

Non-planar semiconductor devices having channel regions with low band-gap cladding layers are described. For example, a semiconductor device includes a vertical arrangement of a plurality of nanowires disposed above a substrate. Each nanowire includes an inner region having a first band gap and an outer cladding layer surrounding the inner region. The cladding layer has a second, lower band gap. A gate stack is disposed on and completely surrounds the channel region of each of the nanowires. The gate stack includes a gate dielectric layer disposed on and surrounding the cladding layer and a gate electrode disposed on the

gate dielectric layer. Source and drain regions are disposed on either side of the channel regions of the nanowires.

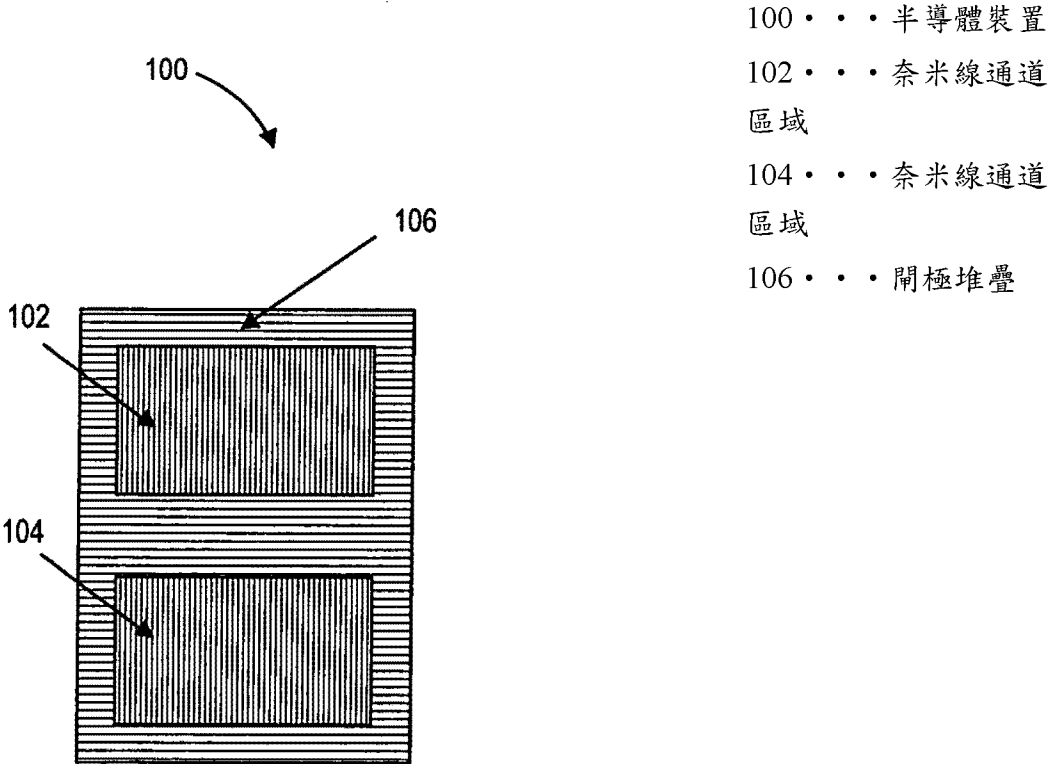


圖 1A

發明摘要

※申請案號：102133555

※申請日：102年09月16日

※IPC分類：

H01L21/82 2006.01

H01L18/20 2006.01

【發明名稱】(中文/英文)

具有含低帶隙包覆層之通道區的非平面半導體裝置

Non-planar semiconductor device having channel region with low band-gap cladding layer

【中文】

本發明說明具有含低帶隙包覆層之通道區域的非平面半導體裝置。例如，半導體裝置包括配置在基板上之複數條奈米線的垂直配置。每一奈米線包括具有第一帶隙的內區域以及圍繞該內區域的一外包覆層。該包覆層具有較低之第二帶隙。閘極堆疊係被配置在每一奈米線的通道區域上並且將它完全圍繞。該閘極堆疊包括配置在該包覆層上並且圍繞它的閘極介電層以及配置在該閘極介電層上的閘極電極。源極與汲極區域係被配置在該奈米線之通道區域的任一側上。

【 英文 】

Non-planar semiconductor devices having channel regions with low band-gap cladding layers are described. For example, a semiconductor device includes a vertical arrangement of a plurality of nanowires disposed above a substrate. Each nanowire includes an inner region having a first band gap and an outer cladding layer surrounding the inner region. The cladding layer has a second, lower band gap. A gate stack is disposed on and completely surrounds the channel region of each of the nanowires. The gate stack includes a gate dielectric layer disposed on and surrounding the cladding layer and a gate electrode disposed on the gate dielectric layer. Source and drain regions are disposed on either side of the channel regions of the nanowires.

【代表圖】

【本案指定代表圖】：第(1A)圖。

【本代表圖之符號簡單說明】：

100：半導體裝置

102：奈米線通道區域

104：奈米線通道區域

106：閘極堆疊

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

具有含低帶隙包覆層之通道區的非平面半導體裝置

Non-planar semiconductor device having channel region with low band-gap cladding layer

【技術領域】

本發明實施例係在半導體裝置的領域中，且特別是具有含低帶隙包覆層之通道區域的非平面半導體裝置。

【先前技術】

過去數十年，積體電路中之特徵的比例化已經成為日益成長半導體工業背後的驅動力。將越來越小特徵比例化，致使半導體晶片之有限基板面上功能性單元密度的增加。例如，電晶體尺寸縮小容許數目增加之記憶體裝置組合在晶片上，以導致容量增加之產品的製造。不過，越來越大容量的驅動並非沒有問題。將每一裝置性能最佳化的必要性變得逐漸明顯。

由於低有效質量連同減少的雜質散射，從Ⅲ-V族材料系統所形成的半導體裝置提供優異的高載子遷移率於電晶體通道中。此些裝置提供高驅動電流性能並且似乎有希望用於未來低功率、高速邏輯應用。不過，在以Ⅲ-V族材料為基礎的裝置的領域中，顯著的改善仍是必要的。

此外，在積體電路裝置的製造中，多閘極電晶體，譬如三閘極電晶體，或者環繞式閘極裝置，譬如奈米線，其係由於裝置尺寸持續縮小比例而變得更普遍。許多不同技術已經試著減少此些電晶體的接合漏洩。不過，在抑制接合漏洩的領域上，顯著的改善仍是必要的。

【圖式簡單說明】

圖 1A 顯示沿著習知多線半導體裝置之通道區域所擷取的截面圖。

圖 1B 係為顯示圖 1A 半導體裝置的 I_{OFF} 參數之模擬的圖。

圖 2 顯示根據本發明一實施例之沿著多線半導體裝置之通道區域所擷取的截面圖。

圖 3 係為圖 300，其代表根據本發明一實施例之含包覆層之奈米線的帶結構，其係呈能量（E）為半徑函數的形式。

圖 4 顯示根據本發明一實施例之具有含低帶隙包覆層之通道區域的非平面半導體裝置的角度圖。

圖 5A 顯示根據本發明一實施例之具有含低帶隙包覆層之一或多個通道區域之以奈米線為基礎半導體結構的三維截面圖。

圖 5B 顯示根據本發明一實施例之圖 5A 之以奈米線為基礎半導體結構的截面通道圖，其係沿著 a-a' 軸來擷取。

圖 5C 顯示根據本發明一實施例之圖 5A 之以奈米線為基礎半導體結構的截面間隔物圖，其係沿著 b-b' 軸來擷取。

圖 6A-6F 顯示三維截面圖，其代表根據本發明一實施例之以製造 CMOS 奈米線半導體結構之方法的種種操作。

圖 7 顯示根據本發明一種實施過程的計算裝置。

【發明內容及實施方式】

本發明說明具有含低帶隙包覆層之通道區域的非平面半導體裝置。在以下的說明中，種種具體細節被陳述，譬如具體整合與材料狀態，以便提供對本發明實施例的完整理解。那些熟諳該技藝者將明瞭，本發明的實施例可在沒有這些具體細節下實施。在其他情形中，熟知的特徵，譬如積體電路設計佈局，其係沒被詳細說明以便不會非必要地混淆本發明的實施例。更者，要理解的是，在該圖式中所顯示的種種實施例係為說明性代表，並且不一定按比例繪製。

在此所說明的一或多個實施例係針對具有含低帶隙包覆層之通道區域的非平面半導體裝置。在一個此實施例中，該裝置的閘極堆疊完全圍繞一通道區域（譬如一奈米線或環繞式閘極裝置），且該包覆層被包括在該通道區域的整個周長上。在另一此實施例中，該裝置的閘極堆疊僅僅部分圍繞一通道區域（譬如三閘極或鰭式場效電晶體裝置），且該包覆層係被包括在該通道區域的僅僅一部份周

長上。此些包覆層可被包括，以減少該相關半導體裝置的關閉狀態寄生漏洩，例如，用於Ⅲ-V族材料半導體裝置。

電晶體比例化的重要考量係為控制影響備用功率的電晶體關閉狀態漏洩（ I_{off} ）。為了解決此問題，在過去，半導體工業已經朝薄體（例如，矽絕緣體，SOI）型結構、非平面結構（例如，鰭式場效電晶體或三閘極）進展並且考慮奈米線裝置。在此所說明的實施例可使用帶隙工程來進一步改善電晶體 I_{off} 。當半導體通道材料被傳統上具有更小帶隙的高遷移率材料（譬如Ⅲ-V族材料）取代時，此些改善可變得更重要。更小的帶隙材料更易受到 I_{off} 問題。雖然如此，帶隙工程也可被應用在更傳統的Ⅳ族半導體（例如，矽、矽鍺與鍺）。

為了協助闡釋以上概念，以及促進與本發明實施例的比較。圖 1A 顯示沿著習知多線半導體裝置之通道區域所擷取的截面圖。參考圖 1A，一部份半導體裝置 100 包括兩奈米線通道區域 102 與 104，例如Ⅲ-V族材料奈米線，譬如砷化鎵銦奈米線。閘極堆疊 106 圍繞該兩奈米線通道區域 102 與 104。閘極堆疊 106 包括相鄰該兩奈米線通道區域 102 與 104 的閘極介電層與相鄰該閘極介電層的閘極電極（沒被個別顯示），例如高-k 閘極介電層與金屬閘極電極。

圖 1B 係為顯示半導體裝置 100 之 I_{OFF} 參數之模擬的圖。參考圖 1B 的圖，在關閉狀態中的電流幾乎相等地分佈經過每一奈米線的體積，當電流被侷限於每一奈米線的

周長時，其係與開啓狀態形成對比。

根據本發明的實施例， I_{off} 係藉由減少在半導體裝置的一或多條奈米線或三維體部中的可用體積來減少。在一個此實施例中，雖然一個此種方法可包括製造中空奈米線（例如，奈米管），替代地，帶隙工程化係被使用來避免電流在奈米線內部流動。因為前面的中空方法難以實施，所以後面的方法較佳。在一個此實施例中，奈米線的內部分或其他三維體部具有比至少部分圍繞內部分之外包覆層更高的帶隙。在具體實施例中，低帶隙包覆層係被使用來限制電流流到三維體部之奈米線的周長。要理解的是，在此些實施例中，對通道區域的參考包括該內部較高之帶隙材料與該外部較低之帶隙包覆層兩者。

以上述包覆方法為實例，圖 2 顯示根據本發明一實施例之沿著多線半導體裝置之通道區域所擷取的截面圖。參考圖 2，一部份半導體裝置 200 包括兩個內部奈米線通道區域部分 202 與 204，例如，III-V 族材料內部奈米線通道區域部分。該兩個內部奈米線通道區域部分 202 與 204 係由包覆層 205 所圍繞，例如，具有比兩個內部奈米線通道區域部分 202 與 204 之材料更低帶隙的 III-V 族材料包覆層（例如，砷化鎵銻）。因此，相較於半導體裝置 100，半導體裝置 200 包括受限於奈米線外部的原始 III-V 通道材料，例如，當作包覆層，同時內部係由不同、更高帶隙的材料所組成。閘極堆疊 206 圍繞包覆層 205。閘極堆疊 206 包括相鄰包覆層 205 的閘極介電層與相鄰閘極介電層

的閘極電極（沒被各別顯示），例如高- k 閘極介電層與金屬閘極電極。要理解的是，雖然兩條奈米線被描述於圖 2 中，但是在替代實施例中，單一奈米線或大於兩條的奈米線可被使用。

在一個實施例中，因為內部奈米線通道區域部分 202 或 204 的材料具有比包覆層 205 更大的帶隙與帶補償，所以可避免在該通道區域之內部區或裡面的電流流動。也就是，電流流動係被限制在包覆層 205。此一包覆層可被最佳化，以用於關閉狀態問題減少之奈米線（或者其他三維體部）電晶體的遷移率、有效質量與開啓狀態性能。另一方面，內部分或層可被最佳化，以減少經過該裝置之那部分的電流流動，譬如藉由增加它相對於包覆層的帶隙與帶補償。

圖 3 係為圖 300，代表根據本發明一實施例之含包覆層之奈米線的帶結構，其係呈能量（ E ）為半徑函數的形式。參考圖 300，在包覆（外）層中的較小帶隙會被最佳化以用於傳送（開啓狀態），然而，內部分具有一更大的帶隙，以減少在整體奈米線中的電流流動。

半導體裝置 200（以上所說明）或半導體裝置 400 與 500（以下所說明）係為結合閘極、通道區域與一對源極/汲極區域的半導體裝置。在一個實施例中，半導體裝置 200（或 400 或 500）係為譬如但不限於 MOS-FET 或微電機系統（MEMS）的那種。在一個實施例中，半導體裝置 200（或 400 或 500）係為三維 MOS-FET 且為一分離的裝

置或者在複數個巢狀裝置中的一個裝置。誠如對典型積體電路的理解，N-與 P-通道電晶體兩者可在單一基板上被製造，以形成 CMOS（互補式金屬氧化物半導體）積體電路。更者，額外的互連線可被製造，以便將此些裝置整合在積體電路內。

誠如以上所提及地，包覆層可被使用於奈米線裝置（見以下結合圖 5A-5C 的更詳細說明），但也可被使用於其他三維半導體裝置中（例如，譬如在三閘極或以鰭式場效電晶體為基礎之 MOS-FET 中含突出通道區域的裝置）。更者，該包覆層可完全圍繞一內通道部分（例如，在以下的圖 5A-5C），或者僅僅可部分圍繞一內通道部分（例如，其中一個實施例結合圖 4 而說明如下）。

在第一實施例中，圖 4 顯示根據本發明一實施例之具有含低帶隙包覆層之通道區域的非平面半導體裝置的角度圖。

參考圖 4，半導體裝置 400 包括配置在基板 402 以上的異質結構 404。該異質結構 404 包括一底部阻障層 428。三維 III-V 族材料體部 406，譬如 III-V 族材料體部，連同通道區域 408 係被配置在底部阻障層 428 以上。三維體部 406 包括內區域 406A 與包覆層 406B。閘極堆疊 418 係被配置以圍繞至少一部份的通道區域 408。閘極堆疊 418 包括閘極電極 424 與閘極介電層 420。閘極堆疊可進一步包括介電間隔物 460。

在一個實施例中，無法從圖 4 的透視圖看見，閘極堆

疊完全圍繞該通道區域 408。在那實施例中，該包覆層 406B 完全圍繞內區域 406A，至少在該通道區域 408。不過，在另一個實施例中，該閘極堆疊僅僅部份圍繞該通道區域 408。在那個實施例中，該包覆層 406B 也可僅僅部份圍繞該內區域 406A。

源極與汲極區域 414/416 可被形成在不被閘極堆疊 418 所圍繞的三維體部 406 部份中或上。更者，頂部阻障層也可被包括在那些區域中。同樣地，絕緣區域 470 可被包括。雖然在圖 4 被描述為有些對準底部阻障層 428 的底部，但是令人理解的是，絕緣區域 470 的深度可改變。同樣地，雖然在圖 4 被描述為有些對準底部阻障層 428 的底部，但是令人理解的是，絕緣區域 470 的高度可改變。

基板 402 係由適合半導體裝置製造的材料所組成。在一個實施例中，基板 402 係為由單晶材料所組成的大塊基板，包括但不限於矽、鍺、矽-鍺或 III-V 化合物半導體材料。在另一個實施例中，基板 402 包括含頂部磊晶層的塊層。在具體實施例中，該塊層係由單晶材料組成，其包括但不限於矽、鍺、矽-鍺、III-V 化合物半導體材料或石英，然而頂部磊晶層係由單晶層所組成，其包括但不限於矽、鍺、矽-鍺或 III-V 化合物半導體材料。在另一個實施例中，基板 402 包括在下塊層以上之中間絕緣體層上的頂部磊晶層。頂部磊晶層係由單晶層所組成，其包括但不限於矽（例如，形成矽絕緣體（SOI）半導體基板）、鍺、矽-鍺或 III-V 化合物半導體材料。該絕緣體層係由包括但

不限於二氧化矽、氮化矽或氧氮化矽的材料所組成。下塊層係由包括但不限於矽、鍺、矽-鍺、Ⅲ-V化合物半導體材料或石英的單晶所組成。基板 402 可進一步包括雜質摻雜原子。

異質結構 404 包括一或多層晶狀半導體層堆疊，譬如含底部阻障層 428 配置於上的組合緩衝物層（沒顯示）。該組合緩衝物層係由適合提供具體晶格結構的晶狀材料所組成，在該晶格結構上，底部阻障層以可忽略的錯位來形成。例如，根據本發明實施例，該組合緩衝物層係被使用以按晶格常數變化率來改變半導體異質結構 404 的暴露生長表面，從基板 402 的晶格結構到更相容於其上之高品質、低缺陷層之磊晶生長的晶格結構。在一個實施例中，組合緩衝物層用來提供更適合磊晶生長的晶格常數，而不是基板 402 的不相容晶格常數。在一個實施例中，基板 402 係由單晶矽所組成，且該組合緩衝物層降級到由具有厚度大約 1 微米之砷化鎢鋁層所組成的底部阻障層。在一替代性實施例中，該組合緩衝物層被省略，因為基板 402 的晶格常數適合用於半導體裝置之底部阻障層 428 的生長。

該底部阻障層 428 係由適合將波函數侷限於其上所形成之通道區域中的材料所組成。根據本發明的一個實施例，該底部阻障層 428 具有適合匹配該組合緩衝物層之頂部晶格常數的晶格常數，例如，該些晶格常數係相似到足夠使底部阻障層 428 的錯位形成被忽略。在一個實施例

中，該底部阻障層 428 係由具有厚度近似 10 奈米的近似砷化銦鋁 ($\text{In}_{0.65}\text{Al}_{0.35}\text{As}$) 層所組成。在具體實施例中，近似砷化銦鋁 ($\text{In}_{0.65}\text{Al}_{0.35}\text{As}$) 層所組成的底部阻障層 428 係被使用於 N 型半導體裝置中的量子限制。在另一個實施例中，底部阻障層 428 係由具有厚度近似 10 奈米的近似銻化銦鋁 ($\text{In}_{0.65}\text{Al}_{0.35}\text{Sb}$) 層所組成。在具體實施例中，由近似銻化銦鋁 ($\text{In}_{0.65}\text{Al}_{0.35}\text{Sb}$) 層所組成的底部阻障層 428 係被使用於 P 型半導體裝置中的量子限制。

在一個實施例中，三維體部 406 包括具有比包覆層 406B 更高帶隙的內區域 406A。包覆層 406B/內區域 406A 組合的選擇原則上是豐富的。例如，在 III-V 族材料狀態中晶格匹配（或幾乎晶格匹配）的對，包括砷化鎵銦/磷化銦、砷化鎵/砷化鎵鋁、銻化銦/銻化銦鋁，其係可被使用。雖然在此所說明的許多實施例針對 III-V 族材料通道區域，但是其他實施例可包括矽/矽鍺/鍺的使用。例如，低帶隙富含鍺的包覆層可連同高帶隙富含矽的內區域一起使用。一般而言，包覆層 406B 可由適合傳播具低阻力之波函數的材料所組成。在一個實施例中，包覆層 406B 係由 III（例如，硼、鋁、鎵或銦）與 V（例如，氮、磷、砷或銻）族元素所組成。在一個實施例中，包覆層 406B 係由砷化銦或銻化銦所組成。該包覆層 406B 具有適合傳播波函數之實質部份的厚度，例如適合禁止明顯部份的波函數進入內區域 406A。在一個實施例中，包覆層 406B 具有的厚度範圍近乎 50-100 埃。在 III-V 族材料異質結構的情形

中，內區域 406B 係由與在異質結構中之底部阻障層的相同材料所組成。

假如頂部阻障層被使用的話（沒顯示），頂部阻障層係由適合將波函數限制於形成在其下之 III-V 材料（或其它低帶隙材料）體部/通道區域中的材料所組成。根據本發明的實施例，頂部阻障層所具有的晶格常數適合匹配包覆層 406B 的晶格常數，例如，該些晶格常數係相似到足以使頂部阻障層中的錯位形成被忽略。在一個實施例中，頂部阻障層係由譬如但不限於 N 型砷化鎵的材料層所組成。源極與汲極材料區域，例如形成在位置 414 與 416，係為摻雜的 III-V 族材料區域，此一更濃密摻雜的結構係由與頂部阻障層相同或相似的材料所形成。在其他實施例中，源極與汲極區域係形成在位置 414 與 416 上的體部 406 中。

在一個實施例中，再度參考圖 4，閘極電極堆疊 418 的閘極電極 424 係由金屬閘極組成，且該閘極介電層 420 係由高 k 材料所組成。例如，在一個實施例中，該閘極介電層 420 係由譬如但不限於氧化鉛、氧氮化鉛、矽酸鉛、氧化釧、氧化鋯、矽酸鋯、氧化鉭、鈦酸鋇、鈦酸鋇、鈦酸鋇、氧化鈮、氧化鋁、氧化鉛鉭鉭、鉍鋅酸鉛或其組合的材料所組成。更者，一部份的閘極介電層 420 包括從半導體體部 406 之頂部少許層形成的自然氧化物層。在一個實施例中，閘極介電層 420 係由頂部高-k 部份與半導體材料氧化物所組成的下部份所組成。在一個實施例中，閘

極介電層 420 係由氧化鉛的頂部份與二氧化矽或氮化矽的底部份所組成。

在一個實施例中，閘極電極 424 係由金屬層所組成，譬如但不限於金屬氮化物、金屬碳化物、金屬矽化物、金屬鋁化物、鉛、銦、鈦、鉭、鋁、鈮、鈹、鉑、鈷、鎳或傳導性金屬氧化物。在具體實施例中，閘極電極 524 係由形成在金屬工作函數設定層以上的非工作函數設定充填材料所組成。

在第二實例中，圖 5A 顯示根據本發明一實施例之具有含低帶隙包覆層之一或多個通道區域之以奈米線為基礎半導體結構的三維截面圖。圖 5B 顯示圖 5A 之以奈米線為基礎半導體結構的截面通道圖，其係沿著 a-a' 軸來擷取。圖 5C 顯示圖 5A 之以奈米線為基礎半導體結構的截面間隔物圖，其係沿著 b-b' 軸來擷取。

參考圖 5A，半導體裝置 500 包括配置在基板 502 以上的一或多個垂直堆疊奈米線（504 組）。在此之實施例係針對為單線裝置與多線裝置兩者。舉例來說，具有奈米線 504A、504B 與 504C 之以三條奈米線為基礎的裝置係為了說明性目的被顯示。為了方便說明，奈米線 504A 係被使用當作一實例，在此，說明被聚焦在僅僅其中一奈米線。須理解的是，雖然一奈米線的屬性被說明，但基於複數條奈米線的實施例之每一奈米線可具有相同屬性。

奈米線 504 之各者包括配置在奈米線中的通道區域 506。通道區域 506 具有長度（L）。參考圖 5B，該通道

區域也具有垂直於長度（ L ）的周長。參考圖 5A 與 5B 兩者，閘極電極堆疊 508 圍繞通道區域 506 之各者的整個周長。該閘極電極堆疊 508 包括一閘極電極，連同一閘極介電層配置在該通道區域 506 與閘極電極（未顯示）之間。該通道區域 506 係為離散的，其中它完全被閘極電極堆疊 508 圍繞而沒有任何材料插入，譬如下層基板材料或上覆通道製造材料。於是，在具有複數條奈米線 504 的實施例中，奈米線的通道區域 506 相對於彼此也是離散的，如圖 5B 所描繪。

在一個實施例中，通道區域 506 包括具有比包覆層 506B 更高帶隙的內區域 506A。包覆層 506B/內區域 506A 組合的選擇原則上是豐富的。例如，在 III-V 族材料狀態中晶格匹配（或幾乎晶格匹配）的對，包括砷化鎵銻/磷化銻、砷化鎵/砷化鎵鋁、銻化銻/銻化銻鋁，可被使用。雖然在此所說明的許多實施例針對 III-V 族材料通道區域，但是其他實施例可包括矽/矽鍺/鍺的使用。例如，低帶隙富含鍺的包覆層可連同高帶隙富含矽的內區域一起使用。一般而言，包覆層 506B 可由適合傳播具低阻力之波函數的材料所組成。在一個實施例中，包覆層 506B 係由 III（例如，硼、鋁、鎵或銻）與 V（例如，氮、磷、砷或銻）族元素所組成。在一個實施例中，包覆層 506B 係由砷化銻或銻化銻所組成。該包覆層 506B 具有適合傳播波函數之實質部份的厚度，例如適合禁止明顯部份的波函數進入內區域 506A。在一個實施例中，包覆層 506B 具有的厚度範

圍近乎 50-100 埃。在 III-V 族材料異質結構的情形中，內區域 506B 係由與在異質結構中之底部阻障層的相同材料所組成。

在一個實施例中，奈米線 504 以線或帶子的尺寸來製作（後者會被說明如下），並且可具有切成方形或圓形的角。在一個實施例中，奈米線 504 係為單向應變的奈米線。該單向應變奈米線或複數條奈米線係以拉伸應變或以壓縮應變被單向應變，例如各別用於 NMOS（N 型金屬氧化半導體）或 PMOS（P 型金屬氧化半導體）。

在圖 5B 中，通道區域 506 之各者的寬度與高度近乎相同地顯示，不過，它們不一定。例如，在另一個實施例中（沒顯示），奈米線 504 的寬度實質大於高度。在具體實施例中，該寬度比高度大近乎 2-10 倍。具有此幾何結構的奈米線可被稱為奈米帶。在一個替代性實施例中（也沒被顯示），奈米帶可被垂直定向。也就是，奈米線 504 的每一條具有寬度與高度，該寬度實質小於高度。在一個實施例中，奈米線 504 以線或帶子的尺寸製作，並且可具有切成方形或圓形的角。

再度參考圖 5A，奈米線 504 之各者也包括配置在通道區域 504 之任一側上之奈米線中的源極與汲極區域 510 與 512。一對接點 514 係配置在源極/汲極區域 510/512 上。在具體實施例中，該對接點 514 圍繞源極/汲極區域 510/512 每一個的整個周長，如圖 5A 所描述。也就是，在一個實施例中，該源極/汲極區域 510/512 係為離散的，

其中它完全被接點 514 所圍繞而沒有任何材料插入，譬如下層基板材料或上覆通道製造材料。於是，在具有複數奈米線 504 的此一實施例中，奈米線的源極/汲極區域 510/512 相對於彼此也是離散的。

再度參考圖 5A，在一個實施例中，半導體裝置 500 進一步包括一對間隔物 516。該間隔物 516 係被配置在該閘極電極堆疊 508 與該對接點 514 之間。如以上所說明，在至少數個實施例中，通道區域與源極/汲極區域被製成離散。不過，並非奈米線 504 的全部區域需要或甚至可被離散。例如，參考圖 5C，在間隔物 516 以下的位置，奈米線 504A-504C 並非離散。在一個實施例中，奈米線 504A-504C 的堆疊具有插入的半導體材料 580 於其間，譬如鍺插入於 III-V 族材料奈米線之間，或者反之亦然，如以下相關於圖 6A-6F 所說明。在一個實施例中，底部奈米線 504A 仍可接觸一部份的基板 502，例如接觸配置在大塊基板上的絕緣層部份。因此，在一個實施例中，在其中一或兩個間隔物以下之複數個垂直堆疊奈米線的一部份係為非離散的。

雖然以上所說明的裝置 500 用於單一個裝置，例如，NMOS 或 PMOS 裝置，但是互補式金屬氧化物半導體（CMOS）架構也可被形成，以包括配置在相同基板上或以上之以 NMOS 與 PMOS 奈米線為基礎裝置兩者，例如，如以下結合圖 6A-6F 的說明。

再度參考圖 5A-5C，基板 502 係由適合半導體裝置製

造的材料所組成。在一個實施例中，基板 502 包括由單晶材料所組成的下大塊基板，其係包括但不限於矽、鍺、矽-鍺或 III-V 化合物半導體材料。由包括但不限於二氧化矽、氮化矽、或氧氮化矽之材料所組成的上絕緣體層係被配置在下大塊基板上。因此，結構 500 可從起始的絕緣體上半導體基板所製造。同樣地，在一個實施例中，複數條垂直堆疊奈米線 504 係被配置在具有插入介電層配置於上的大塊晶狀基板以上，如在圖 5A-5C 所描繪。此外，結構 500 可直接從大塊基板來形成，且局部氧化係被使用來形成電性絕緣部份，以代替以上所說明的上絕緣體層。同樣地，在另一個實施例中，複數條垂直堆疊奈米線 504 係被配置在不具有插入介電層配置於上的大塊晶狀基板上面。在另一個實施例中，具有高帶隙的頂部阻障層，譬如 III-V 族材料阻障層係被使用來將底部奈米線 504A 與下層基板隔開。

在一個實施例中，再度參考圖 5A，閘極電極堆疊 508 的閘極電極係由金屬閘極所組成且該閘極介電層係由高 k 材料所組成。例如，在一個實施例中，該閘極介電層係由譬如但不限於氧化鉛、氧氮化鉛、矽酸鉛、氧化釧、氧化鋯、矽酸鋯、氧化鈮、鈦酸鋇、鈦酸鋇、鈦酸鋇、氧化鈮、氧化鋁、氧化鉛鈦鈮、鋇鋅酸鉛或其組合的材料所組成。更者，一部份的閘極介電層包括從奈米線 504 之頂部少許層形成的一自然氧化物層。在一個實施例中，閘極介電層係由頂部高- k 部份與半導體材料之氧化物所組成的下

部份所組成。在一個實施例中，閘極介電層係由氧化鈣的頂部份與二氧化矽或氧氮化矽的底部份所組成。

在一個實施例中，閘極電極係由金屬層所組成，譬如但不限於金屬氮化物、金屬碳化物、金屬矽化物、金屬鋁化物、鈣、鎢、鈦、鉭、鋁、鈮、鈹、鉑、鈷、鎳或傳導性金屬氧化物。在具體實施例中，閘極電極係由形成在金屬工作函數設定層以上的非工作函數設定充填材料所組成。

在一個實施例中，間隔物 516 係由絕緣介電材料所組成，譬如但不限於二氧化矽、氧氮化矽或氮化矽。在一個實施例中，接點 514 係從金屬物種所製造。該金屬物種係為純金屬，譬如鎳或鈷，或者為合金，譬如金屬-金屬合金或者金屬-半導體合金（例如，譬如矽化物材料）。

再度參考圖 5A，奈米線 550 之各者也包括配置在通道區域 506 任一側上之奈米線中或上的源極與汲極區域 510/512。在一個實施例中，源極與汲極區域 510/512 係為被嵌入的源極與汲極區域，例如，至少一部份的奈米線會被移除且替代以源極/汲極材料區域。不過，在另一個實施例中，源極與汲極區域 510/512 係包含或至少包括該一或多條奈米線 504 部份。

要理解的是，雖然以上所說明的裝置 500 用於單一裝置，但是 CMOS 架構也可被形成以包括配置在相同基板上或以上之以 NMOS 與 PMOS 奈米線為基礎的裝置兩者。

因此，在另一種態樣中，可提供製造具有包覆層之奈

米線的方法。圖 6A-6F 顯示三維截面圖，其代表根據本發明一實施例之一種製造 CMOS 奈米線半導體結構之方法中的種種操作。

在一個實施例中，一種製造奈米線半導體結構的方法，包括形成以 PMOS 奈米線為基礎的半導體裝置與相鄰以 NMOS 奈米線為基礎的半導體裝置兩者。每一個裝置均可藉由形成奈米線於基板以上來製造。在最終提供兩奈米線的形成以用於以 NMOS 與 PMOS 奈米線為基礎半導體裝置之每一個的具體實施例中，圖 6A 顯示具有基板 602 的最初結構 600（例如，由具有絕緣或阻障層 602B 於其上的大塊基板 602A 所組成）。III-V 材料層 604/鎢層 606/III-V 材料層 608/鎢層 610 堆疊係配置在堆疊 602 上。當然，此些層的順序可被反向。

參考圖 6B，一部份的 III-V 材料層 604/鎢層 606/III-V 材料層 608/鎢層 610 堆疊以及一頂部部份的絕緣體或阻障層 602B 會被圖案化成鰭型結構 612，例如以遮罩與電漿蝕刻製程。因此，在一個實施例中，自由表面係藉由圖案化被形成在 III-V 材料與鎢層之每一層的任一側上，以提供鰭型結構 612。

在顯示三個閘極結構形成的具體實例中，圖 6C 顯示具有三個犧牲閘極 614A、614B 與 614C 配置在其上的鰭型結構 612。在一個此實施例中，該三個犧牲閘極 614A、614B 與 614C 係由例如以電漿蝕刻製程被毯狀沈積與圖案化的犧牲閘極氧化物層 616 與犧牲多晶矽閘極層 618 所組

成。

在圖案化以形成三個犧牲閘極 614A、614B 與 614C 之後，間隔物可被形成在該三個犧牲閘極 614A、614B 與 614C 的側牆上，摻雜可被施行於圖 6C 所示之鰭型結構 612 的區域 620 中（例如，尖端與/或源極與汲極型摻雜），且中間介電層可被形成以覆蓋且隨後重新暴露該三個犧牲閘極 614A、614B 與 614C。該中間介電層隨後可被拋光以暴露該三個犧牲閘極 614A、614B 與 614C，以用於取代閘極或閘極後製之製程。參考圖 6D，該三個犧牲閘極 614A、614B 與 614C 被暴露，連同間隔物 622 與中間介電層 624。

該犧牲閘極 614A、614B 與 614C 隨後可被移除，例如在取代閘極或閘極後製流程中，以暴露該鰭型結構 612 的通道部份。參考圖 6E 的左手部份，在鰭型結構 612 被使用來製造 NMOS 裝置的情形中，該犧牲閘極 614A、614B 與 614C 會被移除，以提供溝渠 626。由溝渠 626 所暴露的鍍層 606 與 610 部份以及絕緣或阻障層 602B 的暴露部份，可被移除以留下 III-V 族材料層 604 與 608 的離散部份。參考圖 6E 的右手部份，在鰭型結構 612 被使用來製造 PMOS 裝置的情形中，犧牲閘極 614A、614B 與 614C 可被移除，以提供溝渠 628。由溝渠 628 所暴露的 III-V 材料層 604 與 608 部份可被移除，以留下鍍層 606 與 610 的離散部份。

在一個實施例中，參考圖 6E 的右手部份，III-V 族材

料層 604 與 608 會以濕式蝕刻被選擇性蝕刻，該濕式蝕刻會選擇性移除 III-V 族材料，同時不會蝕刻該銻奈米線結構 606 與 610。在另一個實施例中，參考圖 6E 的左手部份，銻層 606 與 610 受到濕式蝕刻選擇性地蝕刻，該濕式蝕刻會選擇性移除銻，同時不會蝕刻 III-V 族材料奈米線結構 604 與 608。因此，III-V 族材料層可從銻型結構 612 被移除，以形成銻通道奈米線，或者銻層可從銻型結構 612 被移除，以形成 III-V 族材料通道奈米線。

在一個實施例中，在圖 6E 所示之 III-V 族材料層 604 與 608 (NMOS) 或者銻層 606 與 610 (PMOS) 的離散部份，最後將變成以奈米線為基礎之結構中的通道區域。因此，在圖 6E 所描繪的製程階段中，通道工程或調整可被施行。例如，在一個實施例中，在圖 6E 之左手部份中所顯示的 III-V 族材料層 604 與 608 的離散部份或者在圖 6E 之右手部份中所顯示的銻層 606 與 610 的離散部份，其係可使用氧化與蝕刻製程被薄化。此一蝕刻製程可被同時施行，該些線則可藉由蝕刻該相反的 III-V 族材料或銻層來分開。於是，從 III-V 族材料層 604 與 608 或從銻層 606 與 610 所形成的最初線會開始變厚，其係並且在後續的處理中變薄。除了薄化以外或做為薄化的替代物，低帶隙包覆層可被形成以圍繞一或多個暴露通道區域。該些包覆層係為以上所說明的那些，例如，包覆層 205、406B 或 506B。

在如圖 6E 所描繪之離散通道區域形成以後，高-k 閘

極介電與金屬閘極處理可被施行，且源極與汲極接點可被添加。在顯示三個閘極結構形成在兩條Ⅲ-V族材料奈米線（NMOS）或兩條銻奈米線（PMOS）上的具體實例中，圖 6F 顯示 NMOS 閘極堆疊 630 或 PMOS 閘極堆疊 632 沈積以後的結構。閘極堆疊可各自由高-k 閘極介電層與 N-型或 P-型金屬閘極電極層所組成。此外，圖 6F 描繪在永久閘極堆疊形成以後接續移除中間介電層 624 的結果。接點可被形成在留在圖 6E 之中間介電層 624 部分的地方中。在一個實施例中，在移除 624 與形成接點 634 之製程期間的某階段，源極與汲極工程也可被施行。

因此，在此所說明之一或多個實施例是著重在具有低帶隙外包覆層的活性區域配置。雖然以上的說明相關於非平面性與環繞式閘極裝置的益處，但是就不具有閘極周圍包繞特徵的平面裝置而言，也可得到益處。因此，此些配置可被包括以形成以高遷移率材料為基礎的電晶體，譬如平面裝置、以鰭型或三閘極為基礎的裝置、以及環繞式閘極裝置，包括以奈米線為基礎的裝置。令人理解的是，材料的形成，譬如在此所說明的Ⅲ-V材料層（或其它高遷移率、低帶隙材料）可藉由譬如但不限於化學蒸汽沈積（CVD）或分子束磊晶生長（MBE）或其它類似製程的技術來施行。

圖 7 顯示根據本發明一種實施過程的計算裝置 700。計算裝置 700 內置面板 702。該面板 702 包括許多元件，包括但不限於處理器 704 與至少一個通訊晶片 706。處理

器 704 被物理性且電性聯結到面板 702。在一些實施過程中，該至少一個通訊晶片 706 也被物理性且電性聯結到面板 702。在進一步實施過程中，該通訊晶片 706 係為處理器 704 的一部份。

依據它的應用，計算裝置 700 包括可或不可被物理性與電性聯結到面板 702 的其他元件。這些其他元件包括但不限於揮發性記憶體（例如動態隨機存取記憶體）、非揮發性記憶體（例如，唯讀記憶體）、快閃記憶體、圖形處理器、數位訊號處理器、密碼機處理器、晶片組、天線、顯示器、觸控式螢幕顯示器、觸控式螢幕控制器、電池、音頻編解碼器、視頻編解碼器、功率放大器、全球定位系統（GPS）裝置、指南針、加速度計、陀螺儀、喇叭、照相機與質量儲存裝置（譬如硬碟驅動器、光碟（CD）、數位多功能光碟（DVD）等等）。

通訊晶片 706 能夠使無線通訊用來傳送資料往返計算裝置 700。“無線”用詞與其衍生字詞可被使用來說明電路、裝置、系統、方法、技術、通訊通道等等，其可經由調變電磁輻射的使用將資料通訊經過非固態媒介。該用詞並沒有意味著該相關裝置不包含任何線，雖然在一些實施例中，它們可能沒有。通訊晶片 706 可實施許多無線標準或協定的任一個，包括但不限於 Wi-Fi（無線保真）（IEEE（電機電子工程師學會）802.11 家族）、WiMAX（全球互通微波存取）（IEEE 802.16 家族）、IEEE 802.20、長期演進（LTE）、Ev-DO（演進數據優化）、

HSPA+（高速封包存取）、HSDPA+（高速下行封包存取）、HSUPA+（高速上行封包存取）、EDGE（GSM 增強數據率演進）、GSM（全球行動通訊系統）、GPRS（一般封包式無線電服務）、CDMA（分碼多工存取）、TDMA（分時多工存取）、DECT（數位歐洲無線電信）、藍芽、其衍生者、以及被稱為 3G、4G、5G 以及以上的任何其他無線協定。該計算裝置 700 包括複數個通訊晶片 706。例如，第一通訊晶片 706 可致力於較短範圍的無線通訊，譬如 Wi-Fi 與藍芽，且第二通訊晶片 706 可致力於較長範圍的無線通訊，譬如 GPS（全球定位系統）、EDGE（GSM 增強數據率演進）、GPRS（一般封包式無線電服務）、CDMA（分碼多工存取）、WiMAX（全球互通微波存取）、LTE（長期演進）、Ev-DO（演進數據優化）與其他。

計算裝置 700 的處理器 704 包括被封裝在處理器 704 內的一積體電路晶粒。在本發明的一些實施過程中，處理器的積體電路晶粒包括一或多個裝置，譬如根據本發明實施過程而建立的 MOS-FET（金屬氧化物半導體場效電晶體）電晶體。用詞“處理器”可意指處理來自暫存器與/或記憶體之電子資料以將那電子資料轉換成可被儲存在暫存器與/或記憶體中之其他電子資料的任何裝置或一裝置的任何部份。

該通訊晶片 706 也包括被封裝在通訊晶片 706 內的積體電路晶粒。根據本發明的另一實施過程，通訊晶片的積

體電路晶粒包括一或多個裝置，譬如根據本發明實施過程所建立的 MOS-FET 電晶體。

在進一步實施過程中，被安放在該計算裝置 700 內的另一個元件包含一積體電路晶粒，該晶粒包括一或多個裝置，譬如根據本發明實施過程所建立的 MOS-FET 電晶體。

在種種實施過程中，計算裝置 700 可為膝上型電腦、輕省筆電、筆記型電腦、超極緻筆電、智慧型手機、平板電腦、個人數位助理（PDA）、超行動個人電腦、行動電話、桌上型電腦、伺服器、印表機、掃描器、螢幕、機上盒、娛樂控制單元、數位照相機、可攜式音樂播放器或數位視訊記錄器。在進一步實施過程中，該計算裝置 700 可為處理資料的任何其他電子裝置。

因此，本發明的實施例包括具有含低帶隙包覆層之通道區域的非平面半導體裝置。

在一個實施例中，半導體裝置包括配置在基板上之複數條奈米線的垂直配置。每一奈米線包括具有第一帶隙的內區域以及圍繞該內區域的外包覆層。該包覆層具有第二之低帶隙。閘極堆疊係配置在每一奈米線之通道區域上並且完全圍繞它。該閘極堆疊包括配置在該包覆層上並且圍繞它的閘極介電層以及配置在該閘極介電層上的閘極電極。源極與汲極區域係配置在該奈米線之通道區域的任一側上。

在一個實施例中，該包覆層係由適合傳播具有低阻力

之波函數的材料所組成。

在一個實施例中，每一通道區域的該內區域係由適合實質避免電流從源極區域流到汲極區域的材料所組成。

在一個實施例中，該包覆層與內區域的材料對係為譬如但不限於砷化鎵銮/磷化銮、砷化鎵/砷化鎵鋁或銻化銮/銻化銮鋁的對。

在一個實施例中，該包覆層富含鍺，且該內區域富含矽。

在一個實施例中，該包覆層具有適合傳播波函數之實質部份並且禁止明顯部份的波函數進入每一通道區域的內區域的厚度。

在一個實施例中，該包覆層具有範圍近乎 50-100 埃的厚度。

在一個實施例中，該源極與汲極區域形成在每一奈米線的部份內。

在一個實施例中，每一奈米線的源極與汲極區域相對於彼此離散，且該半導體裝置進一步包括：一傳導性源極接點，圍繞該離散源極區域的每一個；以及一傳導性汲極接點，圍繞該離散汲極區域的每一個。

在一個實施例中，該閘極介電層係為一高-k 閘極介電層，且該閘極電極係為一金屬閘極電極。

在一個實施例中，一種半導體裝置，包括：一異質結構，配置在基板上並且包括具有通道區域的三維半導體體部。該通道區域包括具有第一帶隙的內區域以及至少部份

圍繞該內區域的一外包覆層。該包覆層具有較低之第二帶隙。一閘極堆疊配置在該通道區域上並且至少部份將它圍繞。該閘極堆疊包括配置在該包覆層上的閘極介電層以及配置在該閘極介電層上的閘極電極。源極與汲極區域係配置在三維半導體體部中、在通道區域的每一側上。

在一個實施例中，該包覆層完全圍繞該通道區域的內區域，且該閘極堆疊完全圍繞該通道區域。

在一個實施例中，該包覆層僅僅部份圍繞該通道區域的內區域，且該閘極堆疊僅僅部份圍繞該通道區域。

在一個實施例中，該包覆層係由適合傳播具有低阻力之波函數的材料所組成。

在一個實施例中，該通道區域的內區域包含適合實質避免電流從源極區域流到汲極區域的材料。

在一個實施例中，該包覆層與內區域的材料對係為譬如但不限於砷化鎵銦/磷化銦、砷化鎵/砷化鎵鋁或銻化銦/銻化銦鋁的對。

在一個實施例中，該包覆層富含銻，且該內區域富含矽。

在一個實施例中，該包覆層具有適合傳播波函數之實質部份並且禁止明顯部份的波函數進入該通道區域之內區域的厚度。

在一個實施例中，該包覆層具有範圍近乎 50-100 埃的厚度。

在一個實施例中，該閘極介電層係為一高- k 閘極介電

層，且該閘極電極係為一金屬閘極電極。

在一個實施例中，一半導體結構包括第一半導體裝置。第一半導體裝置包括配置在基板上方之複數條奈米線的第一垂直配置。每一奈米線包括具有第一帶隙的內區域以及圍繞該內區域的一外包覆層。該包覆層具有較低之第二帶隙。第一閘極堆疊配置在每一奈米線的通道區域上並且將它完全圍繞。第一閘極堆疊包括配置在該包覆層上並且圍繞它的閘極介電層以及配置在該閘極介電層上的閘極電極。源極與汲極區域係配置在複數條奈米線之第一垂直配置的該些奈米線之通道區域的任一側上。半導體結構也包括第二半導體裝置。第二半導體裝置也包括配置在基板上方之複數條奈米線的第二垂直配置。第二閘極堆疊配置在每一奈米線的通道區域上並且將它完全圍繞。第二閘極堆疊包括一閘極介電層以及配置在該閘極介電層上的閘極電極。源極與汲極區域係配置在複數條奈米線的第二垂直配置之該些奈米線之通道區域的任一側上。

在一個實施例中，第一半導體裝置係為 NMOS 裝置，且第二半導體裝置係為 PMOS 裝置。

在一個實施例中，該包覆層與內區域形成 III-V 族材料異質接合。

在一個實施例中，第二半導體裝置的每一奈米線包括具有第一帶隙的第二內區域以及圍繞第二內區域的第二外包覆層，第二包覆層具有較低之第二帶隙。

在一個實施例中，包覆層與第二包覆層，每一層均包

含適合傳播具有低阻力之波函數的材料。

在一個實施例中，內區域與第二內區域每一個均包含適合實質避免電流從各別源極區域流到汲極區域的材料。

在一個實施例中，該包覆層與內區域的材料對係為譬如但不限於砷化銻銻/磷化銻、砷化銻/砷化銻鋁或銻化銻/銻化銻鋁的對，且第二包覆層富含銻，且第二內區域富含矽。

在一個實施例中，該包覆層與第二包覆層的每一個各別具有適合傳播波函數之實質部份並且禁止明顯部份的波函數進入該內區域與第二內區域的厚度。

在一個實施例中，該包覆層與第二包覆層的每一個具有範圍近乎 50-100 埃的厚度。

在一個實施例中，第一閘極堆疊的該閘極介電層係為一高-k 閘極介電層，且第一閘極堆疊的該閘極電極係為一N 型金屬閘極電極。

在一個實施例中，第二閘極堆疊的該閘極介電層係為一高-k 閘極介電層，且第二閘極堆疊的該閘極電極係為一P 型金屬閘極電極。

【符號說明】

100：半導體裝置

102：奈米線通道區域

104：奈米線通道區域

106：閘極堆疊

200：半導體裝置
 202：奈米線通道區域部分
 204：奈米線通道區域部分
 205：包覆層
 206：閘極堆疊
 300：圖
 400：半導體裝置
 402：基板
 404：異質結構
 406：三維Ⅲ-V族材料體部
 406A：內區域
 406B：包覆層
 408：通道區域
 414：源極區域
 416：汲極區域
 418：閘極堆疊
 420：閘極介電層
 424：閘極電極
 428：底部阻障層
 460：介電間隔物
 470：絕緣區域
 500：半導體裝置
 502：基板
 504：奈米線

504A：奈米線
504B：奈米線
504C：奈米線
506：通道區域
506A：內區域
506B：包覆層
508：閘極電極堆疊
510：源極區域
512：汲極區域
514：接點
516：間隔物
524：閘極電極
550：奈米線
580：半導體材料
600：最初結構
602：基板
602A：大塊基板
602B：絕緣或阻障層
604：Ⅲ-V材料層
606：鍺層
608：Ⅲ-V材料層
610：鍺層
612：鰭型結構
614A：犧牲閘極

614B：犧牲閘極

614C：犧牲閘極

616：犧牲閘極氧化物層

618：犧牲多晶矽閘極層

620：鰭型結構的區域

622：間隔物

624：中間介電層

626：溝渠

628：溝渠

630：N型金屬氧化物半導體閘極堆疊

632：P型金屬氧化物半導體閘極堆疊

634：接點

700：計算裝置

702：面板

704：處理器

706：通訊晶片

申請專利範圍

1. 一種半導體裝置，包含：

複數條奈米線的一垂直配置，配置在基板上，每一奈米線相對於該基板水平地定向且每一奈米線包含具有第一帶隙的內區域以及圍繞該內區域的一外包覆層，該包覆層具有較窄之第二帶隙；

一閘極堆疊，配置在每一奈米線的通道區域上並且將它完全圍繞，該閘極堆疊包含配置在該包覆層上並且圍繞它的閘極介電層以及配置在該閘極介電層上的閘極電極；以及

源極與汲極區域，配置在該些奈米線之該些通道區域的任一側上。

2. 如申請專利範圍第 1 項之半導體裝置，其中該包覆層包含適合傳播具有低阻力之波函數的材料。

3. 如申請專利範圍第 2 項之半導體裝置，其中每一通道區域的該內區域包含適合實質避免電流從源極區域流到汲極區域的材料。

4. 如申請專利範圍第 1 項之半導體裝置，其中該包覆層與內區域的材料對係從由磷化銦/砷化鎵銦、砷化鎵/砷化鎵鋁與銻化銦鋁/銻化銦所組成的組群選出。

5. 如申請專利範圍第 1 項之半導體裝置，其中該包覆層富含銻，且該內區域富含矽。

6. 如申請專利範圍第 1 項之半導體裝置，其中該包覆層具有適合傳播部份的波函數並且禁止部份的波函數進

入每一通道區域的內區域的厚度。

7. 如申請專利範圍第 6 項之半導體裝置，其中該包覆層具有範圍約在 50-100 埃的厚度。

8. 如申請專利範圍第 1 項之半導體裝置，其中該源極與汲極區域形成在每一奈米線的部份內。

9. 如申請專利範圍第 1 項之半導體裝置，其中每一奈米線的源極與汲極區域相對於彼此離散，該半導體裝置進一步包含：

一傳導性源極接點，圍繞該離散源極區域的每一個；
以及

一傳導性汲極接點，圍繞該離散汲極區域的每一個。

10. 如申請專利範圍第 1 項之半導體裝置，其中該閘極介電層係為一高-k 閘極介電層，且該閘極電極係為一金屬閘極電極。

11. 一種半導體裝置，包含：

一異質結構，配置在基板上面並且包含具有通道區域的三維半導體體部，該通道區域包含具有第一帶隙的內區域以及至少部份圍繞該內區域的一外包覆層，該包覆層具有較窄之第二帶隙；

一閘極堆疊，配置在該通道區域上並且至少部份將它圍繞，該閘極堆疊包含配置在該包覆層上的閘極介電層以及配置在該閘極介電層上的閘極電極，其中該包覆層僅僅部份圍繞該通道區域的內區域，且該閘極堆疊僅僅部份圍繞該通道區域；以及

源極與汲極區域，配置在三維半導體體部中，在通道區域的每一側上。

12. 如申請專利範圍第 11 項之半導體裝置，其中該包覆層包含適合傳播具有低阻力之波函數的材料。

13. 如申請專利範圍第 12 項之半導體裝置，其中該通道區域的內區域包含適合實質避免電流從源極區域流到汲極區域的材料。

14. 如申請專利範圍第 11 項之半導體裝置，其中該包覆層與內區域的材料對係從由磷化銦/砷化鎵銦、砷化鎵/砷化鎵鋁與銻化銦鋁/銻化銦所組成的組群選出。

15. 如申請專利範圍第 11 項之半導體裝置，其中該包覆層富含鍺，且該內區域富含矽。

16. 如申請專利範圍第 11 項之半導體裝置，其中該包覆層具有適合傳播部份的波函數並且禁止部份的波函數進入該通道區域之內區域的厚度。

17. 如申請專利範圍第 16 項之半導體裝置，其中該包覆層具有範圍約在 50-100 埃的厚度。

18. 如申請專利範圍第 11 項之半導體裝置，其中該閘極介電層係為一高-k 閘極介電層，且該閘極電極係為一金屬閘極電極。

19. 一種半導體結構，包含：

第一半導體裝置，包含：

複數條奈米線的第一垂直配置，配置在基板上方，每一奈米線包含具有第一帶隙的內區域以及圍繞該內區域的

一 外包覆層，該包覆層具有較窄之第二帶隙；

第一閘極堆疊，配置在每一奈米線的通道區域上並且將它完全圍繞，第一閘極堆疊包含配置在該包覆層上並且圍繞它的閘極介電層以及配置在該閘極介電層上的閘極電極；以及

源極與汲極區域，配置在複數條奈米線之第一垂直配置的該奈米線之通道區域的任一側上；以及

第二半導體裝置，包含：

複數條奈米線的第二垂直配置，配置在基板上方；

第二閘極堆疊，配置在每一奈米線的通道區域上並且將它完全圍繞，第二閘極堆疊包含一閘極介電層以及配置在該閘極介電層上的閘極電極；以及

源極與汲極區域，配置在複數條奈米線的第二垂直配置之該些奈米線之通道區域的任一側上。

20. 如申請專利範圍第 19 項之半導體結構，其中第一半導體裝置係為 NMOS 裝置，且第二半導體裝置係為 PMOS 裝置。

21. 如申請專利範圍第 20 項之半導體結構，其中該包覆層與內區域形成 III-V 族材料異質接合。

22. 如申請專利範圍第 19 項之半導體結構，其中第二半導體裝置的每一奈米線包含具有第一帶隙的第二內區域以及圍繞第二內區域的第二外包覆層，第二包覆層具有較窄之第二帶隙。

23. 如申請專利範圍第 22 項之半導體結構，其中包

覆層與第二包覆層，每一層均包含適合傳播具有低阻力之波函數的材料。

24. 如申請專利範圍第 23 項之半導體結構，其中內區域與第二內區域每一個均包含適合實質避免電流從各別源極區域流到汲極區域的材料。

25. 如申請專利範圍第 22 項之半導體結構，其中該包覆層與內區域的材料對係從由磷化銦/砷化鎵銦、砷化鎵/砷化鎵鋁與銻化銦鋁/銻化銦所組成的組群選出，且其中第二包覆層富含銻，且該第二內區域富含矽。

26. 如申請專利範圍第 22 項之半導體結構，其中該包覆層與第二包覆層的每一個具有適合傳播部份的波函數並且禁止部份的波函數各別進入該內區域與第二內區域的厚度。

27. 如申請專利範圍第 26 項之半導體結構，其中該包覆層與第二包覆層的每一個具有範圍約在 50-100 埃的厚度。

28. 如申請專利範圍第 19 項之半導體結構，其中第一閘極堆疊的該閘極介電層係為一高-k 閘極介電層，且第一閘極堆疊的該閘極電極係為一 N 型金屬閘極電極，且其中第二閘極堆疊的該閘極介電層係為一高-k 閘極介電層，且第二閘極堆疊的該閘極電極係為一 P 型金屬閘極電極。

29. 一種半導體裝置，包含：

一異質結構，配置在基板上面並且包含具有通道區域的三維半導體體部，該通道區域包含具有第一帶隙的內區

域以及至少部份圍繞該內區域的一外包覆層，該包覆層具有較窄之第二帶隙，該三維半導體體部相對於該基板水平地定向；

一閘極堆疊，配置在該通道區域上並且至少部份將它圍繞，該閘極堆疊包含配置在該包覆層上的閘極介電層以及配置在該閘極介電層上的閘極電極，其中該包覆層完全圍繞該通道區域的內區域，且該閘極堆疊完全圍繞該通道區域；以及

源極與汲極區域，配置在三維半導體體部中，在通道區域的每一側上。

30.如申請專利範圍第 29 項之半導體裝置，其中該包覆層與內區域的材料對係從由磷化銦/砷化鎵銦、砷化鎵/砷化鎵鋁與銻化銦鋁/銻化銦所組成的組群選出。

31.如申請專利範圍第 29 項之半導體裝置，其中該包覆層富含鍺，且該內區域富含矽。

圖 式

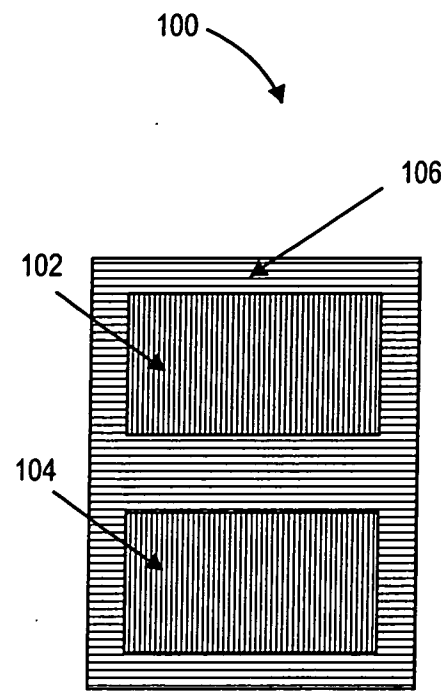


圖 1A

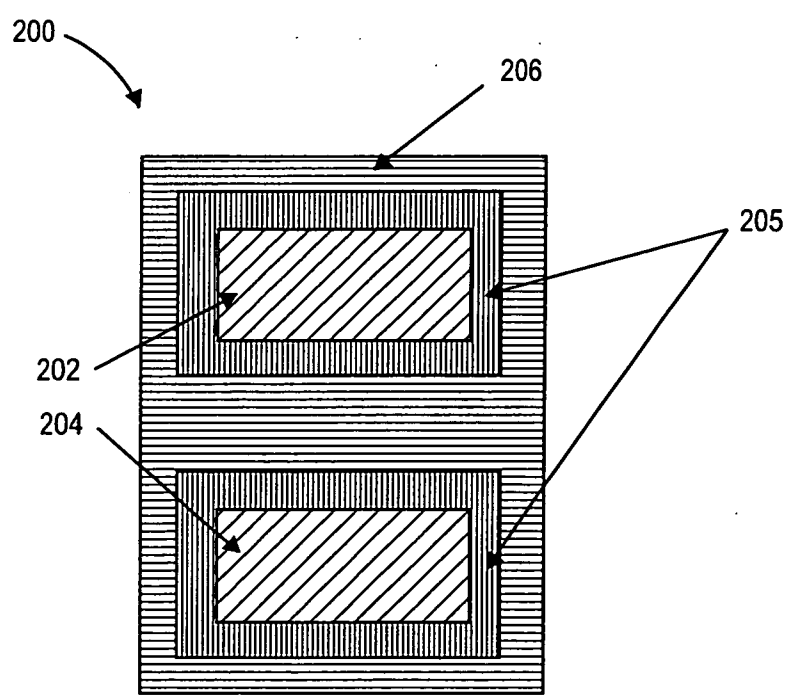


圖 2

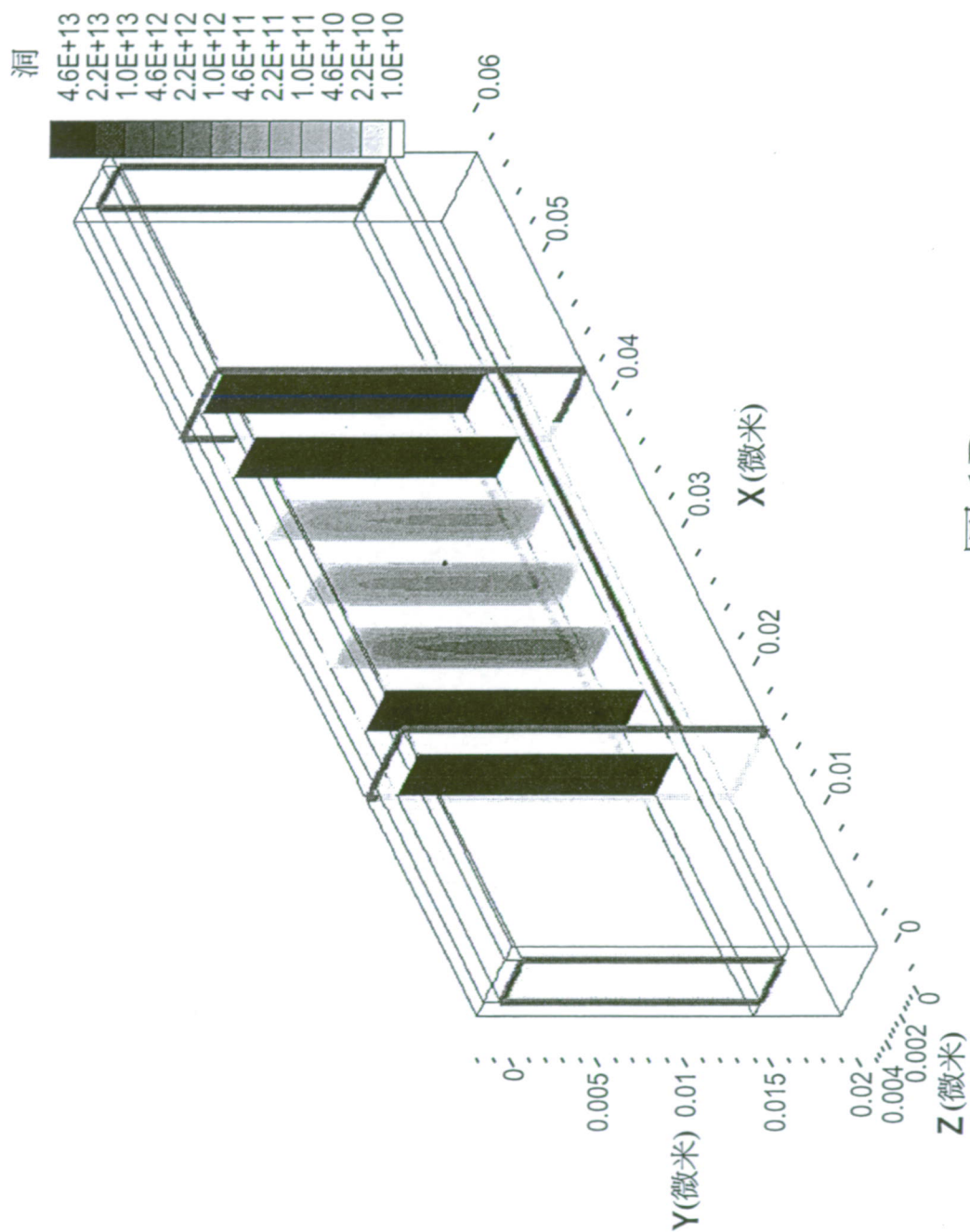


圖 1B

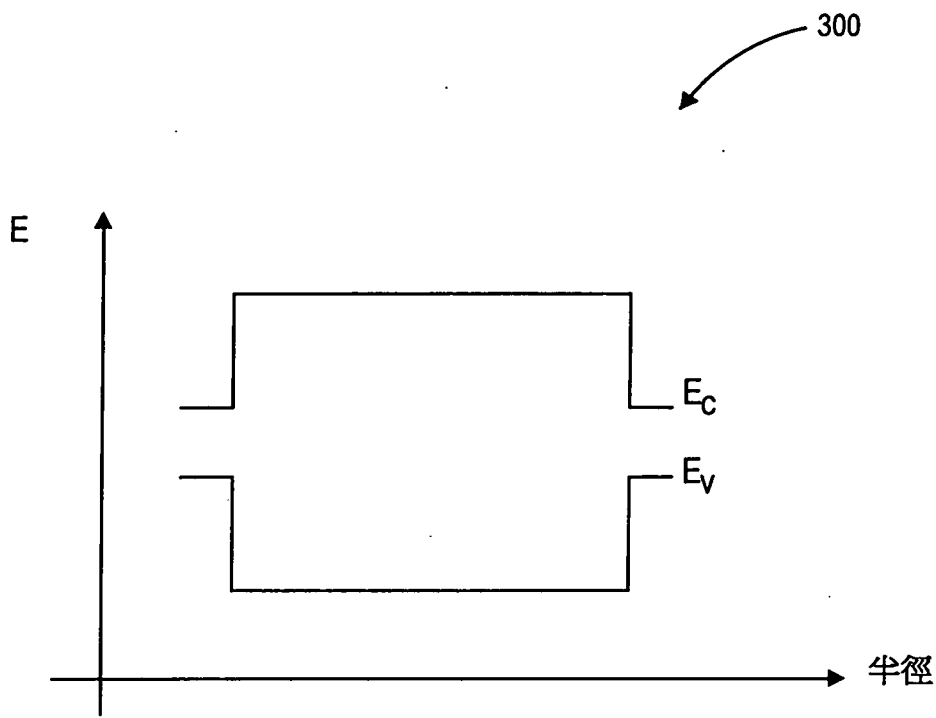


圖 3

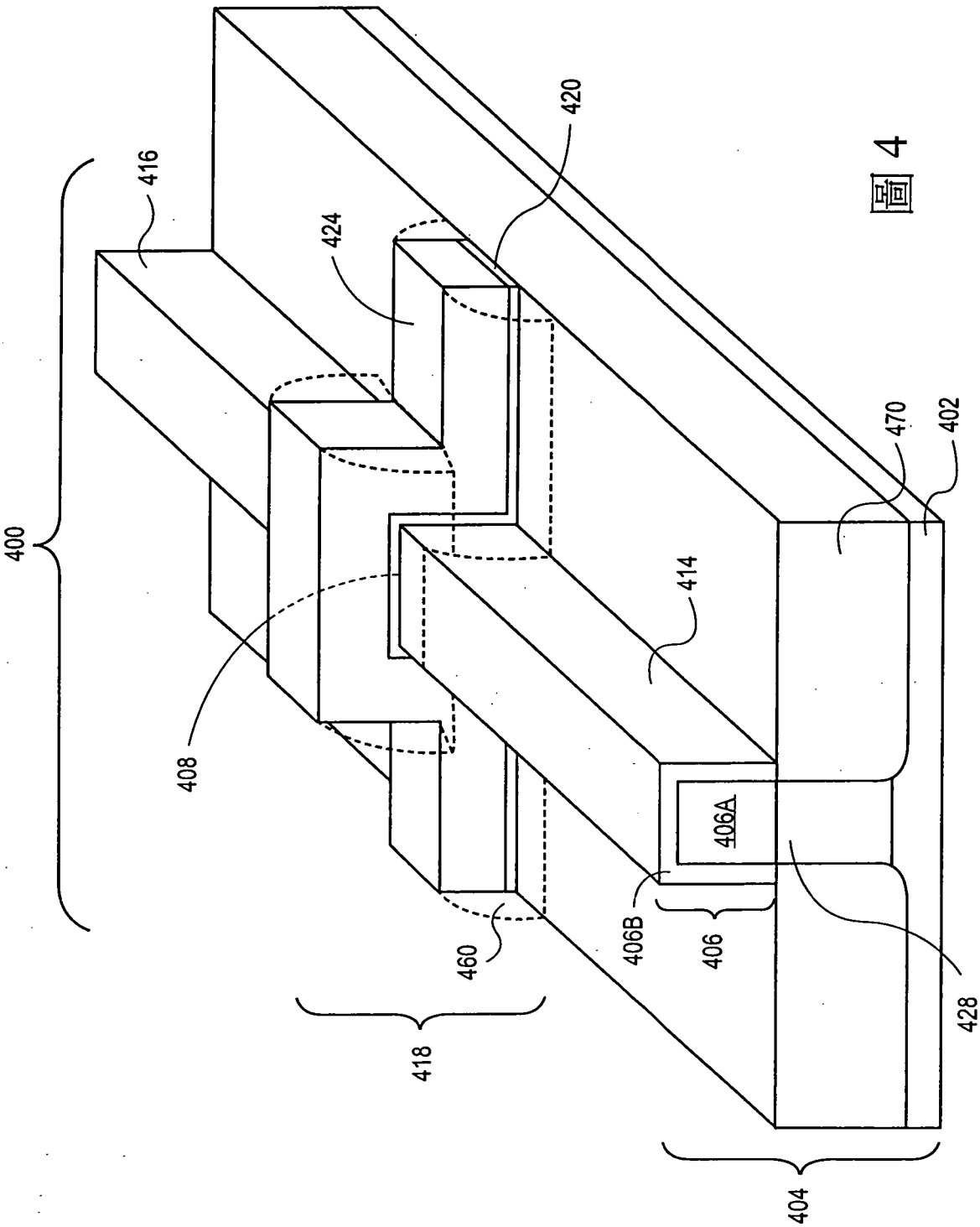


圖 4

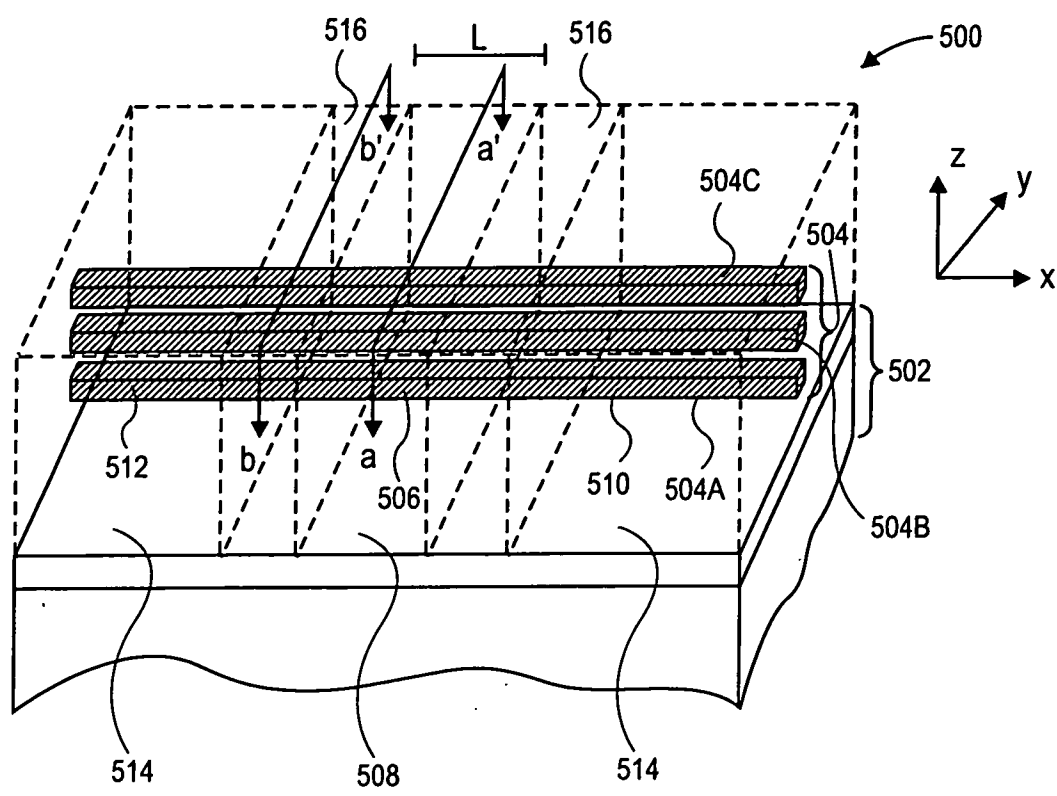


圖 5A

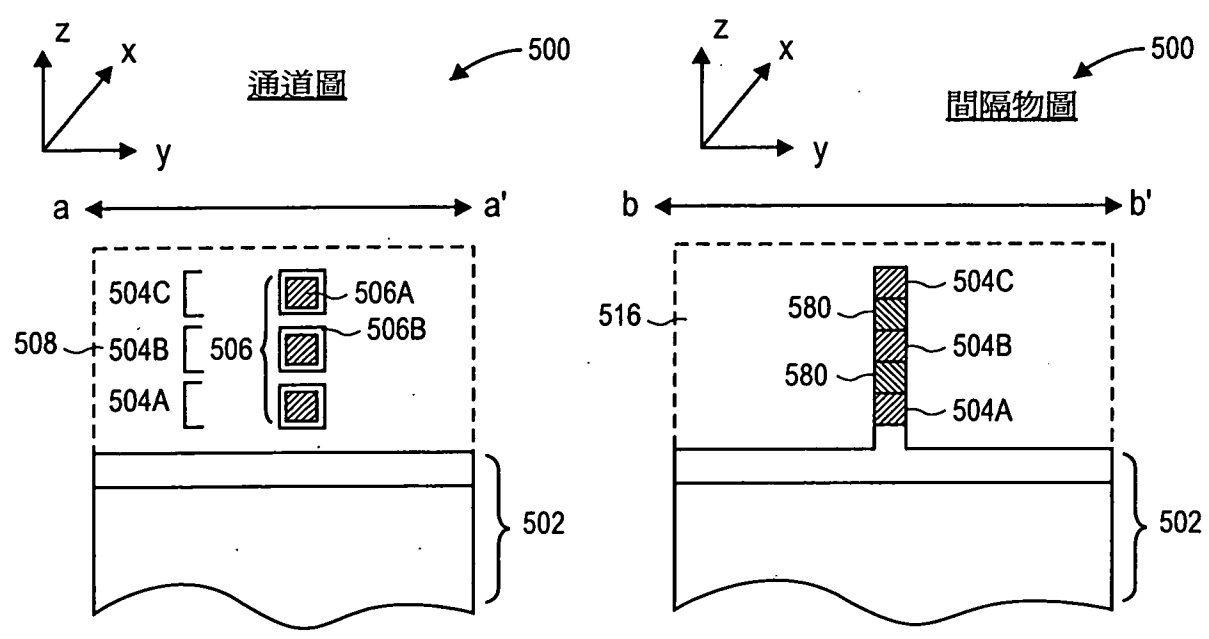


圖 5B

圖 5C

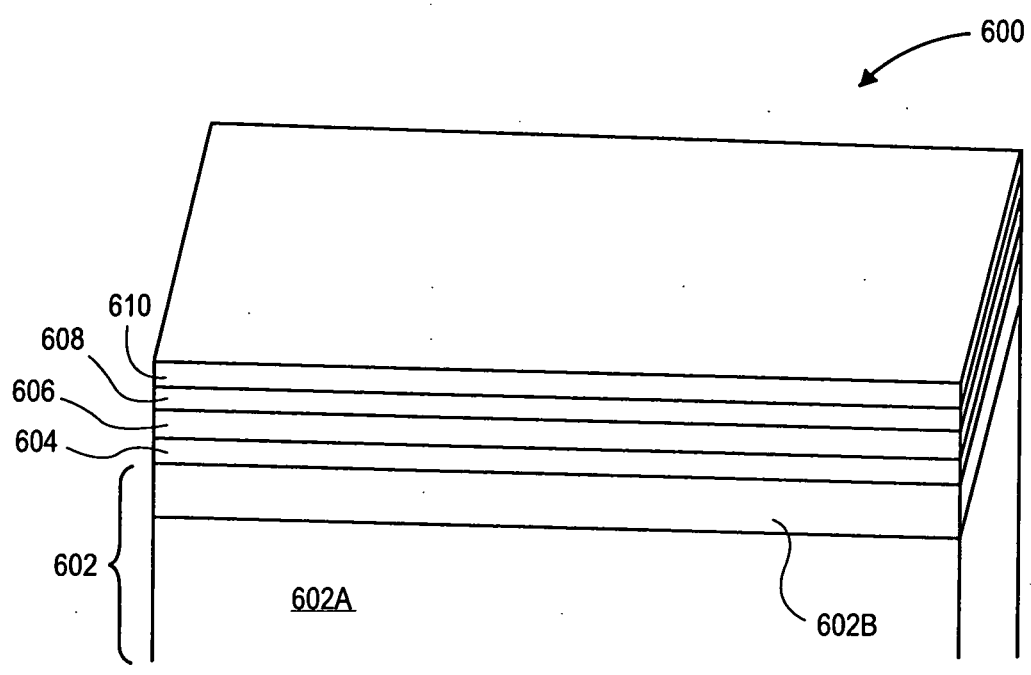


圖 6A

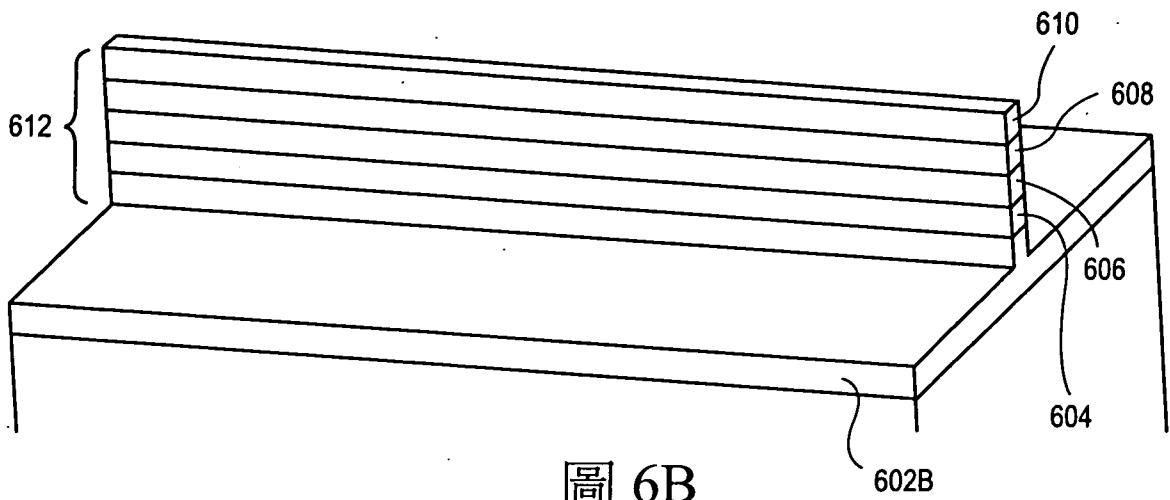


圖 6B

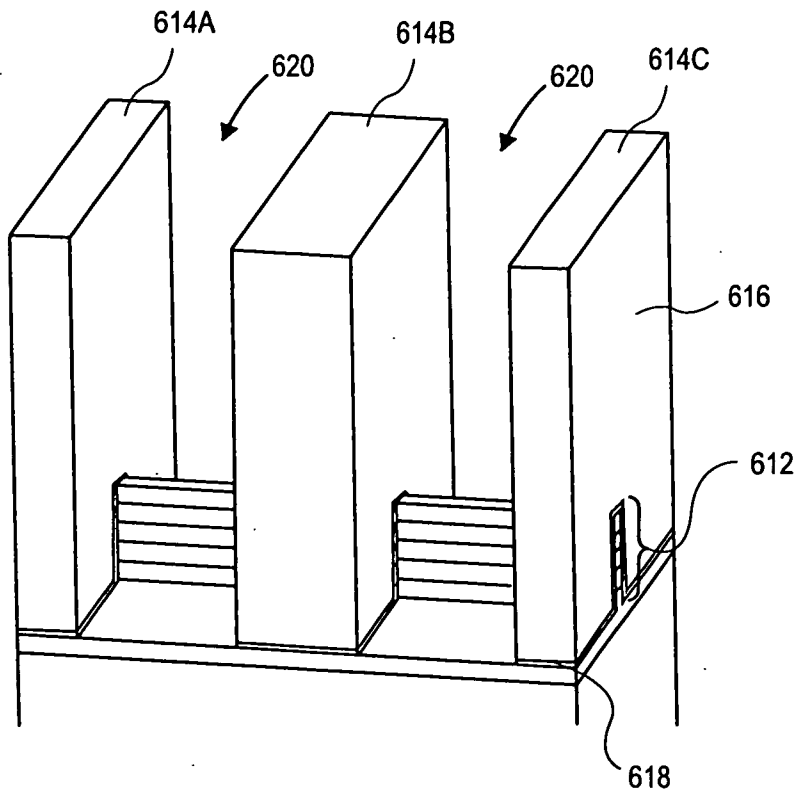


圖 6C

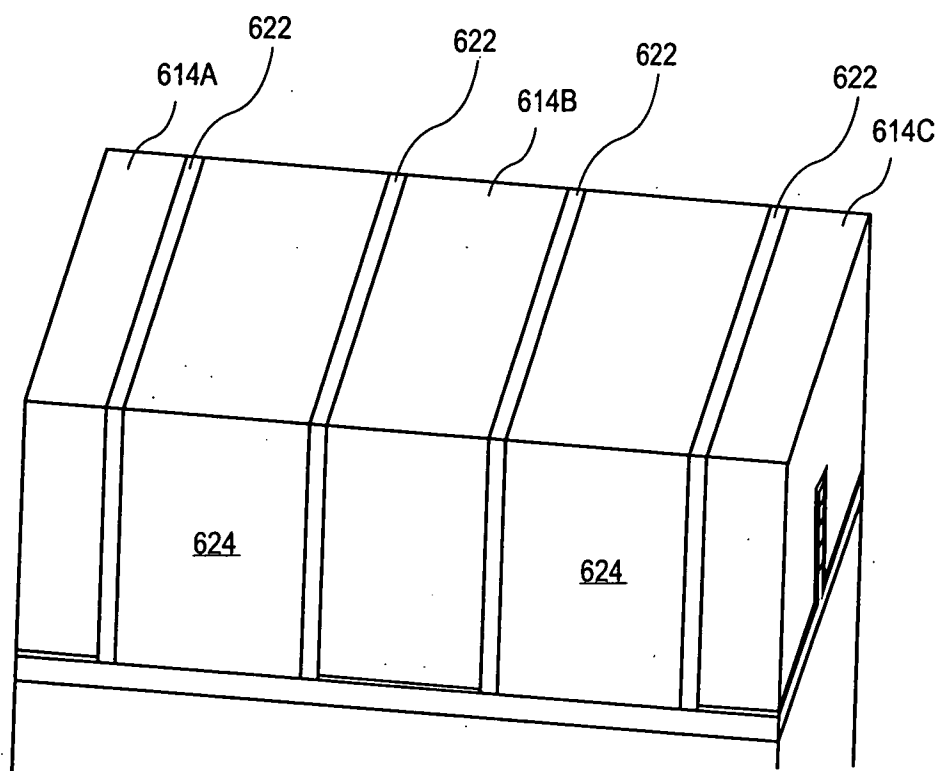


圖 6D

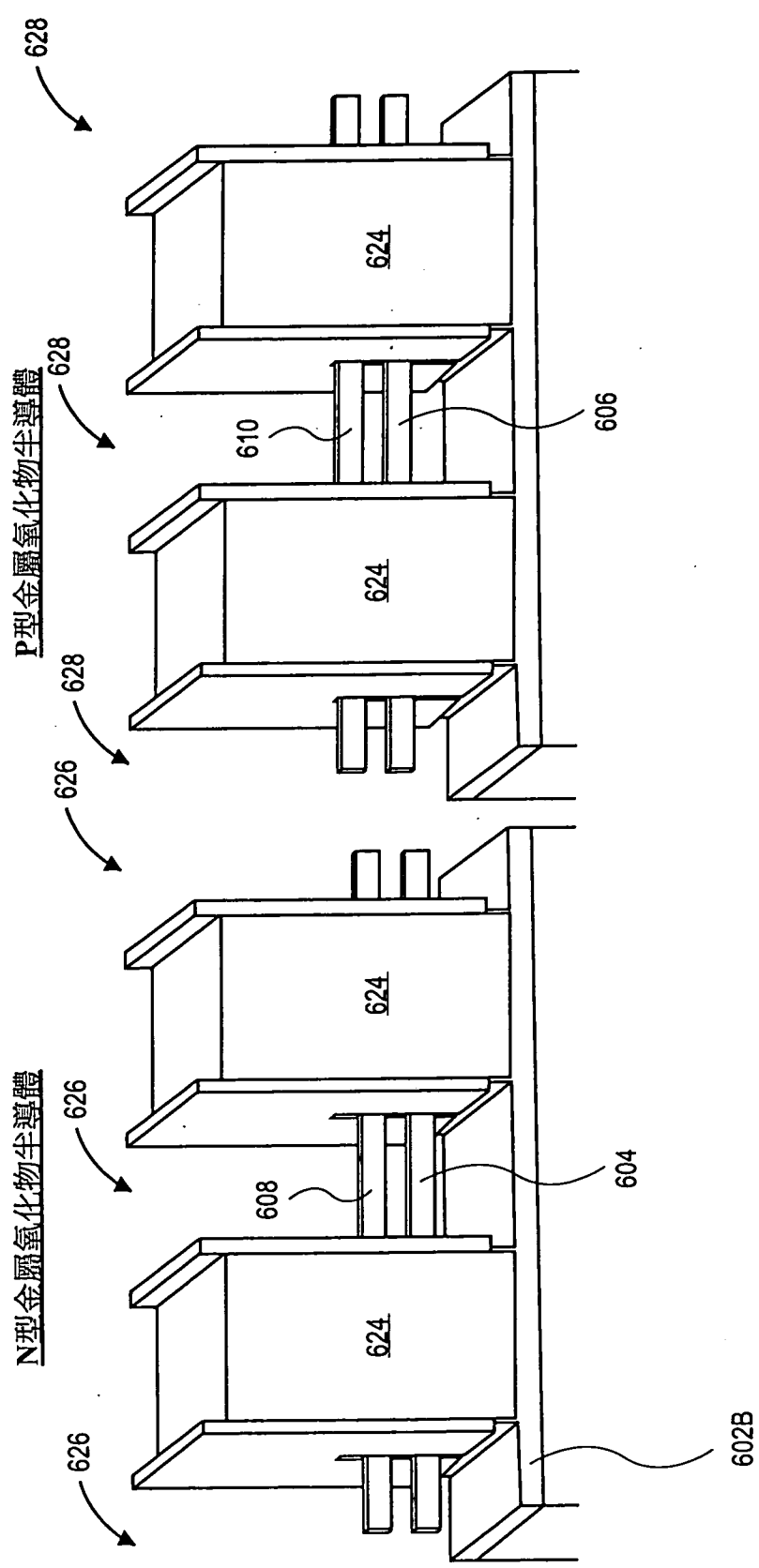


圖 6E

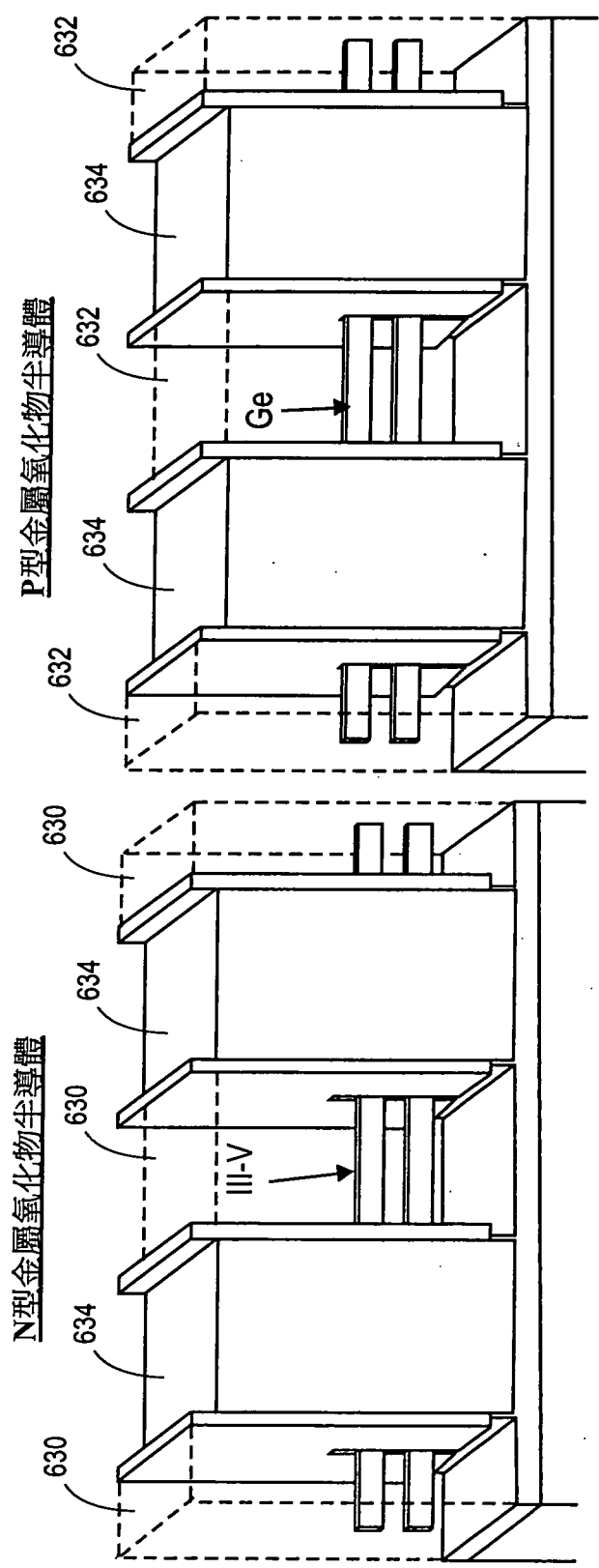


圖 6F

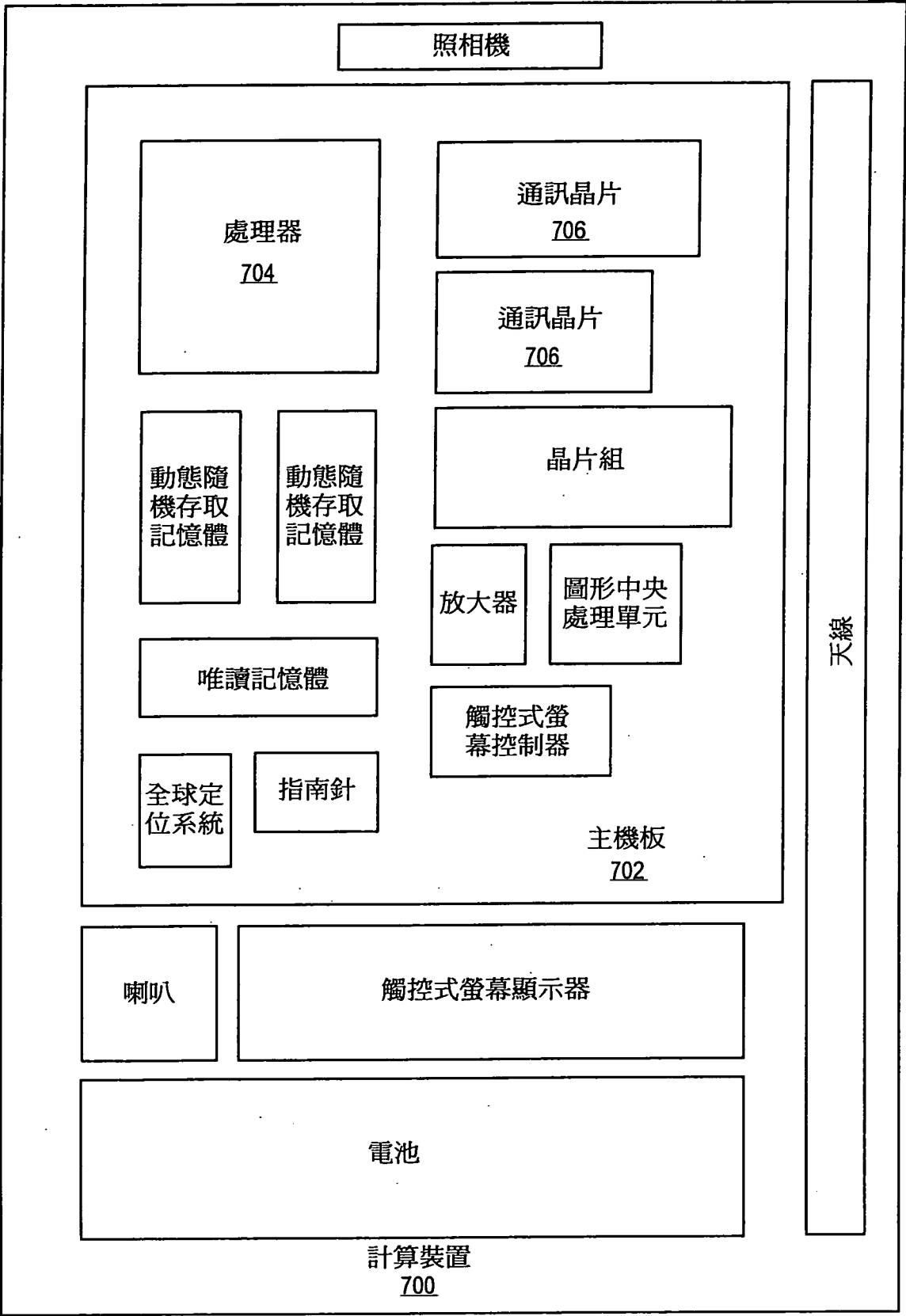


圖 7