

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5358431号
(P5358431)

(45) 発行日 平成25年12月4日(2013.12.4)

(24) 登録日 平成25年9月6日(2013.9.6)

(51) Int.Cl.

F I

G 1 1 C 16/02 (2006.01)

G 1 1 C 17/00 6 4 1

G 1 1 C 16/06 (2006.01)

G 1 1 C 17/00 6 1 1 G

G 1 1 C 17/00 6 1 4

G 1 1 C 17/00 6 3 9 C

請求項の数 15 (全 37 頁)

(21) 出願番号	特願2009-511191 (P2009-511191)	(73) 特許権者	503260918
(86) (22) 出願日	平成19年5月14日(2007.5.14)		アップル インコーポレイテッド
(65) 公表番号	特表2009-537935 (P2009-537935A)		アメリカ合衆国 95014 カリフォル
(43) 公表日	平成21年10月29日(2009.10.29)		ニア州 クパチーノ インフィニット ル
(86) 国際出願番号	PCT/US2007/068851		ープ 1
(87) 国際公開番号	W02007/134277	(74) 代理人	100076428
(87) 国際公開日	平成19年11月22日(2007.11.22)		弁理士 大塚 康德
審査請求日	平成21年11月26日(2009.11.26)	(74) 代理人	100112508
(31) 優先権主張番号	60/800,357		弁理士 高柳 司郎
(32) 優先日	平成18年5月15日(2006.5.15)	(74) 代理人	100115071
(33) 優先権主張国	米国 (US)		弁理士 大塚 康弘
(31) 優先権主張番号	11/694,739	(74) 代理人	100116894
(32) 優先日	平成19年3月30日(2007.3.30)		弁理士 木村 秀二
(33) 優先権主張国	米国 (US)	(74) 代理人	100130409
			弁理士 下山 治

最終頁に続く

(54) 【発明の名称】 多値データ記憶セルの保守動作

(57) 【特許請求の範囲】

【請求項 1】

複数のメモリセルを含む多値フラッシュメモリ素子を管理する方法であって、
データ値を表す電圧レベルまで電荷を格納する第1のメモリセルから電圧レベルを検出し、

前記第1のメモリセルに対応する解像度レジスタエントリに少なくとも部分的に基づいて、前記電圧レベルにより表される前記データ値を判定し、

所定の低電力供給状態の検出に応じて、低解像度値を選択し、

前記解像度レジスタエントリを前記低解像度値で更新し、

前記複数のメモリセルのうちの少なくとも1つに対応する解像度レジスタエントリに少なくとも部分的に基づいて決定される、前記データ値を表す目標電圧になるまで、前記複数のメモリセルのうちの前記少なくとも1つに電荷を印加することを含むことを特徴とする方法。

10

【請求項 2】

前記複数のメモリセルのうちの前記少なくとも1つは前記第1のメモリセルであり、前記第1のメモリセルに電荷を印加する動作は、前記第1のメモリセルにおける電圧低下を調整するために前記第1のメモリセルに追加の電荷を印加することを含むことを特徴とする請求項1に記載の方法。

【請求項 3】

前記第1のメモリセルに対応する前記解像度レジスタエントリは、第1の可能なデータ

20

値の数に対応する第 1 の解像度を示し、

前記方法は、

第 2 の可能なデータ値の数に対応する第 2 の解像度で書き込むために信号を受信し、

前記複数のメモリセルのうちの前記少なくとも 1 つに対応する解像度レジスタエントリを前記第 2 の解像度に更新することを更に含み、前記目標電圧は前記第 2 の解像度に基づくことを特徴とする請求項 1 または 2 に記載の方法。

【請求項 4】

前記第 1 の可能なデータ値の数は前記第 2 の可能なデータ値の数より多く、前記複数のメモリセルのうちの前記少なくとも 1 つは前記複数のメモリセルから選択された 2 つ以上のメモリセルを含むことを特徴とする請求項 3 に記載の方法。

10

【請求項 5】

前記第 1 の可能なデータ値の数は前記第 2 の可能なデータ値の数と等しく、前記複数のメモリセルのうち前記少なくとも 1 つは前記第 1 のメモリセルとは異なるメモリセルを含むことを特徴とする請求項 3 に記載の方法。

【請求項 6】

前記第 2 の可能なデータ値の数は、前記第 1 の可能なデータ値の数を上回ることを特徴とする請求項 3 に記載の方法。

【請求項 7】

前記第 1 のメモリセルに対応する前記解像度レジスタエントリは、第 1 の可能なデータ値の数に対応する第 1 の解像度を示し、

20

前記方法は、

第 2 の可能なデータ値の数に対応する第 2 の解像度を示すように前記第 1 のメモリセルに関連付けられる前記解像度レジスタエントリを更新し、ここで、前記第 1 の可能なデータ値の数は前記第 2 の可能なデータ値の数よりも大きく、

第 2 のデータ値を前記第 2 の解像度で前記第 1 のメモリセルに書き込むことを更に含むことを特徴とする請求項 1 に記載の方法。

【請求項 8】

前記第 1 のメモリセルと関連付けられる前記解像度レジスタエントリの更新及び前記第 2 の解像度での前記第 1 のメモリセルへの書き込みは、前記第 1 のメモリセルを含むメモリセルのページと関連付けられる誤り条件によりトリガされることを特徴とする請求項 7 に記載の方法。

30

【請求項 9】

保守動作を開始するためにホストデバイスから信号を受信することを更に含み、前記データ値を表す目標電圧になるまで前記複数のメモリセルのうち少なくとも 1 つに電荷を印加することは前記ホストデバイスからの前記信号に応答して実行されることを特徴とする請求項 1 乃至 8 のいずれか 1 項に記載の方法。

【請求項 10】

前記ホストデバイスからの前記信号は電源条件を示すことを特徴とする請求項 9 に記載の方法。

【請求項 11】

40

前記ホストデバイスからの前記信号は、スケジュールされた保守動作を示すことを特徴とする請求項 9 に記載の方法。

【請求項 12】

保守動作を開始するためにフラッシュメモリプロセッサから信号を受信することを更に含み、前記データ値を表す目標電圧になるまで前記複数のメモリセルのうち少なくとも 1 つに電荷を印加することは前記フラッシュメモリプロセッサからの前記信号に応答して実行されることを特徴とする請求項 1 乃至 8 のいずれか 1 項に記載の方法。

【請求項 13】

前記フラッシュメモリプロセッサからの前記信号は、前記フラッシュメモリプロセッサが保守動作を実行するのに十分な帯域幅を有することを示すことを特徴とする請求項 1 2

50

に記載の方法。

【請求項 1 4】

データを格納するためのシステムであって、

各々が指定されたビット数を有するデータ値に対応する電圧レベルになるまで書き込み動作中に電荷を受け取るように構成された複数のメモリセルと、

前記複数のメモリセルと関連付けられ、各々が 1 つ以上の対応するメモリセルに格納されるビット数を示す複数のエントリを含む解像度レジスタと、

ホストデバイスに対する電源条件を示す信号を前記ホストデバイスから受信するように構成されるホストインタフェースと、

前記複数のメモリセルにデータ値を書き換え、所定の低電力供給状態を示す信号に応答して、第 1 のビット数から該第 1 のビット数よりも少ない第 2 のビット数を示すように前記解像度レジスタを調整するように構成されるプロセッサとを備えることを特徴とするシステム。

10

【請求項 1 5】

データにアクセスするために前記ホストデバイスから受信される論理アドレスを物理アドレスに変換するための論理アドレス指定ソフトウェアコードを更に備えることを特徴とする請求項 1 4 に記載のシステム。

【発明の詳細な説明】

【技術分野】

【0001】

20

種々の実施例は、一般に不揮発性メモリ素子に関し、特定の実施例は、多値フラッシュセルを動作させるシステム及び方法に関する。

【背景技術】

【0002】

計算装置の能力及び機能が増加するのに伴い、データ記憶装置に対する要求も増加している。データ記憶装置は、例えばプロセッサにより実行されて得るプログラム命令（すなわち、コード）を格納するために使用されている。例えばデータ記憶装置は、オーディオ、画像及び／又はテキスト情報を含む他の種類のデータを格納するためにも使用されている。近年、多くのデータコンテンツ（例えば、歌、音楽映像等）を格納できるデータ記憶装置を有するシステムが携帯デバイスにおいて普及している。

30

【0003】

そのような携帯デバイスは、小さなフォームファクタを有し且つバッテリー等のポータブル電源から動作可能であるデータ記憶装置（data storage device：D S D）を含む。携帯デバイスにおける D S D の中には、電源から切断された時にデータを保存できる不揮発性メモリを提供できるものもある。携帯デバイスは、ハードディスクドライブ、E E P R O M（電氣的消去可能プログラマブル読み出し専用メモリ）及びフラッシュメモリ等の種々の不揮発性データ記憶装置を使用している。

【0004】

フラッシュメモリは、広く使用される種類の D S D となっている。例えばフラッシュメモリは、携帯電子デバイス及び消費者アプリケーションにおいて不揮発性メモリを提供する。フラッシュメモリは、N O R フラッシュ及び N A N D フラッシュの 2 種類である。一般に N O R フラッシュは、所定の位置でコードを実行するための容量を提供し、ランダムにアクセス可能である（すなわち、R A M と同様）。一般に N A N D フラッシュは、より迅速にデータを消去でき、大量のデータ（例えば、5 1 2 バイトの量）にアクセスでき、同等の N O R フラッシュより多くの寿命消去サイクルを提供することができる。例えば、一般に N A N D フラッシュは、デジタルカメラ及び M P 3 プレーヤ等の消費者デバイスの高密度ファイル記憶媒体としてビット当たりのコストを安価なコストで不揮発性記憶装置を提供し得る。

40

【0005】

一般的なフラッシュメモリは、デジタルデータ値を表す電圧で各メモリセルに電荷を格

50

納することにより1つの情報を格納する。2値セルは、「高」電圧に充電されるか又は「低」電圧に放電されるセルに基づいて1ビットの情報を格納する。NANDフラッシュメモリは、4つの異なる電圧範囲のうち1つの範囲内になるように電荷を復号化することにより、単一のセルに最大2ビットの情報を格納するように開発された。NORフラッシュメモリは、256個の異なる電圧範囲のうち1つの範囲内になるように電荷を復号化することにより、単一のセルに最大8ビットの情報を格納できるように開発された。

【発明の開示】

【課題を解決するための手段】

【0006】

説明される装置及び関連するシステム、方法及びコンピュータプログラム製品は、フラッシュメモリ素子における多値データ記憶装置に関する。

10

【0007】

1つの側面において概要を述べると、複数のメモリセルを含む多値フラッシュメモリ素子は、データ値を表す電圧レベルまで電荷を格納する第1のメモリセルから電圧レベルを検出することにより管理される。電圧レベルにより表されるデータ値は、第1のメモリセルに対応する解像度レジスタエントリに少なくとも部分的に基づいて判定される。電荷は、データ値を表す目標電圧になるまで1つ以上のメモリセルに印加される。目標電圧は、1つ以上のメモリセルに対応する解像度レジスタエントリに少なくとも部分的に基づいて判定される。

【0008】

20

実施例は、1つ以上の以下の特徴を含んでもよい。1つ以上のメモリセルは第1のメモリセルであり、第1のメモリセルに電荷を印加する動作は、第1のメモリセルにおける電圧低下を調整するために第1のメモリセルに追加の電荷を印加することを含む。第1のメモリセルにおける低下量は、参照セルに格納された基準電圧レベルを検出することにより判定される。参照セルは、対応する所定の電圧レベルと関連付けられ、低下量は、所定の電圧レベルを参照セルに格納された検出電圧レベルと比較することにより判定される。或いは、低下量は、複数の参照セルにおいて格納された電圧レベルを検出することにより判定される。また、第1のメモリセルに印加される追加の電荷量は補正関数に基づいて判定される。

【0009】

30

信号がホストデバイスから受信され、保守動作を開始する。受信した信号に応答して、電荷はデータ値を表す目標電圧になるまで1つ以上のメモリセルに印加される。ホストデバイスからの信号は電源条件を示す。ホストデバイスからの信号は、ホストデバイスが交流電力を供給されるか及び/又はホストデバイスのバッテリーが所定の充電レベルまで充電されているかを示す。また、ホストデバイスからの信号は、スケジュールされた保守動作を示す。

【0010】

信号がフラッシュメモリプロセッサから受信され、保守動作が開始される。受信した信号に応答して、電荷はデータ値を表す目標電圧になるまで1つ以上のメモリセルに印加される。フラッシュメモリプロセッサからの信号は、フラッシュメモリプロセッサが保守動作を実行するのに十分な帯域幅を有することを示す。例えば、フラッシュメモリプロセッサからの信号は、フラッシュメモリプロセッサがアイドル状態であることを示す。

40

【0011】

第1のメモリセルに対応する解像度レジスタエントリは、第1の可能なデータ値数に対応する第1の解像度を示す。第2の可能なデータ値数に対応する第2の解像度で書き込むための信号が受信され、1つ以上のメモリセルに対応する解像度レジスタエントリは第2の解像度を示すように更新される。目標電圧は第2の解像度に基づく。第1の可能なデータ値数は第2の可能なデータ値数より多く、1つ以上のメモリセルは複数のメモリセルから選択された2つ以上のメモリセルを含む。あるいは、第1の可能なデータ値数は第2の可能なデータ値数と等しく、1つ以上のメモリセルは第1のメモリセルとは異なるメモリ

50

セルを含む。第2の可能なデータ値数は、第1の可能なデータ値数を上回る。第1の可能なデータ値数は4ビットを超えない。例えば、第1の可能なデータ値数は2ビット又は1ビットである。第2の可能なデータ値数は少なくとも4ビットである。例えば、第2の可能なデータ値数は少なくとも8ビットである。第1の解像度で第1のメモリセルに格納されるデータ値は、ホストデバイスから受信されたデータがフラッシュメモリ素子に書き込まれる書き込み動作の結果である。

【0012】

信号がホストデバイスから受信され、ホストデバイスから受信されるデータをフラッシュメモリ素子に書き込む。ホストデバイスから受信されるデータ値は、第1の可能なデータ値数に対応する第1の解像度で第1のメモリセルに書き込まれ、第1の解像度は、第1のメモリセルに対応する解像度レジスタに記録される。第2の可能なデータ値数に対応する第2の解像度で書き込むための信号が受信され、第2の可能なデータ値数は第1のデータ値数を上回る。1つ以上のメモリセルに対応する解像度レジスタは第2の解像度を示すように更新され、目標電圧は第2の解像度に基づく。信号がホストデバイスから受信され、ホストデバイスの電力条件を示す。

10

【0013】

第1のメモリセルに対応する解像度レジスタエントリは、第1の可能なデータ値数に対応する第1の解像度を示す。第1のメモリセルに関連付けられる解像度レジスタエントリは、第2の可能なデータ値数に対応する第2の解像度を示すように更新され、第1の可能なデータ値数は第2の可能なデータ値数より多い。第2のデータ値は、第2の解像度で第1のメモリセルに書き込まれる。第1のメモリセルと関連付けられる解像度レジスタエントリの更新及び第2の解像度での第1のメモリセルへの書き込みは、第1のメモリセルを含むメモリセルのページと関連付けられる誤り条件によりトリガされる。メモリセルのページは、ダウングレードされたメモリセルの第2のページと対にされる。論理アドレス指定ソフトウェアコードは、メモリセルのページの対を第1の解像度でメモリセルの単一ページとして処理するように更新される。

20

【0014】

一般的な別の面において、保守動作を実行するかの判定が行なわれる。保守動作が実行されるべきであると判定したことに応答して、メモリセルのページと関連付けられる誤り情報が識別され、誤り情報が誤り基準を満たすかの判定が行なわれる。メモリセルのページに対応する1つ以上の解像度レジスタは、第1の解像度から第2の解像度に調整される。第1の解像度及び第2の解像度の各々は複数の電圧範囲を規定し、各電圧範囲は可能なデータ値に対応する。第1の解像度は、第2の解像度より多くの電圧範囲を有する。

30

【0015】

実施例は、1つ以上の、下記の特徴を含んでもよい。すなわち、保守動作を実行するかどうかを判定することは、ホストデバイスが交流電力を受け取っていること又は所定の充電レベルまで充電されたバッテリーを有すること等の所定の条件を満たす電源をホストデバイスが有するかどうかを判定することを含む。及び/又は、保守動作を実行するかを判定することは、プロセッサが所定の閾値を超える未使用の帯域幅を有するかを判定することを含む。

40

【0016】

また、別の面において、格納されたデータ値における低下の調整は、複数のメモリセルに電荷を印加することにより行なわれる。各メモリセルは、データ値に対応する目標電圧まで充電される。メモリセルは、所定の電圧まで充電される参照セルを含む。参照セルにおける電圧レベルが検出され、メモリセルのグループの電圧レベルが検出される。追加の電荷は、参照セルにおいて検出された電圧レベルと所定の電圧との差分に基づいてメモリセルに印加される。

【0017】

実施例は、1つ以上の、下記の特徴を含んでもよい。電圧レベルは、第2の参照セルにおいて検出される。メモリセルに追加の電荷を印加することは、第2の参照セルにおいて

50

検出された電圧レベル及び所定の第2の参照セル電圧に更に基づく。メモリセルは、NANDフラッシュメモリセル又はNORフラッシュメモリセルである。各データ値は、4ビットを上回るビット数を含む。

【0018】

更に別の面において、データは複数のメモリセルに格納される。各メモリセルは、指定されたビット数を有するデータ値に対応する電圧レベルになるまで書き込み動作中に電荷を受け取るように構成される。メモリセルと関連付けられる解像度レジスタは、各々が1つ以上の対応するメモリセルに格納されたビット数を示す複数のエントリを含む。ホストインタフェースは、ホストデバイスに対する電源条件を示す信号をホストデバイスから受信するように構成される。プロセッサは、メモリセルにデータ値を書き換え、所定の電源条件を示す信号に応答して、第1のビット数から第2のビット数を示すように解像度レジスタを調整するように構成される。

10

【0019】

実施例は、1つ以上の、下記の特徴を含んでもよい。論理アドレス指定ソフトウェアコードは、データにアクセスする際に使用するためにホストデバイスから受信される論理アドレスを物理アドレスに変換する。ホストインタフェースは、ホストデバイスからコマンドを受信するように、また、ホストデバイスとデータを交換するように更に構成される。

【0020】

更に別の面によれば、保守動作を実行するかの判定が行なわれる。複数のフラッシュメモリセルと関連付けられる保守ログが読み出される。保守ログに記録される保守活動が行われる。保守活動は、元々はより低い解像度で格納されたデータ値をより高い解像度で書き換えること、所定の誤り条件と関連付けられるメモリセルのグループに対する解像度を低減すること、元のデータ値と同一の解像度で所定の誤り閾値を超えるデータ値を書き換えること、最も頻繁にアクセスされるデータをアクセスされる頻度が最も少ないデータと交換すること又は電圧低下に対する補正を行なうためにメモリセルに追加の電荷を印加することによりデータ値をリフレッシュすることのうち1つ以上を含むことができる。

20

【0021】

実施例は、1つ以上の下記の特徴を含んでもよい。保守動作を実行するかを判定することは、ホストデバイスが交流電力を受け取ること又はホストデバイスがバッテリーを所定の充電レベルまで充電すること等の所定の条件を満たす電源をホストデバイスが有するかを判定することを含む。保守動作を実行するかを判定することは、内部プロセッサが所定の閾値を超える未使用の帯域幅を有するかを判定することを含む。異なる物理メモリセルに書き換えられるデータ値に対する論理アドレス指定ソフトウェアコードは、1つ以上の保守活動の間に更新される。

30

【0022】

いくつかの実施例は、1つ以上の利点を提供し得る。例えばいくつかの実施例は、高性能データ記憶機能を提供することができる。記憶密度及び/又は容量は増加してもよい。いくつかの例は、信頼性を向上し且つ/又はデータ誤り率を低減することができる。種々の実施例は、集積レベルを向上し、小型化し、電磁雑音を低減し且つ/又は雑音余裕を改善することができる。いくつかの実施例は、論理及び/又はプログラミング/消去回路への電圧供給等の補助システムにおいて安価なシステムコストを実現することができる。

40

【0023】

添付の図面及び以下の説明において、本発明の1つ以上の実施例の詳細を示す。本発明の他の特徴は、説明及び図面、並びに請求の範囲から明らかとなるだろう。

【発明を実施するための最良の形態】

【0024】

種々の図面における同様の図中符号は同様の要素を示す。

【0025】

種々の実施例は、ディープ(deep)な多値セル(multi-level cell:MLC)に情報を格納できるフラッシュメモリに関する。ディープな多値セルは、セル電圧に従って少なく

50

とも数ビットのデータを符号化し得る。いくつかの実施例は、ディープなMLCフラッシュメモリを含むシステムを実現するアーキテクチャに関する。また、いくつかの実施例は、ディープなMLCフラッシュメモリを使用してデータ格納動作を実行する技術に関する。

【0026】

図1は、ホストデバイス（不図示）にデータ記憶装置を提供するマルチチップパッケージ（MCP）100の一例を示す。MCP100は、データを格納するためのNANDフラッシュメモリダイ103と、ホストからの読み出し及び／又は書き込みコマンドにตอบสนองしてフラッシュメモリへのアクセスを容易にするフラッシュディスクコントローラ（FDC）106を含む。いくつかの実施例において、NANDメモリダイ103は、ディープなMLCにデータを格納する。例えば、フラッシュメモリダイ103のセルは、3ビット、4ビット、5ビット、6ビット、7ビット、8ビット、9ビット、10ビット又はそれ以上の情報を保持することができる。また、例えばMCP100は、デジタルカメラ、他の画像格納デバイス、携帯オーディオデバイス、パーソナルデジタルアシスタント（PDA）及びデジタルビデオレコーダ等の種々の携帯デバイスにおいてデータ記憶装置を提供することもできる。いくつかの実施例は、他の応用例において使用されてもよい。他の応用例には、特にデータへの迅速なアクセスが望ましい状況において、デスクトップコンピュータ、サーバ、無線ルータ又は組込みアプリケーション（例えば、自動車）が含まれてもよい。本明細書で説明する例に係る装置及び技術は、フラッシュメモリ密度を増加するため、並びに／あるいは高性能及び／又は信頼できる不揮発性データ記憶装置の動作を達成するために実現され得るものである。

【0027】

図示する一例として、MCP100は、フラッシュメモリのセルのグループ（例えば、ページ又はブロック）における各セルに1バイト（すなわち、8ビット）の情報を格納することによりデータファイルを格納してもよい。他の例は、16ビット、32ビット、64ビット又はそれ以上の解像度を有してもよい。いくつかの実施例において、解像度は、セルのゲートにおける単一の又は複数の電子検出により判定されてもよい。他の実施例において、任意の実際のビット数の情報は、個々のフラッシュメモリセルが充電される電圧において符号化されてもよい。

【0028】

FDC106は、ホストインタフェース109、プロセッサ112及びフラッシュインタフェース115を含む。FDC106は、ホストインタフェース109を介してデスクトップコンピュータ、サーバ又は携帯計算装置上のプロセッサ等のホストデバイスからコマンド及び／又はデータ（例えば、ソフトウェアコード更新データ又はユーザデータ）を受信し且つ／又はホストデバイスにデータを送信する。ホストとの通信には、例えばATA（Advanced Technology Attachment）、シリアルATA（SATA）、Block Abstracted NAND、セキュアデジタル（SD）又はマルチメディアカード（MMC）等のカスタム又は標準プロトコルを使用してもよい。いくつかの実施例において、MCP100は、ホストデバイスと同一の製品の一部としてもよい。また、他の実施例において、ホストデバイスは、プロセッサを使用する少なくとも1つの他のデバイスへの通信リンク（例えば、USB、Firewire、Bluetooth）を介してMCP100と動作可能に通信していてもよい。例えばホストは、少なくとも1つのネットワークを介して制御メッセージを送出し且つデータメッセージを送出及び受信することによりMCP100にリモートアクセスしてもよい。少なくとも1つのネットワークは、有線、無線又は光ファイバリンク、あるいはそれらの組合せを含んでもよい。そのようなネットワークは、パケットによる通信をサポートしてもよく、また、インターネット等のワイドエリアネットワーク又はローカルネットワークを含んでもよい。

【0029】

ホストデバイス上のプロセッサは、フラッシュメモリの物理アドレスを識別するためにFDC106により処理される論理アドレス指定方式を使用して、NANDフラッシュメ

メモリダイ１０３からデータを読み出してもよく且つ／又はＮＡＮＤフラッシュメモリダイ１０３にデータを書き込んでもよい。いくつかの実施例において、ホストインタフェース１０９は、ＡＴＡ／ＩＤＥインタフェースを使用してホストデバイスと通信するように構成されてもよい。プロセッサ１１２は、受信したコマンドを処理し、フラッシュインタフェース１１５を使用してＮＡＮＤフラッシュメモリダイ１０３にアクセスすることができる。ＦＤＣ１０６は、信頼性の向上、読み出し及び書き込み時間の短縮、電力効率の向上及びチップボリューム毎の容量の増加等、ＮＡＮＤフラッシュメモリダイ１０３の性能を向上するために磨耗管理機能性、ブロック管理機能性、誤り訂正機能性及び論理アドレス指定管理機能性等の機能性を提供するように構成され得る。本明細書において説明する特定の技術及び装置は、ＮＡＮＤ及び／又はＮＯＲフラッシュメモリ、他の種類の電氣的消去可能メモリ又は電氣的書き込み可能メモリ、あるいはデータアクセス解像度がページ又はブロックに存在するメモリに適用可能であってもよい。

10

【００３０】

図１にはＮＡＮＤフラッシュメモリダイ１０３が１つのみ示されるが、ＭＣＰ１００は２つ以上のＮＡＮＤフラッシュメモリダイ１０３を含んでもよい。いくつかの実施例は、不揮発性メモリの任意の組合せを含んでもよく、それはＮＡＮＤフラッシュ、ＮＯＲフラッシュ又は電氣的消去可能プログラマブル読み出し専用メモリ（ＥＥＰＲＯＭ）を含んでもよい。いくつかの図示する例において、ＭＣＰ１００は、２つ、３つ、４つ又は少なくとも８つのＮＡＮＤフラッシュメモリダイ１０３を含むことができる。例えばＭＣＰ１００は、４つのＮＡＮＤフラッシュメモリダイ１０３とパッケージ化される（例えば、スタックに）ダイ上にフラッシュディスクコントローラ１０６を含んでもよい。

20

【００３１】

いくつかの実施例において、フラッシュディスクコントローラ１０６及びフラッシュメモリダイ１０３は、単一のダイ上に実現されてもよい。他の実施例において、フラッシュディスクコントローラ１０６の１つ以上の構成要素は、部分的又は全体的に単一のダイ又はＭＣＰ１００の外部に実現されてもよい。例えば、同期ダイナミックランダムアクセスメモリ（ＳＤＲＡＭ）１５１及び／又は不揮発性メモリ（ＮＶＭ）１５４の一部又は全てがＭＣＰ１００の外部に実現されてもよい。いくつかの実施例において、フラッシュディスクコントローラ１０６の一部又は全てがフラッシュメモリダイ１０３とは別にパッケージ化されてもよい。図示する一例において、ＮＶＭ１５４、ＳＤＲＡＭ１５１、ホストインタフェース１０９及び少なくともプロセッサ１１２の一部の各々はＭＣＰ１００の外部に実現されてもよい。他の実施例において、フラッシュインタフェース１１５とフラッシュメモリダイ１０３との間のアナログ信号及び／又はデジタル信号は、統合パッケージに外部から転送されてもよい。

30

【００３２】

リモート又は分散送信構造（例えば、遮蔽及び／又は制御されるインピーダンス信号パス）は、少なくとも１つのフラッシュメモリダイ１０３に対して及び少なくとも１つのフラッシュメモリダイ１０３から信号を移送するために実現されてもよい。いくつかの実施例において、メモリは、不揮発性メモリの追加のパッケージをインストールすることにより拡張されてもよい。バッファリングデバイス及び／又はルーティングデバイスは、アナログ信号及び／又はデジタル信号の種々の数のメモリダイ１０３への配信をサポートするために使用されてもよい。更にプロセッサ１１２の機能は、ＭＣＰ１００の外部で実行されてもよい。種々の例において、プロセッサ１１２は、ＭＣＰ１００と同一の基板（例えば、プリント回路基板）の回路又は同一の製品に全体的又は部分的に実現されてもよい。プロセッサ１１２は、通信リンク（例えば、有線、無線、光ファイバ又はそれらの任意の組合せ）を介してＭＣＰ１００と動作可能に通信する別の計算装置から実現されてもよい。

40

【００３３】

ＭＣＰ１００は、例えば少なくとも最大１００ギガバイト以上の任意の実際的なメモリサイズを有してもよい。図示する例において、ＮＡＮＤフラッシュメモリダイ１０３は、

50

複数のフラッシュメモリブロック 118 を含むように編成される。いくつかの実施例において、NANDフラッシュメモリダイ 103 は、数百又は数千のフラッシュメモリブロック 118 を含んでもよい。各フラッシュメモリブロック 118 は、複数のフラッシュメモリページ 121 を含む。図示するように、各フラッシュメモリページ 121 は、データ 124 を格納するセル及びそのデータと関連付けられる誤り訂正符号 (ECC) 127 を格納するセルを含む。一例として、フラッシュメモリページ 121 は、2048 バイトのデータ及び 64 バイトの ECC データを格納することができる。データセル 124 は、フラッシュディスクコントローラ 106 から受信される情報を格納する。ECC セル 127 は、データセル 124 に格納されるデータと関連付けられる追加の整合性メタデータ (例えば、ECC データ) を格納する。種々の実施例において、ECC データにより、フラッシュディスクコントローラ 106 はデータ中のビット誤りを検出及び / 又は訂正できる。

10

【0034】

図示する例において、各フラッシュメモリブロック 118 は 1 つ以上の参照セル 130 a、130 b、130 c を更に含む。いくつかの実施例において、FDC 106 は参照セル 130 a、130 b、130 c の電圧を監視して、セル 124、127 において電圧の低下度又はドリフトの程度を推定するように構成される。各ブロック 118 において、参照セル 130 a はブロック 118 の開始部分に位置付けられ、参照セル 130 b はブロック 118 の終了部分に位置付けられるようにしてもよい。また、各フラッシュメモリページ 121 は参照セル 130 c を含んでもよい。いくつかの実施例において、より多くの参照セル又はより少ない参照セルがメモリ 103 のページ、ブロック及びダイにわたり任意のパターンで分布され、セル 124、127 の予想される性能を判定するようにしてもよい。

20

【0035】

いくつかの実施例において、参照セルは、特定の関心データセルの使用レベルを表す読み出し / 書き込み使用レベルを体験するセル中に又はセルの周囲に位置付けられる。補償方法は、非参照セルを他の非参照セルと比較することに基づいてなされる。例えば同一のページ又はブロックの複数のセルの電圧が相対的に低い場合、補償は、読み出し誤りが大きく低減されるように測定値に従って閾値 (例えば、セル中の異なる値レベル間の電圧閾値) を調整して小さくすることを含んでもよい。また、他の例は、参照セルの検出電圧に基づく補正関数を判定することを含み、その補正関数は、検出電圧をメモリセルにより表されるデジタルデータ値に変換する前に、その検出電圧を調整する。

30

【0036】

いくつかの実施例において、メモリセルは、検出された電圧低下に対して補正を行なうために複数のセルに追加の電荷を印加することによりリフレッシュされる。例えば、1 つ以上の参照セルの電圧レベルがある電圧ドリフトの閾値量を超えることを示す場合、その参照セルに関連するページ又はブロックのメモリセルは、追加の電荷を印加することにより調整され得る。あるいは格納データに従ってセルを適切な電圧レベルに復元するために書き換えられてもよい。そのような調整は、参照セルの電圧ドリフトを検出した直後に実行されるか又は後の保守動作の一部として実行される。いくつかの実施例において、追加の電荷が印加されてもよく、あるいはメモリセルは検出された参照セル電圧と目標参照セル電圧との差分に基づいて書き換えられてもよい。その差分は、参照セル及び対応するデータセルの双方に対する電圧ドリフト又は低下の大よその量を示すと仮定されてもよい。

40

【0037】

他の実施例において、追加の電荷の印加又はメモリセルの書き換えは、全てのセルを読み出し、閾値への任意の必要な調整を実行し (例えば、参照セル電圧に基づく補正関数を使用し且つ / 又は本明細書において説明する他の技術を使用して)、格納されるデータを取得するために検出データに対して誤り訂正を実行することにより実行されてもよい。その後データは、識別された電圧のドリフト又は低下に対して種々のメモリセルを補正するのに必要とされる追加の電荷量又は適切な電圧レベルを判定するために使用される。いくつかの実施例によれば、印加される追加の電荷量は、検出電圧をデジタルデータ値に変換

50

する前に検出電圧を調整するために使用された補正関数と同一の又はそれに類似する補正関数に基づいて判定される。

【 0 0 3 8 】

いくつかの実施例において、フラッシュメモリのセルは適応可能に再割り当てされてもよい。例えば参照セルは、読み出し又は書き込み使用情報、温度、製品年齢、供給電圧（例えば、低バッテリー、交流電源）及び／又は検出誤りレベルに応答して適宜追加、除去、再配置及び／又は再分布されてもよい。メモリのある特定のブロック又はページにおける誤りが少ない場合、ECCセル127及び／又は参照セル130として割り当てられるセルをより少なくしてもよく、それによりデータセル124は更に多くすることができる。参照、データ及びECC機能に対するセルの相対的な割り当て、並びに個々のセルの解像度は、現在の動作条件に基づき且つ／又は所定の条件に従って動的に調整されてもよい。例えば、解像度は誤り率に基づいて調整されてもよく、ページ毎のECCセル数は誤り率、並びに読み出し及び書き込み履歴情報に基づいてもよく、参照セルの場所及び分布は誤り率及び製品年齢に基づいてもよい。この例は、単にコントローラ106及びフラッシュメモリダイが種々の基準に従って動的に調整されてもよいことを示す。他の基準は、データの重要度、電源の可用性（例えば、交流電源、バッテリー電源）、並びにメモリサイズ、速度性能及びデータ整合性を最大限にする相対的な重要さに関する規定の基準を含んでもよい。例えば、非常に多くのソフトウェア補正を必要とする高いセル解像度を維持することにより、アクセス時間は更に長くなる可能性がある。基準は、応用例の要求に従ってユーザ、製品製造業者又はソフトウェアにより適応されてもよい。

【 0 0 3 9 】

いくつかの実施形態において、非常に多くのソフトウェア補正を必要とするデータは、時間の経過に関連する電荷の変動を補正するために又は劣化し始めたメモリセルのページを補正するために保守動作において書き換えられてもよい。1つ以上のメモリセルの解像度を変更する場合、データはメモリセルの異なるページに書き込まれ、同一の又は異なる解像度で書き込まれる。いくつかの実施例において、メモリセルの元のページはより低い解像度にダウングレードされる。これは、メモリセルが経時変化により劣化するにつれて必要とされる場合が多い。データの書き換えが識別された電圧ドリフト又は低下の結果として実行される場合、メモリセルの同一の又は異なるページ又はブロックにデータを書き込むことができる。

【 0 0 4 0 】

フラッシュインタフェース115は、フラッシュメモリダイ103に対する直接制御、ハンドシェーク及びデータ転送アクセスを提供する。フラッシュインタフェース115は、制御インタフェース133及びアナログインタフェース136を含む。いくつかの実施例において、制御インタフェース133は、制御、アドレス及びデータ信号をフラッシュメモリダイ103に送出することができる。コマンド及びメモリアドレスは、デジタル信号又はアナログ信号で送信され得る。更にフラッシュディスクコントローラ106は、フラッシュメモリダイ103からアナログ信号を受信できる。フラッシュディスクコントローラ106は、フラッシュメモリダイ103上のフラッシュメモリ論理とインタフェースするためのプロセッサを含んでもよく、フラッシュダイ上のフラッシュメモリ論理とインタフェースするためのこのプロセッサは、フラッシュインタフェース115に組み込まれてもよい。

【 0 0 4 1 】

フラッシュメモリダイ103は、読み出しコマンドに응答して、個々のデータセル124に格納されたデータを表すセル電圧を出力してもよい。フラッシュディスクコントローラ106は、フラッシュメモリダイ103上の各メモリセルから出力されたアナログ電圧信号を受信できる。それらのアナログセル電圧又はアナログ電圧信号は、FDC106のアナログインタフェース136に送信される。いくつかの実施例において、フラッシュインタフェース115は、制御インタフェース133とは別個のデータバス及びフラッシュメモリダイ103と通信するためのアナログインタフェース136を更に含む得る。

【 0 0 4 2 】

アナログインタフェース 1 3 6 は、アナログフロントエンド（アナログ F E ） 1 3 9 及びアナログ / デジタル変換器（ A D C ） 1 4 2 を含む。アナログ F E 1 3 9 は、アナログ信号を受信すると、例えばオフセット、補正レベルシフト、利得、バッファリング、フィルタリング又は制御インピーダンスを提供して反射を最小限にするために、必要に応じて信号を適応させてもよい。アナログ F E は、高いインピーダンス入力を提供してフラッシュメモリセルの負荷を最小限にしてもよいし、また低いインピーダンス出力を提供して、A D C 1 4 2 の入力に結合されるサンプルホールド回路又はトラックホールド回路を駆動してもよい。いくつかの実施例において、アナログ F E 1 3 9 は、1 つ以上のフラッシュメモリダイからの複数のアナログ出力線のうち 1 つを選択するためにアナログマルチプレクサ（不図示）を更に含む。

10

【 0 0 4 3 】

A D C 1 4 2 は、データセル 1 2 4、1 2 7 の電圧の対応するデジタルデータ値表現を判定するためにアナログ値を処理する。A D C 1 4 2 は、適応されたアナログ信号を受信し、アナログ信号をアナログ電圧のデジタル表現に変換する。A D C 1 4 2（又は A D C のプロセッサ）は、例えばマッピング関数に基づいてメモリセルに格納された電圧により表されるデジタルデータ値にそのデジタル表現を変換する。プロセッサ 1 1 2 は、デジタル表現をデジタルデータ値に変換するために更に使用される。アナログ電圧のデジタル表現は、各々が特定のデジタルデータ値を表す複数のアナログ電圧レベルを A D C 1 4 2 又はプロセッサが区別できるように十分な情報を含み得る。デジタル表現は、デジタルデータ値より多くのビット数のデータを含んでもよい。いくつかの実施例において、A D C 1 4 2 は、フラッシュディスクコントローラ 1 0 6 に含まれるのではなく、フラッシュメモリダイ 1 0 3 に組み込まれる。そのような場合、フラッシュインタフェース 1 1 5 は、フラッシュメモリダイ 1 0 3 からセル電圧のデジタル表現又はデジタルデータ値を受信することになる。

20

【 0 0 4 4 】

マッピング関数 1 4 5 の一例を示す。マッピング関数 1 4 5 に基づいて、A D C 1 4 2 又はプロセッサ 1 1 2 は、アナログセル電圧をデジタル表現及び / 又はデジタルデータ値に変換することができる。例えば、アナログ電圧をデジタル表現及び / 又はデジタルデータ値にマップするために使用される一連のアナログ電圧閾値が存在してもよい。同様に、マッピング関数 1 4 5 は、アナログ電圧のデジタル表現のデジタルデータ値への変換を更に示してもよい。例えば、アナログ電圧の 1 つ以上のデジタル表現を、特定のデジタルデータ値にマップしてもよく、各デジタルデータ値は 1 つ以上のデジタル表現の対応する別個の集合を有する。

30

【 0 0 4 5 】

いくつかの実施例において、A D C 1 4 2 又はプロセッサ 1 1 2 は、マッピング関数 1 4 5 を変更するパラメータを受信するように構成される。例えば F D C 1 0 6 は、現在の温度、供給電圧、ページデータの読み出し及び書き込み回数、並びに / あるいは参照セル 1 3 0 a、1 3 0 b 及び / 又は 1 3 0 c の電圧に基づいてマッピング関数を適応させる。いくつかの実施例において、マッピング関数に対する適応は、隣接するデータセル 1 2 4、E C C セル 1 2 7 及び / 又は他のセルの電圧特性に基づく。セル電圧とデジタルデータ値とのマッピング 1 4 5 については、図 2 A 及び図 2 B を参照して更に詳細に説明する。また、いくつかの実施例において、A D C 1 4 2 又はプロセッサは、受信したアナログ信号又はアナログ信号のデジタル表現に対する代替値を検索するための代替値コマンドに回答可能に動作する。代替値コマンドの実施例については、図 6 A ~ 図 6 C を参照して更に詳細に説明される。

40

【 0 0 4 6 】

フラッシュディスクコントローラ 1 0 6 は、E C C エンジン 1 4 8 を更に含む。種々の実施例において、E C C エンジン 1 4 8 は、E C C セル 1 2 7 を使用してハードウェア及び / 又はソフトウェア誤り検査訂正を実行する。また、いくつかの実施例において、E C

50

Cエンジン148は、状態遷移機械を使用するデータ回復を提供する。例えばECCエンジン148は、データのページの誤りビット数を検出するように構成される。ECCエンジン148は、使用されるECCアルゴリズムを判定してもよい。一例としてECCエンジン148は、まず、例えばハミング符号又はリードソロモン符号を使用してハードウェアECCアルゴリズムを試行するように構成され得る。そして、ハードウェアECCアルゴリズムがデータのページの回復時に失敗した場合、ソフトウェアECC訂正が試行される用に構成してもよい。ハードウェアECC、ソフトウェアECC及び他の技術を組み合わせて使用することを示す方法の一例については、図5を参照して後に説明する。いくつかの実施例において、ECCエンジン148は、データのページのサイズの最大少なくとも約10%以上に対して誤り訂正を提供することができる。また、いくつかの例において、プロセッサが使用するECCアルゴリズムを判定するようにしてもよい。

10

【0047】

いくつかの実施例において、ECCアルゴリズムが所定の数又は所定の割合より多い誤りを含むデータを回復するために使用される場合、プロセッサ112は、フラッシュメモリページに格納されたデータを書き換えるか又はリフレッシュする。他の実施例において、プロセッサ112は、保守ログにそのような誤りを含んでいたデータの物理的及び/又は論理的な場所を記録する。プロセッサ112は、保守動作中にそのデータを書き換えるか又はリフレッシュする(図9を参照)。保守動作は、ホストデバイスが所定の電力条件下で動作している時に実行されるようにしてもよいし、プロセッサ112が所定量の余分な帯域幅を有する時に実行されるようにしてもよいし、且つ/又はスケジュールされた間隔で実行されるようにしてもよい。

20

【0048】

フラッシュディスクコントローラ(FDC)106は、ダイナミックランダムアクセスメモリ(DRAM)を含んでもよい。この例のフラッシュディスクコントローラ106は、同期ダイナミックランダムアクセスメモリ(SDRAM)151を更に含む。例えばSDRAM151は、SDR(single data rate)SDRAMでもよいし、或いはDDR(double data rate)SDRAMでもよい。いくつかの実施例において、例えばFDC106は、ホストデバイスに対する出力データ及びデータのページに対する代替デジタル値等の一時データを格納するためにSDRAM151を高速で高密度なバッファとして使用され得る。また、FDC106は、DRAM等の他の種類のRAMを更に含んでもよい。一例として、FDC106はNANDフラッシュメモリダイ103からアナログデータを受信してもよい。

30

【0049】

FDC106は、場合によっては1つ以上のセルに対して代替デジタルデータ値を含むデジタルデータに、検出したアナログ電圧を変換してもよい。ECCエンジン148は、デジタルデータを検査及び訂正し、可能性としては各フラッシュメモリページ121上のセルに対するデータ値及び代替データ値の複数の異なる組合せを検査する。誤り訂正が成功した場合、プロセッサ112は、デジタルデータをSDRAM151のホスト出力バッファに格納してもよい。いくつかの実施例において、ホストデバイスは、ホスト出力バッファからデータを検索する。あるいは、フラッシュディスクコントローラ106はデータをホスト出力バッファからホストデバイスに転送してもよい。SDRAM151又は他のキャッシュメモリは、フラッシュメモリダイ103に書き込まれるデータを格納するために更に使用されてもよい。

40

【0050】

FDC106は、不揮発性メモリ(NVM)154を更に含む。この例において、NVM154は、磨耗管理ソフトウェアコード157、ブロック管理ソフトウェアコード160、論理アドレス指定ソフトウェアコード163及びセル解像度レジスタ166を含み、それら各々は、プロセッサ112により実行された時に特定の動作を実行する命令(又はフラッシュメモリ中の命令に対するポインタ)を含む。いくつかの実施例において、NVM154はNANDフラッシュメモリダイ103とは別個であってもよい。例えばNVM

50

154は、NORフラッシュメモリであってもよく又は別のNANDフラッシュメモリであってもよい。他の実施例において、NVM154はNANDフラッシュメモリダイ103の1つ以上のページであってもよい。他の実施例において、NVM154はNANDフラッシュメモリダイ103に格納されたデータに対するポインタ又は記憶場所を格納する。いくつかの実施例において、プロセッサ112は、磨耗管理ソフトウェアコード157、ブロック管理ソフトウェアコード160及び論理アドレス指定ソフトウェアコード163を実行して、MCP100の効率、性能及び/又は信頼性を向上する。

【0051】

プロセッサ112は、磨耗管理ソフトウェアコード157を使用してMCP100のページ121、ブロック118又はダイ103の磨耗を管理するように構成される。例えば磨耗管理ソフトウェアコード157は、プロセッサ112により実行された時に最も頻繁に使用されるメモリページのデータを使用頻度の少ないメモリページに交換するための負荷均一化動作を含む動作を実行する命令を含んでもよい。交換動作は、論理アドレス指定ソフトウェアコード163の更新を更に含んでもよい。

【0052】

磨耗管理ソフトウェアコード157は、保守動作中に起動され得る。いくつかの実施例において、各読み出し動作の物理アドレス及び/又は論理アドレスは、保守ログに記録される。更に、各書き込み動作が保守ログに記録されてもよい。磨耗管理ソフトウェアコード157は、メモリセルのページ間で格納されたデータを再配置する方法を判定するために所定の閾値を使用してもよい。例えばそれら閾値は、1週間又は1ヶ月の間にメモリセルのページの100回又は1,000回の読み出し、といったものが挙げられる。他の実施例において、閾値は読み出し動作の合計回数の割合に基づいてもよく、あるいは時間毎のページ毎の読み出し平均回数からの偏差に基づいてもよい。保守動作の一例については、図9により後述する。

【0053】

ブロック管理ソフトウェアコード160は、フラッシュメモリダイ103の不良ブロックを管理するためのコードを含む。例えばブロック管理ソフトウェアコード160は、フラッシュメモリブロック118に関する履歴誤り情報を含み得る。いくつかの実施例において、誤り情報は各フラッシュメモリページのセル解像度を維持するために使用される。ブロック管理ソフトウェアコードの一例については、後に、図8A及び図8Bを参照して更に詳細に説明する。

【0054】

フラッシュメモリダイ103中の低下した解像度(セル解像度レジスタ166において更新される)を有する不良ブロック又は不良ページの集合を対にし、論理アドレス指定の目的で、初期のより高い解像度を有するメモリセルの単一のブロック又は単一のページの等価物としてその不良ブロック又は不良ページの集合を処理するようにする(論理アドレス指定ソフトウェアコード163及び/又はセル解像度レジスタ166において更新される可能性が高い)ために、ブロック管理ソフトウェアコード160は使用されてもよい。ここで、ブロック管理ソフトウェアコード160は、おそらくは、論理アドレス指定ソフトウェアコード163及び/又はセル解像度レジスタ166と共に使用される。また、ブロック管理ソフトウェアコード157は、保守動作中に起動され得る。保守動作の一例については図9により後述する。

【0055】

論理アドレス指定ソフトウェアコード163は、ホストコマンドの論理アドレスをNANDフラッシュメモリダイ103の物理アドレスに変換するためのコードを含み得る。いくつかの例において、論理ページはNANDフラッシュメモリダイ103の複数の物理メモリページと関連付けられる。論理アドレス指定ソフトウェアコード163は、NVM154の論理アドレステーブルの変換及び更新を管理する。一例において、ページが10ビット解像度から8ビット解像度にダウングレードされるか又は論理ブロックアドレスから異なる物理ページアドレスへのマッピングが磨耗管理の目的で変更されると、論理アドレ

10

20

30

40

50

ス指定ソフトウェアコード 1 6 3 は、ホストからの論理ブロックアドレスと物理ページアドレスとのリンクを動的に維持するように構成される。例えばアドレスの中間形式は、論理アドレスと物理アドレスとの変換の処理中に生成され得る。中間アドレス形式は、種々の不揮発性メモリ動作を実行するために生成、処理、格納、使用及び / 又は操作され得る。論理アドレス指定ソフトウェアコードの一例については、図 1 0 を参照して更に詳細に後述する。

【 0 0 5 6 】

セル解像度レジスタ 1 6 6 は、セル解像度に関する情報を各フラッシュメモリページ 1 2 1 に格納する。例えば NAND フラッシュメモリダイ 1 0 3 は、8 ビット MLC フラッシュメモリである。いくつかの実施例において、フラッシュメモリブロック 1 1 8 の一部は、種々の条件に応じてダウングレード又はアップグレードされ得る。そのような条件の例は、誤り性能、温度、電圧条件、個々のセルの読み出し又は書き込み周期の回数、セルのグループ、ページ、隣接する場所にあるセル、参照セル、同等の読み出し及び / 又は書き込み使用履歴を有するセル、あるいはデバイスの経時変化等の他の因子を含む。それら条件の一部又は全てに関する情報は、データ記憶装置に格納されてもよく、あるいは格納された 1 ビット以上の他の情報から判定又は推定されてもよい。一例において、格納された情報は、メモリダイ 1 0 3 の少なくとも一部のセルに対する使用レベルを表す履歴読み出し / 書き込み使用データを含んでもよい。プロセッサ 1 1 2 は、ダウングレードされたメモリページのセル解像度を例えば 4 ビットに低減するようにセル解像度レジスタ 1 6 6 を更新してもよい。ため、フラッシュメモリページ 1 2 1 はより小さなメモリサイズで使用可能である。他の実施例において、セル解像度レジスタ 1 6 6 は、各フラッシュメモリブロック 1 1 8 に対するセル解像度を更に格納してもよい。

【 0 0 5 7 】

いくつかの実施例において、セル解像度レジスタ 1 6 6 は、データをホストデバイスから MCP 1 0 0 のメモリセルに転送する前に調整されて単一ビットの解像度又は別の少ないビット数の低解像度にされる。この処理については、図 7 B を参照して更に詳細に後述する。各メモリセルを充電するのに必要な精度はより低くなるため、データを転送する前にセル解像度レジスタ 1 6 6 を低減することにより、更に高速なデータ転送速度が可能になる。その後、転送されたデータはより高い解像度でメモリセルに書き換えられてもよい。いくつかの実施例において、転送されたデータは、保守動作中に（例えば、十分な処理リソースが利用可能であり且つ書き換えが他の読み出し又は書き込み動作を妨害しない時に後で）より高い解像度で書き換えられてもよい。いくつかの実施例において、低いセル解像度のデータ転送が保守ログに記録される。

【 0 0 5 8 】

いくつかの実施例において、論理アドレス指定ソフトウェアコード 1 6 3、解像度レジスタ 1 6 6 及び / 又はブロック管理ソフトウェアコード 1 6 0 はダウングレードされたメモリページ（又はダウングレードされたメモリブロック）をグループ化し、論理アドレス指定の目的でそのグループをダウングレードされていない単一のメモリページ（又はブロック）として処理する。ダウングレードされたメモリページのグループのメモリページは隣接するメモリページである必要はない。ダウングレードされたメモリページのグループは、異なるブロック及び異なるメモリダイのメモリページを含むことができる。いくつかの実施例において、ダウングレードされたメモリページ又はブロックのグループのダウングレードされた各メモリページ又はブロックは、そのページ又はブロックに関連する誤り条件に応じてダウングレードされる。

【 0 0 5 9 】

図 2 A 及び図 2 B は、メモリセルに格納されたデジタルデータ値とセル電圧とのマッピングを一括して示す。図 2 A に示すように、8 ビットメモリセルのデジタルデータ値分布 2 0 0 の例を示す。8 ビットメモリセルは、2 5 6 個の可能なデジタルデータ値を含み、4 ビットメモリセルは 1 6 個の可能なデータ値を含む。可能なデータ値の数は 2^n （ n はビット数である）に等しいが、可能なデジタルデータ値の数は可能なデジタルデータ値の

10

20

30

40

50

nビット数に対応する必要はない。各メモリセルは1より大きい整数の数の可能なデジタルデータ値を有することができる。例えばメモリセルの中には10個の可能なデータ値を有することができるものもある。デジタル値分布200は、各デジタルデータ値の電圧分布を表すデジタル値分布曲線205~210を含む。各デジタル値分布曲線(例えば、205~210)は、可能な各デジタルデータ値と関連付けられる電圧レベルに対応するデジタル電圧値の範囲を表す。

【0060】

書き込み動作中、各メモリセルは、可能なデジタルデータ値のうちの1つから選択されたデジタルデータ値に対応するアナログ電圧になるまで電荷を受け取る。一般にこの対応する電圧は、所望のデジタルデータ値に対する分布曲線205~210内に入る。この対応する電圧は、デジタルデータ値に対応する目標電圧であってもよい。例えばセル電圧が分布207内に入る場合、セルに格納されるデジタル値は02_Hとなる。読み出し動作中、アナログ電圧信号は各セルから検出される。ADC136は、アナログ電圧信号をアナログ電圧信号のデジタル表現に変換する。このデジタル表現は、少なくとも1つのデジタル値分布曲線と比較されて、読み出したメモリセルに格納されたアナログ電圧により表されるデジタルデータ値を判定する。

【0061】

デジタルデータ値分布200は、デジタルデータ値分布曲線205~210の間のグレー領域215を含む。いくつかの実施例において、ADC142がグレー領域215のうち1つの領域内にあるアナログ電圧信号を検出するか又はセル電圧を受信する場合、例えばADC142は、セル電圧を最近接するデジタルデータ値に変換する。例えばADC142が電圧レベル220に非常に近接するセル電圧を受信する場合、ADC142は、セル電圧を最近接するデジタルデータ値、すなわちFE_Hに変換する。いくつかの実施例において、FDC106は、いくつかのパラメータに基づいて最近接する値以外の代替値に変換するようにADC142に命令する代替値コマンドを更に含み得る。

【0062】

いくつかの実施例において、FDC106は、データ値のページ又はブロックを変換しようとする誤り訂正処理において最近接するデジタルデータ値及び1つ以上の代替値を使用することができる。更にFDC106は、デジタルデータ値分布曲線205~210又はグレー領域215内のセル電圧の場所に基づいて特定のセル電圧又は対応するデータ値に不確実性を割り当ててもよい。割り当てられた不確実性は、データ値のページ又はブロックを変換しようとするアルゴリズムにより使用され得る。それらパラメータのいくつかの例としては、温度、セルに対する読み出しの回数、セルに対する書き込みの回数、供給電圧及び参照セル130a、130b、130cの電圧のうち1つ以上が含まれ得る。いくつかの例において、セル電圧は最低セル電圧(V_{min})を下回るまで低下してもよい。FDC106は、受信したセル電圧にオフセットを加算することにより補正を行なってもよい。このオフセットは、アナログFE139により加算されてもよく、あるいはADC142又はプロセッサ112によりデジタルに加算されてもよい。

【0063】

いくつかの実施例において、FDC106は、デジタルデータ値分布200を変更することによりグレー領域215の幅及び場所を動的に調整してもよい。例えばFDC106は、1つ以上の参照セル電圧、メモリセルの使用及びNVMM154に事前にロードされてもよい他のヒューリスティック等のパラメータに基づいてグレー領域215を調整する保守ソフトウェアコードを含んでもよい。そのような保守ソフトウェアコードは、セル解像度レジスタ166の更新を実行してもよい。例えば各ダイ103、アナログインタフェース135及び/又はMCP100は、製造時間及び線形化テーブルにおいて特徴付けられてもよく、あるいは補正係数又は他の補正調整は、MCP100の不揮発性メモリに格納されてもよい。場合によっては、最大電圧レベル(V_{max})、最小電圧レベル(V_{min})及びデジタル値分布曲線205~210は、使用寿命の間のセルの実験テストに基づいて調整及び/又は最分布されてもよい。

10

20

30

40

50

【 0 0 6 4 】

図 2 B に示すように、セル電圧対デジタル値のグラフ 2 5 0 が示される。グラフ 2 5 0 は、A D C 1 4 2 がアナログ電圧をデジタル値に変換するのに使用する理想的な電圧特性 2 5 5 を含む。いくつかの例において、データセル 1 2 4 は、例えば温度、セルの経時変化、チャージポンプ又は供給電圧許容差、A D C 1 3 6 の非線形性、メモリセルにおける検出誤り、並びに / あるいはセルの読み出し及び書き込み回数のヒューリスティックによる理想的でない電圧特性 2 6 0、2 6 5 に従ってデジタル値を格納する。F D C 1 0 6 は、理想的な特性 2 5 5 に近付くように電圧特性 2 6 0、2 6 5 を種々の方法で補償するように構成される。以下、図 3 A、図 3 B、図 4、図 5、図 6 A ~ 図 6 C を参照して、補償方法の例を説明する。

10

【 0 0 6 5 】

図 3 A 及び図 3 B は、N A N D フラッシュメモリからデータのページを読み出すための処理 3 5 0 及び 3 0 0 の例を示すフローチャートである。処理 3 5 0 及び 3 0 0 は、プロセッサ 1 1 2 により実行され得る動作を含む。なお、いくつかの実施例において、処理 3 5 0 及び 3 0 0 は、A D C 1 4 2 と組み合わせられ得る他の処理及び / 又は制御素子により実行、補足又は強化されてもよい。例えば、コントローラ又は補償器は、処理 3 5 0 及び 3 0 0 の動作の一部又は全てを実行するアナログインタフェース 1 3 6 に存在してもよい。

【 0 0 6 6 】

図 3 A は、多値メモリセルからの検出電圧レベルをデジタルデータ値に変換する処理を示す。処理 3 5 0 は、多値メモリセルからアナログ電圧レベルを検出することから開始する（ステップ 3 5 5）。例えばこの電圧は、アナログインタフェース 1 3 6 により検出され得る。アナログインタフェース 1 3 6 は、フラッシュメモリダイ 1 0 3 からアナログ信号を受信するように動作可能な入力部を含んで構成され得る。フラッシュディスクコントローラ 1 0 6 は、入力部が受信するアナログ信号の送信元のメモリセルを選択するための制御モジュールを更に含んでもよい。ステップ 3 6 0 において、アナログ電圧信号は、検出されたアナログ電圧のデジタル表現に変換される。この変換は、A D C 1 4 2 により実行され得る。デジタル表現は、デジタルデータ値を表す複数の可能な電圧レベルのうちメモリセルにより格納されたアナログ電圧のレベルを A D C 1 4 2 又はプロセッサ 1 1 2 が区別できるように十分なデータを有し得る。これは、デジタル表現がメモリセルに格納された電圧により表されるデジタルデータ値より多くのビット数のデータを含むようにすることにより達成され得る。

20

30

【 0 0 6 7 】

図 2 A は、この概念を示すことを助長する。可能なアナログセル電圧の範囲は、各々がアナログセル電圧のデジタル表現に対応する複数のセグメント（例えば、電圧レベル 2 2 0 により表されるような）に分離されてもよい。各デジタル値分布曲線 2 0 5 ~ 2 1 0 及び各グレー領域 2 1 5 はそのようなセグメントの複数を含んでもよく、例えば、セル電圧がデジタル値分布曲線 2 0 5 ~ 2 1 0 又はグレー領域 2 1 5 内のどこにあるかに関する追加の情報を提供でき且つデジタル値分布曲線 2 0 5 ~ 2 1 0 より高い解像度を有するデジタル表現の使用を可能にする。

40

【 0 0 6 8 】

ステップ 3 6 5 において、デジタル表現は、デジタルデータ値分布に基づいてデジタルデータ値に変換される。デジタルデータ値分布は、セル解像度レジスタ 1 6 6 に格納されてもよく、例えば、図 2 A に示すデジタルデータ値分布 2 0 0 であってもよい。ステップ 3 3 5 において、プロセッサ又はコントローラは、読み出すメモリセルが更に存在するかを判定する。存在する場合、ステップ 3 5 5 に戻る。存在しない場合、処理 3 5 0 は終了する。

【 0 0 6 9 】

図 3 B は、識別されたデジタルデータ値を格納し且つ不確実なデジタルデータ値の場所に印をつける処理を更に詳細に示す。例えばプロセッサ 1 1 2 が N A N D フラッシュメモ

50

リダイ１０３からデータのページを検索するためのコマンドを受信した時、処理３００は開始する。ステップ３０５において、プロセッサ１１２はセル解像度レジスタ１６６からページに対するセル解像度情報を検索する。その後、ステップ３１０において、プロセッサ１１２は、データセルに対するデジタル出力値をＡＤＣ１４２から受信する。データセルに対するデジタル出力値は、データセルから検出された電圧のデジタル表現である。ＡＤＣ１４２は、ステップ３１５において、格納された閾値に基づいて受信デジタルデータ値を判定する。いくつかの実施例において、プロセッサ１１２は、使用される閾値の集合を判定するためにセル解像度レジスタ１６６の情報を使用してもよい。それらの閾値は、図２Ａに関して上述したデジタル値分布曲線２０５～２１０に関連してもよい。例えばプロセッサ１１２は、８ビットセルに対して閾値の１つの集合を使用し、２ビットセルに対して閾値の別の集合を使用してもよい。場合によっては、プロセッサ１１２は、１つの８ビットセルに対して閾値の１つの集合を使用し、異なる８ビットセルに対して閾値の別の集合を使用してもよい。閾値の各集合は、可能なデジタルデータ値分布に対応してもよく、可能なデジタルデータ値に対応するアナログ電圧のデジタル表現の範囲を構成してもよい。

10

【００７０】

ステップ３２０において、プロセッサ１１２は、受信アナログ電圧値に対するデジタルデータ値が不確実であるかを判定する。いくつかの実施例において、セル電圧がデジタル値分布２００のグレー領域２１５にある場合、又は、セル電圧がデジタル値分布曲線２０５～２１０とグレー領域２１５との境界近くにある場合、プロセッサ１１２は、デジタルデータ値が不確実であると判定する。また、いくつかの実施例において、種々のレベルの不確実性は、セル電圧がデジタル値分布２００内のどこにあるかに依存して割り当てられる（例えば、より高い電圧はより大きい不確実性を有する傾向があるとしてもよく、且つ／又は、不確実性はグレー領域２１５の中間に近いセル電圧程高くなるとしてもよい）。ステップ３２０において、受信デジタル値が不確実でないとプロセッサ１１２が判定した場合、プロセッサ１１２は、ステップ３２５においてホスト出力バッファに受信デジタル値を格納する。一方、ステップ３２０において、受信デジタル値が不確実であるとプロセッサ１１２が判定した場合、プロセッサ１１２は、ステップ３３０においてマスクテーブルの不確実なデジタル値の場所に印をつけ、その後、ステップ３２５を実行する。いくつかの実施例によれば、１つ以上の代替値が、正確な値（例えば、不確実な値又は代替値のうちの１つ）を得る際に後で使用するために格納される。

20

30

【００７１】

プロセッサ１１２が受信デジタル値を格納した後、ステップ３３５において、プロセッサ１１２は読み出すセルが更に存在するかを判定する。例えばプロセッサ１１２は、メモリページの最後に到達したかを検査してもよい。読み出すセルが更に存在する場合、ステップ３１０に戻る。読み出すセルがそれ以上存在しない場合、処理３００は終了する。いくつかの実施例において、更に処理は、メモリセルのページ又はブロックと関連付けられる不確実なデータ値の数を保守ログに記録する。他の実施例において、不確実なデータ値の数が所定の閾値を超える場合、処理はメモリセルのページ及び／又はブロックの物理的及び／又は論理的な場所を記録する。

40

【００７２】

図４は、デジタル値へのセル電圧のマッピングを調整する補正関数を使用してＮＡＮＤフラッシュメモリダイ１０３等のＭＬＣフラッシュメモリからデータのページを読み出すための処理４００の一例を示すフローチャートである。例えば処理４００は、プロセッサ１１２により実行される。処理４００は、読み出しコマンドを受信したかをプロセッサ１１２が判定するステップ４０５において開始する。例えばＦＤＣ１０６は、ホストインタフェース１０９を介してホストデバイスから読み出しコマンドを受信し得る。ステップ４０５において、読み出しコマンドを受信していないとプロセッサ１１２が判定した場合、ステップ４０５が繰り返される。

【００７３】

50

ステップ405において、読み出しコマンドが受信されたとプロセッサ112が判定した場合、ステップ410において、プロセッサ112は、温度、メモリページにおける読み出し又は書き込み回数、供給電圧、並びに／あるいは、NANDフラッシュメモリダイ103の他の動作条件に基づいて補正関数を更新する。いくつかの実施例において、ADC142又はアナログインタフェース136は、セル電圧がデジタル値に変換される前にアナログフロントエンド139において測定セル電圧を調整するために補正関数を使用する。他の実施例において、プロセッサ112はマッピング関数の閾値を調整するために補正関数を使用し、それによって、ADC142はアナログ電圧を調整されたデジタル値に変換することを可能としても良い。補正関数は、種々のセルに対して異なる。例えばより高い検出電圧を有するメモリセルは、補正関数により更に大きな調整値を有する。

10

【0074】

次にプロセッサ112は、ステップ415において参照セルを選択する。例えばプロセッサ112は、参照セル130a、130b又は130cの1つを選択してもよい。その後ステップ420において、プロセッサ112は選択した参照セルに格納された基準電圧を読み出す。ステップ425において、プロセッサ112は基準電圧に基づいて補正関数を更新する。例えば基準電圧が10%低下すると考えられる場合、プロセッサ112はデータの低下電圧を補償するように補正関数を調整してもよい。いくつかの実施例において、補正関数は検出電圧レベルを非線形的に調整する。補正関数は、より低い検出電圧レベルではなくより高い検出電圧レベルを調整してもよい。補正関数は、種々の調整量又は種々の調整割合だけ異なる電圧レベルにおいて検出電圧を調整してもよい。

20

【0075】

いくつかの実施例において、閾値は動作中に動的に調整され得る。また、いくつかの実施例において、プロセッサ112は、先に読み出された基準電圧のうち100個のサンプル等の固定数の先のサンプルを格納し、補正関数を更新するために格納された基準電圧の移動平均を使用するように構成される。補正関数は、例えば平均値、中央値、最頻値又は重み付き平均を含んでもよい他の関数に基づいて更新されてもよい。例えば、重み付き移動平均が使用されてもよい。ステップ430において、プロセッサ112は別の参照セルを選択するかを判定する。一例として、プロセッサ112は、補正関数を調整するのに十分な情報が存在するかを判定するようにしてもよい。また、別の例として、プロセッサ112は、読み出しコマンドに基づいていくつかのメモリページ及びいくつかのメモリブロックにおける全ての参照セルを読み出すように構成されてもよい。

30

【0076】

ステップ430において、読み出される別の参照セルが存在するとプロセッサ112が判定した場合、処理400はステップ415に戻る。いくつかの実施例において、参照セルの電圧を読み出すことにより補正関数を調整する処理は、メモリセルのグループから検索されたデータの検出された誤りによりトリガされる。他の実施例において、検出された誤りにより、検出電圧と関連付けられるデータ値を判定するための閾値のシフトが起きる。いくつかの実施例におけるそれらの閾値は自動的に下方にシフトされてもよいが、他の実施例において、閾値は1つ以上の参照セルの電圧に基づいて調整される。また、誤りは、メモリセルのグループと関連付けられるECC127を使用することにより検出され得る。

40

【0077】

ステップ430において、読み出される他の参照セルが存在しないとプロセッサ112が判定した場合、プロセッサ112は、ステップ435において読み出しコマンドに基づいて読み出すページを選択する。その後ステップ440において、プロセッサ112は、例えば処理300(図3B)を使用してフラッシュメモリからデータの選択ページを読み出す。ステップ445において、プロセッサ112は、補正関数を使用してページデータを補正する。例えばプロセッサ112は、マッピング関数を調整するためにいくつかのパラメータをアナログインタフェース136に設定してもよい。別の例として、プロセッサ112は、補正関数を使用してADC142から出力されるデジタル表現を調整してもよ

50

い。次にプロセッサ 112 は、ステップ 450 において、ページに誤りが存在するかを検査するために誤り検査動作を実行する。いくつかの実施例において、誤り検査動作は、ハードウェア誤り検出回路を使用して ECC エンジン 148 において行なわれてもよい。また、他の実施例において、誤り検査動作は、プロセッサ 112 がページ中の誤りを検査するために NVMM 154 に格納された誤り検出符号を実行するソフトウェアにおいて行なわれてもよい。誤り検査動作の後、プロセッサ 112 は、任意の誤りが検出されたかをステップ 455 において判定する。

【0078】

誤りが検出されない場合、ステップ 460 において、プロセッサ 112 は読み出したデータをホストデバイスに送信する。そして、ステップ 465 において、プロセッサ 112 は、読み出す別のページが存在するかを判定する。読み出すページが更に存在する場合、ステップ 435 が繰り返される。一方、ステップ 465 で読み出すページがそれ以上存在しないと判定された場合、処理 400 は終了する。ステップ 455 において 1 つ以上の誤りが検出された場合、ステップ 470 において、プロセッサ 112 は誤り訂正動作を実行する。そのような動作の一例については、図 5 を参照して後述する。ステップ 475 において、プロセッサ 112 は、誤り訂正動作が成功したかを判定する。誤り訂正動作が成功した場合、ステップ 460 が繰り返される。誤り訂正動作が成功していない場合、プロセッサ 112 は、ステップ 480 において誤り情報（例えば、エラーログ）を NVMM 154 に格納し、その後、処理をステップ 465 に進める。誤り情報は、保守ログに更に格納されてもよい。格納された誤り情報は、ブロック管理動作に使用されてもよい。ブロック管理動作に対する一例については図 8A を参照して後述する。いくつかの実施例において、プロセッサ 112 は、メモリセルのページ又はブロックの参照セル間の低下の変化を NVMM 154 の保守ログに記録する。他の実施例において、参照セルにおける低下度が所定の条件を満たす場合、プロセッサ 112 はメモリセルのページ及び / 又はブロックの物理的及び / 又は論理的な場所のみを保守ログに記録する。例えば参照セルにおける低下が 10 % を超える場合又は種々の参照セルの低下度の差が 10 % を超える場合、メモリセルのページ及び / 又はブロックに格納されたデータは、追加の電荷をメモリセルに印加することにより又は保守動作中にページを完全に書き換えることによりリフレッシュされるように構成することができる。保守動作の一例については、図 9 を参照して後述する。

【0079】

図 5 は、ビット誤りを含むデータのページを訂正するために誤り訂正動作を実行する処理 500 の一例を示すフローチャートである。処理 500 は、ステップ 505 において、プロセッサ 112 がフラッシュメモリから読み出されたデータのページにおいてビット誤りを検出し、ビット誤りを訂正するためのハードウェア ECC アルゴリズムを実行するように ECC エンジン 148 にコマンドを送出した時に開始する。いくつかの実施例において、ECC エンジン 148 及び ADC 142、並びに / あるいはアナログインタフェース 136 はビット誤りを訂正するために協働してもよい。

【0080】

ECC エンジン 148 は、ステップ 510 において、ハードウェア ECC アルゴリズムが成功したかを検査する。ハードウェア ECC アルゴリズムがデータのページの全ての誤りを訂正できる場合、ハードウェア ECC アルゴリズムは成功する。成功した場合、ステップ 515 において、ECC エンジン 148 は例えば SDRAM 151 に ECC の結果を格納する。次に ECC エンジン 148 は、ステップ 518 において「誤り訂正成功 (Error correction successful)」を示すメッセージを生成し、処理 500 は終了する。

【0081】

存在する誤りビット数がハードウェア ECC アルゴリズムが訂正できる誤りビット数を超える場合、ECC エンジン 148 は、ステップ 520 でフラッシュメモリからデータのページを再度読み出すようにアナログインタフェース 136 にメッセージを送出する。次のステップ 525 において、ECC エンジン 148 は、ハードウェア ECC アルゴリズムを再度実行する。ステップ 530 において、ECC エンジン 148 は、ハードウェア ECC

C アルゴリズムが成功したかを検査する。ハードウェア E C C アルゴリズムが訂正できる場合、ハードウェア E C C アルゴリズムは成功し、ステップ 5 1 5 に進む。

【 0 0 8 2 】

ステップ 5 3 0 において、存在する誤りビット数がハードウェア E C C アルゴリズムが訂正できる誤りビット数を上回ると E C C エンジン 1 4 8 が判定した場合、ステップ 5 3 5 において、E C C エンジン 1 4 8 は、ビット誤りを訂正するために代替値コマンドを実行する。代替値コマンドの実施例については、図 6 A ~ 図 6 C を参照して後述する。ステップ 5 4 0 で、E C C エンジン 1 4 8 は、代替値コマンドがビット誤りを訂正するかを検査する。ビット誤りが訂正されると E C C エンジン 1 4 8 が判定した場合、ステップ 5 1 5 に進む。

10

【 0 0 8 3 】

ビット誤りが訂正されないと E C C エンジン 1 4 8 が判定した場合、E C C エンジン 1 4 8 は、データのページを回復するために、ステップ 5 4 0 で拡張ソフトウェア E C C アルゴリズムを実行する。例えば、拡張ソフトウェア E C C アルゴリズムは、より多くの E C C ビットを使用するより深い E C C アルゴリズムを含んでいるものとする。例えば、ハードウェア E C C アルゴリズムは 4 ビットの E C C ビットを必要とし、拡張ソフトウェア E C C アルゴリズムは 1 2 8 ビットの E C C ビットを使用するものとしてもよい。その後 E C C エンジン 1 4 8 は、ステップ 5 5 0 において拡張ソフトウェア E C C アルゴリズムが成功したかを検査する。拡張ソフトウェア E C C アルゴリズムが成功したと E C C エンジン 1 4 8 が判定した場合、ステップ 5 1 5 に進む。他方、ステップ 5 5 0 において拡張ソフトウェア E C C アルゴリズムが成功していない場合、E C C エンジン 1 4 8 は、ステップ 5 5 5 においてメッセージ「誤り訂正失敗 (Error correction unsuccessful)」を生成し、処理 5 0 0 は終了する。

20

【 0 0 8 4 】

図 6 A は、代替のデータ値を生成して使用するための処理 6 0 0 の一例を示すフローチャートである。プロセッサ 1 1 2、E C C エンジン 1 4 8、フラッシュインタフェース 1 1 5、あるいは上記の素子及び他の素子の他の組合せが、処理 6 0 0 の動作を実行するように構成され得る。ステップ 6 0 5 において、プロセッサ 1 1 2 はマスクテーブルから情報を検索して、データページの不確実なデジタルデータ値を識別し (図 3 B のステップ 3 3 0 を参照) 且つ場合によっては不確実性の程度に関する情報を検索する。

30

【 0 0 8 5 】

プロセッサ 1 1 2 は、ステップ 6 1 0 においてパラメータ (例えば、温度、データページからの読み出し回数、データページへの書き込み回数、セル解像度レジスタ 1 6 6 の情報、供給電圧、チャージポンプ電圧、データページの基準電圧等) に基づいて補正データを検索、取得する。例えばプロセッサ 1 1 2 は、データページの補正データを判定するために補正関数を算出してもよい。更に又はあるいは、ステップ 6 1 5 において、プロセッサ 1 1 2 は補正データを使用して不確実な各データ値に対する代替デジタル値を判定する。不確実な各データ値に対する代替デジタル値は、最近接するデジタル値及び次に近接するデジタル値を含む場合が多い。更に代替デジタル値は、メモリセルの検出アナログ電圧のデジタル表現から 2 つのデジタルデータ値分だけ離れたデジタルデータ値を含んでもよい。一般に、全てのメモリセルが不確実なデータ値を有するわけではない。ステップ 6 2 0 において、プロセッサ 1 1 2 は、特定のデジタルデータ値を有するメモリセルに対する格納されたデジタルデータ値と共に識別された代替デジタル値をバッファに格納する。

40

【 0 0 8 6 】

代替デジタル値が格納された後、プロセッサ 1 1 2 は、ステップ 6 2 5 において代替デジタル値の組合せをバッファから選択する。代替デジタル値の組合せ自体は、例えば補正される可能性がより高いそれら代替デジタル値を識別しようとするアルゴリズムに基づいて選択されてもよい。この選択アルゴリズムは、各デジタルデータ値と関連付けられる不確実性の程度に関するデータを使用してよい。更に、そのような選択アルゴリズムが使用されるかに関わらず、代替デジタル値の選択された組合せは全ての可能な代替デジタル

50

値を含む必要はない。換言すると、不確実であると識別されたデータ値の中でも、元のデータ値の一部は代替データ値の部分集合と共に使用されてもよい。

【 0 0 8 7 】

次にプロセッサ 1 1 2 は、ステップ 6 3 0 において、十分確実に判定されたデジタルデータ値と共に代替デジタル値の選択された組合せを使用してページデータをバッファに格納する。ステップ 6 3 5 において、プロセッサ 1 1 2 は格納されたページデータに対して E C C アルゴリズムを実行する。例えばプロセッサ 1 1 2 は、処理 5 0 0 で説明されたような動作を実行してもよい。場合によっては、E C C アルゴリズムの実行により、1 つ以上の代替デジタル値及び確実性を仮定して判定された 1 つ以上のデジタルデータ値が変更されてもよい。ステップ 6 4 0 において、プロセッサ 1 1 2 は E C C アルゴリズムが成功したかを判定する。E C C アルゴリズムが成功したとプロセッサ 1 1 2 が判定した場合、ステップ 6 4 5 において、プロセッサ 1 1 2 は成功した E C C の結果を含むページデータを格納し、処理 6 0 0 は終了する。

10

【 0 0 8 8 】

ステップ 6 4 0 において、E C C アルゴリズムが成功していないとプロセッサ 1 1 2 が判定した場合、ステップ 6 5 0 において、プロセッサ 1 1 2 は代替値の別の組合せが試行可能であるかを判定する。代替値の可能な組合せの数は、不確実なデジタルデータ値を含むメモリセルの数及び識別された代替デジタル値の数に依存する。一般に殆どのメモリセルは、不確実なデジタルデータ値を有さない。代替値の別の組合せが試行可能であるとプロセッサ 1 1 2 が判定した場合、ステップ 6 2 5 に戻る。

20

【 0 0 8 9 】

ステップ 6 5 0 において、全ての代替組合せが試行されたとプロセッサ 1 1 2 が判定した場合、ステップ 6 5 5 において、プロセッサ 1 1 2 はエラーメッセージを生成し、処理 6 0 0 は終了する。いくつかの実施例において、追加の代替値の生成及び / 又は種々のデータ値を読み出すための電圧閾値の調整及びページデータに対する補正値を識別するための E C C アルゴリズムの実行の再試行が可能であってもよい。例えば代替値は、十分確実に特定の値を表すことを先に判定され且つデジタル値分布曲線 2 0 5 ~ 2 1 0 (図 2 A に関して上述された) の 1 つに対する閾値に相対的に近い電圧レベルに対して識別されてもよい。あるいは、種々のデジタル値分布曲線 2 0 5 ~ 2 1 0 に対する電圧平均は上述のように調整され、データ値は再生成され、新しい代替値を識別することを含む。

30

【 0 0 9 0 】

いくつかの実施例において、ステップ 6 5 5 のエラーメッセージは、N V M 1 5 4 の保守ログに記録される。その後、図 9 に示すような保守動作中、追加の代替値の生成及び / 又は種々のデータ値を読み出すための電圧閾値の調整及びページデータの補正値を識別するための E C C アルゴリズムの実行の再試行が可能であってもよい。識別された補正値はデータを書き換えるのに使用されてもよい。

【 0 0 9 1 】

図 6 B は、代替値を生成して使用するための処理 6 6 0 の別の例を示すフローチャートである。処理 6 6 0 は、処理 6 0 0 と共通のステップを有する。この例において、マスクテーブルを使用して不確実なデータ値を識別した後、或いはステップ 6 0 5 の後、プロセッサ 1 1 2 は、ステップ 6 6 5 において最近接するデジタル値を使用して不確実な各値に対する代替値を判定する。例えばプロセッサ 1 1 2 は、デジタル値分布 2 0 0 (図 2 A) を使用し、セル電圧に最近接するデジタル値ではなく 2 番目に近接するデジタル値を選択する。プロセッサ 1 1 2 は、ステップ 6 2 0 で開始する図 6 A と関連して説明された動作を実行することにより処理 6 0 0 を継続する。

40

【 0 0 9 2 】

図 6 C は、代替値を生成して使用するための処理 6 7 0 の別の例を示すフローチャートである。この例においてプロセッサ 1 1 2 は、マスクテーブルから不確実なデジタル値情報を必ずしも検索しない。処理 6 7 0 は、プロセッサ 1 1 2 が選択したページに対して代替値識別及び解析を実行するためのコマンドを受信する (例えば図 5 のステップ 5 3 5 を

50

参照) ステップ 672 において開始する。

【0093】

ステップ 674 において、プロセッサ 112 は選択されたページの読み出しを開始する。ステップ 676 において、プロセッサ 112 はセル電圧を読み出すページのセルを選択する。ステップ 678 において、プロセッサ 112 は、セル電圧が不確実であるかを判定する。例えばプロセッサ 112 は、図 2A に示すようなデジタル値分布 200 を使用して、受信したセル電圧がグレー領域 220 のうちの 1 つのグレー領域内に存在するかを判定してもよい。セル電圧がグレー領域内にあるとプロセッサ 112 が判定した場合、プロセッサ 112 は、ステップ 680 において 2 番目に近接するデジタルデータ値を使用してセルのデジタルデータ値を判定する。他の実施例において、プロセッサ 112 は、最近接するデジタルデータ値を使用してセルのデジタルデータ値を判定する。次にプロセッサ 112 は、ステップ 682 においてデジタルデータ値をバッファに格納する。

10

【0094】

ステップ 678 において、セル電圧がグレー領域内に存在しないとプロセッサ 112 が判定した場合、プロセッサ 112 は、ステップ 684 において格納された閾値に基づいてセルのデジタルデータ値を判定し、ステップ 682 を実行する。ステップ 682 の後、ステップ 686 において、プロセッサ 112 はページの別のセルを読み出すかを判定する。プロセッサ 112 が別のセルを読み出すと判定した場合、ステップ 676 に戻る。読み出すセルがそれ以上存在しないとプロセッサ 112 が判定した場合には、処理 670 は終了する。

20

【0095】

図 7A は、参照セル 130a、130b、130c を使用してフラッシュメモリページ 121 にデータを書き込むための処理 700 の一例を示すフローチャートである。処理 700 は、プロセッサ 112 により実行され得る。処理 700 は、プロセッサ 112 が書き込みコマンドを受信するステップ 705 で開始する。例えば書き込みコマンドは、書き込み命令、書き込まれるデータ及びデータが書き込まれるメモリアドレスを含んで構成され得る。メモリアドレスは、例えばホストから論理ブロックアドレスとして受信されてもよい。ステップ 710 において、プロセッサ 112 は、書き込みコマンドに基づいてフラッシュメモリのメモリページを選択する。

【0096】

30

次にプロセッサ 112 は、ステップ 715 において、SDRAM 151 等のバッファに書き込まれるデータをコピーしてもよい。データは、外部のホストデバイス又は別のメモリページから転送されてもよい。いくつかの実施例において、選択されたメモリページに格納されたデータは、選択されたページに再びコピーするためにバッファにコピーされる。他の実施例において、選択されたメモリページに書き込まれるデータはバッファにコピーされず、データソース（外部のホストデバイス又は他のメモリセルからの）から選択されたメモリページに直接書き込まれる。

【0097】

その後ステップ 725 において、プロセッサ 112 は選択されたページに格納された任意のデータを消去する。ステップ 730 において、プロセッサ 112 は、例えばデータセル 124 及び参照セル 130c に電荷を印加することによりバッファから選択されたメモリページにデータを書き込む。ステップ 730 は、所望のデータ値及び各セルに対する対応するアナログ電圧レベルに依存して異なる電荷量をメモリセルに印加する。いくつかの実施例において、選択されたメモリページのメモリセルに電荷を印加するために、チャージポンプを使用することができる。その後ステップ 735 において、プロセッサ 112 は、選択されたページの参照セル 130c の基準電圧を読み出す。基準電圧は、参照セル 130c の電圧レベルを検出することにより読み出される。ステップ 740 において、プロセッサ 112 は、基準電圧が目標電圧より低いかを検査する。基準電圧が目標電圧より低いとプロセッサ 112 が判定した場合、ステップ 730 に戻り、追加の電荷を印加して選択されたメモリページのセルに格納された電圧を増加する。印加された追加の電荷量は、

40

50

所望の電圧レベルが参照セルの電圧と割合に関して比較される方法に依存して比例して変更されてもよい（例えば検出された参照セルの電圧が目標電圧より 10 % 低く、特定のメモリセルが参照セルの 2 倍の電圧レベルを有する場合、特定のメモリセルに印加される追加の電荷量は参照セルに印加される電荷の 2 倍であってもよい）。

【0098】

ステップ 740 において、基準電圧が目標電圧より低くないとプロセッサ 112 が判定した場合、プロセッサ 112 は、ステップ 745 においてデータセルを選択し、ステップ 750 において選択したデータセルの電圧を読み出す。その後ステップ 755 において、プロセッサ 112 は、読み出した電圧が高すぎるかを判定する。例えばプロセッサ 112 は、読み出したセル電圧をデジタル値分布と比較し、セル電圧が目標デジタル値の電圧範囲内にあるかを検査してもよい。電圧が高すぎないとプロセッサ 112 が判定した場合、ステップ 760 において、プロセッサは別のデータセルを選択するかを判定する。別のデータセルを選択する必要がないとプロセッサ 112 が判定した場合、処理 700 は終了する。別のデータセルを選択する必要があると判定された場合、処理 700 はステップ 745 に戻り、追加のデータセルを検査する。

10

【0099】

いくつかの実施例において、ステップ 745 で選択されたデータセルを検査して、それらが低すぎるかを判定できてよい。低すぎると判定された場合、処理 700 はステップ 730 に戻り、1 つ以上のデータセルに追加の電荷を印加する。いくつかの実施例において、ステップ 740 における 1 つ以上の参照セルの検査が完了すると、ステップ 745（又はステップ 745 の繰り返し）において、全てのデータセルの電圧レベルは選択され、レベルが高すぎるか且つ / 又は低すぎるかを判定してもよい。このように、参照セルは、ページ又はブロックの初期の充電を行なうために使用されてもよく、その後セルの電圧レベルを検査し且つ可能性として微調整する。更にいくつかの実施例において、ステップ 740 で使用される参照セルの目標電圧は、過充電を回避するために所望のデータ値に対する閾値電圧より僅かに低く設定されてもよく、その後、実際のデータセル値を検査し、実際のデータセルに対する所望のデータ値に対応する電圧レベルに達するように電圧レベルを微調整する。

20

【0100】

ステップ 755 において、電圧が高すぎるとプロセッサ 112 が判定した場合、プロセッサ 112 は、選択したページの書き換えが必要であるかを判定する。例えばプロセッサ 112 は、図 5 を参照して説明した訂正アルゴリズムの 1 つを使用して訂正可能な誤り数以下である閾値とビット誤り数とを比較してもよい。例えば、ビット誤り数が閾値を上回る場合、選択したページは書き換えられる。上回らない場合、プロセッサ 112 は、選択したページの書き換えが必要ないと判定する。ステップ 765 において、ページの書き換えが必要ないとプロセッサ 112 が判定した場合、処理 700 はステップ 760 に進む。ステップ 765 において、ページの書き換えが必要であるとプロセッサ 112 が判定した場合、処理 700 はステップ 725 に戻り、メモリページの書き込みを再度開始する。いくつかの実施例において、目標電圧は、目標電圧のオーバシュートの尤度を低減するためにステップ 765 の後に徐々に低下されてもよい。

30

40

【0101】

図 7B は、ホストデバイスと MCP 100 との間のより速いデータ転送速度を達成する処理 770 の一例を示すフローチャートである。処理 770 は、プロセッサ 112 がホストデバイスから書き込みコマンドを受信するステップ 772 において開始する。例えばホストデバイスからの書き込みコマンドは、書き込み命令、書き込まれるデータ及びデータが書き込まれるメモリアドレスを含んでもよい。メモリアドレスは、例えば論理ブロックアドレスとしてホストから受信されてもよい。

【0102】

次にプロセッサ 112 は、高速書き込み処理（例えば、2 値セル解像度又は他の相対的に低い解像度での書き込み）に進むか、あるいはより多くの時間、電力及びより高い解像

50

度で書き込みを行なうプロセッサを多用する書き込み処理を使用するかを判定する。ステップ774において、プロセッサ112は、高速書き込みを実行するようにホストインタフェースからのコマンドがあるかを判定する。いくつかの実施例において、ホストデバイスは高速書き込みの解像度を指定することができる。ホストデバイスが高速書き込みを指定していない場合、プロセッサ112は、高速書き込みが保証されるかを個別に判定してもよい。ステップ776は、MCP100又はMCP100に接続されるホストデバイスが所定の電源条件を満たすかを判定する。図示する実施例において、ステップ776は、ホストデバイスが交流電力を供給されるかを判定する。他の実施例によれば、ステップ776は、ホストデバイスに電力を供給するバッテリーが所定の充電レベルまで充電されるかを判定する。いくつかの実施例において、ステップ776は、ホストデバイスに電荷を供給するバッテリーが最大容量又は少なくとも容量の90%まで充電されているかを判定する。ステップ778は、プロセッサ112が所定の帯域幅条件を満たす余分な帯域幅を有するかを判定する。いくつかの実施例において、プロセッサ112がアイドル状態の場合にステップ778は満足される。また、他の実施例において、プロセッサ112の帯域幅の所定の割合が使用されていない場合にステップ778は満足される。776及び778の双方が満足される場合、ステップ780において処理700を使用して高解像度でメモリセルに書き込む。条件776及び778の一方又は双方が満足されない場合、高速書き込み手順に進む。

【0103】

高速書き込み手順において、プロセッサ112は、ステップ782において、ホストデバイスからデータを書き込む1つ以上の利用可能なメモリセルページを選択する。いくつかの実施例において、プロセッサはホストデバイスからのデータをSDRAM151等のバッファにコピーされ得る。他の実施例において、ホストデバイスからのデータは、バッファにコピーされず、ステップ725及びステップ784の後にステップ786において選択したメモリページに直接書き込まれる。ステップ725において、プロセッサは選択したページに格納された任意のデータを消去する。ステップ784において、プロセッサ112は、選択したメモリページと関連付けられる任意のセル解像度レジスタを低解像度に更新する。いくつかの実施例において、低解像度とはメモリセル毎に1ビットの解像度のことである。他の実施例において、低解像度はセル毎に2ビット、3ビット又は4ビットである。ホストデバイスからのデータをMCP100にコピーする時に低解像度で書き込むことにより、各メモリセルを充電する時に必要とされる精度は低いためデータ転送速度は速くなり、メモリセルに書き込む時に必要とされる電圧調整量及び注意度は低減される。低解像度でメモリセルにデータを書き込んだ後、ステップ788では、選択したメモリページに格納されたデータが保守処理(処理900)の間に高解像度で書き換えられるべきであることを示す保守ログエントリを記録する。

【0104】

図8Aは、メモリページのセル解像度を調整する処理800の一例を示すフローチャートである。例えばプロセッサ112がセル解像度レジスタ166を更新するために保守プログラムを実行した時、処理800は処理800の動作を実行してもよい。処理800は、プロセッサ112が格納された誤り情報を読み出すステップ805において開始する。誤り情報は、例えば図4のステップ480で説明したように、読み出し誤り又は書き込み誤りの間に格納されてもよい。次にプロセッサ112は、ステップ810においてページを選択する。ステップ815において、プロセッサ112は、選択したページの誤り数が閾値より多いか判定する。選択したページの誤り数が閾値より多くない場合、プロセッサ112は、検査するページが更に存在するかをステップ820において検査する。検査するページがそれ以上存在しないとプロセッサ112が判定した場合、処理800は終了する。ステップ820において、検査するページが更に存在するとプロセッサ112が判定した場合、ステップ810に戻る。いくつかの実施例において、プロセッサ112は、誤りを含む全てのメモリページを検査してもよい。他の実施例において、プロセッサ112は、誤り情報に記録された新しい誤りを含むメモリページのみを検査してもよい。

【0105】

ステップ815において、選択したページの誤り数が閾値より多い場合、ステップ825において、プロセッサ112は選択したページからデータのページをバッファにコピーする。次にプロセッサ112は、選択したページのセル解像度を低減するようにセル解像度レジスタ166を更新する。例えばフラッシュインタフェース115は、セル解像度レジスタ166を検査して、セル解像度が低減されたことを認識してもよく、その後フラッシュインタフェース115は、新しい低減されたセル解像度を使用して選択したページに対して読み出し及び書き込みを行なってもよい。

【0106】

ステップ835において、プロセッサ112は、コピーしたデータに対する物理アドレスを割り当てることができる。利用可能なメモリページに依存して、プロセッサ112はコピーしたデータを格納するために1つ、2つ、4つ又は他の数の物理メモリページを割り当ててもよい。次にステップ840において、プロセッサ112は、割り当てられた物理アドレスに対応するように論理アドレステーブルを更新する。論理アドレステーブルは、論理ページを1つ以上の物理ページにマップするために使用されてもよい。メモリアクセス動作中の論理アドレステーブルの使用例については図10を参照して後述する。ステップ845において、プロセッサ112は、コピーしたデータをバッファから割り当てられた物理アドレスのページに移動する。次にプロセッサ112は、ステップ820において検査するページが更に存在するかを判定する。存在する場合、処理800はステップ810に戻る。存在しない場合、処理800は終了する。

【0107】

図8Bは、メモリセルのページ又はブロックのグループをダウングレードし、元の解像度を有するメモリセルの単一のページ又はブロックとしてそのグループを論理的に処理することを重視する図8Aの処理に類似する処理を示す。図8Bにおいて、処理850は、格納された誤り情報を読み出し(805)、ページを選択し(810)、ページに関連する誤り数が閾値を上回るかを判定する(815)。ページに関連する誤り数が閾値を上回る場合、ページに格納されたデータはバッファにコピーされ(825)、ページに関連するセル解像度レジスタはページの解像度を低減するように更新される(830)。しかし、図8Bに示す実施例において、プロセッサは、低減されたセル解像度を有するデータの別のページを更に選択し(855)、2つのページを対にするために、ブロック管理コード及び/又は論理アドレス指定コードを更新する(860)。低減されたセル解像度を有する2つのページは、より高い元の解像度の単一のページとして論理的に処理される(865)。この処理は、3つ以上のメモリセルをグループ化してもよい。

【0108】

いくつかの実施例において、この処理は、メモリセルのブロック全体をダウングレードし、それらを対にするか又は関連付ける。いくつかの実施例において、対にされた各ページは、低く調整された同一のセル解像度を有し、同一数のメモリセルを含む。例えば8ビットのデータを格納する各メモリセルから4ビットのデータを格納する各メモリセルにダウングレードされたメモリセルのページは、各々が4ビットのデータを格納するメモリセルの別のページとグループ化される。メモリセルのそれら2つのページの組合せは、メモリセル毎に8ビットのデータを格納する単一のページとして(又は単一のブロックとして)フラッシュディスクコントローラにより論理的に処理される。メモリセルのそれら対にされたページは、同一ブロック上にある必要はなく、可能性として異なるフラッシュメモリダイに存在してもよい。次に処理850は、検査するメモリページが更に存在するかを判定するステップ820を実行し、図8Aにおいて説明されたように進行する。

【0109】

図9は、保守処理900を示すフローチャートである。保守処理900に対する1つの可能な機能は、相対的に低い解像度でフラッシュメモリに格納されたデータを相対的に高い解像度で書き換えるためのものである(例えば、図7Bを参照)。保守処理は、例えばデータ記憶容量を最大限にし且つホストデバイスのバッテリー寿命を最長にするために使用

される。いくつかの実施例において、保守処理 900 は、定期的にスケジュールされた保守動作の一部としてプロセッサによりトリガされる。いくつかの実施例において、保守処理 900 は、ホストデバイスが交流電力を供給されることを信号伝送するホストデバイスからの信号によりトリガされる。他の実施例において、アイドル状態のプロセッサ 112 等の他の条件により、ホストデバイス又はプロセッサ 112 が保守処理 9900 をトリガしてもよい。

【0110】

処理 900 はステップ 905 で開始し、MCP100 が所定の電力条件下で動作しているかを判定する。いくつかの実施例において、この電力条件はホストデバイスが交流電力を受信することにより満たされる。いくつかの実施例において、この電力条件は、ホストデバイスのバッテリーが所定の電荷量を満たすことにより、例えばバッテリーが満充電されることにより満たされる。満充電されたバッテリーは、ホストデバイスが交流電力を供給されていることを示してもよい。MCP100 が所定の電力条件を満たさない場合、処理 900 は終了する。

【0111】

次にステップ 910 において、プロセッサ 112 は、プロセッサ 112 が保守処理 900 を完全に実行するのに十分な帯域幅を有するかを判定する。いくつかの実施例において、保守動作は、単に最小の帯域幅を必要とするバックグラウンドプロセスとして実行する。また、いくつかの実施例において、保守動作は、アイドル状態のプロセッサ 112 を必要とする。他の実施例において、処理 900 は、プロセッサ 112 が十分な帯域幅を有するかを判定しない。いくつかの実施例において、帯域幅の必要条件は、正常な保守処理間の時間又はフラッシュメモリ上の利用可能な空間量により測定される保守動作の必要性に基づいて変更される。プロセッサ 112 が十分な帯域幅を有さない場合、処理 900 は終了する。

【0112】

所定の電力条件が満たされ、プロセッサ 112 が十分な帯域幅を有する場合、ステップ 915 において、処理 900 は格納された保守ログを読み出す。いくつかの実施例において、格納された保守ログは NVM154 に格納されている。また、いくつかの実施例において、格納された保守ログは可能な保守動作の優先度を示す。いくつかの実施例において、格納された保守ログは、任意の保守ステップ（ステップ 920、ステップ 925、ステップ 930 及びステップ 935 等）が簡略化された動作において実行されるかを判定するために使用される。例えば保守ログは、メモリセルの特定のページをダウングレードし且つメモリセルの同一ページ上のデータを書き換える必要性を示してもよい。他の実施例において、保守動作は、例えば転送データをより高い解像度で書き換えること（ステップ 920）、処理 800 及び 850 を実行する等によりセル解像度を調整して低くし且つページのグループを対にすること（ステップ 925）、所定の誤り条件を満たすデータを書き換えること（例えば、処理 700 を使用して）（ステップ 930）、磨耗管理ソフトウェアコード 157 を使用して最も頻繁にアクセスされるデータを使用される頻度が最も少ないデータと交換すること（ステップ 935）、1つの物理的な場所から別の物理的な場所にデータを移動した各保守動作に対して論理アドレス指定ソフトウェアコード 163 を更新すること（例えば、処理 1000 を使用して）（ステップ 940）及びメモリセルのページに追加の電荷を印加することにより電圧低下の閾値量を上回るデータのページをリフレッシュすること（ステップ 945）の所定のシーケンスである。一部の動作、全ての動作又は追加の動作を含む他のシーケンスが使用されてもよい。いくつかの実施例において、処理 900 は各保守ステップ 920、925、930、935 又は 945 の間にステップ 905 及び/又はステップ 910 を繰り返し、条件 905 又は 910 が変更された場合に終了してもよい。その後、処理 900 は終了する。

【0113】

図 10 は、FDC106 において論理アドレス指定を行なう処理 1000 の一例を示すフローチャートである。例えば FDC106 は、受信した読み出し又は書き込みコマンド

10

20

30

40

50

を、1つ以上の物理ページに対する論理アドレスへマップする。いくつかの実施例において、F D C 1 0 6 は、論理ページを1つ以上の可変物理ページに動的にマップしてもよい。例えばF D C 1 0 6 は、物理メモリページの負荷を均一化するためにマッピングを変更してもよい。いくつかの実施例において、論理ページと物理ページとのマッピングは論理アドレステーブルに格納され得る。また、いくつかの実施例において、プロセッサ112が論理アドレス指定コード163を実行している時、処理1000はプロセッサ112により実行されてもよい。メモリページをアクセスする（例えば、読み出されるか、書き込まれるか又は消去される）ホストデバイスからF D C がコマンドを受信した時、処理1000は開始する。その後ステップ1005において、プロセッサ112は、論理ページアドレスを受信してフラッシュメモリのページにアクセスする。

10

【0114】

次にステップ1010において、プロセッサ112は、受信した論理アドレスと関連付けられる1つ以上の物理ページアドレスを判定する。一例において、受信した論理ページアドレスは、1つの物理ページアドレスにのみ関連付けられる。また、別の例において、物理ページが通常より低いセル解像度を有するため又は物理ページがフラッシュメモリにおいて連続していないため、あるいは物理ページが異なるブロック又は異なるダイに存在するため、受信した論理ページアドレスは2つ以上の物理ページに関連付けられる。

【0115】

ステップ1015において、プロセッサ112は、判定した物理ページアドレスのうちの第1のアドレスを選択する。ステップ1020において、プロセッサ112は選択した物理アドレスのページデータを読み出す。ステップ1025において、プロセッサ112はホスト出力バッファにページデータを格納する。ステップ1030において、プロセッサ112は、別のメモリページにアクセスする必要があるかを判定する。例えば論理ページアドレスと関連付けられる物理ページアドレスが2つ以上存在する場合、プロセッサ112は別のメモリページにアクセスする。ステップ1030において、別のメモリページにアクセスする必要があるとプロセッサ112が判定した場合、ステップ1035において、プロセッサは次に判定される物理ページアドレスを選択し、ステップ1020に戻る。別のメモリページにアクセスする必要がない場合、処理1000は終了する。

20

【0116】

図11は、複数のNANDフラッシュメモリダイ103及びF D C 1 0 6を含むシステム1100の一例を示す。F D C 1 0 6 は、アナログインタフェース115のマルチプレクサ(MUX)1105及びチャージポンプ1110を含む。システム1100がNANDフラッシュメモリダイ103を使用して示されるが、システム1100において使用される技術の一部は、NORフラッシュメモリダイ又はNANDダイ及びNORダイの組合せに適用可能であってもよい。システム1100は、ディスクリートICを使用して実現されてもよく、あるいは単一のパッケージに部分的又は全体的に組み込まれてもよい。

30

【0117】

F D C 1 0 6 は、アナログインタフェース115を介してNANDフラッシュメモリダイ103からアナログデータを受信する。この例において、MUX 1105は、複数のアナログ入力を受信する。いくつかの実施例において、MUX 1105は、複数のフラッシュメモリダイ103から複数のアナログ入力を受信する。アナログインタフェース115は、ADC 142に送信される1つのアナログ入力を選択するようにMUX 1105を制御できる。例えばアナログインタフェース115は、受信した読み出しコマンドに基づいてMUX 1105を制御してもよい。書き込み動作中、F D C 1 0 6 はチャージポンプ1110を使用して1つのNANDフラッシュメモリダイ103のメモリセルに電荷を印加する。いくつかの実施例において、チャージポンプ1110は、複数のフラッシュメモリダイ103上のメモリセルに電荷を供給するように構成される。例えば、F D C 1 0 6 は制御信号を送出し、指定されたメモリダイを選択してチャージポンプ1110から電荷を受け取ってもよい。その後、チャージポンプ1110が電荷を印加した場合、選択されたメモリダイは電荷を受け取る。

40

50

【0118】

複数のダイ103の間でADC1105及びチャージポンプ1110を共有することにより、メモリダイ103の格納サイズは増加する。更にフラッシュメモリダイ103は、ADC142及びチャージポンプ1110なしで低コストで製造されてもよい。いくつかの実施例において、チャージポンプ1110は、ダイ上でFDC106と組み合わせられてもよく、あるいはプリント回路基板等の異なる基板又は異なるダイに別個に搭載されてもよい。

【0119】

複数のフラッシュメモリダイ103と共に使用されるように構成されたチャージポンプ1110及びADC1105の使用を容易にするために、いくつかのフラッシュメモリダイ103は、外部供給ノードからプログラミング電荷を受け取るように構成される入力を含んでもよい。フラッシュメモリダイ103は、供給されたプログラミング電荷を変更又は調節するための任意の追加の回路網を含むように要求されない。フラッシュメモリダイ103は、アナログ電圧信号をフラッシュディスクコントローラ106に送出するように構成される出力を更にも含んでもよい。

10

【0120】

いくつかの実施例において、FDC106は、データをメモリダイ103に書き込むためのチャージポンプインタリーピング方法を更にも含んでもよい。

【0121】

図12は、プログラミング論理レベル電力をNANDフラッシュメモリダイ103に別個に提供するためのアーキテクチャを示すシステム1200の一例を示す。システム1200は、電源1210から電力を受け取るチャージポンプ1110及び低ドロップアウトレギュレータ(LDO)1205を含む。

20

【0122】

図示するように、NANDフラッシュメモリダイ103は2つの電力入力を含む。チャージポンプ電圧(V_{cp})に対する電力入力及び論理電圧(V_{logic})に対する電力入力である。いくつかの実施例において、 V_{cp} は V_{logic} より非常に高い。例えば、 V_{cp} は約12~20V又は約12~30Vであり、 V_{logic} は約1~3Vである。いくつかの実施例において、 V_{cp} の調節及び電流の必要条件は V_{logic} とは大きく異なってもよい。

30

【0123】

一例として、NANDフラッシュメモリダイ103は、消費電力、切り替え時間等を最小限にするために、 V_{logic} が低論理電圧で厳しく調節された(例えば、0.5%、1.0%、5%)電圧許容差を有することを要求してもよい。更に論理電圧は、低電圧レベルで高周波バイパスキャパシタンスを必要としてもよい。それに対して、チャージポンプ供給調節必要条件は約5%~10%であってもよく、非常に低い周波数、高い電圧キャパシタンスを必要とする。

【0124】

図12のシステムを簡単にするために、フラッシュメモリダイ103は、各フラッシュメモリセルを選択的にプログラムするための電力を受け取るための第1のインタフェースと、書き込み動作中に第1の入力から電力を供給されるフラッシュメモリセルの選択を実行する論理レベル回路網に供給される電力を受け取るための第2のインタフェースとを含んでもよい。フラッシュディスクコントローラ106は、プログラミング電圧で第1のインタフェースに電力を供給するための第1の電源と、第2のインタフェースに論理レベル電力を供給するための第2の電源とを含んでもよい。第1の電源及び第2の電源は、フラッシュメモリダイ103の外部にあってもよい。

40

【0125】

処理及び技術の種々の実施例を説明したが、他の実施例が異なる順番でステップを実行してもよく、あるいは同一の主要な機能を達成するために変更された構成を実行してもよい。更に、種々の処理における動作が特定のデバイス又は構成要素により実行されるよう

50

に説明されることもあるが、そのようなデバイス又は構成要素は単なる例であり、動作はある実施例において別のデバイス又は構成要素を使用して実行できる。

【0126】

いくつかの例において、NANDフラッシュメモリダイ103は、例えば6ビット、7ビット、10ビット、12ビットの解像度等の任意の実際的なビット数の解像度を有してもよい。種々の実施例は、NANDフラッシュメモリ、NORフラッシュメモリ又はそれらの組合せ、あるいは他の不揮発性メモリを含んでもよいフラッシュメモリを使用してECC動作を実行するために使用されてもよい。1つ以上の種類のフラッシュメモリダイは、MCP100において互いに隣接して搭載されてもよく且つ/又は積み重ねられてもよい。本明細書で説明する技術のいくつかの例は、NANDフラッシュ技術による特定の利点に適用されてもよく、本明細書で説明するいくつかの方法は、一般にNANDフラッシュ及び/又はNORフラッシュ等の不揮発性メモリに適用可能であってもよいことが当業者には理解されるだろう。

10

【0127】

上記図面を参照して携帯可能であってもよいシステムの一例を説明したが、他の実施例がデスクトップ及びネットワークインストレーション等の他の処理アプリケーションにおいて展開されてもよい。

【0128】

アーキテクチャの特定の機能を説明したが、他の機能が性能を向上するために組み込まれてもよい。例えば、キャッシング（例えば、L1、L2等）技術がFDC106において使用されてもよい。例えばスクラッチパッドメモリを提供するために、並びに/あるいは実行時間動作中に使用するためにフラッシュメモリに格納されたパラメータ情報又は実行可能なコードをロードするために、ランダムアクセスメモリが含まれてもよい。1つ以上のプロトコル、無線（例えば、赤外線）通信、格納された動作エネルギー及び電源（例えば、バッテリー）、切り替え及び/又は線形電源回路、並びにソフトウェア保守（例えば、自己試験、アップグレード等）等を使用してネットワーク又は他の通信等の動作を実行するために、他のハードウェア及びソフトウェアが提供されてもよい。1つ以上の通信インタフェースは、データ格納及び関連する動作のサポートにおいて提供されてもよい。

20

【0129】

いくつかの実施例において、1つの方法又は方法の組合せがデータ整合性を向上するために使用されてもよい。例えばセル電圧誤りは、閾値を調整し且つ/又は少なくとも1回セルを書き換えることにより対処されてもよい。セルの書き換えは、理想的なセル電圧からの偏差に応答して及び/又はバックグラウンドで実行されてもよい。例えば多値セル電圧は、ページの1つ以上の不可逆的セルの電圧をリフレッシュするために書き換えられてもよい。徐々に電圧を失う傾向にあるものとして特徴付けられたセルの場合、そのようなセルが充電される電圧レベルは、各セルの範囲の上限閾値近くに増大され、ある期間にわたるそれらセルの電荷の予想される損失を補償してもよい。増大された電圧レベルは、最初、範囲間の灰色ゾーンであってもよい目的の範囲の上限閾値に近いか又はそれを上回ってもよい。予想又は判定された損失率に基づいて、データは、セル電圧を所望の範囲内に実質的に維持するのに十分なほど頻繁に書き換えが行なわれてもよい。同様の補償は、上向きのドリフトを有するものとして特徴付けられたセルを補償するために使用されてもよい。そのような書き換え手順は、例えばリソースが利用可能である時に実行される低優先度のバックグラウンドプロセスとして実行されてもよい。重要なデータとして識別されたデータの場合、書き換えは、セル電圧を所望の範囲内に維持するのに十分なほど頻繁に行なわれるようにスケジュールされてもよく、その頻度は予想される電圧ドリフト率及び各ビットレベルと関連付けられる電圧範囲の大きさに基づく。いくつかの実施例において、書き換えは、携帯デバイスが公共電源回路網から得られる電源等の外部電源に結合された時により頻繁に実行されるように構成されてもよい。書き換え動作は、そのような電源に結合されることに応答して実行されてもよい。更に書き換えは、例えば節電モード中、低バッテリー状態中、あるいは短期又は重要でないデータ（例えば、ストリーミングオーディ

30

40

50

オノビデオ)を格納している時等の特定の状況下ではより少ない頻度で実行されるように構成されてもよい。

【0130】

いくつかのシステムは、本発明の実施例と共に使用されるコンピュータシステムとして実現されてもよい。例えば種々の実施例は、デジタル及び/又はアナログ回路網、コンピュータハードウェア、ファームウェア、ソフトウェア、あるいはそれらの組合せを含んでもよい。装置は、プログラマブルプロセッサにより実行するために機械可読記憶装置又は伝播信号等の情報媒体に物理的に取り入れられるコンピュータプログラム製品で実現される。方法は、入力データを操作し且つ出力を生成することにより本発明の機能を実行するために命令のプログラムを実行するプログラマブルプロセッサにより実行される。本発明は、データ記憶システム、少なくとも1つの入力装置及び/又は少なくとも1つの出力装置に対してデータ及び命令を送受信するために結合された少なくとも1つのプログラマブルプロセッサを含むプログラマブルシステム上で実行可能な1つ以上のコンピュータプログラムで有利に実現される。コンピュータプログラムは、特定の活動を実行するか又は特定の結果を与えるためにコンピュータにおいて直接又は間接的に使用される命令の集合である。コンピュータプログラムは、コンパイル又は翻訳された言語を含む任意のプログラミング言語の形式で書かれ、スタンドアロンプログラム、あるいはモジュール、コンポーネント、サブルーチン又は計算環境において使用するのに適切な他の単位を含む任意の形式で展開される。

【0131】

命令のプログラムの実行に適するプロセッサは、単一のプロセッサ又は任意の種類のコンピュータの複数のプロセッサのうちの1つを含んでもよい汎用マイクロプロセッサ及び専用マイクロプロセッサの双方を例として含む。一般にプロセッサは、読み出し専用メモリ又はランダムアクセスメモリ、あるいはその双方から命令及びデータを受信する。コンピュータの重要な素子は、命令を実行するためのプロセッサ、並びに命令及びデータを格納するための1つ以上のメモリである。一般にコンピュータは、データファイルを格納する1つ以上の大容量記憶装置を更に含むか又は1つ以上の大容量記憶装置と通信するために動作可能に結合される。そのような装置は、内部ハードディスク及び取り外し可能ディスク等の磁気ディスク、光磁気ディスク、並びに光ディスクを含む。コンピュータプログラム命令及びデータを物理的に取り込むのに適切な記憶装置は、EPROM、EEPROM及びフラッシュメモリ素子等の半導体メモリ素子、内部ハードディスク及び取り外し可能ディスク等の磁気ディスク、光磁気ディスク、並びにCDROM及びDVDROMディスクを例として含む全ての形式の不揮発性メモリを含む。プロセッサ及びメモリは、ASIC(特定用途向け集積回路)により補足されるか又はASICに組み込まれる。

【0132】

いくつかの実施例において、各システム100は、揮発性メモリ及び/又は不揮発性メモリに格納された略同一の情報により初期化されてもよく且つ/又は同一の又は類似する情報によりプログラムされてもよい。例えば1つのデータインタフェースは、デスクトップコンピュータ又はサーバ等の適切なホストデバイスに結合された時に自動構成機能、自動ダウンロード機能及び/又は自動更新機能を実行するように構成されてもよい。

【0133】

いくつかの実施例において、1つ以上のユーザインタフェース機能は、特定の機能を実行するようにカスタム化されてもよい。本発明は、グラフィカルユーザインタフェース及び/又はインターネットブラウザを含むコンピュータシステムにおいて実現されてもよい。ユーザとの対話を行なうために、いくつかの実施例は、ユーザに対して情報を表示するためのCRT(ブラウン管)又はLCD(液晶ディスプレイ)モニタ等の表示装置、キーボード、並びにユーザがコンピュータに入力を提供する時に使用するマウス又はトラックボール等のポインティングデバイスを有するコンピュータ上で実現されてもよい。

【0134】

種々の実施例において、システム100は、適切な通信方法、機器及び技術を使用して

通信してもよい。例えばシステム100は、メッセージが専用物理リンク（例えば、光ファイバリンク、二地点間の配線、デージーチェーン）を介して送信元から受信機に直接転送される二地点間通信を使用して互換性のあるデバイス（例えば、システム100に対して及び／又はシステム100からデータを転送できるデバイス）と通信してもよい。システムの構成要素は、通信ネットワーク上のパケットによるメッセージを含むアナログ又はデジタルデータ通信の任意の媒体又は形式により情報を交換してもよい。通信ネットワークの例には、LAN（ローカルエリアネットワーク）、WAN（ワイドエリアネットワーク）、MAN（メトロポリタンエリアネットワーク）、無線及び／又は光ネットワーク、並びにインターネットを形成するコンピュータ及びネットワークが含まれる。他の実施例は、例えば全方向無線周波（RF）信号を使用して通信ネットワークにより結合される全ての又は略全てのデバイスに同報通信することによりメッセージを転送してもよい。更に他の実施例は、指向性（すなわち、ナロービーム）アンテナを使用して送信されるRF信号又はオプションとして集光と共に使用されてもよい赤外線信号等の高い指向性により特徴付けられるメッセージを転送してもよい。限定することを意図しない例としてUSB2.0、Firewire、ATA/IDE、RS-232、RS-422、RS-485、802.11a/b/g、WiFi、イーサネット、IrDA、FDDI（fiber distributed data interface）、トークンリングネットワーク、あるいは周波数分割、時分割又は符号分割に基づく多重化技術等の適切なプロトコル及びインタフェースを使用して、更に他の実施例が可能である。いくつかの実施例は、データ整合性に対する誤り検出訂正（ECC）、あるいは暗号化（例えば、WEP）及びパスワード保護等のセキュリティ対策等の機能をオプションとして取り入れてもよい。

10

20

【0135】

本発明の多くの実施例を説明した。しかし、本発明の趣旨の範囲から逸脱せずに種々の変更が行なわれてもよいことが理解されるだろう。例えば、開示される技術のステップが異なる順番で実行される場合、開示されるシステムの構成要素が異なる方法で組み合わされる場合、あるいは構成要素が他の構成要素と置換されるか又は他の構成要素により補足される場合、有利な結果が達成されてもよい。機能及び処理（アルゴリズムを含む）は、ハードウェア、ソフトウェア又はそれらの組み合わせにおいて実行されてもよく、いくつかの実施例は、説明したモジュール又はハードウェアと異なるモジュール又はハードウェアにおいて実行されてもよい。

30

【図面の簡単な説明】

【0136】

【図1】NANDフラッシュメモリダイ及びフラッシュディスクコントローラを含むマルチチップパッケージのアーキテクチャの一例を示す図である。

【図2A】、

【図2B】メモリセルに格納されたデジタル値とセル電圧とのマッピングを一括して示すグラフである。

【図3A】、

【図3B】多値セルフラッシュメモリからデータのページを読み出す処理の例を示すフローチャートである。

40

【図4】フラッシュメモリからデータのページを読み出す処理の一例を示すフローチャートである。

【図5】ビット誤りを含むデータのページを訂正するために誤り訂正動作を実行する処理の一例を示すフローチャートである。

【図6A】、

【図6B】、

【図6C】代替値コマンドを実行する動作の例を一括して示すフローチャートである。

【図7A】、

【図7B】フラッシュメモリページにデータを書き込む処理の例を示すフローチャートである。

50

【図 8 A】、

【図 8 B】メモリページのセル解像度を調整する処理の例を示すフローチャートである。

【図 9】保守処理の一例を示すフローチャートである。

【図 10】フラッシュディスクコントローラにおいて論理アドレス指定を行なう処理の一例を示すフローチャートである。

【図 11】NANDフラッシュメモリダイの外部にアナログデジタル変換器及びチャージポンプを含むシステムの一部を示す図である。

【図 12】NANDフラッシュメモリダイにおいて入力される減結合電力を含むシステムの一部を示す図である。

【図 1】

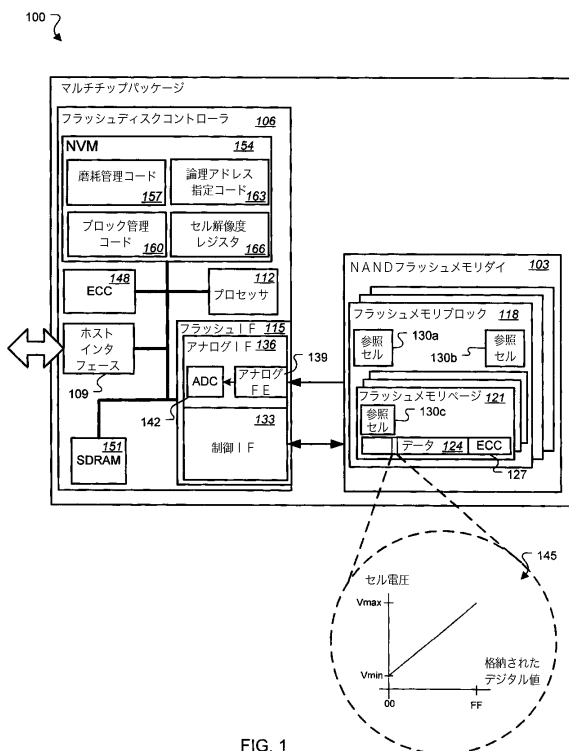


FIG. 1

【図 2 A】

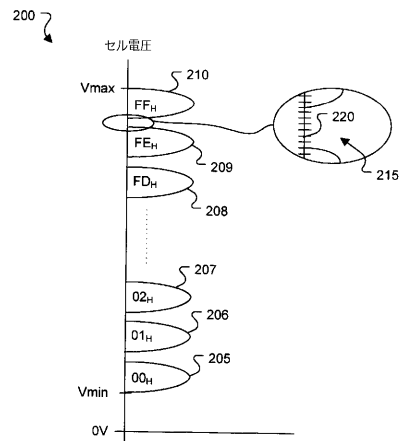
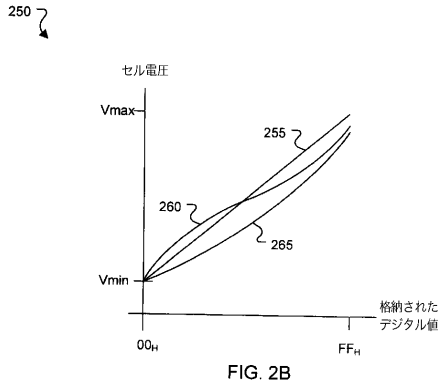


FIG. 2A

【図 2 B】



【図 3 A】

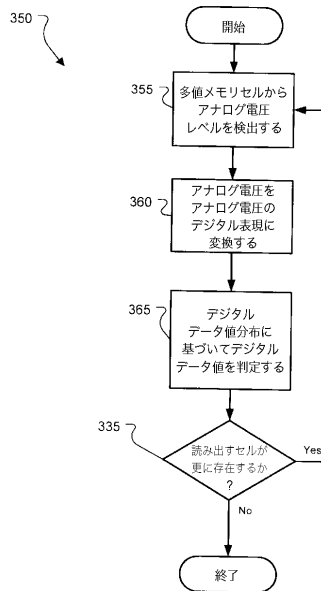


FIG. 3A

【図 3 B】

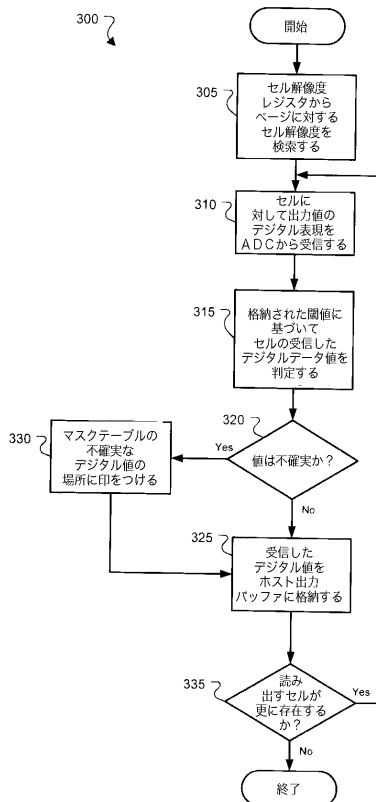


FIG. 3B

【図 4】

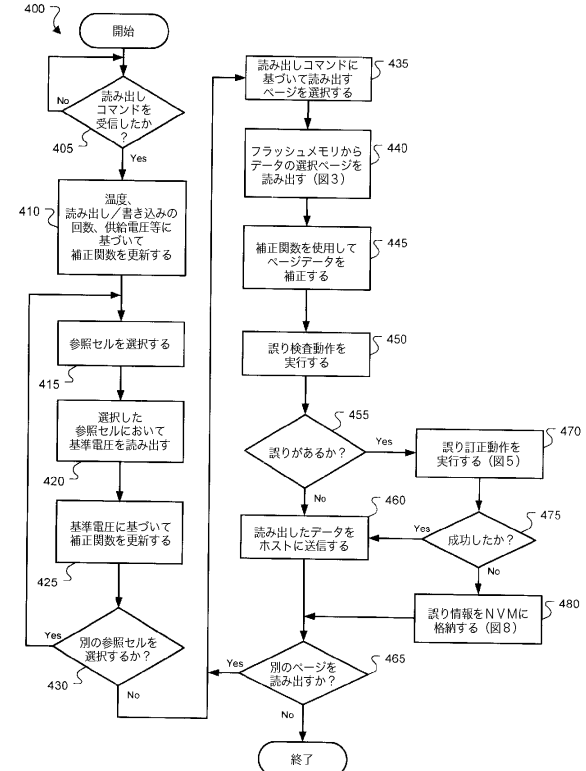


FIG. 4

【図 5】

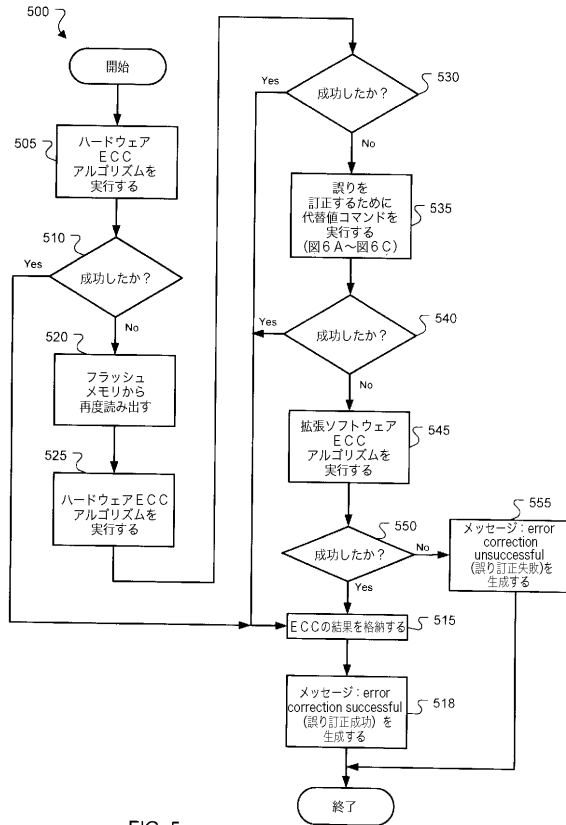


FIG. 5

【図 6 A】

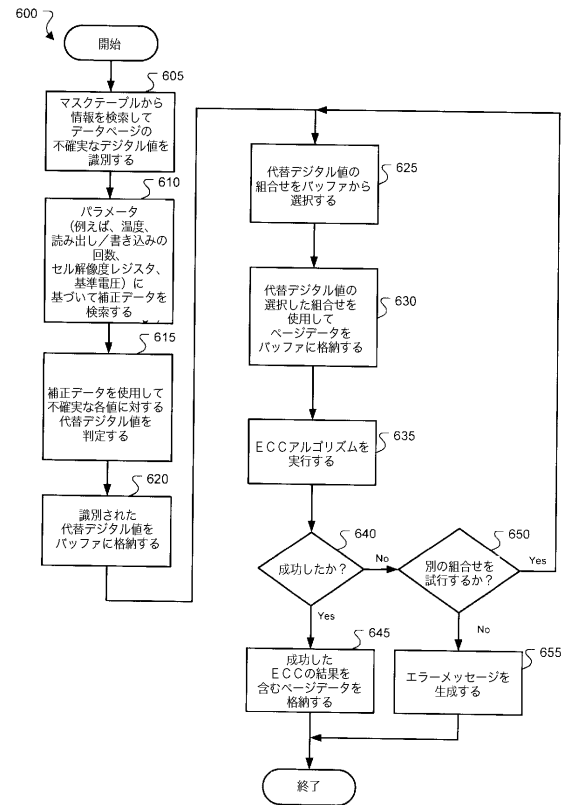


FIG. 6A

【図 6 B】

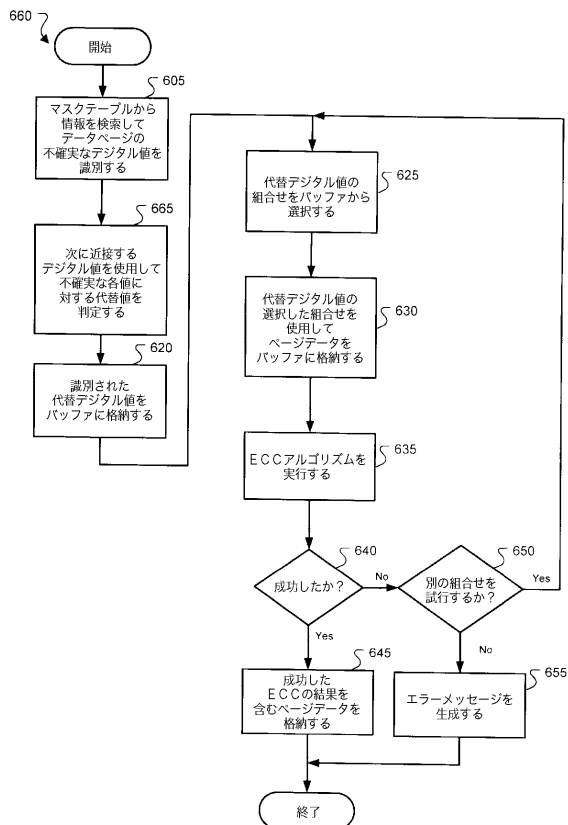


FIG. 6B

【図 6 C】

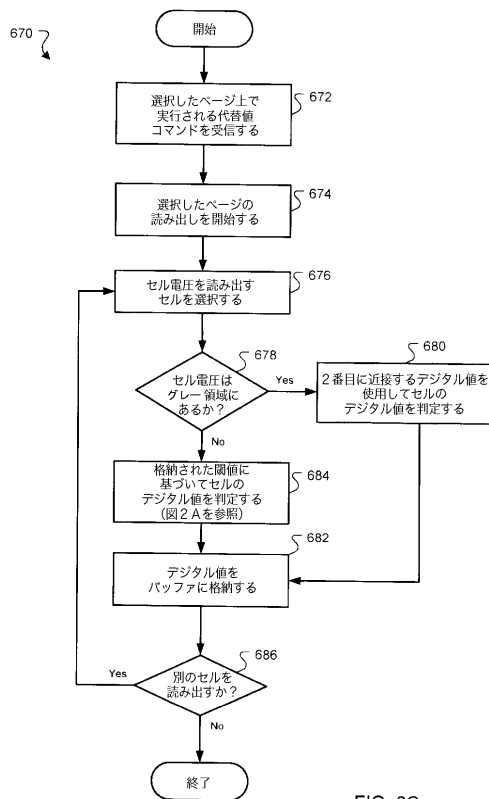


FIG. 6C

【図 7 A】

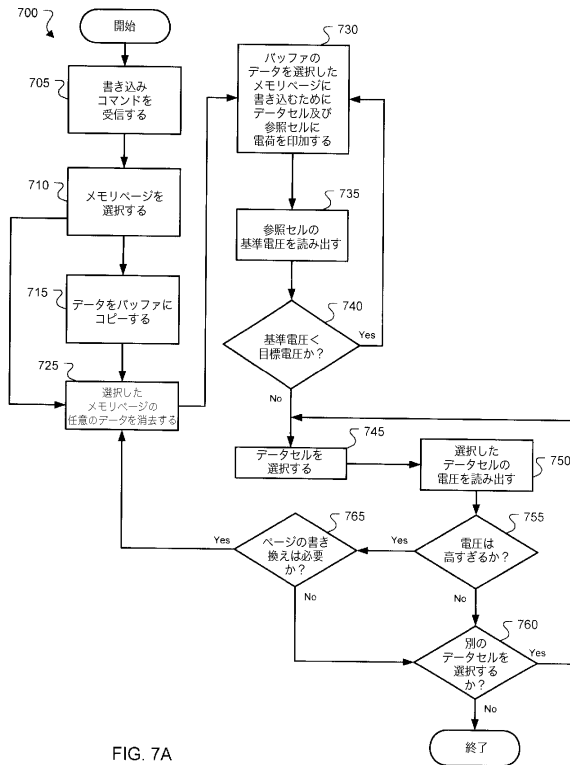


FIG. 7A

【図 7 B】

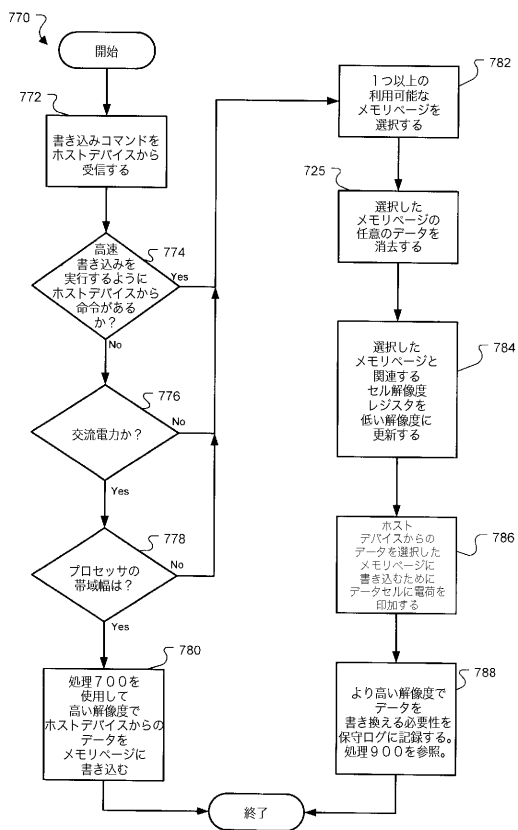


FIG. 7B

【図 8 A】

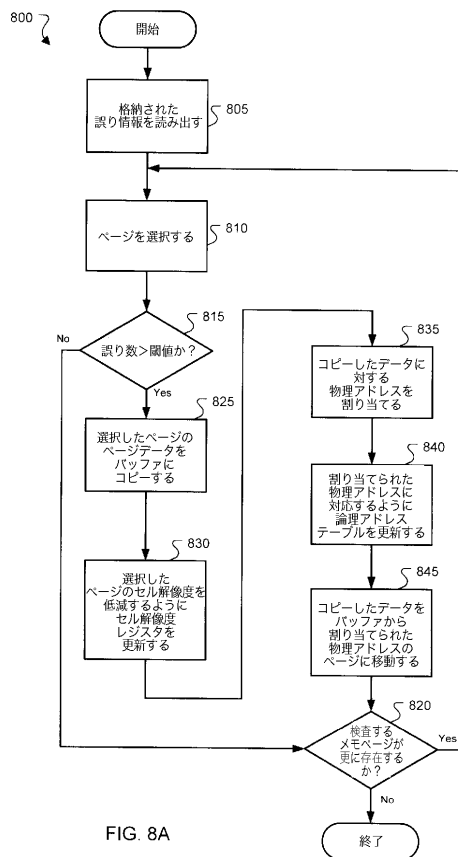


FIG. 8A

【図 8 B】

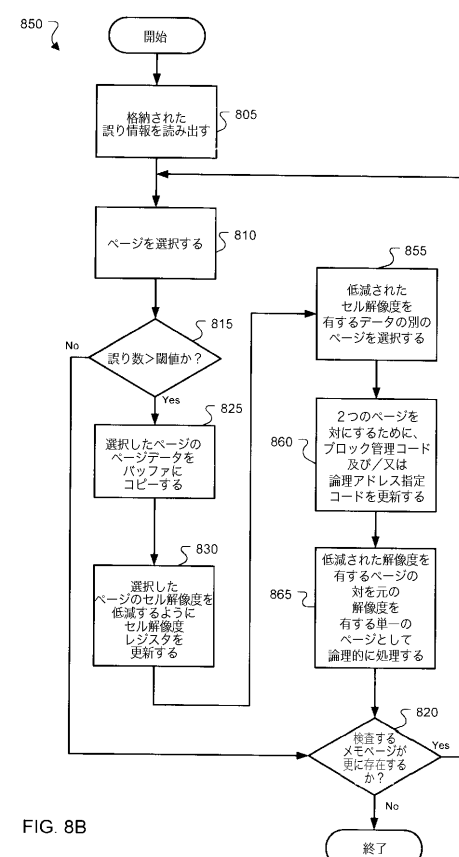
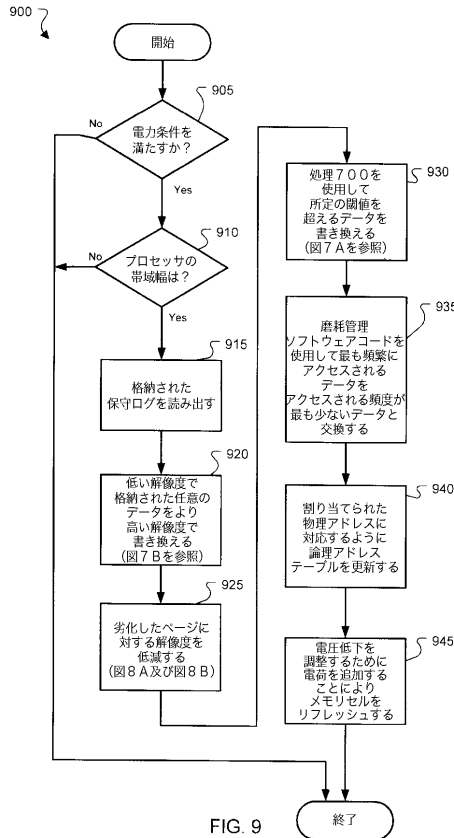
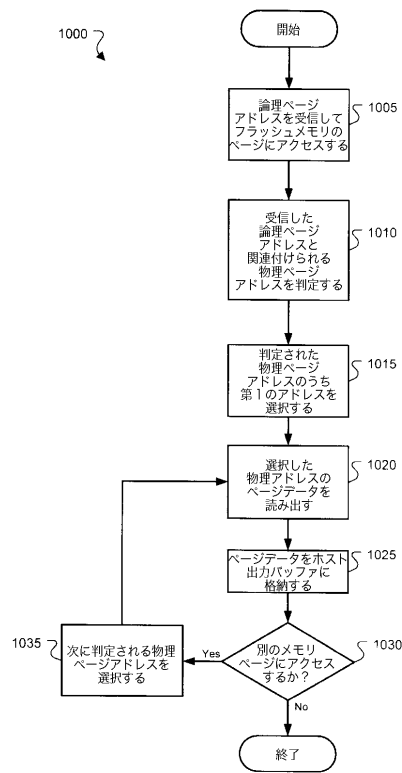


FIG. 8B

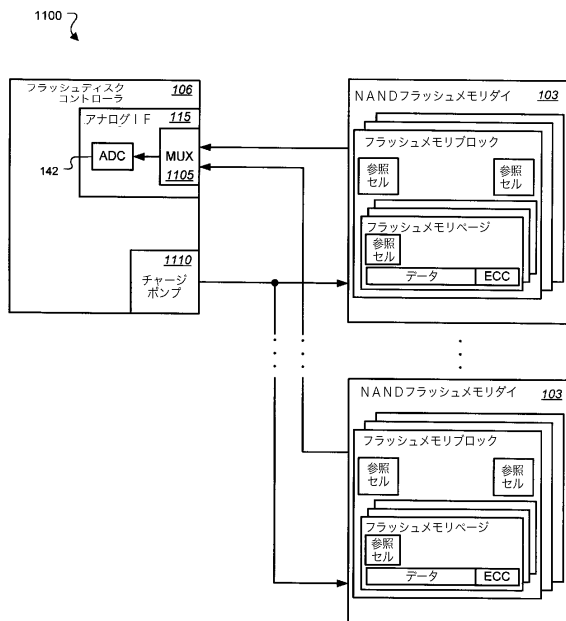
【図 9】



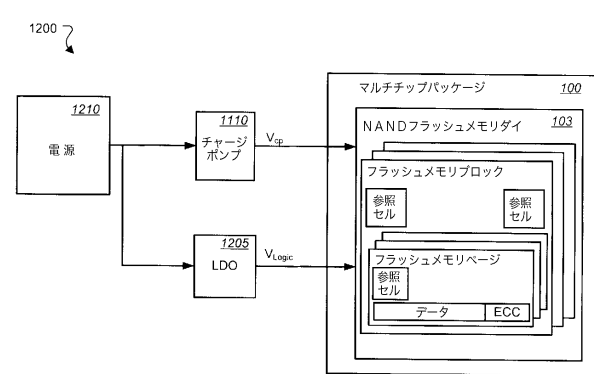
【図 10】



【図 11】



【図 12】



フロントページの続き

(74)代理人 100134175

弁理士 永川 行光

(72)発明者 コーンウエル, マイケル ジェイ.

アメリカ合衆国 カリフォルニア州 95112, サンホセ, サウス サード ストリート
116

(72)発明者 ドュッテ, クリストファー ピー.

アメリカ合衆国 カリフォルニア州 95134, サンホセ, ルネッサンス ドライブ 43
31, アpartment 205

審査官 滝谷 亮一

(56)参考文献 特開平11-176178(JP,A)

特開2001-357683(JP,A)

特開2001-006374(JP,A)

特開2000-298992(JP,A)

特開平10-106276(JP,A)

特開平11-016380(JP,A)

特開平11-154394(JP,A)

特表2009-537055(JP,A)

国際公開第01/022232(WO,A1)

(58)調査した分野(Int.Cl., DB名)

G11C 16/02

G11C 16/06