



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0002000
(43) 공개일자 2015년01월07일

(51) 국제특허분류(Int. Cl.)

G11C 16/06 (2006.01) G11C 16/08 (2006.01)

(21) 출원번호 10-2013-0075218

(22) 출원일자 2013년06월28일

심사청구일자 없음

(71) 출원인

에스케이하이닉스 주식회사

경기도 이천시 부발읍 경충대로 2091

(72) 발명자

아리토메 세이이치

경기 성남시 분당구 내정로 151, 520동 1302호 (수내동, 양지마을아파트)

(74) 대리인

강신섭, 문용호, 이용우

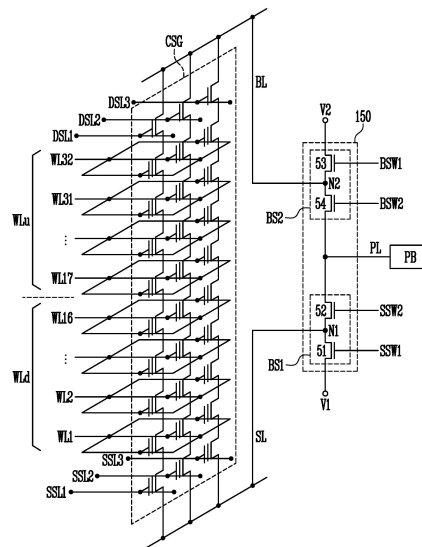
전체 청구항 수 : 총 19 항

(54) 발명의 명칭 반도체 장치 및 이의 동작 방법

(57) 요약

본 기술은 반도체 기판에 수직한 다수의 셀 스트링들을 포함하며, 상기 셀 스트링들에 연결된 다수의 비트라인들 및 소오스라인들을 서로 공유하고 워드라인들이 각각 연결된 다수의 메모리 블록들과, 프로그램 동작에 필요한 데이터를 저장하고, 상기 프로그램 동작과 리드 동작 및 소거 동작 수행시 검증동작을 수행하도록 구성된 페이지 버퍼들과, 상기 프로그램, 리드 및 소거 동작 수행시 상기 페이지 버퍼에 저장된 상기 데이터에 해당되는 전압 및 외부로부터 공급받은 다양한 전압들을 상기 비트라인들 및 상기 소오스라인들에 선택적으로 전달하도록 구성된 선택 스위치부 및 상기 페이지 버퍼들 및 상기 선택 스위치부를 제어하도록 구성된 제어회로를 포함하는 반도체 장치 및 이의 동작 방법을 포함한다.

대표도 - 도4



특허청구의 범위

청구항 1

반도체 기판에 수직한 다수의 셀 스트링들을 포함하며, 상기 셀 스트링들에 연결된 다수의 비트라인들 및 소오스라인들을 서로 공유하고 워드라인들이 각각 연결된 다수의 메모리 블록들;

프로그램 동작, 리드 동작 및 소거 동작을 수행하도록 구성된 페이지 버퍼들;

상기 프로그램 동작, 상기 리드 동작 및 상기 소거 동작 수행시 상기 페이지 버퍼들에 저장된 데이터에 해당되는 전압 및 외부로부터 공급받은 다양한 전압들을 상기 비트라인들 및 상기 소오스라인들에 선택적으로 전달하도록 구성된 선택 스위치부; 및

상기 페이지 버퍼들 및 상기 선택 스위치부를 제어하도록 구성된 제어회로를 포함하는 반도체 장치.

청구항 2

제1항에 있어서, 상기 선택 스위치부는,

상기 다양한 전압들 중 제1 전압 또는 상기 페이지 버퍼로부터 출력된 전압을 상기 소오스라인에 선택적으로 전달하도록 구성된 제1 선택회로; 및

상기 다양한 전압들 중 제2 전압 또는 상기 페이지 버퍼로부터 출력된 전압을 상기 비트라인에 선택적으로 전달하도록 구성된 제2 선택회로를 포함하는 반도체 장치.

청구항 3

제2항에 있어서, 상기 제1 선택회로는,

상기 제1 전압이 인가되는 단자와 제1 노드 사이에 연결되며 제1 소오스라인 선택신호에 응답하여 동작하는 제1 스위치; 및

상기 제1 노드와 상기 페이지 버퍼 사이에 연결되며 제2 소오스라인 선택신호에 응답하여 동작하는 제2 스위치를 포함하는 반도체 장치.

청구항 4

제2항에 있어서, 상기 제2 선택회로는,

상기 제2 전압이 인가되는 단자와 제2 노드 사이에 연결되며 제1 비트라인 선택신호에 응답하여 동작하는 제3 스위치; 및

상기 제2 노드와 상기 페이지 버퍼 사이에 연결되며 제2 비트라인 선택신호에 응답하여 동작하는 제4 스위치를 포함하는 반도체 장치.

청구항 5

제1항에 있어서, 상기 셀 스트링들은,

반도체 기판 상부로 순차적으로 배열된 상기 소오스라인들, 소오스 셀렉트 트랜지스터들, 메모리 셀들, 드레인 셀렉트 트랜지스터들 및 상기 비트라인들을 포함하는 반도체 장치.

청구항 6

제5항에 있어서,

상기 소오스 셀렉트 트랜지스터들 중 동일한 소오스라인에 연결된 소오스 셀렉트 트랜지스터들의 게이트들은 서로 다른 소오스 셀렉트 라인들에 연결되고,

서로 다른 소오스라인들에 연결된 소오스 셀렉트 트랜지스터들의 게이트들은 서로 다른 소오스 셀렉트 라인들에 연결된 반도체 장치.

청구항 7

제5항에 있어서,

상기 메모리 셀들 중 동일한 층에 배열된 메모리 셀들의 게이트들은 동일한 워드라인에 연결되며,

서로 다른 층에 배열된 메모리 셀들의 게이트들은 서로 다른 워드라인들에 연결된 반도체 장치.

청구항 8

제5항에 있어서,

상기 드레인 셀렉트 트랜지스터들 중 동일한 비트라인에 연결된 드레인 셀렉트 트랜지스터들의 게이트들은 서로 다른 드레인 셀렉트 라인들에 연결되고,

서로 다른 비트라인들에 연결된 드레인 셀렉트 트랜지스터들의 게이트들은 서로 다른 드레인 셀렉트 라인들에 연결된 반도체 장치.

청구항 9

제1항에 있어서,

상기 메모리 블록들은 중 방향 및 수직 방향으로 배열된 것을 더 포함하는 반도체 장치.

청구항 10

제9항에 있어서,

상기 메모리 블록들 중 서로 인접한 메모리 블록들은 상기 비트라인들 또는 소오스라인들을 공유하도록 구성된 반도체 장치.

청구항 11

소오스라인들과 비트라인들 사이에 연결되고 반도체 기판 상에 수직하게 배열된 다수의 셀 스트링들을 포함하는 메모리 블록의 프로그램 방법에 있어서,

상기 소오스라인들에 인접한 메모리 셀들부터 제1 메모리 셀들까지 순차적으로 프로그램 동작을 수행하는 단계; 및

상기 비트라인들에 인접한 메모리 셀들부터 제2 메모리 셀들까지 순차적으로 프로그램 동작을 수행하는 단계를 포함하는 반도체 장치의 동작 방법.

청구항 12

제11항에 있어서,

상기 제1 메모리 셀들은 상기 제2 메모리 셀들에 인접하되, 상기 소오스라인들 방향으로 인접한 반도체 장치의 동작 방법.

청구항 13

제11항에 있어서,

상기 소오스라인들에 인접한 메모리 셀들을 프로그램하는 동안에는, 상기 비트라인들을 통하여 프로그램 허용전압 또는 프로그램 금지전압을 상기 셀 스트링들에 인가하고,

상기 비트라인들에 인접한 메모리 셀들을 프로그램하는 동안에는, 상기 소오스라인들을 통하여 상기 프로그램 허용전압 또는 상기 프로그램 금지전압을 상기 셀 스트링들에 인가하는 반도체 장치의 동작 방법.

청구항 14

소오스라인들과 비트라인들 사이에 연결되고 반도체 기판 상에 수직하게 배열된 다수의 셀 스트링들을 포함하는 메모리 블록의 리드 방법에 있어서,

상기 소오스라인들에 인접한 메모리 셀들부터 제1 메모리 셀들까지 순차적으로 리드 동작을 수행하는 단계; 및

상기 비트라인들에 인접한 메모리 셀들부터 제2 메모리 셀들까지 순차적으로 리드 동작을 수행하는 단계를 포함하는 반도체 장치의 동작 방법.

청구항 15

제14항에 있어서,

상기 제1 메모리 셀들은 상기 제2 메모리 셀들에 인접하되, 상기 소오스라인들 방향으로 인접한 반도체 장치의 동작 방법.

청구항 16

제14항에 있어서,

상기 소오스라인들에 인접한 메모리 셀들을 리드하는 동안, 상기 비트라인들을 통하여 프리차지 전압을 상기 셀 스트링들에 인가하고 상기 소오스라인들은 접지단자에 연결하며,

상기 비트라인들에 인접한 메모리 셀들을 리드하는 동안, 상기 소오스라인들을 통하여 상기 프리차지 전압을 상기 셀 스트링들에 인가하고 상기 비트라인들은 접지단자에 연결하는 반도체 장치의 동작 방법.

청구항 17

소오스라인들과 비트라인들 사이에 연결되고 반도체 기판 상에 수직하게 배열된 다수의 셀 스트링들을 포함하는 메모리 블록의 소거 방법에 있어서,

선택된 메모리 블록에 연결된 비트라인들 및 소오스라인들에 소거전압을 인가하고, 상기 선택된 메모리 블록에 연결된 워드라인들에 소거 허용전압을 인가하여 선택된 메모리 블록에 포함된 메모리 셀들을 소거하도록 소거 동작을 수행하는 단계;

상기 메모리 셀들에 대한 소거 검증동작을 수행하는 단계; 및

상기 비트라인들 및 상기 소오스라인들 중 소거 완료된 셀 스트링들에 연결된 비트라인들 및 소오스라인들에 소

거 억제 전압을 인가하는 단계를 포함하는 반도체 장치의 동작 방법.

청구항 18

제17항에 있어서,

비선택된 메모리 블록들에 연결된 워드라인들에는 소거 금지전압을 인가하는 단계를 포함하는 반도체 장치의 동작 방법.

청구항 19

제18항에 있어서,

상기 소거 금지전압은 상기 소거전압과 동일한 전압 또는 상기 소거전압보다 낮고 0V보다 높은 전압인 반도체 장치의 동작 방법.

명세서

기술분야

[0001] 본 발명은 반도체 장치 및 이의 동작 방법에 관한 것으로, 보다 구체적으로는 수직채널을 갖는 반도체 장치 및 이의 동작 방법에 관한 것입니다.

배경기술

[0002] 휴대전화, 이동식 메모리 장치 및 디지털 카메라의 수요가 증가하면서, 이러한 제품들의 메모리 장치로 주로 사용되고 있는 불휘발성 메모리 장치의 수요도 증가하고 있다. 불휘발성 메모리 장치 중에서도 낸드 플래시 메모리 장치(NAND flash memory device)가 데이터 저장 장치로 많이 사용되고 있다.

[0003] 낸드 플래시 메모리 장치는 셀 스트링이 반도체 기판에 수평하게 형성된 2차원 반도체 장치와, 셀 스트링이 반도체 기판에 수직으로 형성된 3차원 반도체 장치로 구분될 수 있다.

[0004] 3차원 반도체 장치는 2차원 반도체 장치의 집적도 한계를 해소하기 위하여 고안된 메모리 장치로써, 반도체 기판 상에 수직으로 형성된 다수의 셀 스트링들을 포함한다. 셀 스트링들은 비트라인과 소오스라인 사이에 직렬로 연결된 드레인 셀렉트 트랜지스터, 메모리 셀들 및 소오스 셀렉트 트랜지스터를 포함한다.

[0005] 한편, 3차원 반도체 장치의 드레인 셀렉트 트랜지스터 부근에 연결된 메모리 셀들은 소오스라인 부근의 저항으로 인하여 프로그램 및 리드 동작시 메모리 셀들의 문턱전압이 변경될 수 있는데, 이로 인하여 3차원 반도체 장치의 신뢰도가 저하될 수 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명의 실시예는 프로그램, 리드 및 소거 동작의 신뢰도를 개선할 수 있는 반도체 장치 및 이의 동작 방법을 제공한다.

과제의 해결 수단

[0007] 본 발명에 따른 반도체 장치는 반도체 기판에 수직한 다수의 셀 스트링들을 포함하며, 상기 셀 스트링들에 연결된 다수의 비트라인들 및 소오스라인들을 서로 공유하고 워드라인들이 각각 연결된 다수의 메모리 블록들과, 프로그램 동작에 필요한 데이터를 저장하고, 상기 프로그램 동작과 리드 동작 및 소거 동작 수행시 검증동작을 수행하도록 구성된 페이지 버퍼들과, 상기 프로그램, 리드 및 소거 동작 수행시 상기 페이지 버퍼에 저장된 상기

데이터에 해당되는 전압 및 외부로부터 공급받은 다양한 전압들을 상기 비트라인들 및 상기 소오스라인들에 선택적으로 전달하도록 구성된 선택 스위치부 및 상기 페이지 버퍼들 및 상기 선택 스위치부를 제어하도록 구성된 제어회로를 포함한다.

[0008] 본 발명에 따른 반도체 장치의 동작방법은, 소오스라인들과 비트라인들 사이에 연결되고 반도체 기판 상에 수직하게 배열된 다수의 셀 스트링들을 포함하는 메모리 블록의 프로그램 방법에 있어서, 상기 소오스라인들에 인접한 메모리 셀들부터 제1 메모리 셀들까지 순차적으로 프로그램 동작을 수행하는 단계 및 상기 비트라인들에 인접한 메모리 셀들부터 제2 메모리 셀들까지 순차적으로 프로그램 동작을 수행하는 단계를 포함한다.

[0009] 본 발명에 따른 반도체 장치의 동작방법은, 소오스라인들과 비트라인들 사이에 연결되고 반도체 기판 상에 수직하게 배열된 다수의 셀 스트링들을 포함하는 메모리 블록의 리드 방법에 있어서, 상기 소오스라인들에 인접한 메모리 셀들부터 제1 메모리 셀들까지 순차적으로 리드 동작을 수행하는 단계 및 상기 비트라인들에 인접한 메모리 셀들부터 제2 메모리 셀들까지 순차적으로 리드 동작을 수행하는 단계를 포함한다.

[0010] 본 발명에 따른 반도체 장치의 동작방법은, 소오스라인들과 비트라인들 사이에 연결되고 반도체 기판 상에 수직하게 배열된 다수의 셀 스트링들을 포함하는 메모리 블록의 소거 방법에 있어서, 선택된 메모리 블록에 연결된 비트라인들 및 소오스라인들에 소거전압을 인가하고, 상기 선택된 메모리 블록에 연결된 워드라인들에 소거 허용전압을 인가하여 선택된 메모리 블록에 포함된 메모리 셀들을 소거하도록 소거 동작을 수행하는 단계, 상기 메모리 셀들에 대한 소거 검증동작을 수행하는 단계 및 상기 비트라인들 및 상기 소오스라인들 중 소거 완료된 셀 스트링들에 연결된 비트라인들 및 소오스라인들에 소거 억제 전압을 인가하는 단계를 포함한다.

발명의 효과

[0011] 본 기술은 3차원 반도체 장치의 동작시 셀 스트링들 저항을 감소시킴으로써, 프로그램 동작시 디스터브를 억제하고 리텐션 특성을 개선할 수 있고, 리드 동작의 신뢰도를 개선할 수 있으며, 소거 동작시 메모리 셀들의 문턱전압 분포 폭이 증가하는 것을 억제하면서 소거 스트레스를 감소시킬 수 있다.

도면의 간단한 설명

[0012] 도 1은 본 발명에 따른 반도체 장치를 개략적으로 설명하기 위한 블록도이다.
 도 2는 본 발명의 제1 실시예에 따른 메모리 블록들의 구성을 설명하기 위한 도면이다.
 도 3은 도 2에 도시된 메모리 블록을 구체적으로 설명하기 위한 회로도이다.
 도 4는 도 3에 도시된 셀 스트링 그룹과 페이지 버퍼 간의 연결관계와 제1 실시예에 따른 프로그램 및 독출 동작을 설명하기 위한 회로도이다.
 도 5 및 도 6은 제1 실시예에 따른 메모리 블록들의 소거 동작을 설명하기 위한 도면이다.
 도 7은 본 발명의 제2 실시예에 따른 메모리 블록들의 구성을 설명하기 위한 도면이다.
 도 8은 도 7에 도시된 메모리 블록들을 구체적으로 설명하고, 제2 실시예에 따른 프로그램, 독출 및 소거 동작을 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0013] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시 예를 설명하기로 한다. 그러나, 본 발명은 이하에서 개시되는 실시 예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시 예는 본 발명의 개시가 완전하도록 하며 통상의 지식을 가진자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다.

[0014] 도 1은 본 발명에 따른 반도체 장치를 개략적으로 설명하기 위한 블록도이다.

[0015] 도 1을 참조하면, 반도체 장치(100)는 3차원 구조로 이루어진 메모리 셀 어레이(110), 메모리 셀 어레이(110)에

포함된 메모리 셀들을 프로그램, 독출 및 소거하도록 구성된 주변회로들(130~170) 및 주변회로들(130~170)을 제어하도록 구성된 제어회로(120)를 포함한다.

- [0016] 메모리 셀 어레이(110)는 다수의 메모리 블록들을 포함하며, 각각의 메모리 블록은 수직채널을 갖는 다수의 셀 스트링들을 포함하며, 각각의 셀 스트링들은 수직채널을 따라 서로 직렬로 연결된 다수의 메모리 셀들을 포함한다.
- [0017] 주변회로들(130~170)은 전압 생성 회로(130), 로우 디코더(140), 선택 스위치부(150), 페이지 버퍼부(160) 및 컬럼 디코더(170)를 포함한다.
- [0018] 전압 생성 회로(130)는 프로그램 신호(PGM), 독출 신호(READ) 또는 소거 신호(ERASE)에 응답하여 각 동작에 필요한 동작 전압들, 예를 들면 프로그램 전압(Vpgm), 독출 전압(Vread) 또는 소거전압(Verasese)을 생성한다. 도면에는 도시되지 않았으나, 전압 생성 회로(130)는 프로그램 전압(Vpgm), 독출 전압(Vread) 및 소거전압(Verase) 외에도 다양한 레벨의 전압들을 생성한다.
- [0019] 로우 디코더(140)는 로우 어드레스(RADD)에 응답하여 메모리 블록을 선택하고, 전압 생성 회로(130)에서 생성된 동작 전압들을 선택된 메모리 블록의 워드라인들(WL) 및 셀렉트 라인들(미도시)에 전달한다.
- [0020] 선택 스위치부(150)는 외부의 전압원들로부터 다양한 전압들(V#)을 공급받고, 비트라인 선택 신호들(BSW#) 및 소오스라인 선택 신호들(SSW#)에 응답하여 전압들(V#)을 비트라인들(BL) 또는 소오스라인들(SL)에 전달하거나, 페이지 버퍼부(160)의 페이지 라인들(PL)을 통해 전달된 전압을 비트라인들(BL) 또는 소오스라인들(SL)에 전달한다.
- [0021] 페이지 버퍼부(160)는 다수의 페이지 버퍼들(PB)을 포함한다. 페이지 버퍼들(PB)은 페이지 버퍼 제어신호(PBSIG)에 응답하여 프로그램 동작에 필요한 데이터를 저장하거나, 프로그램, 리드 및 소거 동작시 검증 동작을 수행하도록 구성된다. 페이지 버퍼들(PB)은 저장된 데이터에 해당되는 전압을 페이지 라인들(PL)에 전달하거나, 페이지 라인들(PL)에 인가된 전압을 센싱한다.
- [0022] 컬럼 디코더(170)는 컬럼 어드레스(CADD)에 응답하여 페이지 버퍼들(PB)에 데이터를 전달하거나, 페이지 버퍼들(PB)로부터 데이터를 전달받는다.
- [0023] 제어회로(120)는 명령신호(CMD) 및 어드레스(ADD)에 응답하여 프로그램 신호(PGM), 독출 신호(READ) 또는 소거 신호(ERASE)를 출력하고, 로우 어드레스(RADD) 및 컬럼 어드레스(CADD)를 출력하고, 페이지 버퍼 신호(PBSIG)를 출력한다.
- [0024] 도 2는 본 발명의 제1 실시예에 따른 메모리 블록들의 구성을 설명하기 위한 도면이다.
- [0025] 도 2를 참조하면, 메모리 셀 어레이(110)는 다수의 메모리 블록들(BLK1~BLKm; m은 양의 정수)을 포함한다. 제1 실시예에서는 메모리 블록들(BLK1~BLKm)이 단층으로 이루어진다. 각각의 메모리 블록들(BLK1~BLKm)은 다수의 비트라인들(... BLn-1, BL, BLn+1, ...) 및 다수의 소오스라인들(... SLn-1, SL, SLn+1, ...)을 공유하며, 워드라인들(WL)이 각각 연결된다. 즉, 메모리 블록들(BLK1~BLKm)에는 다수의 셀 스트링들(도시되지 않음)이 포함되는데, 동일한 메모리 블록 내에 포함된 다수의 셀 스트링들은 서로 다른 비트라인들(... BLn-1, BL, BLn+1, ...) 및 소오스라인들(... SLn-1, SL, SLn+1, ...)에 연결되며, 워드라인들(WL)을 공유한다. 또한, 서로 다른 메모리 블록들에 포함된 셀 스트링들은 비트라인들(... BLn-1, BL, BLn+1, ...) 및 소오스라인들(... SLn-1, SL, SLn+1, ...)을 공유하지만, 워드라인들(WL)은 공유하지 않는다.
- [0026] 도 3은 도 2에 도시된 메모리 블록을 구체적으로 설명하기 위한 회로도로서, 메모리 블록 'BLK1'을 예를 들어 구체적으로 설명하도록 한다.
- [0027] 도 3을 참조하면, 메모리 블록(BLK1)은 반도체 기판으로부터 수직한 다수의 셀 스트링 그룹(CSG)들을 포함한다. 셀 스트링 그룹(CSG)들은 비트라인들(BLn-1, BLn 및 BLn+1)과 소오스라인들(SLn-1, SLn 및 SLn+1) 사이에 연결된 다수의 셀 스트링들(ST)의 그룹으로 정의된다. 각각의 셀 스트링(ST)은 서로 동일하게 구성되어 있으므로, 이들 중 어느 하나의 셀 스트링(ST)을 구체적으로 설명하면 다음과 같다.
- [0028] 셀 스트링(ST)은 소오스라인(SLn)과 비트라인(BLn) 사이에 연결된 드레인 셀렉트 트랜지스터(DST), 다수의 메모리

리 셀들(MC) 및 소오스 셀렉트 트랜지스터(SST)를 포함한다. 드레인 셀렉트 트랜지스터(DST)의 게이트는 드레인 셀렉트 라인(DSL1, DSL2 또는 DSL3)에 연결되고, 메모리 셀들(MC)의 게이트들은 워드라인들(WL1 내지 WL32)에 연결되며, 소오스 셀렉트 트랜지스터(SST)의 게이트는 소오스 셀렉트 라인(SSL1)에 연결된다.

[0029]

동일한 셀 스트링 그룹(CSG)에 포함된 드레인 셀렉트 트랜지스터(DST)들은 서로 다른 드레인 셀렉트 라인(DSL1, DSL2 및 DSL3)에 각각 연결되고, 서로 다른 셀 스트링 그룹(CSG)에 포함되며 서로 인접한 드레인 셀렉트 트랜지스터(DST)들은 서로 동일한 드레인 셀렉트 라인(DSL1, DSL2 또는 DSL3)에 연결된다. 예를 들면, 제 n 소오스라인(SL n)과 제 n 비트라인(BL n) 사이에 연결된 첫 번째 셀 스트링의 드레인 셀렉트 트랜지스터(DST)와, 제 $n-1$ 소오스라인(SL $n-1$)과 제 $n-1$ 비트라인(BL $n-1$) 사이에 연결된 첫 번째 셀 스트링의 드레인 셀렉트 트랜지스터(DST)와, 제 $n+1$ 소오스라인(SL $n+1$)과 제 $n+1$ 비트라인(BL $n+1$) 사이에 연결된 첫 번째 셀 스트링의 드레인 셀렉트 트랜지스터(DST)의 게이트들에는 제1 드레인 셀렉트 라인(DSL1)이 연결된다. 또한, 제 n 소오스라인(SL n)과 제 n 비트라인(BL n) 사이에 연결된 두 번째 셀 스트링의 드레인 셀렉트 트랜지스터(DST)와, 제 $n-1$ 소오스라인(SL $n-1$)과 제 $n-1$ 비트라인(BL $n-1$) 사이에 연결된 두 번째 셀 스트링의 드레인 셀렉트 트랜지스터(DST)와, 제 $n+1$ 소오스라인(SL $n+1$)과 제 $n+1$ 비트라인(BL $n+1$) 사이에 연결된 두 번째 셀 스트링의 드레인 셀렉트 트랜지스터(DST)의 게이트들에는 제2 드레인 셀렉트 라인(DSL1)이 연결된다.

[0030]

셀 스트링 그룹(CSG)들에 포함된 메모리 셀들 중, 동일한 페이지에 포함된 메모리 셀들은 동일한 워드라인(WL1 내지 WL32 중 어느 하나)에 연결된다. 예를 들면, 셀 스트링 그룹(CSG)에 포함된 메모리 셀들(MC) 중 소오스 셀렉트 트랜지스터(SST)에 인접한 제1 메모리 셀들의 게이트들에는 제1 워드라인(WL1)이 공통으로 연결된다. 또한, 셀 스트링 그룹(CSG)에 포함된 메모리 셀들(MC) 중 제1 메모리 셀들에 인접한 제2 메모리 셀들의 게이트들에는 제2 워드라인(WL2)이 공통으로 연결된다. 이와 같이, 제 n 메모리 셀들의 게이트들에는 제 n 워드라인(WL n)이 연결된다.

[0031]

셀 스트링 그룹(CSG)들에 포함된 소오스 셀렉트 트랜지스터(SST)들의 게이트들은 소오스 셀렉트 라인들(SSL1, SSL2 또는 SSL3)에 연결된다. 소오스 셀렉트 라인들(SSL1, SSL2 및 SSL3)과 소오스 셀렉트 트랜지스터들(SST)은 드레인 셀렉트 라인들(DSL1, DSL2 및 DSL3)과 드레인 셀렉트 트랜지스터들(DST)의 연결구조와 동일하게 연결되므로 구체적인 설명은 생략하도록 한다.

[0032]

도 4는 도 3에 도시된 셀 스트링 그룹과 페이지 버퍼 간의 연결관계와 제1 실시예에 따른 프로그램 및 독출 동작을 설명하기 위한 회로도이다.

[0033]

도 4를 참조하면, 셀 스트링 그룹(CSG)에는 페이지 버퍼(PB)가 각각 할당된다. 구체적으로 설명하면, 페이지 버퍼(PB)는 선택 스위치부(150)를 통하여 셀 스트링 그룹(CSG)에 연결된다. 도 4에서는 설명의 편의를 위하여 하나의 셀 스트링 그룹(CSG)이 도시되었으나, 도 3에 도시된 바와 같이 다수의 셀 스트링 그룹(CSG)들 각각에 페이지 버퍼(PB)가 각각 할당된다.

[0034]

선택 스위치부(150)는 페이지 버퍼(PB)로부터 출력된 전압을 비트라인(BL) 또는 소오스라인(SL)으로 전송하거나, 페이지 버퍼(PB) 이외의 전압원으로부터 공급된 제1 또는 제2 전압(V1 또는 V2)을 소오스라인(SL) 또는 비트라인(BL)에 전송한다. 선택 스위치부(150)를 구체적으로 설명하면 다음과 같다.

[0035]

선택 스위치부(150)는 제1 선택회로(BS1) 및 제2 선택회로(BS2)를 포함한다. 제1 선택회로(BS1)는 페이지 버퍼(PB)로부터 전압이 출력되는 페이지 라인(PL)과 제1 전압(V1)이 인가되는 단자 사이에 연결되고, 제2 선택회로(BS2)는 페이지 라인(PL)과 제2 전압(V2)이 인가되는 단자 사이에 연결된다. 제1 전압(V1)과 제2 전압(V2)은 각각의 전압원으로부터 출력되는 다양한 레벨의 전압이 될 수 있다. 예를 들면, 제1 전압(V1)과 제2 전압(V2)은 반도체 장치의 동작에 따라 각각 0V, 전원전압(Vcc) 또는 소거전압이 될 수 있다.

[0036]

제1 선택회로(BS1)는 제1 전압(V1)이 인가되는 단자와 제1 노드(N1) 사이에 연결되어 제1 소오스라인 선택신호(SSW1)에 응답하여 동작하는 제1 스위치(51)와, 제1 노드(N1)와 페이지 라인(PL) 사이에 연결되어 제2 소오스라인 선택신호(SSW2)에 응답하여 동작하는 제2 스위치(52)를 포함한다. 제1 노드(N1)에는 소오스라인(SL)이 연결된다. 제2 선택회로(BS2)는 제2 전압(V2)이 인가되는 단자와 제2 노드(N2) 사이에 연결되어 제1 비트라인 선택신호(BSW1)에 응답하여 동작하는 제3 스위치(53)와, 제1 노드(N1)와 페이지 라인(PL) 사이에 연결되어 제2 비트라인 선택신호(BSW2)에 응답하여 동작하는 제4 스위치(54)를 포함한다. 제1 내지 제4 스위치들(51, 52, 53 및 54)은 NMOS 트랜지스터로 구현될 수 있다.

[0037] 다음의 '표1'을 참조하여 반도체 장치의 프로그램 동작을 설명하도록 한다.

표 1

[0038]

	1	2	...	15	16	17	18	...	31Vcc	32
BL	Vcc/0V	Vcc/0V	Vcc/0V	Vcc/0V	Vcc/0V	Vcc	Vcc	Vcc	Vcc	Vcc
DSL	Vdsl	Vdsl	Vdsl	Vdsl	Vdsl	0V	0V	0V	0V	0V
WL32	Vpassp	Vpassp	Vpassp	Vpassp	Vpassp	Vpgm	Vpassp	Vpassp	Vpassp	Vpassp
WL31	Vpassp	Vpassp	Vpassp	Vpassp	Vpassp	Vpassp	Vpgm	Vpassp	Vpassp	Vpassp
...	Vpassp	Vpassp	Vpassp	Vpassp	Vpassp	Vpassp	Vpassp	...	Vpassp	Vpassp
WL18	Vpassp	Vpassp	Vpassp	Vpassp	Vpassp	Vpassp	Vpassp	Vpassp	Vpgm	Vpassp
WL17	Vpassp	Vpassp	Vpassp	Vpassp	Vpassp	Vpassp	Vpassp	Vpassp	Vpassp	Vpgm
WL16	Vpassp	Vpassp	Vpassp	Vpassp	Vpgm	Vpassp	Vpassp	Vpassp	Vpassp	Vpassp
WL15	Vpassp	Vpassp	Vpassp	Vpgm	Vpassp	Vpassp	Vpassp	Vpassp	Vpassp	Vpassp
...	Vpassp	Vpassp	...	Vpassp	Vpassp	Vpassp	Vpassp	Vpassp	Vpassp	Vpassp
WL2	Vpassp	Vpgm	Vpassp	Vpassp	Vpassp	Vpassp	Vpassp	Vpassp	Vpassp	Vpassp
WL1	Vpgm	Vpassp	Vpassp	Vpassp	Vpassp	Vpassp	Vpassp	Vpassp	Vpassp	Vpassp
SSL	0V	0V	0V	0V	0V	Vssl	Vssl	Vssl	Vssl	Vssl
SL	Vcc	Vcc	Vcc	Vcc	Vcc	Vcc/0V	Vcc/0V	Vcc/0V	Vcc/0V	Vcc/0V

[0039]

'표1'을 참조하면, 프로그램 동작은 셀 스트링에 포함된 메모리 셀들을 두 개의 그룹으로 구분하여 수행하는데, 소오스라인들(SL)에 인접한 메모리 셀들부터 중앙 부근에 위치한 메모리 셀들까지 순차적으로 프로그램한 후, 비트라인들(BL)에 인접한 메모리 셀들부터 중앙 부근에 위치한 메모리 셀들까지 순차적으로 프로그램한다. 하나의 셀 스트링 내에 32개의 메모리 셀들이 포함된 경우를 예를 들면, 제1 내지 제16 메모리 셀들을 제1 그룹(WLd)으로 정의하고, 제17 내지 제32 메모리 셀들을 제2 그룹(WLu)으로 정의한다. 제1 그룹(WLd)에 포함된 메모리 셀들의 프로그램 동작은 순방향으로 실시하고, 제2 그룹(WLu)에 포함된 메모리 셀들의 프로그램 동작은 역방향으로 실시한다. 보다 구체적으로 설명하면, 제1 그룹(WLd)에 포함된 메모리 셀들은 소오스라인들(SL)부터 중앙 방향으로 순차적으로 프로그램하고, 제2 그룹(WLu)에 포함된 메모리 셀들은 비트라인들(BL)부터 중앙 방향으로 순차적으로 프로그램한다. 즉, 제1 워드라인(WL1)에 연결된 메모리 셀들이 소오스라인들(SL)에 인접한 메모리 셀들이 되고, 제32 워드라인(WL32)에 연결된 메모리 셀들이 비트라인들(BL)에 인접한 메모리 셀들이 된다. 이에 따라, 제1 그룹(WLd)의 프로그램 동작과 제2 그룹(WLu)의 프로그램 동작시 소오스라인(SL)과 비트라인(BL)에 인가되는 전압이 달라진다.

[0040]

본 발명에 따른 프로그램 동작을 구체적으로 설명하기 위하여, 메모리 블록(BLK11)에 포함된 셀 스트링들 중에서, 제1 드레인 셀렉트 라인(DSL1)과 제1 소오스 셀렉트 라인(SSL1)이 연결된 셀 스트링의 프로그램 동작을 예를 들어 설명하도록 한다.

[0041]

제1 그룹(WLd)의 프로그램 동작

[0042]

제1 그룹(WLd)에 포함된 선택된 메모리 셀들의 프로그램 동작은 제1 소오스 셀렉트 라인(SSL1)에 인접한 제1 워드라인(WL1)부터 셀 스트링의 중앙 방향으로 순차적으로 실시한다.

[0043]

제1 그룹(WLd)의 프로그램 동작시, 소오스라인(SL)에는 채널 전압의 누설을 방지하기 위하여 전원전압(Vcc)을 인가하고, 비트라인(BL)에는 프로그램 허용전압 또는 프로그램 금지전압을 인가한다. 이를 위하여, 제1 전압(V1)은 전원전압(Vcc)이 되도록 하고, 제1 선택회로(BS1)의 제1 스위치(51)는 턴온시키고 제2 스위치(52)는 턴오프시켜 전원전압(Vcc)이 소오스라인(SL)으로 인가되도록 한다. 프로그램 동작시 페이지 버퍼(PB)에는 '0' 또는 '1' 데이터가 입력된다. 통상적으로 '0'은 프로그램할 데이터이고, '1'은 프로그램하지 않을 데이터를 의미한다.

[0044]

페이지 버퍼(PB)에 '0' 데이터가 입력되면, 페이지 라인(PL)을 따라 프로그램 허용전압, 즉 0V의 전압이 인가된다. 페이지 버퍼(PB)에 '1' 데이터가 입력되면, 페이지 라인(PL)을 따라 프로그램 금지전압, 즉 전원전압(Vcc)이 인가된다. 여기서, 페이지 라인(PL)에 0V가 인가된다는 것은 페이지 버퍼(PB)를 통해 페이지 라인(PL)이 접지단자에 연결된다는 것을 의미한다. 따라서, 페이지 라인(PL)에는 페이지 버퍼(PB)에 입력된 데이터에 따라 프

로그래밍 허용전압(0V) 또는 프로그램 금지전압(Vcc)이 인가된다. 즉, 셀 스트링 그룹(CSG)이 프로그램 동작을 수행할 선택된 셀 스트링 그룹이면, 페이지 라인(PL)에는 프로그램 허용전압(0V)이 인가되고, 셀 스트링 그룹(CSG)이 프로그램하지 않을 비선택된 셀 스트링 그룹이면, 페이지 라인(PL)에는 프로그램 금지전압(Vcc)이 인가된다. 프로그램 허용전압 또는 프로그램 금지전압을 비트라인(BL)에 인가하기 위하여, 제2 선택회로(BS2)의 제3 스위치(53)를 턴오프시키고 제4 스위치(54)를 턴온시킨다.

[0045] 제1 내지 제32 워드라인들(WL1 내지 WL32)에는 프로그램 패스전압(Vpassp)을 인가하고, 제1 내지 제3 소오스 셀렉트 라인들(SSL1, SSL2 및 SSL3)에는 소오스 턴오프전압(0V)을 인가하고, 제1 내지 제3 드레인 셀렉트 라인들(DSL1 내지 DSL3)에는 드레인 턴온전압(Vds1)을 인가한다. 특히, 셀 스트링들에 채널(channel)을 형성하고, 비선택된 셀 스트링에는 채널 부스팅을 발생시키기 위하여, 제1 내지 제3 드레인 셀렉트 라인들(DSL1 내지 DSL3)에는 높은 레벨의 드레인 턴온전압(Vds1)을 인가한 후, 다시 드레인 턴온전압(Vds1)의 레벨을 낮추되, 0V보다 높은 레벨을 갖도록 한다. 예를 들면, 제1 내지 제3 드레인 셀렉트 라인들(DSL1 내지 DSL3)에 약 4V의 드레인 턴온전압(Vds1)을 인가하여 비트라인(BL)에 인가된 전압을 셀 스트링들에 전달한다. 이어서, 드레인 턴온전압(Vds1)을 약 1.5V로 낮추면, 프로그램 금지전압이 채널에 전달된 셀 스트링들의 드레인 셀렉트 트랜지스터들이 턴오프되고, 이로 인해 비선택된 셀 스트링들에서는 프로그램 패스전압(Vpassp)과 프로그램 금지전압으로 인하여 채널 부스팅이 발생한다.

[0046] 이어서, 선택된 제1 워드라인(WL1)에 프로그램 전압(Vpgm)을 인가하여 선택된 메모리 셀들을 프로그램한다.

[0047] 상술한 방법으로 제2 워드라인(WL2)부터 제16 워드라인들에 순차적으로 프로그램 전압을 인가하면서 제1 그룹(WLd)에 포함된 선택된 메모리 셀들을 프로그램한다.

[0048] 제2 그룹(WLu)의 프로그램 동작

[0049] 제1 그룹(WLd)에 포함된 선택된 메모리 셀들의 프로그램 동작이 완료되면, 제2 그룹(WLu)에 포함된 선택된 메모리 셀들의 프로그램 동작을 수행한다.

[0050] 제2 그룹(WLu)에 포함된 선택된 메모리 셀들의 프로그램 동작은 제1 드레인 셀렉트 라인(DSL1)에 인접한 제32 워드라인(WL32)부터 셀 스트링의 중앙 방향으로 순차적으로 실시한다.

[0051] 제2 그룹(WLu)의 프로그램 동작은 제1 그룹(WLd)의 프로그램 동작과 반대로, 비트라인(BL)에는 채널 전압의 누설을 방지하기 위하여 전원전압(Vcc)을 인가하고, 소오스라인(SL)에는 프로그램 허용전압 또는 프로그램 금지전압을 인가한다. 이를 위하여, 제2 전압(V2)은 전원전압(Vcc)이 되도록 하고, 제2 선택회로(BS2)의 제3 스위치(53)는 턴온시키고 제4 스위치(54)는 턴오프시켜 전원전압(Vcc)이 비트라인(BL)으로 인가되도록 한다. 프로그램 동작시 페이지 버퍼(PB)에는 '0' 또는 '1' 데이터가 입력되는데, 통상적으로 '0'은 프로그램할 데이터이고, '1'은 프로그램하지 않을 데이터를 의미한다.

[0052] 페이지 버퍼(PB)에 '0' 데이터가 입력되면, 페이지 라인(PL)을 따라 프로그램 허용전압, 즉 0V의 전압이 인가된다. 페이지 버퍼(PB)에 '1' 데이터가 입력되면, 페이지 라인(PL)을 따라 프로그램 금지전압, 즉 전원전압(Vcc)이 인가된다. 여기서, 페이지 라인(PL)에 0V가 인가된다는 것은 페이지 버퍼(PB)를 통해 페이지 라인(PL)이 접지단자에 연결된다는 것을 의미한다. 따라서, 페이지 라인(PL)에는 페이지 버퍼(PB)에 입력된 데이터에 따라 프로그램 허용전압(0V) 또는 프로그램 금지전압(Vcc)이 인가된다. 즉, 셀 스트링 그룹(CSG)이 프로그램 동작을 수행할 선택된 셀 스트링 그룹이면, 페이지 라인(PL)에는 프로그램 허용전압(0V)이 인가되고, 셀 스트링 그룹(CSG)이 프로그램하지 않을 비선택된 셀 스트링 그룹이면, 페이지 라인(PL)에는 프로그램 금지전압(Vcc)이 인가된다.

[0053] 전원전압(Vcc) 레벨을 갖는 제2 전압(V2)을 소오스라인(SL)에 인가하기 위하여, 제2 선택회로(BS2)의 제3 스위치(53)를 턴온(turn on)시키고 제4 스위치(54)를 턴오프(turn off)시킨다. 프로그램 허용전압 또는 프로그램 금지전압을 소오스라인(SL)에 인가하기 위하여, 제1 선택회로(BS1)의 제1 스위치(51)를 턴오프시키고 제2 스위치(52)를 턴온시킨다.

[0054] 제1 내지 제32 워드라인들(WL1 내지 WL32)에는 프로그램 패스전압(Vpassp)을 인가하고, 제1 내지 제3 드레인 셀렉트 라인들(DSL1 내지 DSL3)에는 턴오프전압(0V)을 인가하고, 제1 내지 제3 소오스 셀렉트 라인들(SSL1 내지 SSL3)에는 소오스 턴온전압(Vss1)을 인가한다. 특히, 셀 스트링들에 채널(channel)을 형성하고, 비선택된 셀 스트링에는 채널 부스팅을 발생시키기 위하여, 제1 내지 제3 소오스 셀렉트 라인들(SSL1 내지 SSL3)에는 높은 레벨의 소오스 턴온전압(Vss1)을 인가한 후, 다시 소오스 턴온전압(Vss1)의 레벨을 낮추되, 0V보다 높은 레벨을 갖도록 한다. 예를 들면, 제1 내지 제3 소오스 셀렉트 라인들(SSL1 내지 SSL3)에 약 4V의 소오스 턴온전압

(Vss1)을 인가하여 소오스라인(SL)에 인가된 전압을 셀 스트링들에 전달한다. 이어서, 소오스 턴온전압(Vss1)을 약 1.5V로 낮추면, 프로그램 금지전압이 채널에 전달된 셀 스트링들의 소오스 셀렉트 트랜지스터들(SST)이 턴오프되고, 이로 인해 비선택된 셀 스트링들에서는 프로그램 패스전압(Vpassp)과 프로그램 금지전압으로 인하여 채널 부스팅이 발생한다.

[0055] 이어서, 선택된 제32 워드라인(WL32)에 프로그램 전압(Vpgm)을 인가하여 선택된 메모리 셀들을 프로그램한다.

[0056] 상술한 방법으로 나머지 제31 워드라인(WL31)부터 제17 워드라인들에 순차적으로 프로그램 전압을 인가하면서 제2 그룹(WLu)에 포함된 선택된 메모리 셀들을 프로그램한다.

[0057] 상술한 바와 같이, 소오스라인(SL)과 거리가 먼 제2 그룹(WLu)의 프로그램 동작 시 비트라인(BL)에 인접한 순서대로 프로그램 동작을 수행한다. 이때, 비트라인(BL)을 소오스라인(SL)처럼 사용하고 소오스라인(SL)을 비트라인(BL)처럼 사용함으로써, 프로그램 동작시 소오스라인(SL)과의 거리로 인한 셀 스트링 내의 저항을 감소시킬 수 있다. 프로그램 동작시 셀 스트링 내의 저항을 감소함으로써 프로그램 디스터브를 억제하고, 리텐션 특성을 개선할 수 있으므로, 프로그램 동작의 신뢰도를 개선할 수 있다.

[0058] 다음의 '표2'를 참조하여 반도체 장치의 리드 동작을 설명하도록 한다.

표 2

[0059]

	1	2	...	15	16	17	18	...	31	32
BL	VCC	VCC	VCC	VCC	VCC	0V	0V	0V	0V	0V
DSL	Vdsl	Vdsl	Vdsl	Vdsl	Vdsl	Vdsl	Vdsl	Vdsl	Vdsl	Vdsl
WL32	Vpassr	Vpassr	Vpassr	Vpassr	Vpassr	Vread	Vpassr	Vpassr	Vpassr	Vpassr
WL31	Vpassr	Vpassr	Vpassr	Vpassr	Vpassr	Vpassr	Vread	Vpassr	Vpassr	Vpassr
...	Vpassr	Vpassr	Vpassr	Vpassr	Vpassr	Vpassr	Vpassr	...	Vpassr	Vpassr
WL18	Vpassr	Vpassr	Vpassr	Vpassr	Vpassr	Vpassr	Vpassr	Vpassr	Vread	Vpassr
WL17	Vpassr	Vpassr	Vpassr	Vpassr	Vpassr	Vpassr	Vpassr	Vpassr	Vpassr	Vread
WL16	Vpassr	Vpassr	Vpassr	Vpassr	Vread	Vpassr	Vpassr	Vpassr	Vpassr	Vpassr
WL15	Vpassr	Vpassr	Vpassr	Vread	Vpassr	Vpassr	Vpassr	Vpassr	Vpassr	Vpassr
...	Vpassr	Vpassr	...	Vpassr	Vpassr	Vpassr	Vpassr	Vpassr	Vpassr	Vpassr
WL2	Vpassr	Vread	Vpassr	Vpassr	Vpassr	Vpassr	Vpassr	Vpassr	Vpassr	Vpassr
WL1	Vread	Vpassr	Vpassr	Vpassr	Vpassr	Vpassr	Vpassr	Vpassr	Vpassr	Vpassr
SSL	Vss1	Vss1	Vss1	Vss1	Vss1	Vss1	Vss1	Vss1	Vss1	Vss1
SL	0V	0V	0V	0V	0V	VCC	VCC	VCC	VCC	VCC

[0060] '표2'를 참조하면, 리드 동작은 상술한 프로그램 동작과 유사하게 실시할 수 있다. 리드 동작은 셀 스트링에 포함된 메모리 셀들을 두 개의 그룹으로 구분하여 수행할 수 있다. 하나의 셀 스트링 내에 32개의 메모리 셀들이 포함된 경우를 예로 들면, 제1 내지 제16 메모리 셀들을 제1 그룹(WLd)으로 정의하고, 제17 내지 제32 메모리 셀들을 제2 그룹(WLu)으로 정의할 수 있다. 제1 그룹(WLd)에 포함된 메모리 셀들의 리드 동작은 순방향으로 실시하고, 제2 그룹(WLu)에 포함된 메모리 셀들의 리드 동작은 역방향으로 실시한다. 보다 구체적으로 설명하면, 제1 그룹(WLd)에 포함된 메모리 셀들은 소오스라인(SL)부터 중앙 방향으로 배열된 순서로 메모리 셀들을 리드하고, 제2 그룹(WLu)에 포함된 메모리 셀들은 비트라인(BL)부터 중앙 방향으로 배열된 순서로 메모리 셀들을 리드한다. 따라서, 제1 그룹(WLd)의 리드 동작과 제2 그룹(WLu)의 리드 동작시 소오스라인(SL)과 비트라인(BL)에 인가되는 전압이 달라진다.

[0061] 본 발명에 따른 리드 동작을 구체적으로 설명하기 위하여, 메모리 블록(BLK11)에 포함된 셀 스트링들 중에서, 제1 드레인 셀렉트 라인(DSL1)과 제1 소오스 셀렉트 라인(SSL1)이 연결된 셀 스트링의 리드 동작을 예를 들어 설명하도록 한다.

[0062] 제1 그룹(WLd)의 리드 동작

[0063] 제1 그룹(WLd)에 포함된 선택된 메모리 셀들의 리드 동작은 제1 소오스 셀렉트 라인(SSL1)에 인접한 제1 워드라인(WL1)부터 셀 스트링의 중앙 방향으로 순차적으로 실시한다.

- [0064] 제1 그룹(WLd)의 리드 동작시, 소오스라인(SL)에는 0V를 인가하고, 비트라인(BL)에는 프리차지 전압을 인가한다. 예를 들면, 프리차지 전압은 전원전압(VCC)과 같은 양전압이 될 수 있다. 이를 위하여, 제1 전압(V1)은 0V가 되도록 하고, 제1 선택회로(BS1)의 제1 스위치(51)를 턴온시키고 제2 스위치(52)를 턴오프시켜 0V의 제1 전압(V1)이 소오스라인(SL)으로 인가되도록 한다. 리드 동작시 페이지 버퍼(PB)에는 '0' 데이터가 입력된다. 페이지 버퍼(PB)에 '0' 데이터가 입력되면, 페이지 라인(PL)을 따라 프리차지 전압이 인가된다. 프리차지 전압을 비트라인(BL)에 인가하기 위하여, 제2 선택회로(BS2)의 제3 스위치(53)를 턴오프시키고 제4 스위치(54)를 턴온시킨다.
- [0065] 제1 워드라인(WL1)에는 리드전압(Vread)을 인가하고, 나머지 제2 내지 제32 워드라인들(WL2 내지 WL32)에는 리드 패스전압(Vpassr)을 인가하고, 제1 내지 제3 소오스 셀렉트 라인들(SSL1, SSL2 및 SSL3)에는 소오스 턴온전압(Vss1)을 인가하고, 제1 내지 제3 드레인 셀렉트 라인들(DSL1 내지 DSL3)에는 드레인 턴온전압(Vds1)을 인가하여 제1 워드라인(WL1)에 연결된 선택된 메모리 셀들을 리드한다. 소오스 턴온전압(Vss1) 및 드레인 턴온전압(Vds1)은 4V 전압 레벨을 갖는 전압일 수 있다.
- [0066] 상술한 방법으로 나머지 제2 워드라인(WL2)부터 제16 워드라인들에 순차적으로 리드 전압을 인가하면서 제1 그룹(WLd)에 포함된 선택된 메모리 셀들을 순차적으로 리드한다.
- [0067] 제2 그룹(WLu)의 리드 동작
- [0068] 제1 그룹(WLd)에 포함된 선택된 메모리 셀들의 리드 동작이 완료되면, 제2 그룹(WLu)에 포함된 선택된 메모리 셀들의 리드 동작을 수행한다.
- [0069] 제2 그룹(WLu)에 포함된 선택된 메모리 셀들의 리드 동작은 제1 드레인 셀렉트 라인(DSL1)에 인접한 제32 워드라인(WL32)부터 셀 스트링의 중앙 방향으로 순차적으로 실시한다.
- [0070] 제2 그룹(WLu)의 리드 동작은 제1 그룹(WLd)의 리드 동작과 반대로, 비트라인(BL)에는 0V를 인가하고, 소오스라인(SL)에는 프리차지 전압을 인가한다. 이를 위하여, 제2 전압(V2)은 0V가 되도록 하고, 제2 선택회로(BS2)의 제3 스위치(53)는 턴온시키고 제4 스위치(54)는 턴오프시켜 0V의 제2 전압(V2)이 비트라인(BL)으로 인가되도록 한다. 리드 동작시 페이지 버퍼(PB)에는 '0' 데이터가 입력된다. 페이지 버퍼(PB)에 '0' 데이터가 입력되면, 페이지 라인(PL)을 따라 프리차지 전압이 인가된다. 프리차지 전압을 소오스라인(SL)에 인가하기 위하여, 제1 선택회로(BS1)의 제1 스위치(51)를 턴오프시키고 제2 스위치(52)를 턴온시킨다.
- [0071] 제32 워드라인(WL32)에는 리드전압(Vread)을 인가하고, 나머지 제31 내지 제1 워드라인들(WL31 내지 WL1)에는 리드 패스전압(Vpassr)을 인가하고, 제1 내지 제3 드레인 셀렉트 라인들(DSL1 내지 DSL3)에는 드레인 턴온전압(Vds1)을 인가하고, 제1 내지 제3 소오스 셀렉트 라인들(SSL1, SSL2 및 SSL3)에는 소오스 턴온전압(Vss1)을 인가하여 제32 워드라인(WL1)에 연결된 선택된 메모리 셀들을 리드한다. 드레인 턴온전압(Vds1) 및 소오스 턴온전압(Vss1)은 4V 전압 레벨을 갖는 전압일 수 있다.
- [0072] 상술한 방법으로 나머지 제31 워드라인(WL31)부터 제17 워드라인들에 순차적으로 리드 전압을 인가하면서 제2 그룹(WLu)에 포함된 선택된 메모리 셀들을 순차적으로 리드한다. 리드 동작은 프리차지된 비트라인들(BL) 또는 소오스라인들(SL)의 전압 변화를 센싱하여 수행하는데, 센싱 방법은 공지된 기술이므로 구체적인 설명은 생략하도록 한다.
- [0073] 상술한 바와 같이, 소오스라인(SL)과 거리가 먼 제2 그룹(WLu)의 리드 동작 시 비트라인(BL)에 인접한 순서대로 리드 동작을 수행한다. 이때, 비트라인(BL)을 소오스라인(SL)처럼 사용하고 소오스라인(SL)을 비트라인(BL)처럼 사용함으로써, 리드 동작시 소오스라인(SL)과의 거리로 인한 스트링 내의 저항을 감소시킬 수 있다. 이로 인해, 리드 동작의 신뢰도를 개선할 수 있다.
- [0074] 반도체 장치의 소거 동작은 다음의 도면을 참조하여 설명하도록 한다.
- [0075] 도 5 및 도 6은 제1 실시예에 따른 메모리 블록들의 소거 동작을 설명하기 위한 도면으로, 도 5는 소거 동작 시 선택된 메모리 블록 및 비선택된 메모리 블록들의 동작 방법을 설명하기 위한 도면이고, 도 6은 소거 동작시 메모리 셀들의 문턱전압을 설명하기 위한 도면이다.
- [0076] 도 5 및 도 6을 참조하여 제1 실시예에 따른 소거 동작을 설명하면 다음과 같다.
- [0077] 메모리 셀 어레이(110)는 다수의 메모리 블록들(BLK1, BLK2, BLK3, ...)을 포함하는데, 설명의 편의를 위하여

세 개의 메모리 블록들을 예를 들어 설명하도록 한다. 소거 동작은 다수의 메모리 블록들(BLK1, BLK2, BLK3, ...) 중에서 선택된 메모리 블록에 포함된 메모리 셀들만 소거하고, 나머지 비선택된 메모리 블록들에 포함된 메모리 셀들은 소거하지 않는다. 다만, 다수의 메모리 블록들은 비트라인들과 소오스라인들을 공유하고 있기 때문에 선택된 메모리 블록과 비선택된 메모리 블록에 각각 연결된 워드라인들에 서로 다른 전압을 인가해야 한다.

[0078] 제1 실시예에서는 설명의 편의를 위하여, 메모리 블록 'BLK1'을 소거하고자 하는 선택된 메모리 블록(Sel. BLK)으로, 나머지 메모리 블록들(BLK2 및 BLK3)을 비선택된 메모리 블록들(Unsel. BLK)로 하여 예를 들어 설명하도록 한다.

[0079] 소거 동작은 소거전압을 점진적으로 높이면서 소거전압을 인가하는 동작과 소거 검증동작을 반복하는 ISPE(Incremental Step Pulse Erase) 방법으로 수행한다. 소거 동작이 시작되면, 선택된 메모리 블록(Sel. BLK)에 포함된 메모리 셀들을 소거하기 위하여 모든 비트라인들(BL)과 소오스라인들(SL)에 소거전압을 인가하고, 모든 드레인 셀렉트 라인들(도 3의 DSL1~DSL3) 및 소오스라인들(도 3의 SSL1~SSL3)에 턴온전압(예컨대, 15V의 전압)을 인가하고, 선택된 메모리 블록(Sel. BLK)의 워드라인들(WL1~WL32)에는 소거 허용 전압(예컨대, 0V의 전압)을 인가하고, 비선택된 메모리 블록들(Unsel. BLK)에는 소거 금지 전압(예컨대, 18V의 전압)을 인가한다. 제1 실시예에서는, 비트라인들(BL) 및 소오스라인들(SL)에 인가하는 소거전압과 동일한 전압을 소거 금지 전압으로 사용하는데, 예를 들면 소거전압 및 소거 금지 전압으로 18V의 전압을 사용할 수 있다.

[0080] 다음의 '표3'을 참조하여 소거 동작을 구체적으로 설명하도록 한다.

표 3

	Sel. BLK		Unsel. BLK
	Sel. ST	In. ST	Unsel. ST
BL	Verase	Vinh	Verase/Vinh
DSL	Vdsl	Vdsl	Vdsl
WL32	0V	0V	Vwl
...	0V	0V	Vwl
WL1	0V	0V	Vwl
SSL	Vssl	Vssl	Vssl
SL	Verase	Vinh	Verase/Vinh

[0082] '표3'을 참조하면, 소거 동작이 시작되면 모든 메모리 블록들(Sel. BLK 및 Unsel. BLK)에 연결된 비트라인들(BL) 및 소오스라인들(SL)에 소거전압(Verase)을 인가하고, 드레인 셀렉트 라인들(DSL)과 소오스 셀렉트 라인들(SSL)에는 드레인 턴온전압(Vdsl) 및 소오스 턴온전압(Vssl)을 인가한다. 선택된 메모리 블록(Sel. BLK)에 연결된 모든 워드라인들(WL1 내지 WL32)에는 소거 허용전압을 인가하고, 선택된 메모리 블록(Sel. BLK)을 제외한 나머지 비선택된 메모리 블록들(Unsel. BLK)에는 비선택된 셀 스트링들(Unsel. ST)만 포함되어 있으므로, 비선택된 셀 스트링들(Unsel. ST)에 연결된 모든 워드라인들(WL1 내지 WL32)에는 소거 금지전압(Vwl)을 인가한다. 예를 들면, 소거전압(Verase)은 18V, 드레인 및 소오스 턴온전압들(Vdsl 및 Vssl)은 15V, 소거 허용전압은 0V, 소거 금지전압(Vwl)은 소거전압(Verase)과 동일한 전압으로 설정하거나 드레인 및 소오스 턴온전압들(Vdsl 및 Vssl)보다 낮고 0V보다 높은 전압으로 설정할 수 있다. 소거전압(Verase)과 드레인 및 소오스 턴온전압들(Vdsl 및 Vssl)은 반도체 장치에 따라 변경될 수 있으나, 소거 금지전압(Vwl)을 드레인 및 소오스 턴온전압들(Vdsl 및 Vssl)보다 낮고 0V보다 높은 전압으로 설정할 경우, 소거 금지전압(Vwl)은 약 13.5V의 전압으로 설정할 수 있다. 비트라인들(BL)과 소오스라인들(SL)에 소거전압(Verase)을 인가하기 위해서는, 소거전압(Verase)을 갖는 제1 및 제2 전압(도 4 참조)을 비트라인들(BL) 및 소오스라인들(SL)에 인가한다.

[0083] 소거 동작은 ISPE 방식으로 수행되므로, 비트라인들(BL) 및 소오스라인들(SL)을 통해 소거전압을 인가한 후에는 소거 검증동작을 수행한다. 소거 검증동작은 셀 스트링 단위로 수행하되, 비트라인(BL)에 공통으로 연결된 셀 스트링들 단위로 수행한다. 즉, 소거 검증동작은 도 3에서 상술한 셀 스트링 그룹(CSG) 단위로 수행한다.

[0084] 소거 검증동작이 패스된 셀 스트링들은 소거 억제 셀 스트링들(In. ST; Inhibit String)이 되고, 소거 억제 셀 스트링들(In. ST)에 연결된 비트라인들(BL)과 소오스라인들(SL)은 각각 소거 억제 비트라인들(In. BL) 및 소거 억제 소오스라인들(In. SL)로 정의된다. 소거 검증동작이 패스되지 않은 셀 스트링들(ST)은 선택된 셀 스트링들

(Sel. ST)로 정의되며, 선택된 셀 스트링들(Sel. ST)에 연결된 비트라인들(BL) 및 소오스라인들(SL)은 각각 선택 비트라인들(Sel. BL) 및 선택 소오스들(Sel. SL)로 정의된다. 도 6을 참조하면, 선택된 메모리 블록들(Sel. BLK)에 포함된 메모리 셀들은 소거 동작이 이루어지므로 문턱전압이 낮아진다. 메모리 셀들의 문턱전압이 소거 목표전압(V_T)까지 낮아지면 해당 메모리 셀은 소거가 완료된다. 다만, 셀 스트링에는 다수의 메모리 셀들이 포함되어 있으므로, 셀 스트링에 포함된 모든 메모리 셀들의 문턱전압이 소거 목표전압(V_T)까지 낮아져야만 해당 셀 스트링의 소거 검증동작이 패스되어 소거 억제 셀 스트링(In. ST)이 될 수 있다. 선택된 메모리 블록들(Sel. BLK)의 소거 동작이 수행되는 동안, 비선택된 메모리 블록들(Unsel. BLK)에 포함된 프로그램 메모리 셀들의 문턱전압은 그대로 유지된다.

[0085] 소거 동작이 수행되는 동안, 선택 비트라인들(Sel. BL) 및 선택 소오스라인들(Sel. SL)에는 소거전압을 인가하여 선택된 셀 스트링들(Sel. ST)에 포함된 메모리 셀들을 소거하고, 소거 억제 비트라인들(In. BL) 및 소거 억제 소오스라인들(In. SL)에는 소거 억제 전압(Vinh)을 인가하여 소거 억제 셀 스트링들(In. ST)에 포함된 메모리 셀들의 문턱전압이 더 낮아지는 것을 억제한다. 이를 위해, 소거 억제 전압(Vinh)은 소거전압(Verase)보다 낮은 전압으로 설정하는데, 소거전압(Verase)의 1/2에 해당되는 전압으로 설정할 수 있다. 예를 들어, 소거전압(Verase)이 18V이면 소거 억제 전압(Vinh)은 9V로 설정될 수 있다. 이때, 선택된 메모리 블록(Sel. BLK)에 연결된 모든 워드라인들(WL1 내지 WL32)에는 소거 허용전압인 0V가 인가되므로, 소거 억제 셀 스트링들(In. ST)에서는 워드라인들(WL)과 채널 간의 전압 차이가 약 9V 발생할 수 있다. 9V의 전압 차이로는 소거 완료된 메모리 셀들의 문턱전압이 더 낮아지기 어려우므로 소거 완료된 메모리 셀들의 과도한 소거를 억제시킬 수 있다.

[0086] 비선택된 메모리 블록들(Unsel. BLK)에 연결된 모든 워드라인들(WL1 내지 WL32)에는 소거 금지 전압(Vw1)이 인가되고 있으므로, 선택된 비트라인들(Sel. BL)에 소거전압(예컨대, 18V의 전압)이 인가되더라도 워드라인들(WL)과 채널 간의 전압차이가 많이 발생하지 않는다. 예를 들면, 소거 금지 전압(Vw1)이 소거전압(Verase)과 동일한 경우, 워드라인들(WL)과 채널 간의 전압 차이는 0V가 되므로 메모리 셀들은 소거되지 않는다. 또한, 소거 금지전압(Vw1)을 상술한 바와 같이 약 13.5V의 전압으로 설정할 경우, 워드라인들(WL)과 채널 간의 전압 차이는 4.5V가 되는데, 4.5V의 전압 차이로는 메모리 셀들이 소거되지 않는다.

[0087] 또한, 비선택된 메모리 블록들(Unsel. BLK)에 연결된 소거 억제 비트라인들(In. BL) 및 소거 억제 소오스라인들(In. SL)에는 소거 억제 전압(9V)이 인가되고 있으므로, 워드라인들(WL1 내지 WL32)에 소거전압(Verase)과 동일한 소거 금지 전압(Vw1)이 인가되더라도 워드라인들과 채널 간의 전압 차이가 약 9V가 발생하는데, 9V의 전압 차이로는 메모리 셀들이 소거되지 않으므로 비선택된 메모리 블록들(Unsel. BLK)에 포함된 메모리 셀들의 소거를 금지할 수 있다. 만약, 소거 금지전압(Vw1)을 13.5V로 설정하더라도 워드라인들과 채널 간의 전압 차이는 약 4.5V가 되므로 메모리 셀들의 소거를 금지할 수 있다.

[0088] 상술한 소거 동작을 반복하여 선택된 메모리 블록(Sel. BLK)에 포함된 모든 메모리 셀들이 소거 검증동작을 패스하면 소거 동작이 종료된다.

[0089] 상술한 바와 같이, 소거 완료된 셀 스트링들의 과소거를 억제함으로써 소거 완료된 메모리 셀들의 문턱전압 분포 폭이 증가하는 것을 억제할 수 있고, 소거 대상이 아닌 비선택된 메모리 셀들의 소거전압에 의한 스트레스를 억제할 수 있다.

[0090] 도 7은 본 발명의 제2 실시예에 따른 메모리 블록들의 구성을 설명하기 위한 도면이다.

[0091] 도 7을 참조하면, 메모리 셀 어레이(110)는 다수의 메모리 블록들(BLK11~BLK44)을 포함한다. 제2 실시예에서는 메모리 블록들(BLK11~BLK44)이 복층으로 이루어지며, 서로 동일한 구성으로 이루어진다. 또한, 도 7에서는 설명의 편의를 위하여 종 방향으로 4개의 메모리 블록들이 배열되고, 수직방향으로 4개의 메모리 블록들이 배열된 구조를 도시하였으므로, 메모리 블록들의 개수는 반도체 장치에 따라 변경 가능하다.

[0092] 메모리 블록들(BLK11~BLK44) 중, 수직 방향으로 적층된 메모리 블록들은 서로 워드라인들(WL)을 공유하지만, 종 방향으로 배열된 메모리 블록들에는 서로 다른 워드라인들(WL)이 연결된다. 예를 들면, 수직 방향으로 배열된 'BLK11~BLK41' 메모리 블록들은 동일한 워드라인들(WL)을 공유하지만, 종 방향으로 배열된 'BLK11~BLK14' 메모리 블록들에는 서로 다른 워드라인들(WL)이 연결된다. 따라서, 수직 방향으로 배열된 메모리 셀들에는 공통으로 연결된 워드라인들을 통하여 동일한 전압을 동시에 인가할 수 있으며, 종 방향으로 배열된 메모리 블록들의 워드라인들에는 서로 다른 전압을 동시에 인가할 수 있다. 또한, 종 방향으로 배열된 메모리 블록들은 비트라인들

(BL)과 소오스라인들(SL)을 서로 공유한다. 수직 방향으로 배열된 비트라인들(BL) 및 소오스라인들(SL)은 선택 스위치부(150)에 공통으로 연결되며, 종 방향으로 배열된 비트라인들 또는 소오스라인들(SL)은 서로 다른 선택 스위치부(150)에 연결된다. 각각의 선택 스위치부(150)에는 페이지 버퍼(PB)가 각각 연결된다.

- [0093] 도 8은 도 7에 도시된 메모리 블록들을 구체적으로 설명하고, 제2 실시예에 따른 프로그램, 독출 및 소거 동작을 설명하기 위한 도면이다.
- [0094] 도 8을 참조하여, 수직 방향으로 적층된 메모리 블록들(BLK11, BLK21, BLK31, BLK41)을 예를 들어 설명하도록 한다.
- [0095] 설명의 편의상 'BLK11'을 제1 메모리 블록이라 하고, 'BLK21'을 제2 메모리 블록이라 하고, 'BLK31'을 제3 메모리 블록(BLK113)이라 하고, 'BLK41'을 제4 메모리 블록이라 한다. 제1 내지 제4 메모리 블록들(BLK11 내지 BLK41)에 각각 연결된 소오스 셀렉트 라인(SSL), 워드라인(WL) 및 드레인 셀렉트 라인(DSL)은 서로 인접한 메모리 블록들이 서로 공유하는 소오스라인(SL) 또는 비트라인(BL)을 기준으로 서로 대칭이 되도록 배열된다. 각각의 메모리 블록들의 구체적인 구성을 설명하면 다음과 같다.
- [0096] 제1 메모리 블록(BLK11)의 하부에는 소오스라인들(SL)이 배열되고, 소오스라인들(SL)의 상부에 소오스 셀렉트 트랜지스터들(SST)이 배열된다. 소오스 셀렉트 트랜지스터들(SST)의 상부에는 메모리 셀들(MC)이 배열되고, 메모리 셀들(MC)의 상부에 드레인 셀렉트 트랜지스터들(DST)이 배열된다. 드레인 셀렉트 트랜지스터들(DST)의 상부에는 비트라인들(BL)이 배열된다. 즉, 제1 메모리 블록(BLK11)에서는 하부에서 상부로 소오스라인들(SL), 소오스 셀렉트 라인들(SSL), 워드라인들(WL), 드레인 셀렉트 라인들(DSL) 및 비트라인들(BL)이 순차적으로 배열된다.
- [0097] 제2 메모리 블록(BLK21)은 제1 메모리 블록(BLK11)의 상부에 적층되는데, 제1 메모리 블록(BLK11)의 비트라인들(BL)을 공유한다. 따라서, 제2 메모리 블록(BLK21)에서는 비트라인들(BL)이 하단에 배열되고, 비트라인들(BL)의 상부에 드레인 셀렉트 라인들(DSL), 워드라인들(WL), 소오스 셀렉트 라인들(SSL) 및 소오스라인들(SL)이 순차적으로 배열된다.
- [0098] 제3 메모리 블록(BLK31)은 제2 메모리 블록(BLK21)의 상부에 적층되는데, 제2 메모리 블록(BLK21)의 소오스라인들(SL)을 공유한다. 따라서, 제3 메모리 블록(BLK31)에서는 소오스라인들(SL)이 하단에 배열되고, 소오스라인들(SL)의 상부에 소오스 셀렉트 라인들(SSL), 워드라인들(WL), 드레인 셀렉트 라인들(DSL) 및 비트라인들(BL)이 순차적으로 배열된다.
- [0099] 제4 메모리 블록(BLK41)은 제3 메모리 블록(BLK31)의 상부에 적층되는데, 제3 메모리 블록(BLK31)의 비트라인들(BL)을 공유한다. 따라서, 제4 메모리 블록(BLK41)에서는 비트라인들(BL)이 하단에 배열되고, 비트라인들(BL)의 상부에 드레인 셀렉트 라인들(DSL), 워드라인들(WL), 소오스 셀렉트 라인들(SSL) 및 소오스라인들(SL)이 순차적으로 배열된다.
- [0100] 또한, 제1 내지 제4 메모리 블록들(BLK11 내지 BLK41)에 포함된 메모리 셀들(MC)도 제1 그룹 및 제2 그룹으로 구분되며, 서로 인접한 메모리 블록들의 제1 및 제2 그룹도 서로 대칭으로 배열된다. 예를 들면, 제1 메모리 블록(BLK11)에서 제1 그룹이 하부에 배열되고 제2 그룹이 상부에 배열되면, 제2 메모리 블록(BLK21)에서는 하부에 제2 그룹이 배열되고 상부에 제1 그룹이 배열된다.
- [0101] 선택 스위치부(150)는 제1 내지 제 5 선택회로들(BS1 내지 BS5)을 포함한다. 제1 내지 제5 선택회로들(BS1 내지 BS5)은 서로 동일하게 구성되는데, 제1 내지 제5 전압들(V1 내지 V5)을 각각 공급받고, 공통으로 연결된 페이지 라인(PL)을 통하여 페이지 버퍼(PB)에 연결된다.
- [0102] 제1 선택회로(BS1)는 제1 전압(V1) 또는 페이지 버퍼(PB)로부터 전달된 전압을 제1 메모리 블록(BLK11)의 소오스라인(SL)에 선택적으로 전달하도록 구성된다. 구체적으로, 제1 선택회로(BS1)는 제1 전압(V1)이 인가되는 단자와 페이지 라인(PL) 사이에서 서로 직렬로 연결된 제1 및 제2 스위치들(81 및 82)을 포함한다. 제1 스위치(81)는 제1 소오스라인 선택신호(SSW1)에 응답하여 동작하는 NMOS 트랜지스터로 구현될 수 있고, 제2 스위치(82)는 제2 소오스라인 선택신호(SSW2)에 응답하여 동작하는 NMOS 트랜지스터로 구현될 수 있다. 제1 메모리 블록(BLK11)의 소오스라인(SL)은 제1 및 제2 스위치들(81 및 82) 사이에 연결된다.
- [0103] 제2 선택회로(BS2)는 제2 전압(V2) 또는 페이지 버퍼(PB)로부터 전달된 전압을 제1 및 제2 메모리 블록들(BLK11 및 BLK21)이 공유하는 비트라인(BL)에 선택적으로 전달하도록 구성된다. 구체적으로, 제2 선택회로(BS2)는 제2

전압(V2)이 인가되는 단자와 페이지 라인(PL) 사이에서 서로 직렬로 연결된 제3 및 제4 스위치들(83 및 84)을 포함한다. 제3 스위치(83)는 제1 비트라인 선택신호(BSW1)에 응답하여 동작하는 NMOS 트랜지스터로 구현될 수 있고, 제4 스위치(84)는 제2 비트라인 선택신호(BSW2)에 응답하여 동작하는 NMOS 트랜지스터로 구현될 수 있다. 제1 및 제2 메모리 블록들(BLK11 및 BLK21)이 공유하는 비트라인(BL)은 제3 및 제4 스위치들(83 및 84) 사이에 연결된다.

[0104]

제3 선택회로(BS3)는 제3 전압(V3) 또는 페이지 버퍼(PB)로부터 전달된 전압을 제2 및 제3 메모리 블록들(BLK21 및 BLK31)이 공유하는 소오스라인(SL)에 선택적으로 전달하도록 구성된다. 구체적으로, 제3 선택회로(BS3)는 제3 전압(V3)이 인가되는 단자와 페이지 라인(PL) 사이에서 서로 직렬로 연결된 제5 및 제6 스위치들(85 및 86)을 포함한다. 제5 스위치(85)는 제3 소오스라인 선택신호(SSW3)에 응답하여 동작하는 NMOS 트랜지스터로 구현될 수 있고, 제6 스위치(86)는 제4 소오스라인 선택신호(SSW2)에 응답하여 동작하는 NMOS 트랜지스터로 구현될 수 있다. 제2 및 제3 메모리 블록들(BLK21 및 BLK31)이 공유하는 소오스라인(SL)은 제5 및 제6 스위치들(85 및 86) 사이에 연결된다.

[0105]

제4 선택회로(BS4)는 제4 전압(V4) 또는 페이지 버퍼(PB)로부터 전달된 전압을 제3 및 제4 메모리 블록들(BLK31 및 BLK41)이 공유하는 비트라인(BL)에 선택적으로 전달하도록 구성된다. 구체적으로, 제4 선택회로(BS4)는 제4 전압(V4)이 인가되는 단자와 페이지 라인(PL) 사이에서 서로 직렬로 연결된 제7 및 제8 스위치들(87 및 88)을 포함한다. 제7 스위치(87)는 제3 비트라인 선택신호(BSW3)에 응답하여 동작하는 NMOS 트랜지스터로 구현될 수 있고, 제8 스위치(88)는 제4 비트라인 선택신호(BSW4)에 응답하여 동작하는 NMOS 트랜지스터로 구현될 수 있다. 제3 및 제4 메모리 블록들(BLK31 및 BLK41)이 공유하는 비트라인(BL)은 제7 및 제8 스위치들(87 및 88) 사이에 연결된다.

[0106]

제5 선택회로(BS5)는 제5 전압(V5) 또는 페이지 버퍼(PB)로부터 전달된 전압을 제4 메모리 블록(BLK41)에 연결된 소오스라인(SL)에 선택적으로 전달하도록 구성된다. 구체적으로, 제5 선택회로(BS5)는 제5 전압(V5)이 인가되는 단자와 페이지 라인(PL) 사이에서 서로 직렬로 연결된 제9 및 제10 스위치들(89 및 90)을 포함한다. 제9 스위치(89)는 제5 소오스라인 선택신호(SSW5)에 응답하여 동작하는 NMOS 트랜지스터로 구현될 수 있고, 제10 스위치(90)는 제6 소오스라인 선택신호(SSW4)에 응답하여 동작하는 NMOS 트랜지스터로 구현될 수 있다. 제4 메모리 블록(BLK41)에 연결된 소오스라인(SL)은 제9 및 제10 스위치들(89 및 90) 사이에 연결된다.

[0107]

다음의 표4'를 참조하여 선택된 메모리 블록(Se1. BLK)의 프로그램 동작을 설명하도록 한다.

표 4

[0108]

		1	...	16	17	...	32
	SL	VCC	VCC	VCC	VCC	VCC	VCC
BLK41 (Unsel. BLK)	SSL	Vss1	Vss1	Vss1	Vss1	Vss1	Vss1
	WL (제1그룹)	Vpgm/ Vpass	Vpgm/ Vpass	Vpgm/ Vpass	Vpass	Vpass	Vpass
	WL (제2그룹)	Vpass	Vpass	Vpass	Vpgm/ Vpass	Vpgm/ Vpass	Vpgm/ Vpass
	DSL	0V/-2V	0V/-2V	0V/-2V	0V	0V	0V
BLK31 (Se1. BLK)	BL	VCC/0V	VCC/0V	VCC/0V	VCC	VCC	VCC
	DSL	Vds1	Vds1	Vds1	0V	0V	0V
	WL (제2그룹)	Vpass	Vpass	Vpass	Vpgm/ Vpass	Vpgm/ Vpass	Vpgm/ Vpass
	WL (제1그룹)	Vpgm/ Vpass	Vpgm/ Vpass	Vpgm/ Vpass	Vpass	Vpass	Vpass
	SSL	0V	0V	0V	Vss1	Vss1	Vss1
BLK21 (Unsel. BLK)	SL	VCC	VCC	VCC	VCC/0V	VCC/0V	VCC/0V
	SSL	0V	0V	0V	0V/-2V	0V/-2V	0V/-2V
	WL (제1그룹)	Vpgm/ Vpass	Vpgm/ Vpass	Vpgm/ Vpass	Vpass	Vpass	Vpass
	WL (제2그룹)	Vpass	Vpass	Vpass	Vpgm/ Vpass	Vpgm/ Vpass	Vpgm/ Vpass
	DSL	Vds1	Vds1	Vds1	Vds1	Vds1	Vds1

	BL	VCC	VCC	VCC	VCC	VCC	VCC
BLK11 (Unsel. BLK)	DSL	Vds1	Vds1	Vds1	Vds1	Vds1	Vds1
	WL (제2그룹)	Vpass	Vpass	Vpass	Vpgm/ Vpass	Vpgm/ Vpass	Vpgm/ Vpass
	WL (제1그룹)	Vpgm/ Vpass	Vpgm/ Vpass	Vpgm/ Vpass	Vpass	Vpass	Vpass
	SSL	0V	0V	0V	0V	0V	0V
	SL	VCC	VCC	VCC	VCC	VCC	VCC

[0109]

'표4'를 참조하면, 선택된 메모리 블록(SEL. BLK)의 프로그램 동작은 '표1'에서 상술한 바와 같이 메모리 셀들을 제1 및 제2 그룹으로 구분하여 실시한다. 예를 들면, 제1 그룹의 메모리 셀들은 소오스 셀렉트 라인(SSL)에 인접한 메모리 셀부터 중앙방향의 메모리 셀 순서로 프로그램 동작을 실시한다. 따라서, 제1 그룹의 메모리 셀들을 프로그램하는 동안, 제1 그룹의 메모리 셀들에 연결된 워드라인들(WL)에는 프로그램 전압(Vpgm) 또는 패스 전압(Vpass)이 인가되고, 제2 그룹의 메모리 셀들에 연결된 워드라인들(WL)에는 패스전압(Vapss)이 인가된다. 제2 그룹의 메모리 셀들을 프로그램하는 동안, 제2 그룹의 메모리 셀들에 연결된 워드라인들(WL)에는 프로그램 전압(Vpgm) 또는 패스전압(Vpass)이 인가되고, 제1 그룹의 메모리 셀들에 연결된 워드라인들(WL)에는 패스전압(Vpass)이 인가된다.

[0110]

특히, 제1 내지 제4 메모리 블록들(BLK11 내지 BLK41)은 워드라인들을 공유하기 때문에, 선택된 메모리 블록(SEL. BLK)의 선택된 워드라인에 프로그램 전압(Vpgm)을 인가하면 비선택된 메모리 블록의 해당 워드라인에도 프로그램 전압(Vpgm)이 인가된다. 따라서, 비선택된 메모리 블록들(Unsel. BLK)에 포함된 메모리 셀들이 프로그램되지 않도록 비트라인들(BL), 소오스라인들(SL), 드레인 셀렉트 라인들(DSL) 및 소오스 셀렉트 라인들(SSL)에 인가하는 전압을 조절한다.

[0111]

제1 그룹 및 제2 그룹의 프로그램 동작을 구체적으로 설명하면 다음과 같다.

[0112]

제1 그룹의 프로그램 동작

[0113]

선택된 메모리 블록(SEL. BLK)인 제3 메모리 블록(BLK31)에서 제1 그룹의 프로그램 동작을 수행하는 동안, 제3 메모리 블록(BLK31)에 연결된 소오스라인들(SL)에는 전원전압(VCC)을, 소오스 셀렉트 라인들(SSL)에는 턴오프전압(예컨대, 0V)을, 워드라인들(WL)에는 프로그램 전압(Vpgm) 또는 패스전압(Vpass)을, 드레인 셀렉트 라인들(DSL)에는 드레인 턴온전압(Vds1; 예컨대, 4V)을, 비트라인들(BL)에는 프로그램 허용전압(예컨대, 0V) 또는 프로그램 금지전압(예컨대, VCC)을 인가한다.

[0114]

비선택된 메모리 블록(Unsel. BLK)인 제4 메모리 블록(BLK41)에서는 비트라인들(BL)에 인가되는 전압들 중에서 프로그램 허용전압(예컨대, 0V)에 의해 제4 메모리 블록(BLK41)의 채널 전압이 낮아지는 것을 방지하기 위하여, 드레인 셀렉트 라인들(DSL)에 턴오프전압을 인가한다. 턴오프전압은 프로그램 허용전압과 같거나 낮은 전압 또는 음의 전압이 될 수 있다. 예를 들면, 턴오프전압은 0V 또는 -2V의 전압이 될 수 있으며, 반도체 장치에 따라 전압 레벨은 변경될 수도 있다. 제4 메모리 블록(BLK41)에 연결된 소오스라인들(SL)에는 프로그램 금지전압(예컨대, VCC)을 인가하고, 소오스 셀렉트 라인들(SSL)에는 소오스 턴온전압(Vss1)을 인가한다. 소오스 턴온전압(Vss1)은 처음에는 소오스라인들(SL)을 통하여 프로그램 금지전압을 채널에 충분히 전달하기 위하여 높은 레벨을 유지한 후, 0V보다 높되 처음의 높은 레벨보다는 낮아지도록 한다. 소오스 턴온전압(Vss1)이 낮아지면 소오스 셀렉트 트랜지스터들(SST)이 턴오프되면서 채널 부스팅이 발생한다. 이로써, 비선택된 제4 메모리 블록(BLK41)에 포함된 제1 그룹의 메모리 셀들은 프로그램되지 않는다.

[0115]

비선택된 메모리 블록(Unsel. BLK)인 제2 메모리 블록(BLK21)에서는 소오스 셀렉트 라인들(SSL)에 턴오프전압을 인가하여 소오스 셀렉트 트랜지스터들(SST)을 턴오프시킨다. 예를 들면, 턴오프전압은 0V이 전압이 될 수 있다. 제2 메모리 블록(BLK21)에 연결된 비트라인들(BL)에는 프로그램 금지전압(예컨대, VCC)을 인가하고, 드레인 셀렉트 라인들(DSL)에는 드레인 턴온전압(Vds1)을 인가하여 제2 메모리 블록(BLK21)의 채널 전압을 상승시킨다. 드레인 턴온전압(Vds1)은 처음에는 비트라인들(BL)을 통하여 프로그램 금지전압을 채널에 충분히 전달하기 위하여 높은 레벨을 유지한 후, 0V보다 높되 처음의 높은 레벨보다는 낮아지도록 한다. 드레인 턴온전압(Vds1)이 낮아지면 드레인 셀렉트 트랜지스터들(DST)이 턴오프되면서 채널 부스팅이 발생한다. 이로써, 비선택된 제2 메모리 블록(BLK21)에 포함된 제1 그룹의 메모리 셀들은 프로그램되지 않는다.

[0116] 비선택된 메모리 블록(Unsel. BLK)인 제1 메모리 블록(BLK11)에서는 채널 전압이 낮아지는 것을 방지하기 위하여, 소오스라인들(SL)에 전원전압(VCC)을 인가하고, 소오스 셀렉트 라인들(SSL)에는 턴오프전압(예컨대, 0V)을 인가하여 소오스 셀렉트 트랜지스터들(SST)을 턴오프시킨다. 비트라인들(BL)에 프로그램 금지전압(예컨대, VCC)이 인가되므로, 드레인 셀렉트 라인들(DSL)에는 드레인 턴온전압(Vds1)을 인가하여 드레인 셀렉트 트랜지스터들(DST)을 턴온시킨다. 드레인 턴온전압(Vds1)은 처음에는 비트라인들(BL)을 통하여 프로그램 금지전압을 채널에 충분히 전달하기 위하여 높은 레벨을 유지한 후, 0V보다 높되 처음의 높은 레벨보다는 낮아지도록 한다. 드레인 턴온전압(Vds1)이 낮아지면 드레인 셀렉트 트랜지스터들(DST)이 턴오프되면서 채널 부스팅이 발생한다. 이로써, 비선택된 제1 메모리 블록(BLK11)에 포함된 제1 그룹의 메모리 셀들은 프로그램되지 않는다.

[0117] 제2 그룹의 프로그램 동작

[0118] 선택된 메모리 블록(SEL. BLK)인 제3 메모리 블록(BLK31)에서 제1 그룹의 프로그램 동작이 완료되면, 제2 그룹의 프로그램 동작을 수행한다.

[0119] 제2 그룹의 프로그램동작을 수행하는 동안, 제3 메모리 블록(BLK31)에 연결된 비트라인들(BL)에는 전원전압(VCC)을, 드레인 셀렉트 라인들(DSL)에는 턴오프전압(예컨대, 0V)을, 워드라인들(WL)에는 프로그램 전압(Vpgm) 또는 패스전압(Vpass)을, 소오스 셀렉트 라인들(SSL)에는 소오스 턴온전압(Vss1; 예컨대, 4V)을, 소오스라인들(SL)에는 프로그램 허용전압(예컨대, 0V) 또는 프로그램 금지전압(예컨대, VCC)을 인가한다.

[0120] 비선택된 메모리 블록(Unsel. BLK)인 제4 메모리 블록(BLK41)에서는 소오스라인들(SL)에 프로그램 금지전압(예컨대, VCC)을 인가하고, 소오스 셀렉트 라인들(SSL)에는 소오스 턴온전압(Vss1)을 인가한다. 비트라인들(BL)에는 전원전압(VCC)이 인가되고 있으므로, 드레인 셀렉트 라인들(DSL)에는 턴오프전압(예컨대, 0V)을 인가한다. 드레인 턴온전압(Vds1)은 처음에는 비트라인들(BL)을 통하여 프로그램 금지전압을 채널에 충분히 전달하기 위하여 높은 레벨을 유지한 후, 0V보다 높되 처음의 높은 레벨보다는 낮아지도록 한다. 드레인 턴온전압(Vds1)이 낮아지면 드레인 셀렉트 트랜지스터들(DST)이 턴오프되면서 채널 부스팅이 발생한다. 이로써, 비선택된 제4 메모리 블록(BLK41)에 포함된 제2 그룹의 메모리 셀들은 프로그램되지 않는다.

[0121] 비선택된 메모리 블록(Unsel. BLK)인 제2 메모리 블록(BLK21)에서는 소오스라인들(SL)에 프로그램 금지전압(예컨대, VCC) 또는 프로그램 허용전압(예컨대, 0V)이 인가되므로, 소오스 셀렉트 라인들(SSL)에는 턴오프전압(예컨대, 0V)을 인가한다. 턴오프전압은 프로그램 허용전압과 같거나 낮은 전압 또는 음의 전압이 될 수 있다. 예를 들면, 턴오프전압은 0V 또는 -2V의 전압이 될 수 있으며, 반도체 장치에 따라 전압 레벨은 다양하게 변경될 수 있다. 제2 메모리 블록(BLK21)에 연결된 비트라인들(BL)에는 프로그램 금지전압(예컨대, VCC)을 인가하고, 드레인 셀렉트 라인들(DSL)에는 드레인 턴온전압(Vds1)을 인가한다. 드레인 턴온전압(Vds1)은 처음에는 비트라인들(BL)을 통하여 프로그램 금지전압을 채널에 충분히 전달하기 위하여 높은 레벨로 유지한 후, 0V보다 높되 처음의 높은 레벨보다는 낮아지도록 한다. 드레인 턴온전압(Vds1)이 낮아지면 드레인 셀렉트 트랜지스터들(DST)이 턴오프되면서 채널 부스팅이 발생한다. 이로써, 비선택된 제2 메모리 블록(BLK21)에 포함된 제2 그룹의 메모리 셀들은 프로그램되지 않는다.

[0122] 비선택된 메모리 블록(Unsel. BLK)인 제1 메모리 블록(BLK11)에서는 채널 전압이 낮아지는 것을 방지하기 위하여, 소오스라인들(SL)에 전원전압(VCC)을 인가하고, 소오스 셀렉트 라인들(SSL)에는 턴오프전압(예컨대, 0V)을 인가하여 소오스 셀렉트 트랜지스터들(SST)을 턴오프시킨다. 비트라인들(BL)에 프로그램 금지전압(예컨대, VCC)이 인가되므로, 드레인 셀렉트 라인들(DSL)에는 드레인 턴온전압(Vds1)을 인가하여 드레인 셀렉트 트랜지스터들(DST)을 턴온시킨다. 드레인 턴온전압(Vds1)은 처음에는 비트라인들(BL)을 통하여 프로그램 금지전압을 채널에 충분히 전달하기 위하여 높은 레벨을 유지한 후, 0V보다 높되 처음의 높은 레벨보다는 낮아지도록 한다. 드레인 턴온전압(Vds1)이 낮아지면 드레인 셀렉트 트랜지스터들(DST)이 턴오프되면서 채널 부스팅이 발생한다. 이로써, 비선택된 제1 메모리 블록(BLK11)에 포함된 제2 그룹의 메모리 셀들은 프로그램되지 않는다.

[0123] 다음의 '표5'를 참조하여 반도체 장치의 리드 동작을 설명하도록 한다.

표 5

[0124]

		1	...	16	17	...	32
	SL	VCC	VCC	VCC	VCC	VCC	VCC

BLK41 (Unsel. BLK)	SSL	Vssl	Vssl	Vssl	Vssl	Vssl	Vssl
	WL (제1그룹)	Vread/ Vpass	Vread/ Vpass	Vread/ Vpass	Vpass	Vpass	Vpass
	WL (제2그룹)	Vpass	Vpass	Vpass	Vread/ Vpass	Vread/ Vpass	Vread/ Vpass
	DSL	0V	0V	0V	0V	0V	0V
BLK31 (Sel. BLK)	BL	VCC	VCC	VCC	0V	0V	0V
	DSL	Vdsl	Vdsl	Vdsl	Vdsl	Vdsl	Vdsl
	WL (제2그룹)	Vpass	Vpass	Vpass	Vread/ Vpass	Vread/ Vpass	Vread/ Vpass
	WL (제1그룹)	Vread/ Vpass	Vread/ Vpass	Vread/ Vpass	Vpass	Vpass	Vpass
	SSL	Vssl	Vssl	Vssl	Vssl	Vssl	Vssl
BLK21 (Unsel. BLK)	SL	0V	0V	0V	VCC	VCC	VCC
	SSL	0V	0V	0V	0V	0V	0V
	WL (제1그룹)	Vread/ Vpass	Vread/ Vpass	Vread/ Vpass	Vpass	Vpass	Vpass
	WL (제2그룹)	Vpass	Vpass	Vpass	Vread/ Vpass	Vread/ Vpass	Vread/ Vpass
	DSL	Vdsl	Vdsl	Vdsl	Vdsl	Vdsl	Vdsl
BLK11 (Unsel. BLK)	BL	VCC	VCC	VCC	VCC	VCC	VCC
	DSL	Vdsl	Vdsl	Vdsl	Vdsl	Vdsl	Vdsl
	WL (제2그룹)	Vpass	Vpass	Vpass	Vread/ Vpass	Vread/ Vpass	Vread/ Vpass
	WL (제1그룹)	Vread/ Vpass	Vread/ Vpass	Vread/ Vpass	Vpass	Vpass	Vpass
	SSL	0V	0V	0V	0V	0V	0V
	SL	0V	0V	0V	0V	0V	0V

[0125] '표5'를 참조하면, 선택된 메모리 블록(Sel. BLK)의 리드 동작은 '표2'에서 상술한 바와 같이 메모리 셀들을 제1 및 제2 그룹으로 구분하여 실시한다. 예를 들면, 제1 그룹에 포함된 메모리 셀들은 소오스라인(SL)부터 중앙방향으로 배열된 순서로 메모리 셀들을 리드하고, 제2 그룹에 포함된 메모리 셀들은 비트라인(BL)부터 중앙방향으로 배열된 순서로 메모리 셀들을 리드한다. 제1 그룹의 메모리 셀들을 리드하는 동안, 제1 그룹의 메모리 셀들에 연결된 워드라인들(WL)에는 리드전압(Vread) 또는 패스전압(Vpass)이 인가되고, 제2 그룹의 메모리 셀들에 연결된 워드라인들(WL)에는 패스전압(Vapss)이 인가된다. 제2 그룹의 메모리 셀들을 리드하는 동안, 제2 그룹의 메모리 셀들에 연결된 워드라인들(WL)에는 리드전압(Vread) 또는 패스전압(Vpass)이 인가되고, 제1 그룹의 메모리 셀들에 연결된 워드라인들(WL)에는 패스전압(Vpass)이 인가된다. 또한, 선택된 메모리 블록(Sel. BLK)의 리드동작을 수행하는 동안, 비선택된 메모리 블록들(Unsel. BLK)의 채널에도 프리차지 전압을 인가하여 선택된 메모리 블록(Sel. BLK)의 리드 디스터브(disturb)를 억제한다.

[0126] 제1 그룹의 리드 동작 시 비선택된 메모리 블록들(Unsel. BLK)에 연결된 드레인 셀렉트 라인들(DSL), 소오스 셀렉트 라인들(SSL), 비트라인들(BL) 및 소오스라인들(SL)에 인가되는 전압은 제2 그룹의 리드 동작에서도 동일하게 적용된다.

[0127] 구체적으로 설명하면 다음과 같다.

[0128] 선택된 메모리 블록(Sel. BLK)인 제3 메모리 블록(BLK31)에서 제1 그룹의 리드 동작을 수행하는 동안, 제3 메모리 블록(BLK31)에 연결된 소오스라인들(SL)에는 0V, 소오스 셀렉트 라인들(SSL)에는 소오스 턴온전압(Vssl), 워드라인들(WL)에는 리드전압(Vread) 또는 패스전압(Vpass), 드레인 셀렉트 라인들(DSL)에는 드레인 턴온전압(Vdsl), 비트라인들(BL)에는 프리차지 전압을 인가한다. 소오스라인들(SL)에 0V를 인가한다는 의미는 소오스라인들(SL)을 접지단자에 연결한다는 의미이다. 소오스 턴온전압(Vssl) 및 드레인 턴온전압(Vdsl)은 예를 들면 4V의 전압으로 설정될 수 있다. 프리차지 전압은 양전압으로 설정되는데, 예를 들면 전원전압(VCC) 또는 1V의 전압으로 설정될 수 있다. 제1 그룹의 리드 동작을 완료한 후에는, 제2 그룹의 리드 동작을 수행한다. 제2 그룹의 리드 동작은 제3 메모리 블록(BLK31)에 연결된 소오스라인들(SL)에 프리차지 전압, 소오스 셀렉트 라인들(SSL)에는 소오스 턴온전압(Vssl), 워드라인들(WL)에는 리드전압(Vread) 또는 패스전압(Vpass), 드레인 셀렉트 라인

들(DSL)에는 드레인 턴온전압(V_{ds1}), 비트라인들(BL)에는 0V를 인가한다. 비트라인들(BL)에 0V를 인가한다는 의미는 비트라인들(BL)을 접지단자에 연결한다는 의미이다. 소오스 턴온전압(V_{ss1}) 및 드레인 턴온전압(V_{ds1})은 예를 들면 4V의 전압으로 설정될 수 있다. 프리차지 전압은 양전압으로 설정되는데, 예를 들면 전원전압(VCC) 또는 1V의 전압으로 설정될 수 있다.

[0129] 선택된 메모리 블록(Se1. BLK)의 제1 및 제2 그룹의 리드 동작시, 비선택된 메모리 블록(Unse1. BLK)인 제4 메모리 블록(BLK41)에서는 드레인 셀렉트 라인들(DSL)에 턴오프전압을 인가하고, 소오스라인들(SL)에 프리차지 전압(VCC)을 인가하고, 소오스 셀렉트 라인들(SSL)에 소오스 턴온전압(V_{ss1})을 인가한다. 예를 들면, 턴오프전압은 0V, 프리차지 전압은 전원전압(VCC), 소오스 턴온전압(V_{ss1})은 4V의 전압으로 설정될 수 있다.

[0130] 비선택된 메모리 블록(Unse1. BLK)인 제2 메모리 블록(BLK21)에서는 소오스 셀렉트 라인들(SSL)에 턴오프전압을 인가하고, 드레인 셀렉트 라인들(DSL)에는 드레인 턴온전압(V_{ds1})을 인가하고, 비트라인들(BL)에는 프리차지 전압을 인가한다. 예를 들면, 턴오프전압은 0V, 드레인 턴온전압(V_{ds1})은 4V, 프리차지 전압은 전원전압(VCC)으로 설정될 수 있다.

[0131] 비선택된 메모리 블록(Unse1. BLK)인 제1 메모리 블록(BLK11)에서는 드레인 셀렉트 라인들(DSL)에 드레인 턴온전압(V_{ds1})을 인가하고, 소오스라인들(SL)에는 0V, 소오스 셀렉트 라인들(SSL)에는 턴오프전압을 인가한다. 예를 들면, 드레인 턴온전압(V_{ds1})은 4V, 턴오프전압은 0V으로 설정될 수 있다. 상술한 전압은 발명의 이해를 돕기 위하여 제시된 전압 레벨에 해당하므로, 반도체 장치에 따라 다양한 전압 레벨로 변경될 수 있다.

[0132] 다음의 '표6'을 참조하여 반도체 장치의 소거 동작을 설명하도록 한다.

표 6

		Se1. ST	In. ST	Unse1. BLK
	SL	FT	FT	Verase
BLK41 (Unse1. BLK)	SSL	FT	FT	V_{ss1}
	WL	0V	0V	V_{w1}
	DSL	0V	0V	V_{ds1}
	BL	Verase	Vinh	Verase/Vinh
BLK31 (Se1. BLK)	DSL	V_{ds1}	V_{ds1}	V_{ds1}
	WL	0V	0V	V_{w1}
	SSL	V_{ss1}	V_{ss1}	V_{ss1}
	SL	Verase	Vinh	Verase/Vinh
BLK21 (Unse1. BLK)	SSL	0V	0V	V_{ss1}
	WL	0V	0V	V_{w1}
	DSL	0V	0V	V_{ds1}
	BL	Verase	Verase	Verase
BLK11 (Unse1. BLK)	DSL	0V	0V	V_{ds1}
	WL	0V	0V	V_{w1}
	SSL	0V	0V	V_{ss1}
	SL	Verase	Verase	Verase

[0134] '표6'을 참조하면, 소거 동작이 시작되면 모든 비트라인들(BL) 및 소오스라인들(SL)에 소거전압(Verase)을 인가하고, 선택된 메모리 블록(Se1. BLK)에 연결된 워드라인들(WL)에는 소거 허용전압을 인가한다. 예를 들면, 소거 전압(Verase)은 18V의 전압을 사용하고, 소거 허용전압은 0V의 전압을 사용할 수 있다. 워드라인들(WL)에 0V의 전압을 인가한다는 의미는 워드라인들(WL)에 접지단자를 연결한다는 의미와 같다. 도 7에서 상술한 바와 같이, 수직으로 적층된 메모리 블록들(BLK11, BLK21, BLK31 및 BLK41)은 워드라인들(WL)을 서로 공유하기 때문에 선택된 메모리 블록(Se1. BL)과 워드라인들(WL)을 공유하는 비선택된 메모리 블록들(BLK11, BLK21 및 BLK41)에서도 워드라인들(WL)에 소거 허용전압이 인가된다. 따라서, 이러한 비선택된 메모리 블록들(BLK11, BLK21 및 BLK41)은 비트라인들(BL), 소오스라인들(SL), 드레인 셀렉트 라인들(DSL) 및 소오스 셀렉트 라인들(SSL)에 인가하는 전압 조절이 중요하다.

[0135] 구체적으로 설명하면, 소거 동작은 ISPE 방법으로 수행한다. 소거 동작이 시작될 때에는 선택된 메모리 블록

(Sel. BLK)에 포함된 모든 셀 스트링들은 소거 대상이 되는 선택된 셀 스트링들(Sel. ST)이 된다. 따라서, 소거 동작이 시작될 때에는 선택된 메모리 블록(Sel. BLK)에 연결된 모든 비트라인들(BL) 및 소오스라인들(SL)에 소거전압(Verase)이 인가되고, 드레인 셀렉트 라인들(DSL)에는 드레인 턴온전압(Vds1)이 인가되며, 소오스 셀렉트 라인들(SSL)에는 소오스 턴온전압(Vss1)이 인가된다. 그리고, 선택된 메모리 블록(Sel. BLK)에 연결된 워드라인들(WL)에는 소거 허용전압인 0V의 전압이 인가된다. 소거 검증 동작을 수행하여 선택된 메모리 블록(Sel. BLK)의 셀 스트링들 중에서 소거가 완료된 셀 스트링들로만 이루어진 셀 스트링 그룹이 발생되면, 해당 셀 스트링 그룹에 포함된 셀 스트링들은 소거 억제 셀 스트링들(In. ST)이 된다. 소거 억제 셀 스트링들(In. ST)에서는 아직 소거가 완료되지 않은 선택된 셀 스트링들(Sel. ST)의 소거 동작이 수행되는 동안 메모리 셀들의 문턱전압이 과도하게 낮아지는 것을 방지하기 위하여, 비트라인들(BL) 및 소오스라인들(SL)에 소거 억제 전압(Vinh)이 인가된다. 소거 억제 전압(Vinh)은 소거전압(Verase)보다 낮고 0V보다 높은 전압으로서, 소거전압(Verase)의 1/2에 해당되는 전압으로 설정될 수 있다. 즉, 소거전압(Verase)이 18V라고 가정하면, 소거 억제 전압(Vinh)은 9V로 설정될 수 있다. 소거 억제 셀 스트링들(In. ST)의 비트라인들(BL) 및 소오스라인들(SL)에 소거 억제 전압(Vinh)이 인가되면, 워드라인들(WL)에 소거 허용전압인 0V의 전압이 인가되더라도, 워드라인들(WL)과 채널 간 9V의 낮은 전압 차이가 발생하므로 메모리 셀들의 문턱전압이 과도하게 낮아지는 것을 억제시킬 수 있다.

[0136] 선택된 메모리 블록(Sel. BLK)의 소거 동작을 수행하는 동안, 선택된 메모리 블록(Sel. BLK)에 연결된 워드라인들(WL)을 공유하는 제1 메모리 블록(BLK11), 제2 메모리 블록(BLK21) 및 제4 메모리 블록(BLK41)의 동작을 구체적으로 설명하면 다음과 같다.

[0137] 제4 메모리 블록(BLK41)에서는 비트라인들(BL)에 인가되는 전압에 관계없이 드레인 셀렉트 라인들(DSL)에 턴오프전압을 인가한다. 턴오프전압은 0V 또는 음전압이 될 수 있다. 턴오프전압을 음전압으로 사용할 경우, 약 -2V의 음전압이 사용될 수 있다. 제4 메모리 블록(BLK41)의 소오스라인들(SL)은 다른 메모리 블록에 공유되지 않으므로, 소오스라인들(SL) 및 소오스 셀렉트 라인들(SSL)은 모두 플로팅(FT)시킨다.

[0138] 제2 메모리 블록(BLK21)에서는 소오스라인들(SL)에 인가되는 전압에 관계없이 소오스 셀렉트 라인들(SSL)에는 턴오프전압을 인가한다. 턴오프전압은 0V 또는 음전압이 될 수 있다. 턴오프전압을 음전압으로 사용할 경우 약 -2V의 음전압이 사용될 수 있으며, 소오스 셀렉트 트랜지스터들(SST)에서의 누설을 방지할 수 있다. 제2 메모리 블록(BLK21)의 비트라인들(BL)에는 소거전압(Verase)을 인가한다.

[0139] 제1 메모리 블록(BLK11)에서는 드레인 및 소오스 셀렉트 라인들(DSL 및 SSL)에 턴오프전압을 인가하고, 소오스 라인들(SL)에는 소거전압(Vrera)을 인가한다.

[0140] 선택된 메모리 블록(Sel. BLK)의 소거 동작을 수행하는 동안, 선택된 메모리 블록(Sel. BLK)에 연결된 워드라인들(WL)을 공유하지 않는 비선택된 메모리 블록들(Unsel. BLK)의 동작을 구체적으로 설명하면 다음과 같다.

[0141] 비선택된 메모리 블록들(Unsel. BLK) 중에서 선택된 메모리 블록(Sel. BLK)의 비트라인들(BL) 및 소오스라인들(SL)을 공유하는 메모리 블록에서는 드레인 셀렉트 라인들(DSL)에 드레인 턴온전압(Vds1)을 인가하고, 소오스 셀렉트 라인들(SSL)에 소오스 턴온전압(Vss1)을 인가하여 드레인 및 소오스 셀렉트 트랜지스터들(DST 및 SST)을 턴온시킨다. 이에 따라, 셀 스트링들의 채널에 소거전압(Verase)이 인가되므로, 비선택된 메모리 블록들(Unsel. BLK)에 연결된 워드라인들(WL)에는 소거 금지전압(Vw1)을 인가하여 메모리 셀들의 소거를 방지한다. 나머지 비선택된 메모리 블록들(Unsel. BLK)의 연결된 비트라인들(BL) 및 소오스라인들(SL)에는 소거전압(Verase)을 인가하고, 드레인 셀렉트 라인들(DSL)에는 드레인 턴온전압(Vds1)을 인가하고, 소오스 셀렉트 라인들(SSL)에는 소오스 턴온전압(Vss1)을 인가하고, 워드라인들에는 소거 금지전압(Vw1)을 인가한다. 이로써, 비선택된 메모리 블록들(Unsel. BLK)에 포함된 메모리 셀들의 소거를 방지하고, 소거전압(Verase)에 의한 스트레스를 감소시킬 수 있다.

[0142] '표6'에서 상술한 소거 동작 이외에, 다음의 '표7'을 참조하여 다른 실시예에 따른 소거 동작을 설명하도록 한다.

표 7

[0143]

		Sel. ST	In. ST	Unsel. BLK
	SL	FT	FT	FT

BLK41 (Unsel. BLK)	SSL	0V	0V	0V
	WL	0V	0V	0V
	DSL	0V	0V	0V
	BL	Verase	Vinh	Verase/Vinh
BLK31 (Sel. BLK)	DSL	Vdsl	Vdsl	0V
	WL	0V	0V	0V
	SSL	Vssl	Vssl	0V
	SL	Verase	Vinh	Verase/Vinh
BLK21 (Unsel. BLK)	SSL	0V	0V	0V
	WL	0V	0V	0V
	DSL	0V	0V	0V
	BL	FT	FT	FT
BLK11 (Unsel. BLK)	DSL	0V	0V	0V
	WL	0V	0V	0V
	SSL	0V	0V	0V
	SL	FT	FT	FT

[0144]

'표7'을 참조하면, 선택된 메모리 블록(Sel. BLK)을 제외한 나머지 메모리 블록들(Unsel. BLK)의 셀 스트링들의 채널들에 소거전압(Verase)이 인가되지 않도록 한다. 이를 위해, 선택된 메모리 블록들(Sel. BLK)의 비트라인들(BL) 및 소오스라인들(SL)을 제외한 비선택된 메모리 블록들(Unsel. BLK)에 연결된 비트라인들(BL) 및 소오스라인들(SL)을 플로팅시키고, 드레인 셀렉트 라인들(DSL) 및 소오스 셀렉트 라인들(SSL)에 턴오프전압을 인가한다. 이에 따라, 비선택된 메모리 블록들(unsel. BLK)에 포함된 메모리 셀들은 소거전압(Verase)에 의한 영향을 받지 않으므로, 소거전압(Verase)에 의한 스트레스 또한 받지 않는다.

[0145]

상기에서 설명한 본 발명의 기술적 사상은 바람직한 실시 예에서 구체적으로 기술되었으나, 상기한 실시 예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명은 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술적 사상의 범위 내에서 다양한 실시 예가 가능함을 이해할 수 있을 것이다.

부호의 설명

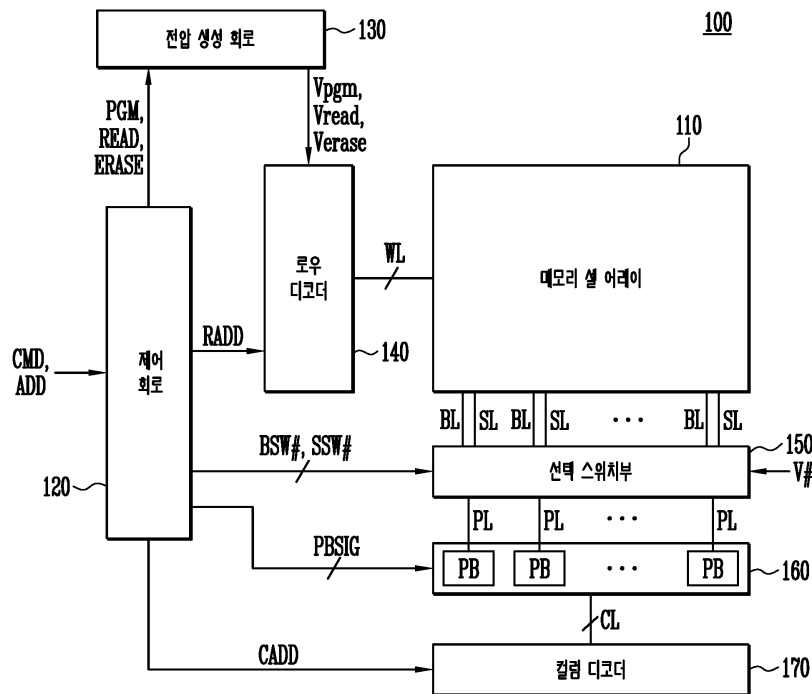
[0146]

100: 반도체 장치	110: 메모리 셀 어레이
120: 제어회로	130: 전압 생성 회로
140: 로우 디코더	150: 선택 스위치부
160: 페이지 버퍼부	170: 컬럼 디코더
BLK1~BLKm, BLK11~BLK44: 메모리 블록	
ST: 셀 스트링	CSG: 셀 스트링 그룹
SL, SLn-1, SLn, SLn+1: 소오스라인	BL, BLn-1, BLn, BLn+1: 비트라인
SSL1~SSL3: 소오스 셀렉트 라인	DSL1~DSL3: 드레인 셀렉트 라인
WL, WL1~WL32: 워드라인	MC: 메모리 셀
SST: 소오스 셀렉트 트랜지스터	DST: 드레인 셀렉트 트랜지스터
WLd: 제1 그룹	WLu: 제2 그룹
PB: 페이지 버퍼	BS1~BS5: 선택회로
Sel. BLK: 선택된 메모리 블록	Unsel. BLK: 비선택된 메모리 블록
Sel. ST: 선택된 셀 스트링	Unsel. ST: 비선택된 셀 스트링

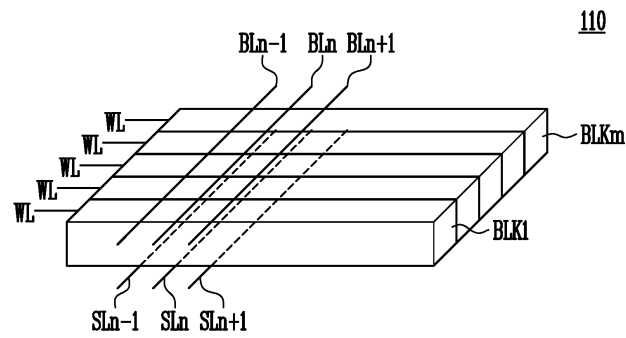
In. ST: 소거 억제 셀 스트링

도면

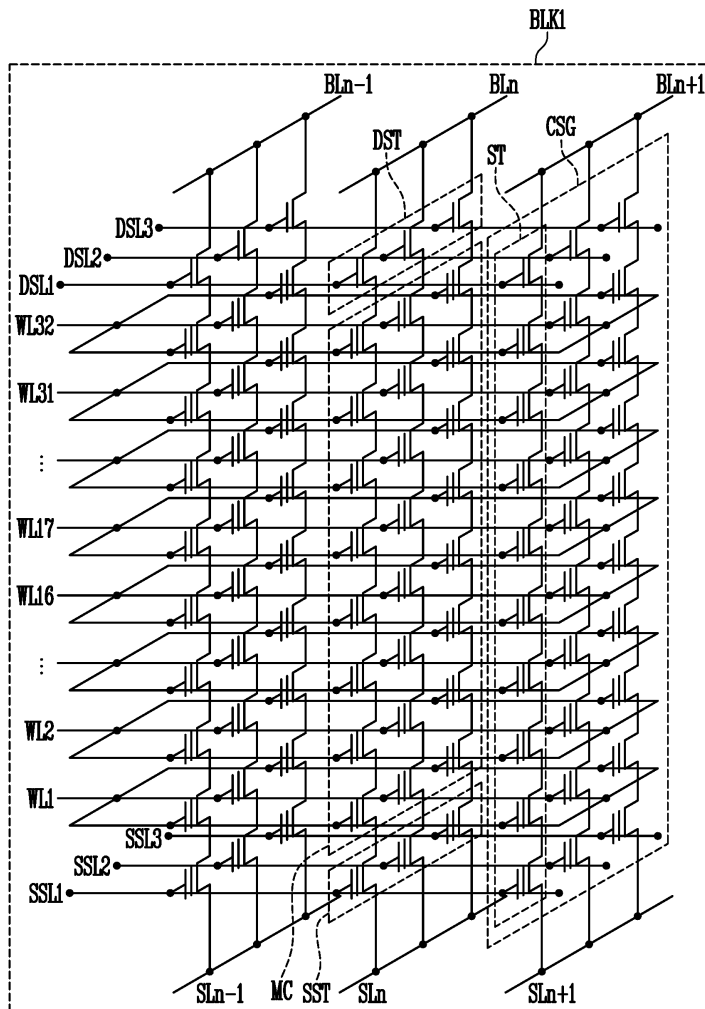
도면1



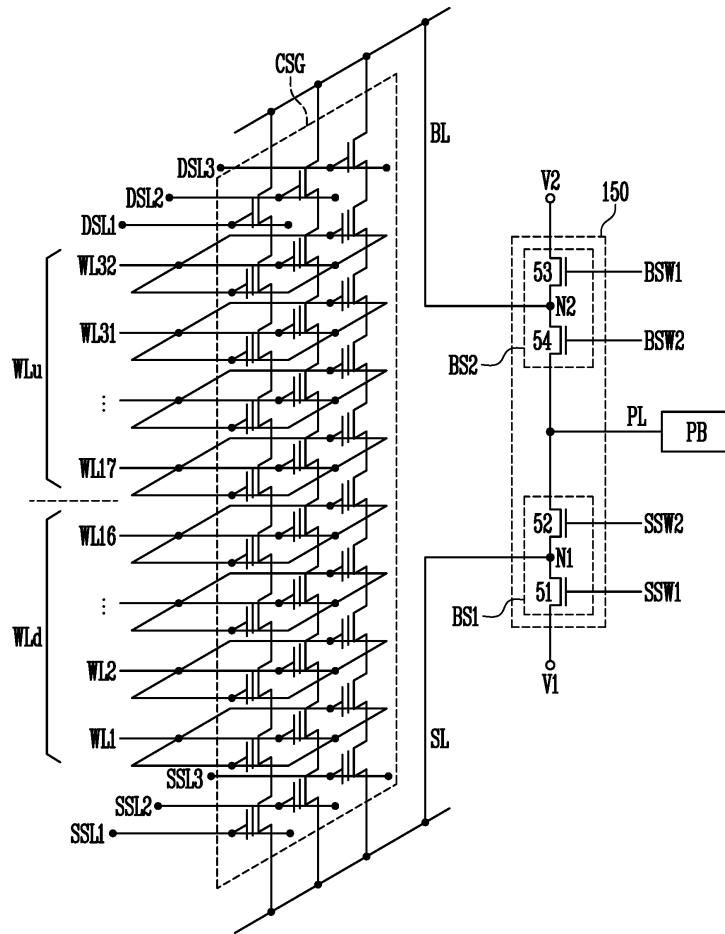
도면2



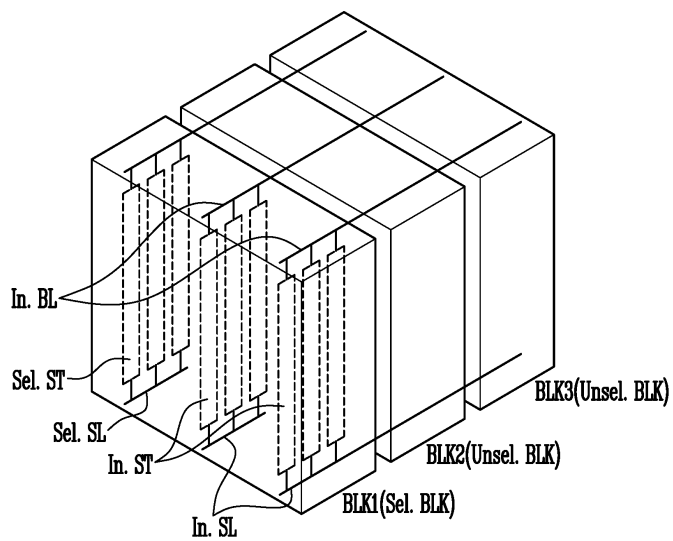
도면3



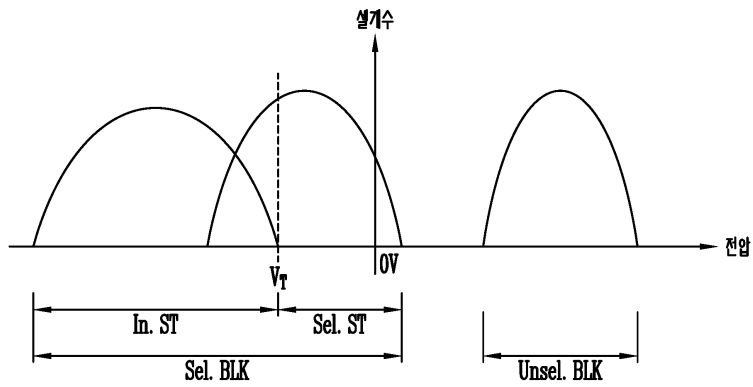
도면4



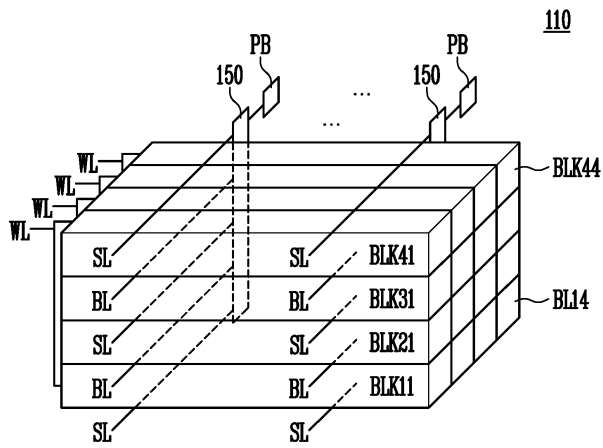
도면5



도면6



도면7



도면8

