

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
G11C 16/06

(45) 공고일자 2001년01월 15일

(11) 등록번호 10-0273626

(24) 등록일자 2000년09월04일

(21) 출원번호	10-1996-0082415	(65) 공개번호	특1997-0051351
(22) 출원일자	1996년12월27일	(43) 공개일자	1997년07월29일
(30) 우선권주장	95-341643	1995년12월27일	일본(JP)
(73) 특허권자	닛폰 덴기 가부시키키가이샤 가네꼬 히사시		
(72) 발명자	일본국 도쿄도 미나토구 시바 5썩메 7방 1고 다케시마 도시오		
(74) 대리인	일본국 도쿄도 미나토구 시바 5-7-1 닛폰 덴기 가부시키키가이샤 내 스가와라 히로시 일본국 도쿄도 미나토구 시바 5-7-1 닛폰 덴기 가부시키키가이샤 내 이병호		

심사관 : 이철희

(54) 다치(多値) 정보를 기록할 수 있는 비휘발성 반도체 메모리

요약

다치 정보를 메모리 셀에 기록 가능하도록 구성된 비휘발성 반도체 메모리는 많은 메모리 셀 트랜지스터로 구성된 메모리 셀 어레이를 포함한다. 제1 및 제2기록 회로는 제1 및 제2의 4변수 입력 데이터를 수신하고, 제1 및 제2의 4변수 입력 데이터 값에 각각 대응하는 레벨을 갖는 제1 및 제2기록 비트선 전압을 발생한다. 열 선택 회로는 행 어드레스 신호에 따라 메모리 셀 어레이의 많은 비트선들에서 제1 및 제2비트선을 선택하고, 기록 시 선택된 제1 및 제2비트 라인 각각에 제1 및 제2기록 비트선을 동시에 공급한다. 따라서, 4변수 데이터중 2개가 1 워드선에 의해 선택된 하나의 행의 메모리셀 트랜지스터에 포함된 2개의 메모리 셀 트랜지스터내에 동시에 기록 가능하다.

대표도

도8

명세서

도면의 간단한 설명

제1도는 인가된 전압의 레벨을 변화시킴으로써 다치 정보를 기록하도록 구성된 종래의 비휘발성 반도체 메모리의 제1실시예의 회로도.

제2도는 입력 데이터의 값에 따라 기록 워드선 전압을 변화할 때 메모리 셀 트랜지스터의 임계 전압의 변화를 나타내는 그래프.

제3도는 1개의 메모리 셀 트랜지스터를 하나의 게이트 전압을 인가함으로써 프로그램한 다음, 또 다른 게이트 전압을 인가함으로써 또 다른 메모리 셀 트랜지스터를 프로그램할 때, 메모리 셀 트랜지스터의 임계의 변화 및 여러 점들에 대한 전압 변화를 나타내는 파형도.

제4도는 인가 전압의 레벨을 일정하게 유지하면서 전압 인가 시간을 변화시킴으로써 다치 정보를 기록하도록 구성된 종래의 비휘발성 반도체 메모리의 제2실시예의 회로도.

제5도는 펄스 폭(프로그래밍 시간)을 변화하였을 때 메모리 셀 트랜지스터의 임계 전압의 변화를 나타내는 그래프.

제6도는 1개의 펄스 폭을 갖는 펄스 신호를 인가함으로써 1개의 메모리 셀 트랜지스터를 프로그램한 다음, 또 다른 펄스 폭을 갖는 펄스 신호를 인가함으로써 또 다른 메모리 셀 트랜지스터를 프로그램할 때, 메모리 셀 트랜지스터의 임계 변화 및 여러 점들에 대한 전압 변화를 나타내는 파형도.

제7도는 제6도와 유사하지만, 제6도에 도시한 기록 방법의 변형을 도시하는 파형도.

제8도는 본 발명에 따른 비휘발성 반도체 메모리의 일 실시예의 회로도.

제9도는 본 발명에 따른 비휘발성 반도체 메모리의 메모리 셀 트랜지스터에 다치 정보를 기록하는 동작 원리를 설명하기 위한 메모리 셀 트랜지스터의 임계 전압의 변화를 나타내는 그래프.

제10도는 서로 상이한 복수개의 다치 정보를 본 발명에 따른 비휘발성 반도체 메모리의 복수 개의 메모리 셀 트랜지스터에 기록하였을 때, 메모리 셀 트랜지스터의 임계 변화 및 여러 점들에 대한 전압 변화를 나타내는 파형도.

* 도면의 주요부분에 대한 부호의 설명

- | | |
|--------------------|--------------------|
| 1 : 메모리 셀 어레이 | 2, 2B : X-디코더 |
| 3, 3A : Y-디코더 | 4, 4A : Y-스위치 회로 |
| 5A, 5B, 5C : 버퍼 회로 | 6A, 6B, 6C : 기록 회로 |
| 7 : 레벨 변환 회로 | 8 : 타이밍 발생기 |

발명의 상세한 설명**발명의 목적****발명이 속하는 기술분야 및 그 분야의 종래기술**

본 발명은 비휘발성 반도체 메모리에 관한 것으로서, 특히 메모리 셀에 다치 정보를 기록하기 위한 수단을 갖는 비휘발성 반도체 메모리에 관한 것이다.

종래에, 적어도 3치를 예를 들어 4치를 취할 수 있는 1개의 다치 정보로 메모리 셀을 기록하는 각종 비휘발성 반도체 메모리 및 그의 기록 방법이 제안되었다(예를 들면, 일본국 특허 출원 공개 공보 제3-237692호 및 동 제7-029382호를 참조).

비휘발성 반도체 메모리에서, 메모리 셀은 일반적으로 소스, 드레인 및 게이트 각각에 인가된 전압을 제어함으로써 전기적으로 제어 가능한 임계값을 갖는 부동 게이트 전계 효과 트랜지스터로 형성된다. 이후, 이러한 트랜지스터를 “메모리 셀 트랜지스터”라 칭한다. 메모리 셀 트랜지스터의 임계값을 제어하는 방법은 인가 전압의 레벨을 변화시키는 방법과, 인가 전압을 일정한 레벨로 유지하면서 전압 인가 시간을 제어하는 방법을 포함한다.

제1도에 있어서, 제1도는 인가 전압의 레벨을 변화시킴으로써 다치 정보를 기록하도록 구성된 종래의 비휘발성 반도체 메모리의 제1실시예의 회로도이다.

도시된 비휘발성 반도체 메모리는 “m” 행 및 “n” 열을 갖는 매트릭스 형태로 배열된, 전기적으로 제어 가능한 임계값을 갖는 많은 메모리 셀 트랜지스터(M_{11} 내지 M_{mn})로 구성된 메모리 셀 어레이(1)를 포함한다. 도시한 비휘발성 반도체 메모리는 메모리 셀 트랜지스터(M_{11} 내지 M_{mn})의 “m” 행들에 대해 제공된 복수 개의 워드선(WL_1 내지 WL_m)과 메모리 셀 트랜지스터(M_{11} 내지 M_{mn})의 “n” 열들에 대해 제공된 복수 개의 비트선(BL_1 내지 BL_n)을 포함하며, 각각의 워드선(WL_1 내지 WL_m)은 하나의 대응 행에 포함된 모든 메모리 셀 트랜지스터의 게이트에 공통 접속되고, 각각의 비트선(BL_1 내지 BL_n)이 하나의 대응 열에 포함된 모든 메모리 셀 트랜지스터의 드레인에 공통적으로 접속된다. 모든 메모리 셀 트랜지스터(M_{11} 내지 M_{mn})의 소스는 접지된다.

또한, 도시된 비휘발성 반도체 메모리는 4개의 값을 갖는 입력 데이터(I_0), 즉 4변수 정보(예를 들면, 비트(I_1 및 I_2))로 구성됨)를 기록 시 보유하고 공급하기 위한 버퍼 회로(5C)와, 버퍼 회로(5C)로부터 공급된 입력 데이터(I_1)의 값에 대응하는 워드선 전압 제어 신호(WVC) 및 일정 레벨을 갖는 기록 비트선 전압(Vbp)을 기록 시 발생하는 기록 회로(6C)와, 행 어드레스 신호 AX를 수신하여 복수 개의 워드선(WL_1 내지 WL_m)으로부터 수신된 행 어드레스 신호 AX에 따라서 하나의 워드 라인을 선택하여 워드선 전압 제어 신호 WVC에 대응하는 기록 워드선 전압 Vwp를 기록 시 선택된 워드선에 공급하기 위한 X-디코더(2A) 및 레벨 변환 회로(7)와, 열 어드레스 신호(AY)를 수신해서 복수 개의 비트선(BL_1 내지 BL_n)으로부터 수신된 열 어드레스 신호(AY)에 따라 하나의 비트선을 선택하고, 기록 비트선 전압(Vbp)을 기록 시 선택된 비트선에 공급하기 위한 Y-스위치 회로(4A)를 포함한다.

이후, 이러한 비휘발성 반도체 메모리의 기록 동작에 대해서 설명하기로 한다.

기록될 정보는 입력 버퍼(5C)에 수신되고 보유되는 입력 데이터 $I_0(I_1, I_2)$ 로서 외부로부터 공급된다. 기록 회로(6C)는 입력 데이터 $I_0(I_1, I_2)$ 에 대한 산술 동작을 수행하고, 메모리 셀 트랜지스터의 임계 레벨이 다치 정보로서 수신된 입력 데이터 I_0 에 대응하는지를 식별한다. 기록 회로(6C)는 식별의 결과를 나타내는 값을 갖는 워드선 전압 제어 신호(WVC) 및 일정한 레벨을 갖는 기록 비트선 전압(Vbp)을 발생한다.

레벨 변환 회로(7)는 워드선 전압 제어 신호(WVC)에, 즉 입력 데이터 I_0 의 값에 대응하는 레벨을 갖는 기록 워드선 전압(Vwp)을 X-디코더(2A)에 의해 선택된 1개의 워드선으로 공급한다. 한편, Y-디코더(3A) 및 Y-스위치 회로(4A)는 기록 비트선 전압(Vbp)을 1개의 선택된 비트선에 공급한다.

따라서, 입력 데이터 I_0 의 값에 대응하는 전압은 1개의 선택된 워드선과 1개의 선택된 비트선 사이의 교차점에 위치하는 1개의 메모리 셀 트랜지스터의 게이트와 드레인 사이에 인가됨으로써, 선택된 메모리 셀 트랜지스터의 임계값이 입력 데이터 I_0 의 값에 대응하는 레벨로 된다.

제2도는 기록 워드선 전압(Vwp)이 입력 데이터 I_0 의 값에 따라 변화될 때 메모리 셀 트랜지스터의 임계 전압(V_t)의 변화를 나타내는 그래프이다. 한편, 메모리 셀 트랜지스터의 게이트와 드레인 사이에 기록 전압을 인가하기 위한 프로그래밍 시간(T_p)이 일정한 값으로 고정된다. 기록 워드선 전압(Vwp)은 입력 데이터

I_0 의 값에 대응하고, 기록 워드선 전압(V_{wp})의 레벨 관계는 $V_{w1} < V_{w2} < V_{w3} < V_{w4}$ 이다. 상위 레벨(V_{w4})이 인가될 때, 메모리 셀 트랜지스터의 부동 게이트에 주입된 전자들의 수가 최대가 됨으로써, 임계값(V_t)은 가장 큰 값이 된다.

제3도는 메모리 셀 트랜지스터(M_{11})가 V_{w4} 의 게이트 전압(기록 워드선 전압)을 인가함으로써 프로그램된 다음에, 다른 메모리 셀 트랜지스터(M_{12})가 V_{w2} 의 게이트 전압을 인가함으로써 프로그램될 때, 메모리 셀 트랜지스터(M_{11} 내지 M_{mn})의 임계값(V_t)의 변화 및 여러 점들에 대한 전압 변화를 나타내는 파형도이다. 제3도에서 알 수 있듯이, 프로그램될(즉, 데이터로 기록될) 메모리 셀 트랜지스터의 그것에 대응하는 수의 프로그래밍 시간(T_p)이 요구된다.

부수적으로, 이러한 타입의 비휘발성 반도체 메모리에서, 다치 정보는 기록 비트선 전압(V_{bp})을 일정하게 유지하면서 기록 워드선 전압(V_{wp})을 변화시킴으로써 메모리 셀 트랜지스터에 기록되는 것으로 설명된다. 그러나, 기록 워드선 전압(V_{wp})을 일정하게 유지하면서 기록 비트선 전압(V_{bp})을 변화시킴으로써 다치 정보를 메모리 셀에 기록할 수 있다.

다음으로, 제4도는 인가 전압의 레벨을 일정하게 유지하면서 전압 인가 시간을 변화시킴으로써 다치 정보를 기록하도록 구성된 종래의 비휘발성 반도체 메모리의 제2실시예의 회로도이다. 제4도에서 제1도에 나타낸 것과 유사한 소자들에는 동일한 참조 번호를 붙이고, 그의 설명은 생략하기로 한다.

종래의 비휘발성 반도체 메모리의 제2실시예는, 버퍼 회로(5C)를 통해 공급된 입력 데이터(I_0) 및 타이밍 발생기(8)에서 발생된 타이밍 신호를 수신하여, 입력 데이터 I_0 의 값에 대응하는 펄스 폭 및 일정한 전압(V_{bpc} , V_{wpc})을 갖는 기록 워드선 펄스 신호(P_{wp}) 및 기록 비트선 펄스 신호(P_{bp})를 발생하기 위한 기록 회로(6D)를 포함한다. X-디코더(2B)는 복수 개의 워드선(WL_1 내지 WL_m)으로부터 수신된 행 어드레스 신호(AX)를 따라 1개의 워드선을 선택하기 위해 행 어드레스 신호(AX)를 수신하고, 일정한 전압(V_{wpc})을 갖는 기록 워드선 펄스 신호(P_{wp})를 기록 시 기록 워드선 펄스 신호(P_{wp})의 펄스 폭에 대응하는 기간 동안 선택된 워드선에 공급하기 위해 기록 워드선 펄스 신호 및 타이밍 발생기(8)에서 발생된 타이밍 신호를 또한 수신한다. Y-디코더(3B) 및 Y-스위치 회로(4A)는 복수 개의 비트선(BL_1 내지 BL_n)으로부터 수신된 열 어드레스 신호(AY)에 따라 1개의 비트선을 선택하기 위해 열 어드레스 신호(AY)를 수신하고, 일정한 전압(V_{bpc})을 갖는 기록 비트선 펄스 신호(P_{bp})를 기록 시 기록 비트선 펄스 신호(P_{bp})의 펄스 폭에 대응하는 기간 동안 선택된 비트선에 공급하기 위해 타이밍 발생기에서 발생된 타이밍 신호 및 기록 비트선 펄스 신호(P_{bp})를 또한 수신한다.

따라서, 기록 비트선 펄스 신호(P_{bp}) 및 기록 워드선 펄스 신호(P_{wp})가 선택된 비트선 및 선택된 워드선 각각에 공급됨으로써, 선택된 비트선과 선택된 워드선 사이의 교차점에 위치한 메모리 셀 트랜지스터의 임계값은 이들 기록 비트선 펄스 신호(P_{bp})와 기록 워드선 펄스 신호(P_{wp})의 펄스 폭에 대응하는 값으로 된다.

제5도는 펄스 폭(P_{bp} 및 P_{wp} 중 보다 짧은 것(도시한 실시예에서는 P_{bp}), 즉 프로그래밍 시간이 T_{p2} 로, 다음에 T_{p3} 로, 그 다음에는 T_{p4} 로 변화될 때, 메모리 셀 트랜지스터의 임계 전압(V_t)이 어떻게 변화하는지를 나타내는 그래프이다. 제6도는 메모리 셀 트랜지스터(M_{11})가 T_{p4} 의 펄스 폭(프로그래밍 시간)을 갖는 펄스 신호를 인가함으로써 프로그램된 다음, 메모리 셀 트랜지스터(M_{12})가 T_{p2} 의 펄스 폭을 갖는 펄스 신호를 인가함으로써 프로그램될 때, 메모리 셀 트랜지스터(M_{11} 내지 M_{mn})의 임계값의 변화 및 여러 점들에 대한 전압 변화를 나타내는 파형도를 나타낸다.

상기한 바와 같이, 종래의 반도체 메모리의 제2실시예에서, 전체적인 프로그래밍 시간은 프로그램될 메모리 셀 트랜지스터의 각각의 프로그래밍 시간들을 합계함으로써 얻어진 시간이다. 제6도에 나타낸 실시예에서, 전체적인 프로그래밍 시간은 $T_{p4} + T_{p2}$ 로 된다.

메모리 셀 트랜지스터에 인가된 전압의 레벨을 일정하게 유지하면서 전압 인가 시간을 변화시킴으로써 다치 정보를 기록하는 다른 방법은 제7도에 도시한 바와 같고, 기록 워드선 펄스 신호는 짧은 펄스 폭을 갖는 복수 개의 짧은 펄스 신호로 분할되고, 프로그래밍 시간은 선택된 워드선에 인가된 짧은 펄스 신호의 수를 변화시킴으로써 제어된다. 이러한 변형은 메모리 셀 트랜지스터의 임계값이 짧은 펄스 신호의 수에 의해 제어될 수 있고, 제어 방법이 단순화될 수 있기 때문에 유리하지만, 전압을 인가하지 않는 중지 기간이 선택된 워드선에 인가된 인접한 짧은 펄스 신호들의 각 쌍 사이에 필연적으로 존재하고, 프로그래밍 시간은 불가피 제6도에 도시된 경우의 것보다 더 길어진다는 단점이 있다.

발명이 이루고자 하는 기술적 과제

전술한 바로부터 알 수 있듯이, 종래의 비휘발성 반도체 메모리는 1개의 기록 동작에서, 다치 정보의 입력 데이터의 값에 대응하는 기록 비트선 전압 또는 펄스 신호 및 기록 워드선 전압 또는 펄스 신호를 인가함으로써 1개의 메모리 셀 트랜지스터가 선택된 다음 프로그램되도록 구성된다. 따라서, 복수 개의 메모리 셀 트랜지스터를 프로그램하기 위해, 프로그램될 메모리 셀 트랜지스터의 수와 동일한 수의 기록 동작, 또는 프로그램될 메모리 셀 트랜지스터의 수에 대응하는 프로그래밍 시간이 요구된다. 따라서, 복수 개의 메모리 셀 트랜지스터의 프로그래밍이 완료될 때까지의 시간이 길어진다.

게다가, 1개의 기록 동작에서, 선택된 워드선에 의해 지정된 1개의 행에 포함된 메모리 셀 트랜지스터들 중 1개의 메모리 셀 트랜지스터만이 프로그램되고, 따라서, 1개의 행에 포함된 모든 메모리 셀 트랜지스터를 프로그램하기 위해서는, 1개의 행에 포함된 모든 메모리 셀 트랜지스터의 수와 동일한 수의 기록 동작을 행할 필요가 있다. 각각의 행에 포함된 메모리 셀 트랜지스터의 수가 많을수록, 이에 대응해서 기록 장애가 발생할 확률이 높아지게 된다.

발명의 구성 및 작용

따라서, 본 발명의 목적은 상기한 종래 비휘발성 반도체 메모리들의 결함을 극복한 것으로써, 메모리 셀에 다치 정보를 기록 가능하도록 구성된 비휘발성 반도체 메모리를 제공하는 것이다.

본 발명의 다른 목적은 소정 수의 메모리 셀 트랜지스터의 프로그래밍이 완료될 때까지 전체 기록 시간이 단축됨으로써 기록 장애의 발생 확률을 감소시킨, 다치 정보를 메모리 셀에 기록할 수 있도록 구성된 비휘발성 반도체 메모리를 제공하는 것이다.

본 발명의 상기 목적 및 다른 목적들은 메모리 셀에 다치 정보를 기록할 수 있도록 구성된 비휘발성 반도체 메모리에 의해 본 발명에 따라서 달성되며, 비휘발성 반도체 메모리는,

복수 개의 행 및 복수 개의 열을 갖는 매트릭스 형태로 배열되고, 전기적으로 제어 가능한 임계값을 갖는 많은 메모리 셀 트랜지스터로 구성된 메모리 셀 어레이와,

메모리 셀 어레이의 복수 개의 행 각각에 제공된 복수 개의 워드선으로, 각각의 워드선은 메모리 셀 어레이의 대응하는 행에 포함된 메모리 셀 트랜지스터의 게이트에 공통적으로 접속된 상기 복수 개의 워드선과,

메모리 셀 어레이의 복수 개의 열 각각에 제공된 복수 개의 비트선으로, 각각의 비트선은 메모리 셀 어레이의 대응하는 열에 포함된 메모리 셀 트랜지스터의 드레인에 공통적으로 접속된 상기 복수 개의 비트선과,

적어도 3개의 값을 취할 수 있는 복수 개의 다치 정보를 1개의 워드선에 의해 선택된 1개의 행의 메모리 셀 트랜지스터에 포함된 대응하는 수의 메모리 셀 트랜지스터에 동시에 기록하는 수단을 포함한다.

비휘발성 반도체 메모리의 양호한 실시예에서, 상기 수단들은,

행 어드레스 신호를 수신하여 복수 개의 워드선으로부터 수신된 행 어드레스 신호에 따라 1개의 워드선을 선택하고, 소정 레벨의 기록 워드선 전압을 기록 시 선택된 워드선에 공급하기 위한 행 디코더와,

다치 정보의 각각의 입력 데이터를 수신하여 각각의 입력 데이터의 값에 대응하는 레벨을 갖는 대응하는 수의 기록 비트선 전압을 각각 기록 시 발생하기 위한 복수 개의 기록 회로와,

열 어드레스 신호를 수신하여 수신된 행 어드레스 신호에 따라 복수개의 비트선으로부터 복수 개의 기록 회로의 것과 동일한 수의 비트선을 선택하고, 복수 개의 기록 회로에 의해 발생된 대응하는 수의 기록 비트선 전압을 기록 시 선택된 비트선 각각에 동시에 공급하기 위한 열 선택 회로를 포함한다.

예를 들면, 소정 레벨의 기록 워드선 전압은 부의 전압이고, 복수 개의 기록 회로에 의해 발생된 기록 비트선 전압은 정의 전압이므로, 다치 정보는 파울러-노드하임(Fowler-Nordheim) 터널링 효과의 작용에 의해 선택된 메모리 셀 트랜지스터 각각에 기록된다.

초기화된 상태 또는 소거된 상태의 상기 메모리 셀 트랜지스터의 임계값은 소정의 정의 레벨의 제1전압이고, 기록된 메모리 셀 트랜지스터 각각의 임계값은 0 전압과 소정의 정의 레벨의 제1전압 사이의 전압이다.

이후, 본 발명의 상기 목적들 및 다른 목적들, 특징 및 장점들은 첨부된 도면을 참조한 본 발명의 양호한 실시예의 상세한 설명으로부터 명백해질 것이다.

제8도는 본 발명에 따른 비휘발성 반도체 메모리의 일 실시예의 회로도이다.

도시된 실시예는 “m” 행 및 “n” 열을 갖는 매트릭스 형태로 배열된, 전기적으로 제어 가능한 임계값을 갖는 많은 메모리 셀 트랜지스터(M_{11} 내지 M_{mn})로 구성된 메모리 셀 어레이(1)를 포함한다. 도시한 실시예는 또한 메모리 셀 트랜지스터(M_{11} 내지 M_{mn})의 “m” 행들 각각에 대해 제공된 복수 개의 워드선(WL_1 내지 WL_m)과, 메모리 셀 트랜지스터(M_{11} 내지 M_{mn})의 “n” 열들 각각에 대해 제공된 복수 개의 비트선(BL_1 내지 BL_n)을 포함하며, 각각의 워드선(WL_1 내지 WL_m)이 1개의 대응하는 행에 포함된 모든 메모리 셀 트랜지스터의 게이트에 공통적으로 접속되고, 각각의 비트선(BL_1 내지 BL_n)이 1개의 대응하는 열에 포함된 모든 메모리 셀 트랜지스터의 드레인에 공통적으로 접속된다. 모든 메모리 셀 트랜지스터(M_{11} 내지 M_{mn})의 소스는 접지된다.

또한, 도시된 실시예는 복수 개의 워드선(WL_1 내지 WL_m)으로부터 수신된 행 어드레스 신호(AX)에 따라 1개의 워드선을 선택하고, 기록 시 소정의 레벨의 부의 기록 워드선 전압을 선택된 워드선에 공급하기 위해 행 어드레스 신호(AX)를 수신하는 X-디코더(2)를 포함한다.

또한, 도시된 실시예는 4개의 값중 하나를 취하는 입력 4변수 데이터(I_1)(예를 들면, 비트(I_{11} 및 I_{12}))로 구성됨 및 4개의 값중 하나를 취하는 다른 입력 4변수 데이터(I_2)(예를 들면, 비트(I_{21} 및 I_{22}))로 구성됨 각각을 기록시 보유 및 공급하기 위한 2개의 버퍼 회로(5A, 5B)와, 버퍼 회로(5A, 5B)를 통해 공급된 입력 데이터(I_1 및 I_2)의 값에 대응하는 기록 비트선 전압($Vb1$ 및 $Vb2$)을 기록 시 발생시키는 2개의 기록 회로(6A, 6B)를 포함한다.

또한, 도시된 실시예는 Y-디코더(3) 및 Y-스위치 회로(4)로 구성된 열 선택 회로를 포함한다. Y-디코더(3)는 복수 개의 선택 신호선($Y1$ 내지 Y_k)으로부터 수신된 열 어드레스에 따라 1개의 선택 신호선을 선택해서 활성화시키기 위해 열 어드레스 신호(AY)를 수신한다. Y-스위치 회로(4)는 그의 한쪽 단부가 비트선(BL_1 내지 BL_n) 각각에 결합된 복수 개의 스위치 트랜지스터(Q_1 내지 Q_n)를 포함한다. 이들 스위치 트랜지스터(Q_1 내지 Q_n)는 복수 개의 그룹으로 그룹화되어 있고, 각각의 그룹은 기록 회로의 수와 동일한 수의 스위치 트랜지스터로 구성된다. 도시한 실시예에서, 각각의 그룹은 한 쌍의 스위치 트랜지스터로 구성된다. 각 쌍의 스위치 트랜지스터의 게이트는 대응하는 1개의 선택 신호선에 공통적으로 접속되지만, 복수 개의 쌍의 스위치 트랜지스터가 상이한 선택 신호선들 각각에 접속된다. 예를 들면, 제1쌍의 스위치 트랜

지스터(Q_1 및 Q_2)가 그의 게이트에서 제1선택 신호선(Y_1)에 접속되고, 최종 쌍의 스위치 트랜지스터(Q_{n-1} 및 Q_n)가 그의 게이트에서 최종 선택 신호선(Y_k)에 접속된다. 각 쌍의 스위치 트랜지스터에서, 스위치 트랜지스터의 다른 단부는 제1데이터 버스(DB_1)에 접속되고, 다른 스위치 트랜지스터는 제2데이터 버스(DB_2)에 접속된다. 따라서, 2개의 스위치 트랜지스터들이 선택되어 활성화된 선택 신호선에 접속되므로, 2개의 비트선 각각이 인가된 열 어드레스 신호(AY)에 따라 선택되고, 그에 따라 2개의 메모리 셀 각각이 선택된다.

제9도는 본 발명에 따른 비휘발성 반도체 메모리의 메모리 셀 트랜지스터에 다치 정보를 기록하는 동작 원리를 설명하기 위한, 기록 비트선 전압(V_{b1} 및 V_{b2})에 대한 메모리 셀 트랜지스터의 임계 전압의 변화를 나타내는 그래프이다.

이제, 메모리 셀 트랜지스터에 다치 정보를 기록하는 동작 원리에 대해서 제9도를 참조하여 설명하기로 한다. 기록 회로(6A 및 6B)는 입력 데이터(I_1 및 I_2)의 값에 대응하는 레벨을 갖는 기록 비트선 전압(V_{b1} 및 V_{b2}) 각각을 발생한다. 이 시점에서, 기록 비트선 전압(V_{b1} 및 V_{b2}) 각각의 레벨 또는 전압은 입력 데이터(I_1 및 I_2)의 4변수 값에 따라 V_1 내지 V_4 ($V_1 > V_2 > V_3 > V_4$) 중의 하나를 취한다.

따라서, 각각의 선택된 메모리 셀 트랜지스터의 게이트는 부의 기록워드선 전압(V_{wp})이 인가되고, 각각의 선택된 메모리 셀 트랜지스터의 드레인은 4개의 전압(V_1 , V_2 , V_3 및 V_4) 중의 하나인 기록 비트선 전압(V_{b1} 또는 V_{b2})으로 인가된다. 그 결과, 각각의 선택된 메모리 셀 트랜지스터에서, 기록 비트선 전압의 레벨에 따라 파울러-노드하임 터널링 효과의 작용에 의해 부동 게이트로부터 전자들이 추출됨으로써, 임계 전압(V_t)이 점진적으로 낮아진다. 기록 워드선 전압 및 기록 비트선 전압의 인가 시간, 즉 이들 전압의 펄스 폭(보다 짧은 것)을 소정의 시간(T_p)(프로그래밍 시간)으로 설정함으로써, 입력 데이터(I_1 또는 I_2)의 4변수 값에 대응하는 임계 전압(V_{t1} , V_{t2} , V_{t3} 및 V_{t4})을 얻을 수 있다. 부수적으로, 제9도에 나타난 실시예에서, 4개의 임계값중의 하나에 대응하는 임계 전압(V_{t4})은 초기화된 상태 또는 소거된 상태의 것과 동일하다. 따라서, 이러한 임계 전압(V_{t4})에 대응하는 기록 비트선 전압(V_4)은 임계값을 거의 변화시키지 않는 전압이다.

제10도는 서로 상이한 복수 개의 다치 정보를 워드선(WL_1)에 대응하는 행에 포함된 복수 개의 메모리 셀 트랜지스터(M_{11} 및 M_{12})에 기록할 때, 메모리 셀 트랜지스터의 임계값의 변화 및 여러 점들에 대한 전압 변화를 나타내는 파형도이다.

입력 데이터(I_1 및 I_2)는 입력 버퍼 회로(5A 및 5B)에서 각각 수신되고 유지된다. 기록 회로(6A 및 6B)는 입력 버퍼 회로(5A 및 5B)를 통해 공급된 입력 데이터(I_1 및 I_2) 각각에 대한 산술 동작을 수행하고, 메모리 셀 트랜지스터의 임계 레벨이 다치 정보로서 수신된 입력 데이터(I_1 및 I_2)에 대응하는지를 식별한다. 기록 회로(6A 및 6B)는 수신된 입력 데이터(I_1 및 I_2)의 값에 각각 대응하는 기록 비트선 전압(V_{b1})(예를 들면, V_1) 및 V_{b2} (예를 들면, V_3)를 각각 발생한다.

X-디코더(2)는 행 어드레스 신호(AX)에 따라 1개의 워드선(WL_1)을 선택하고, 부의 기록 워드선 전압(V_{wp})을 선택된 워드선(WL_1)에 공급한다. 한편, Y-디코더(3)는 열 어드레스 신호(AY)에 따라 1개의 선택 신호선(Y_1)을 선택하고, 선택된 선택 신호선(Y_1)을 선택 또는 활성화된 레벨로 되게 하기 때문에, 스위치 트랜지스터(Q_1 및 Q_2)가 동시에 턴온되고, 그 결과 기록 비트선 전압 $V_{b1}(=V_1)$ 이 비트선(BL_1)에 인가되고, 기록 비트선 전압 $V_{b2}(=V_3)$ 가 비트선(BL_2)에 인가된다.

따라서, 펄스 폭(T_p)에 대응하는 시간 동안만 기록 워드선 전압(V_{wp})이 메모리 셀 트랜지스터(M_{11} 및 M_{12})의 게이트에 인가되고, 기록 비트선 전압 $V_{b1}(=V_1)$ 및 $V_{b2}(=V_3)$ 가 메모리 셀 트랜지스터(M_{11} 및 M_{12}) 각각의 드레인에 인가된다. 따라서, 제9도에 도시된 특성에 따르면, 메모리 셀 트랜지스터(M_{11})의 임계값은 V_{t1} 로 프로그램되고, 동시에 메모리 셀 트랜지스터(M_{12})의 임계값은 V_{t3} 으로 프로그램된다.

상기한 바로부터 알 수 있듯이, 도시한 실시예는 서로 상이한 다치 정보를 1회의 기록 동작으로 2개의 메모리 셀에 기록 가능하다. 따라서, 소정의 수의 메모리 셀 트랜지스터의 프로그래밍(데이터 기록)이 완료될 때까지의 시간은 상기한 선행 기술의 실시예에 요구되는 시간의 거의 절반으로 단축될 수가 있다.

더욱이, 1개의 행에 포함된 모든 메모리 셀 트랜지스터를 프로그래밍하기 위해 필요한 기록 동작의 수는 종래의 실시예들에서 요구하는 것의 거의 절반으로 축소될 수 있고, 전체 전압 인가 시간은 거의 절반으로 될 수 있으며, 그에 따라서, 기록 장애가 발생할 확률이 작아진다.

상기 실시예에서, 동시에 기록될 수 있는 메모리 셀 트랜지스터의 수는 20이다. 동시에 기록될 수 있는 메모리 셀 트랜지스터의 수가 증가하는 경우, 상기 장점이 보다 증진될 수 있다는 것은 당연하다.

또한, 상기 실시예는 기록 워드선 전압으로서 부의 전압을 인가함으로써 파울러-노드하임 터널링 효과에 의해 프로그램되었다. 그러나, 고온 전자들을 부동 게이트에 주입시킬 수 있는 기록 워드선 전압으로서 정의 전압을 인가하기 위한 프로그래밍 방법이 본 발명에 적용될 수 있다는 것은 당업계의 숙련자들에게 명백하다.

부수적으로, 제8도에 도시한 회로는 기록 동작에 필요한 구성만을 도시하고 있다. 다치 정보 저장 메모리 셀의 판독 오퍼레이션 및 그에 필요한 구성은 당업자들에게 널리 알려져 있으므로, 그에 대한 설명은 생략하기로 한다.

발명의 효과

상기한 바로부터 알 수 있듯이, 다치 정보를 메모리 셀에 기록할 수 있도록 구성된 본 발명에 따른 비휘발성 반도체 메모리는 서로 동일하거나 또는 상이할 수 있는 복수 개의 다치 정보(적어도 3개의 값을 취함)가 1개의 선택된 워드선에 의해 지정된 1개의 행의 메모리 셀 트랜지스터에 포함된 대응하는 수의 메모리 셀 트랜지스터에 동시에 기록되는 것을 특징으로 한다. 따라서, 소정의 수의 메모리 셀 트랜지스터의 프로그래밍(데이터 기록)이 완료될 때까지의 시간은 단축될 수 있으며, 기록 장애의 발생 확률은 최소화될 수 있다.

이와 같이 본 발명을 도시하고, 특정 실시예를 참조하여 기재하였다. 그러나, 본 발명은 예시된 구조의 상세한 설명으로만 제한되지 않고, 첨부된 특허 청구의 범위에서 변화 및 변형이 이루어질 수 있음을 인식해야 한다.

(57) 청구의 범위

청구항 1

메모리 셀에 다치 정보를 기록할 수 있도록 구성된 비휘발성 반도체 메모리로서, 복수 개의 행 및 복수 개의 열을 갖는 매트릭스 형태로 배열되고, 전기적으로 제어 가능한 임계값을 갖는 많은 메모리 셀 트랜지스터로 구성된 메모리 셀 어레이와, 상기 메모리 셀 어레이의 상기 복수 개의 행 각각에 제공된 복수 개의 워드선으로, 각각의 워드선은 상기 메모리 셀 어레이의 대응하는 행에 포함된 메모리 셀 트랜지스터의 게이트에 공통적으로 접속되는 상기 복수 개의 워드선과, 상기 메모리 셀 어레이의 상기 복수 개의 열 각각에 제공된 복수 개의 비트선으로, 각각의 비트선은 상기 메모리 셀 어레이의 대응하는 열에 포함된 메모리 셀 트랜지스터의 드레인에 공통적으로 접속되는 상기 복수 개의 비트선과, 적어도 3개의 값을 취할 수 있는 복수 개의 다치 정보를 1개의 워드선에 의해 선택된 1개의 행의 메모리 셀 트랜지스터에 포함된 대응하는 수의 메모리 셀 트랜지스터에 동시에 기록하기 위한 기록 수단을 포함하는 비휘발성 반도체 메모리.

청구항 2

제1항에 있어서, 상기 기록 수단은, 상기 복수 개의 워드선으로부터 수신된 행 어드레스 신호에 따라 1개의 워드선을 선택하고, 소정 레벨의 기록 워드선 전압을 기록 시 상기 선택된 워드선에 공급하기 위한 행 어드레스 신호를 수신하는 행 디코더와, 다치 정보의 각각의 입력 데이터를 수신하여 각각의 입력 데이터의 값에 대응하는 레벨을 갖는 대응하는 수의 기록 비트선 전압을 각각 기록 시 발생하기 위한 복수 개의 기록 회로와, 열 어드레스 신호를 수신하여 수신된 행 어드레스 신호에 따라 상기 복수 개의 비트선으로부터 상기 복수 개의 기록 회로의 것과 동일한 수의 비트선을 선택하고, 상기 복수 개의 기록 회로에 의해 발생된 대응하는 수의 기록 비트선 전압을 기록 시 상기 선택된 비트선 각각에 동시에 공급하기 위한 열 선택 회로를 포함하는 비휘발성 반도체 메모리.

청구항 3

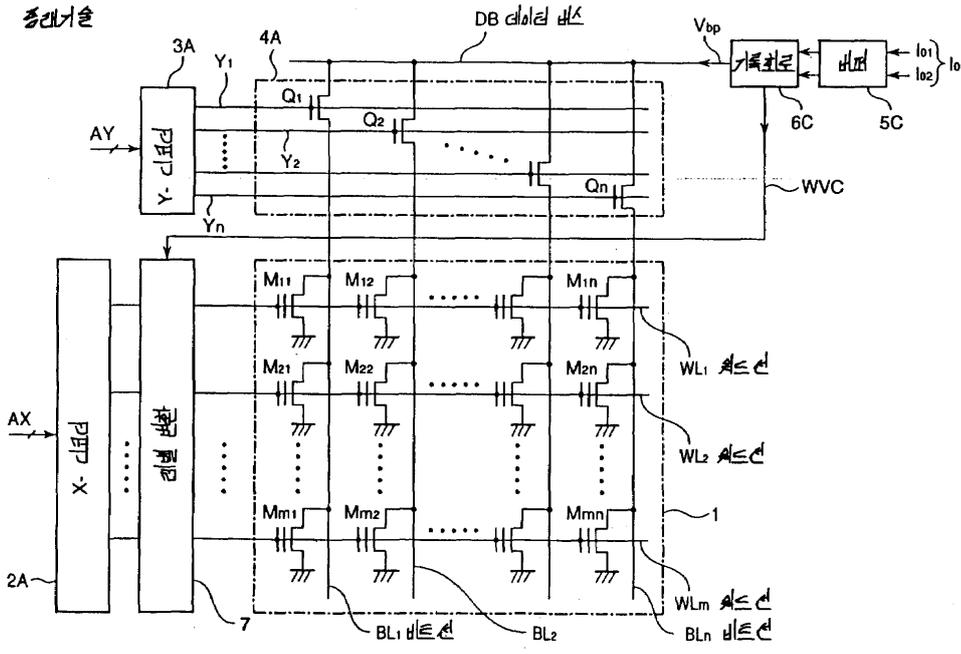
제2항에 있어서, 소정 레벨의 상기 기록 워드선 전압은 부의 전압이고, 상기 복수 개의 기록 회로에 의해 발생된 상기 기록 비트선 전압은 정의 전압인 결과, 다치 정보는 파울러-노드하임(Fowler-Nordheim) 터널링 효과의 작용에 의해 선택된 메모리 셀 트랜지스터 각각에 기록되는 비휘발성 반도체 메모리.

청구항 4

제3항에 있어서, 상기 초기화된 상태 또는 소거된 상태에서 상기 메모리 셀 트랜지스터의 임계값은 소정의 정의 레벨의 제1전압이고, 기록된 메모리 셀 트랜지스터 각각의 임계값은 0 전압과 상기 소정의 정의 레벨의 상기 제1전압 사이의 전압에 있는 비휘발성 반도체 메모리.

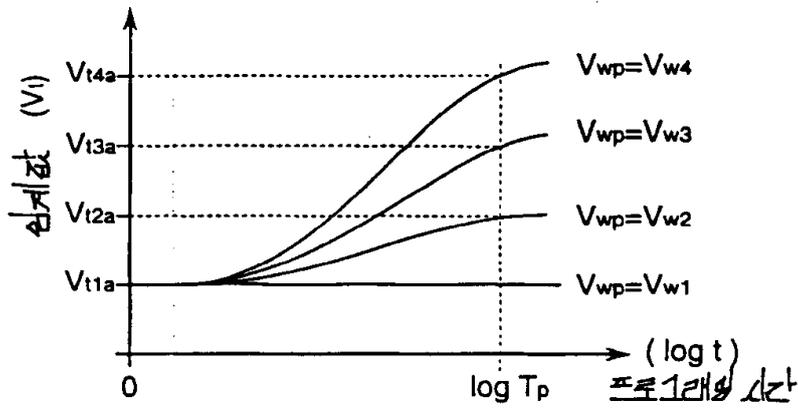
도면

도면1



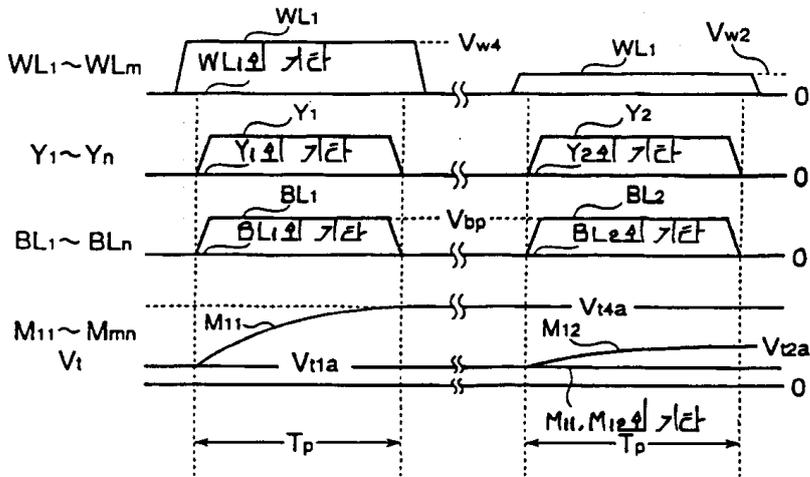
도면2

종래기술



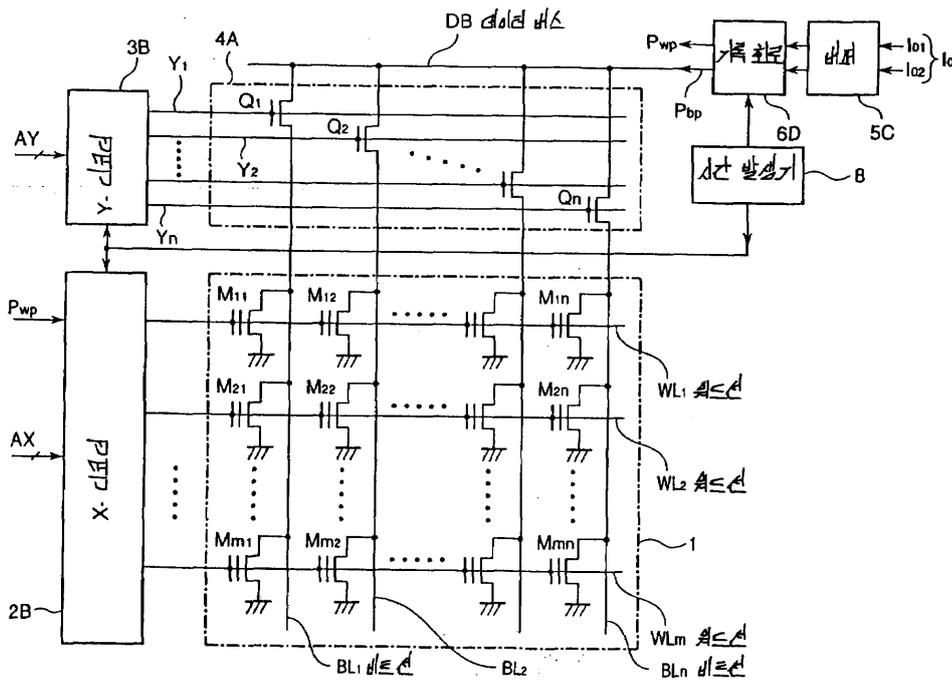
도면3

프리기술



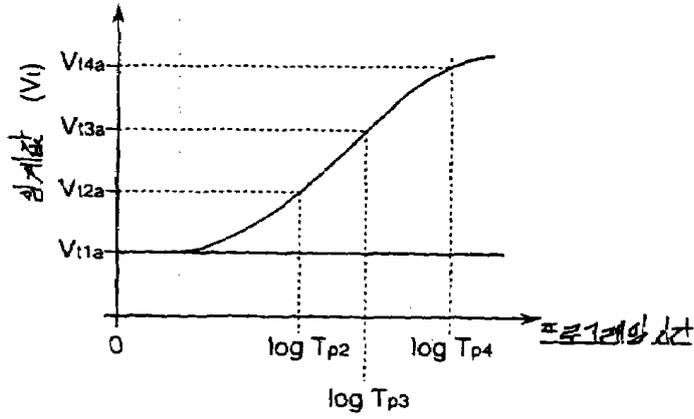
도면4

프리기술



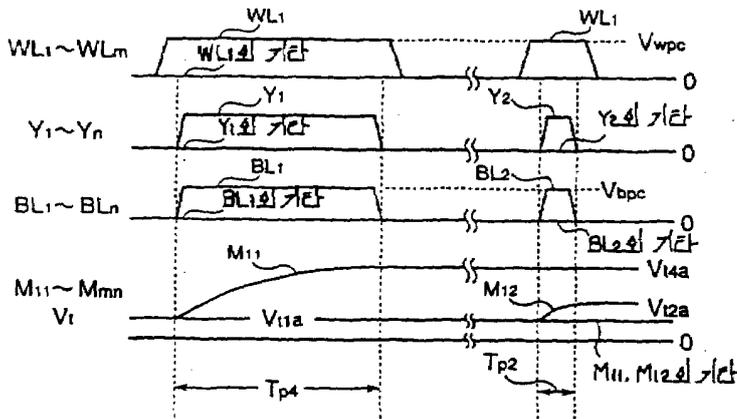
도면5

중래기술

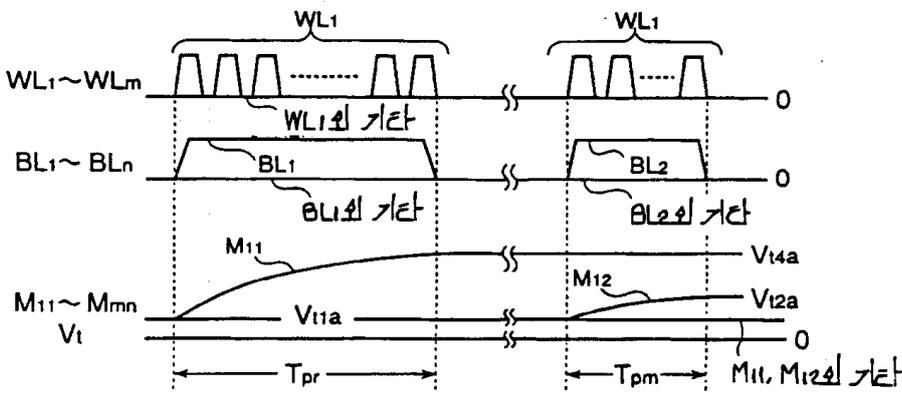


도면6

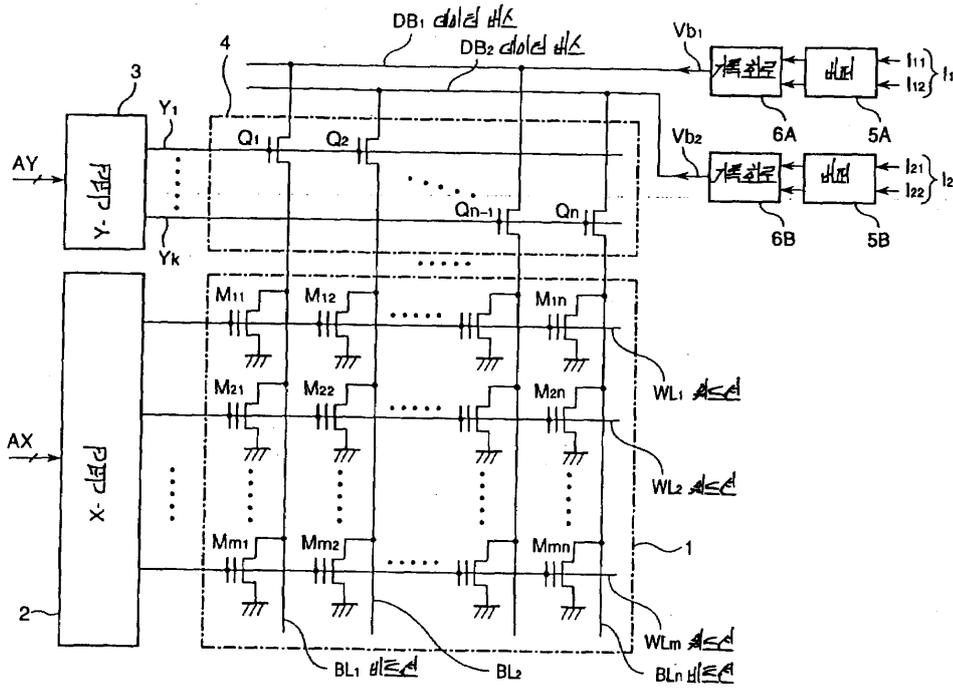
중래기술



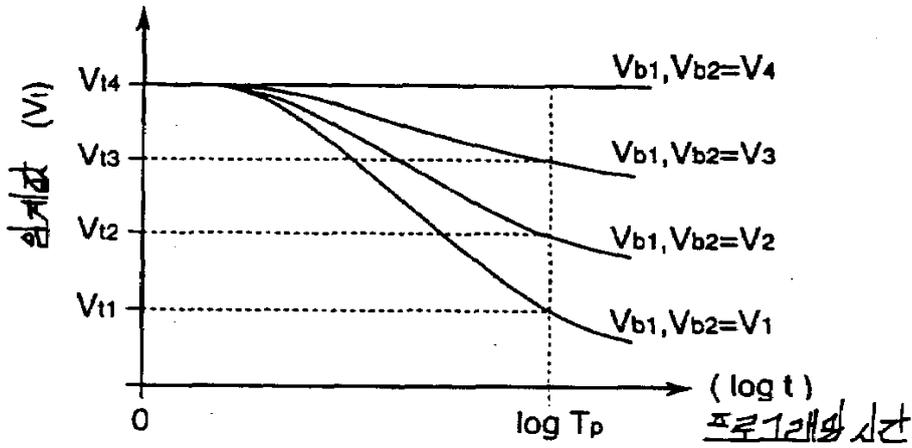
도면7



도면8



도면9



도면 10

