

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01J 37/305

H01L 21/3065

C30B 33/12

[12] 发明专利说明书

[21] ZL 专利号 95118750.3

[45] 授权公告日 2001 年 8 月 8 日

[11] 授权公告号 CN 1069439C

[22] 申请日 1995.11.3 [24] 颁证日 2001.6.16

[21] 申请号 95118750.3

[30] 优先权

[32] 1994.11.4 [33] JP [31] 293688/1994

[73] 专利权人 株式会社日立制作所

地址 日本东京

[72] 发明人 小藤直行 新井真 辻本和典

水谷巽 铃木敬三 水石贤一

[56] 参考文献

US 5242561 1993. 9. 7 C23F4/04

WO 93/18201 1993. 9. 16 C23C14/48

审查员 郭永菊

[74] 专利代理机构 中国国际贸易促进委员会专利商标事务所

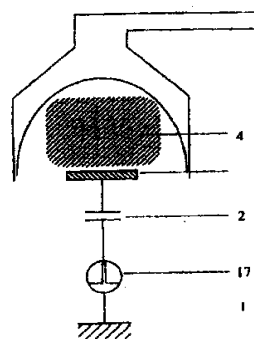
代理人 丰 迅

权利要求书 4 页 说明书 20 页 附图页数 26 页

[54] 发明名称 表面处理的方法和系统

[57] 摘要

为了抑制由于电子遮蔽现象而引起的开槽、电荷聚集损伤、副沟和弯弓形,提供一种占空比等于或低于 5% 和重复频率等于或高于 400KH_z 脉冲电压。因此,在衬底偏置中出现一个用于加速电子的周期,从而使电子遮蔽现象不出现。



ISSN 1008-4274

权 利 要 求 书

1. 一种表面处理方法, 该方法用于对一个放置于一个减压室内的、待处理的衬底提供一种等离子体, 并且对上述衬底提供一种偏置电压从而对上述衬底进行处理, 其特征在于提供一种正的脉冲波电压作为上述偏置电压, 还在于设置上述脉冲的占空比等于或低于 5% 和重复频率等于或高于 400KHz 以使在上述处理期间内上述衬底的电位的最大值高于上述等离子体的电位。

2. 根据权利要求 1 的表面处理方法, 其特征在于所述脉冲波电压的通过率等于或高于 $8 \times 10^2 \text{V}/\mu\text{sec}$ 。

3. 根据权利要求 1 的表面处理方法, 其特征在于所述脉冲波电压的通过率等于或高于 $10^4 \text{V}/\mu\text{sec}$ 。

4. 根据权利要求 1 的表面处理方法, 其特征在于所述脉冲波电压的通过率为 $10^3 \text{V}/\mu\text{sec}$ 或以上。

5. 根据权利要求 1 的表面处理方法, 其特征在于在上述室内使用一种其表面积是上述被处理的衬底的表面积的四倍或更大的接地电极。

6. 根据权利要求 1 的表面处理方法, 其特征在于使用静电吸盘机构将使上述衬底牢固地粘到一个在上述室内的台子上, 上述静电吸盘机构包括一种其单位面积的静电电容等于或大于 $3\text{nF}/\text{cm}^2$ 的绝缘体。

7. 根据权利要求 6 的表面处理方法, 其特征在于上述绝缘体由一种铁电材料形成。

8. 一种干法刻蚀方法, 该方法用于对一个放置在一个减压室内的、待处理的衬底提供一种等离子体, 并且对上述衬底提供一种偏置电压从而对上述衬底进行刻蚀, 其特征在于提供一种正

的脉冲波电压作为上述偏置电压，还在于设置上述脉冲的占空比等于或低于 5% 和重复频率等于或高于 400KHz 以使在上述刻蚀期间内上述衬底的电位的最大值高于上述等离子体的电位。

9. 根据权利要求 8 中所述的一种干法刻蚀方法，其特征在于上述脉冲的通过率等于或高于 $10^3\text{V}/\mu\text{s}$ 。

10. 根据权利要求 8 中所述的一种干法刻蚀方法，其特征在于上述脉冲的占空比和重复频率分别是等于或高于 0.5% 和等于或低于 100MHz。

11. 根据权利要求 8 中所述的一种干法刻蚀方法，其特征在于上述脉冲电压的幅度是在 20V 和 2KV 之间的范围内，包括 20V 和 2KV。

12. 根据权利要求 8 的干法刻蚀方法，其特征在于提供的脉冲波的重复频率等于或高于 1MHz 和占空比等于或低于 1%。

13. 根据权利要求 12 的干法刻蚀方法，其特征在于所述脉冲波电压的通过率等于或高于 $10^4\text{V}/\mu\text{sec}$ 。

14. 一种干法刻蚀方法，该方法用于对一个放置在一个减压室内的、待处理的衬底提供一种等离子体，并且对上述衬底提供一种偏置电压从而对上述衬底进行刻蚀，其特征在于在刻蚀期间把上述偏置电压的波形从一种正弦波转换到一种脉冲波。

15. 一种干法刻蚀方法，该方法用于对一个放置在一个减压室内的、待处理的衬底提供一种等离子体，并且对上述衬底提供一种偏置电压从而对上述衬底进行刻蚀，其特征在于提供由一种具有等于或高于 400KHz 的重复频率和等于或低于 5% 的占空比的正脉冲波和一种叠加在上述正脉冲波上的正弦波形成的一种电压作为上述偏置电压。

16. 根据权利要求 15 的干法刻蚀方法，其特征在于所提供

的正脉冲波具有等于或高于 1MHz 的重复频率和等于或低于 1% 占空比。

17. 一种干法刻蚀方法，该方法用于对一个放置在一个减压室内的、待处理的衬底提供一种等离子体，并且对上述衬底提供一种偏置电压从而对上述衬底进行刻蚀，其特征在于提供由一种具有等于或高于 400KHz 的重复频率和等于或低于 5% 的占空比的正脉冲波和一种叠加在上述正脉冲波上的正的或负的直流电压形成的一种电压作为上述偏置电压。

18. 根据权利要求 17 的干法刻蚀方法，其特征在于所提供的正脉冲波具有等于或高于 1MHz 的重复频率和等于或低于 1% 的占空比。

19. 一种干法刻蚀方法，该方法用于对一个放置在一个减压室内的、待处理的衬底提供一种等离子体，并且对上述衬底提供一种偏置电压从而对上述衬底进行刻蚀，其特征在于提供一个脉冲波电压作为上述偏置电压，上述脉冲的占空比等于或低于 5%，重复频率等于或高于 400KHz，还在于在刻蚀期间，改变上述脉冲波电压的占空比以便能以实质上各向异性的方式刻蚀上述衬底。

20. 一种干法刻蚀方法，该方法用于对一个放置在一个减压室内的、待处理的衬底提供一种等离子体，并且对上述衬底提供一种偏置电压从而对上述衬底进行刻蚀，其特征在于提供一个脉冲波电压作为上述偏置电压，上述脉冲的占空比等于或低于 5%，重复频率等于或高于 400KHz，还在于在刻蚀期间，改变上述脉冲波电压的重复频率，以便能以实质上各向异性的方式刻蚀上述衬底。

21. 一种干法刻蚀方法，该方法通过使用一种具有单位面积的静电电容等于或大于 3nF/cm^2 的绝缘体的静电吸盘机构（23，

25) 在一个减压室内的台子上支承一个被处理的衬底, 该方法对上述衬底提供一种等离子体和一种偏置电压从而对上述衬底进行刻蚀, 其特征在于提供一种重复频率等于或高于 400KHz 和占空比等于或低于 5% 的正脉冲波电压作为上述偏置电压。

22. 根据权利要求 21 中所述的一种干法刻蚀方法, 其特征在于上述正脉冲波电压的重复频率和占空比分别是等于或高于 1MHz 和等于或低于 1%。

23. 一种干法刻蚀方法, 该方法通过电吸附能力来支承一个放置在一个减压室内的一个台子上的、待处理的衬底, 并且对上述衬底提供一种等离子体和一种偏置电压从而对上述衬底进行刻蚀, 其特征在于提供一种脉冲波电压作为上述偏置电压, 上述脉冲的占空比等于或低于 5%, 重复频率等于或高于 400KHz 以及对上述台子提供一个正电压以产生上述电吸附能力。

24. 根据权利要求 23 中所述的一种干法刻蚀方法, 其特征在于上述正电压等于或高于 + 500V。

25. 一种表面处理系统, 该系统包括对一个放置在一个减压室内的、待处理的衬底提供一种等离子体的装置以及对上述待处理的衬底提供一种偏置电压的装置, 其特征在於提供上述偏置电压的上述装置包括一种通过率等于或高于 $8 \times 10^2 \text{V}/\mu\text{sec}$ 的功率放大器或一种通过率等于或高于 $8 \times 10^2 \text{V}/\mu\text{sec}$ 的脉冲电压发生器。

26. 根据权利要求 25 中所述的一种表面处理系统, 其特征在于在上述室内提供一种其表面积是上述被处理的衬底的表面积的四倍或更大的接地电极。

说明书

表面处理的方法和系统

本发明涉及通过应用等离子体进行处理的一个衬底的表面处理，特别是涉及一种向一个表面待处理的衬底提供一个偏置电压的方法。

图 2 示出最典型的常规偏置方法，称之为射频偏置。把一个待刻蚀的衬底 1 通过一个电容器 2 连接到一个高频电源 3。把一个如图 3 中示出的正弦波电压通过电容器 2 加到衬底 1。此时，由于一种等离子体 4 提供的电子的数量比离子的数量大许多倍，故使负电荷积累在电容器 2 的衬底一侧。因为该电容器电荷的缘故，在衬底上出现一个如图 4 中示出的向负方向移动的电压。用于刻蚀的正离子被该负电压加速并且垂直地入射在该衬底上，因此能以一种各向异性的形状来刻蚀该衬底。

在 JP-A-56-13480(在 1981 年 2 月 9 日公开)和 JP-A-6-61182(在 1994 年 3 月 4 日公开)中揭示了另一种思路，其中应用脉冲波形的电压作为偏置电压。但是，除了本发明认识到脉冲波的占空比和重复频率的重要性之外，迄今为止还没有认识到它们的重要性。

正如从图 4 中示出的衬底偏置电压波看到的，虽然需要在电子

撞击在衬底上的正周期内对电子进行加速,但在正周期内其正电压几乎是零。因而,电子几乎未被加速和撞击在衬底上,。当通过该偏置方法进行微细的图形刻蚀时,在衬底上产生局部电荷聚集。图 5 示出引起此种电荷聚集的作用机制。由于离子 5 被加速和垂直地撞击在衬底上,它们可到达一个精细图形的底部。由于电子 6 未被加速和各向同性地撞击在衬底上,故它们被一个掩模 7 所阻拦,未到达一个精细图形的底部(电子遮蔽现象)。因而,给该精细图形的侧面充电而具有负电荷,给该精细图形的底部充电至而具有正电荷。

由于这种电子遮蔽而产生的电荷聚集在等离子刻蚀中带来种种麻烦。最严重的问题之一是用作栅的多晶硅刻蚀加工中发生的局部侧面刻蚀(开槽)。图 6 示出这种开槽的作用机制。从由于电子遮蔽现象在该微细图形的底部上产生的正电荷处排斥出刻蚀类的离子 5,这些离子撞击在该图形的侧面上。这些入射到侧面的离子在一个多晶硅层 8 和一个下面的二氧化硅层 9 间的界面内产生一个称之为开槽的局部侧面刻蚀 10。

由于电子遮蔽现象引起的电荷聚集也在金属布线的工艺过程中出现,并且损伤栅氧化膜。图 7 示出这种损伤的作用机制。因电子遮蔽而积累在该微细图形的底部上的正电荷被收集到一个浮栅 12(该浮栅被连接到一个金属布线导体 11),并对在该浮栅 12 和一个衬底硅 13 间的一个栅氧化层 14 产生诸如介质击穿的损伤。

此外,由于电子遮蔽现象引起的电荷聚集在微小的孔,如沟和接触孔的刻蚀工艺中产生麻烦或不希望有的异常形状,如副沟或弯弓形。图 8 说明了上述异常形状的产生的作用机制。正如在多晶硅刻蚀中的情况一样。使负电荷积累在一个孔的侧面上,使正电荷积

累在该孔的底部上。这种电荷聚集使起刻蚀作用的离子 5 偏转，结果该离子 5 撞击在该孔的侧面和底的角部上。因而刻蚀该孔的侧面和底的角部，从而产生不希望有的异常形状，如弯弓形 15 和次沟 16。

本发明是用来消除电子遮蔽现象，从而解决如开槽、电荷聚集损伤、弯弓形和副沟等的种种问题。

按照本发明的一个方面，如图 1 中所示，提供一个用作偏置电源的脉冲发生器 17 来代替常规的正弦波高频电源。该脉冲发生器向被处理的衬底提供作为偏置电压的正脉冲电压。在此情况下，选择该脉冲电压的占空比和重复频率使得该衬底（该衬底的表面被处理）的电位的最大值高于上述等离子体的电位的最大值。该占空比和重复频率的特定值分别是等于或低于 5% 和等于或高于 400KHz，上述占空比和重复频率的更为可取的值分别是等于或低于 1% 和等于或高于 1MHz。

现在我们考虑图 1 中的脉冲源 17 提供图 9 中所示的一个正脉冲电压的情况。在放电已开始的瞬间，电容器没有存贮电荷，故与输入电压相同的偏置电压波，如在图 10 中所示，出现在被处理的衬底上。当偏置电压波是如图 10 中所示时，大数量电子撞击衬底的正周期比小数量离子撞击衬底的负周期短得多，结果在正周期内撞击衬底的负电荷的数量等于在负周期内撞击衬底的正电荷的数量。因而，在一个周期内总的电荷变成零，其结果是在图 1 中的电容器 2 上未感应出电荷。因此在刻蚀的工艺过程期间保持图 10 中示出的衬底偏置电压。关于图 10 中的衬底偏置电压波，在负周期内的负电压对离子进行加速使之撞击衬底，而在正周期内 把正电压提供给衬

底,由此对电子进行加速使之垂直地撞击在衬底上。因而,如图 11 中所说明的,电子 5 和离子 6 都能撞击到该精细图形的底部上。此外,由于在一个周期内正的和负的撞击电荷的总量是零,故没有因电子遮蔽现象引起的电荷聚集。

通过模拟来估计比负周期时间短很多的正周期时间和一个周期的时间。分别把电子密度、电子温度和电容值选择为 $10^{11}/\text{cm}^3$ 、3ev 和 $30\text{pF}/\text{cm}^2$ (这些值是应用一种高密度等离子体的刻蚀系统的标准值)来作为模拟的参数。此外,考虑使用氟气作为刻蚀气体,故把模拟中使用的离子质量选择为 35.5au。

首先,在所提供的脉冲电压 200V、重复频率 10MHz 和占空比 1% 及 10% 的条件下计算衬底偏置电压波。图 12 和 13 示出计算结果。参照这些图可知,当占空比小到 1% 时,脉冲电压升高到很正的程度以使电子加速。此外,在脉冲间的间歇期间产生自偏置。当脉冲的占空比大到 10% 时,脉冲几乎没有正的部分,因此不能加速电子。

图 14 示出占空比与该衬底偏置电压波的正的部分的大小间的关系。可以把这个结果划分为下述的三个区域。

在占空比是 0.5% 或更低的区域 A 中,提供脉冲时出现在衬底表面上的电子加速电压的大小是恒定的,重复频度对其没有影响。在此区域中,刻蚀主要是在一个浮动电位下进行的。由于在该浮动电位下的电子遮蔽引起的正电荷聚集是通过间歇的正脉冲电压来释放的。因而,随着脉冲的重复频度的增加可增加消除电荷聚集的效果。

在占空比是从 0.5% 至 5% 的区域 B 中,随着占空比的增加使

电子加速电压降低,但该电子加速电压仍高于等离子体电位。特别是当占空比是1%或更低时,电子加速电压的大小是输入脉冲峰值的50%或更高,这个电子加速电压对于加速电子来说是足够的。此外,如参照图12所描述的那样,如果在脉冲间的间歇期间内使衬底电位对于输入电压来说移向负电位的话,也产生自偏置。因而,可以既通过自偏置来进行高速刻蚀,又通过电子加速电压来消除电荷聚集。

在占空比是5%或更高的区域C中,电子加速电压不在衬底表面上出现。由于使衬底电位对于输入电压来说移动得太负,故在提供脉冲电压时衬底电位变得低于等离子体电位。因此,不能通过减少电子遮蔽来消除电荷聚集。

因而,为了通过应用脉冲偏置来抑制电子遮蔽,有必要在区域A或B中选择一个占空比。如果从区域A中选择一个占空比,则在衬底上不产生大的负偏置,因此可进行高选择性的刻蚀,同时电子遮蔽现象的影响很小。当从区域B选择一个占空比时,可通过电子加速电压来抑制电子遮蔽,并且可通过自偏置来加速离子,结果可完成各向异性和高速的刻蚀。

对于脉冲的重复频率进行同样的研究。图15、16和17示出在占空比为1%,重复频度为 10MHz 、 1MHz 和 100KHz 的条件下的衬底偏置波。参照这些图可知,在重复频度为 10MHz 和 1MHz 的情况下出现脉冲的正的部分,但在重复频率为 100KHz 的情况下脉冲的正的部分几乎消失。图18示出重复频率与脉冲的正的部分的高度间的关系。在重复频率是 400KHz 或更高的情况下脉冲的正的部分的高度突然上升。特别是在重复频率是 1MHz 或更高的情况下,脉冲的

正的部分的高度基本上处于饱和状态。因而,如果把脉冲的重复频率选择为 400KH_z 或更高,更为可取的是 1MH_z 或更高,可向被处理的衬底提供足以加速电子的偏置电压。

通过应用该偏置电压来进行在一个微细图形上的工艺,并测量电荷聚集的情况。把待测量的电荷聚集的大小定义为一个 $0.3\mu\text{m}$ 水平的微细图形的底部与一个 $10\mu\text{m}$ 或更大的宽图形的底部间的电位差。图 40 示出电荷聚集的程度与占空比间的关系。从图 40 可看出,随着图 14 中说明的脉冲的正的部分的增加,电荷聚集的程度降低,并且在占空比是 5% 或更低的情况下电荷聚集的程度突然降低。特别是在占空比为 0.5% 至 5% 的范围内,电荷聚集的值是零。

关于重复频率进行同样的研究。图 41 示出电荷聚集的程度与重复频率间的关系。从图 41 可知,随着图 18 中说明的脉冲的正的部分的增加,电荷聚集的程度降低,并且在重复频率是 400KH_z 或更高的情况下电荷聚集的程度突然降低。特别是在重复频率是 1MH_z 或更高时,电荷聚集的值是零。

脉冲是另一个重要参数是通过率。当脉冲的通过率慢时,从等离子体流出的电子电流在衬底与图 1 中的脉冲源之间提供的电容器两端逐步产生一个电压降直到衬底电位达到等离子体电位为止,因此,在衬底上不出现正电位。因而,为了在衬底上产生一个电子加速电压,有必要使脉冲的通过率高于因电子电流产生的电压降的速率。如果电子温度 T_e 、电子密度 n_e 和电容值分别是 3ev 、 $10^{11}/\text{cm}^3$ 和 pF/cm^2 的话,所计算的因电子电流产生的电压降的速率约为 $10^3\text{V}/\mu\text{s}$ 。因而,可考虑为了在衬底上产生一个电子加速电压,一个至少为 $10^3/\mu\text{s}$ 的通过率是必要的。实际上提供一个脉冲宽度为 $1\mu\text{s}$ 、幅度为

100V 和重复频率为 1KHz 的脉冲并且测量脉冲的通过率与电子加速电压间的关系。图 42 示出其结果。由该图可看出在通过率为 $10^3\text{V}/\mu\text{s}$ 或更高的情况下开始产生电子加速电压, 在通过率为 $5 \times 10^3\text{V}/\mu\text{s}$ 或更高的情况下电子加速电压达到最大值。

从上述描述可知, 为了消除因电子遮蔽现象而产生的电荷聚集和解决由此而引起的问题, 要求所提供的脉冲偏置电压具有一个等于或低于 5% 的占空比和一个等于或高于 400KHz 的重复频率, 更为可取的是具有一个等于或低于 1% 的占空比和一个等于或高于 1MHz 的重复频率。

严格地说, 这些占空比和重复频率的阈值是在模拟条件下的特定的值, 依据刻蚀条件和刻蚀系统这些值可稍微作些变动。占空比的阈值与离子质量成反比。重复频率的阈值与电子温度和电子密度的平方根成正比, 但与电容器的静电电容成反比。但是, 在普通的高密率等离子体刻蚀中, 电子温度和电容器的静电电容的值与模拟中所设置的值相同, 占空比和重复频率的阈值与模拟中所设置的值基本上相同。

从现在开始将就由于电子遮蔽现象引起的问题对本发明的实施例的作用和效果作一个描述。图 19 示出通过本发明来解决在用作栅的多晶硅刻蚀加工中的“产生槽”的问题的作用机制。按照本发明, 由于电子 6 以各向异性的方式撞击在图形上, 故可消除在一个微细的图形的底部和侧面上的电荷聚集。因而, 作为刻蚀类的离子 5 不会从图形底部被排斥出来, 因此可产生没有开槽的各向异性的形状。

图 20 示在金属布线工艺中消除电荷聚集的损伤的问题的作用

机制。由于避免了在微细的图形底部上的正电荷聚集，故正电荷不被收集在浮栅 12 上，因此在浮栅 12 与衬底 13 间的栅氧化膜 14 不受到损伤。

图 21 示出在加工沟和接触孔的微小的孔中抑制弯弓形和副沟的产生的作用机制。由于不因电子遮蔽而引起电荷聚集，离子 5 以各向异性的方式撞击在衬底上，因此可产生没有副沟和弯弓形的各向异性的形状。

图 1 是按照本发明的、用于提供一个脉冲偏置的一种表面处理系统的结构图。

图 2 是用于提供一个射频偏置的一种常规刻蚀系统的结构图。

图 3 是在现有技术中当提供射频偏置时出现的所提供的的一个偏置电压波的图。

图 4 是在现有技术中当提供射频偏置时出一个衬底偏置波的图。

图 5 示出产生局部电荷聚集(电子遮蔽现象)的作用机制。

图 6 示出在加工栅的多晶硅刻蚀中产生局部侧面刻蚀(开槽)的作用机制。

图 7 示出金属布线工艺中对于栅氧化膜产生损伤的作用机制。

图 8 示出在加微细的沟中产生弯弓形和副沟的作用机制。

图 9 是按照本发明提供脉冲偏置时出现的一个偏置输入电压波的图。

图 10 是按照本发明提供脉冲偏置时出现的一个衬底偏置波的图。

图 11 示出按照本发明减少局部电荷聚集的作用机制。

图 12 是示出当提供占空比为 1% 的输入脉冲时出现的一个衬底偏置波的图。

图 13 是示出当提供占空比为 10% 的输入脉冲时出现的一个衬底偏置的图。

图 14 是示出输入脉冲的占空比与衬底偏置的正电压的幅度间的关系图。

图 15 是示出当提供重复频率为 10MHz 的输入脉冲时出现的一个衬底偏置波的图。

图 16 是示出当提供重复频率为 1MHz 的输入脉冲时出现一个衬底偏置波的图。

图 17 是示出当提供重复频率为 100KHz 的输入脉冲时出现的一个衬底偏置波的图。

图 18 是示出输入脉冲的重复频率与衬底偏置的正电压的幅度间的关系图。

图 19 示出按照本发明减少槽的作用机制。

图 20 示出按照本发明减少对于栅氧化膜的损伤的作用机制。

图 21 示出按照本发明减少副沟和弯弓形的作用机制。

图 22 是本发明适用的一种微波刻蚀系统的结构图。

图 23 是示出脉冲的占空比和重复频率与脉冲源的通过率之间的关系图。

图 24 是示出从脉冲源产生的脉冲电压波的一个例子的一个图。

图 25 是示出脉冲的占空比和开槽尺寸间的关系图。

图 26 是示出脉冲的重复频率和开槽尺寸间的关系图。

图 27 示出按照本发明的、用于加工成栅的多晶硅的形状。

图 28 示出按照常规方法的、用于加工成栅的多晶硅的形状。

图 29 是示出脉冲的占空比和栅氧化膜的介质击穿率间的关系图。

图 30 是示出脉冲的重复频率和栅氧化膜的介质击穿率间的关系图。

图 31 是示出在刻蚀期间脉冲的占空比的变化的一个定时图。

图 32 是示出在刻蚀期间脉冲的重复频率的变化的一个定时图。

图 33 是一种可在脉冲偏置和射频偏置间进行转换的微波刻蚀系统的结构图。

图 34 是示出在脉冲偏置和射频偏置间进行转换的一个定时图。

图 35 示出按照本发明产生的沟的形状。

图 36 示出按照常规方法产生的沟的形状。

图 37 是按照本发明的一个输入脉冲电压的例子的一個波形图。

图 38 是按照本发明的一个输入脉冲电压的例子的一個波形图。

图 39 是示出在实施例 9 的刻蚀系统中脉冲的重复频率和开槽尺寸间的关系图。

图 40 是示出脉冲的占空比和电荷聚集程度间的关系图。

图 41 是示出脉冲的重复频率和电荷聚集程度间的关系图。

图 42 是示出脉冲的通过率和电子加速电压的幅度间的关系图。

图 43 是其特征是从用于静电吸盘的电源提供正电压的本发明的一种微波刻蚀系统的结构图。

图 44 是示出脉冲的通过率和开槽的尺寸间的关系图。

图 45 是用于 Wsi/多晶硅栅的工艺的一个流程图。

图 46 示出产生 SG 图形中的开槽现象的作用机制。

(实施例 1)

图 22 示出一个对用作栅的多晶硅进行处理的微波刻蚀系统，在该刻蚀系统中应用本发明的脉冲偏置。在该系统中，把从一个磁控管 18 产生的微波通过一个波导 19 输到一个放电管 20，可通过在输入的微波和由一个线圈 21 产生的磁场之间的电子回旋共振 (ECR) 在该放电管内产生一种高密度的等离子体。在该系统中，通过由一个接地电极 22 (该接地电极的表面积是被处理的衬底 1 的表面积的四倍或更多) 将等离子体接地来防止该等离子体的电位在提供脉冲时不会有很大的变动。该被刻蚀的衬底 1 由 6 吋的尺寸的一个硅片形成，而该硅片的表面已热氧化，在该表面上淀积一个多晶硅膜，在许多晶硅膜上形成一个抗蚀剂掩模。把该衬底 1 通过一个用于静电吸盘的绝缘体 23 (该绝缘体具有一个 $30\text{pF}/\text{cm}^2$ 的静电电容) 连接到一个用于静电吸盘的恒定电压源 24 和脉冲电压源 17。在本发明中，为了产生一个具有高频、低占空比和几百伏电平的脉冲电压，要求该脉冲电压源具有一个高的上升速率。该上升速率通常用一个称之为通过率的值来表示。当产生阶梯电压时通过用上升时间除上升电压来得到该通过率，该通过率对于该脉冲电压发生器来说是特有的一个值。图 23 示出可提供该脉冲电压的给定的占空比和给定的重复频率的脉冲发生器的最小通过率。为了产生一个重复频率等于或高于 400KHz 、占空比等于或低于 5% 和几百伏电平的脉冲电压，有必要使用一个其通过率等于或高于 $8 \times 10^2 \text{V}/\mu\text{sec}$ 的脉冲电压源。为了产生一个重复频率等于或高于 1MHz 和占空比等于或低于 1% 的脉冲电压源，脉冲电压发生器的通过率必须等于或高于 $10^4 \text{V}/\mu\text{sec}$ 。市场上可买到的宽带任意波发生器所产生的脉冲的重复

频率和占空比分别是等于或低于 100MHz 和等于或高于 0.1% 。因此，本实施例中的脉冲电压源 17 由该宽带任意波发生器 25 和一个通过率为 $10^5\text{ V}/\mu\text{sec}$ 的高速宽带功率放大器 26 组成。把从该宽带任意波发生器 25 发出的信号用该高速宽带功率放大器 26 进行放大以产生一个重复频率为 10MHz 、占空比为 1% 和几百伏电平的脉冲。图 24 示出可通过该电源产生的脉冲波的一个例子。当产生一个高频脉冲时，其脉冲波形不总是如图 24 中所示的矩形。此外，脉冲不是线性地上升的。因而，不能精确地定义脉冲宽度、通过率和作为脉冲宽度的函数的占空比。在本专利说明书中，把脉冲的满极大值的半宽度定义为脉冲宽度，把用重复周期除脉冲宽度所得到的值定义为占空比。再者，把脉冲的通过率定义为该脉冲的上升部分的最大斜率。

为了研究在该系统中所产生的等离子体的状态，用三探针法测量电子密度和电子温度。所测得的电子密度和电子温度分别是 $10^{11}/\text{cm}^3$ 和 3eV ，这二个值与上述模拟的条件是相同的。

通过在该系统中使氟等离子体来刻蚀在二氧化硅膜上形成的多晶硅的微细图形。此时如脉冲幅度太小的话就使加速电子的电压减小，结果就不能使电子以各向异性的方式撞击在该微细图形上。因而脉冲幅度至少必须是 20V 。但是如果脉冲电压太大的话就会增加加速离子的能量，从而使多晶硅的相对于二氧化硅膜的选择性变坏。因此，希望脉冲幅度等于或低于 2KV 。在本实施例中把脉冲电压固定于 100V ，首先在把重复频率设置在 10MHz 和改变占空比的情况下研究开槽的尺寸。图 25 示出其结果。从该图可看出，当占空比在 0.5% 至 5% 的范围内时，开槽的尺寸变得最小。特别是在对硅衬底来说是非导电的图形(以下称为 FG 图形)中，当占空比在上述

范围内时,开槽的尺寸是零。在对于衬底来说是导电的图形(以下称为 SG 图形)中,开槽没有完全消失。我们发现在 SG 图形中开槽没有完全消失的现象,可归因于从用于静电吸盘的电压源 24 提供的负的直流电压。图 46 示出产生上述差别的作用机制。当提供一个例如 -500V 的负电压作为用于静电吸盘的一个电压时,在背后的衬底 13 上出现一个电位,该电位比下面的二氧化硅膜 9 的表面上的电位约低 20V 。因而由于对衬底来说是导电的 SG 图形上的电位比周围的二氧化硅膜的电位约低 20V ,故正离子 5 的行进方向被偏转到 SG 图形侧面,因此,很容易以倾斜的方式进行撞击。以倾斜的方式撞击的离子促使开槽的产生。因此,当通过改变图 43 中示出的、用于静电吸盘的电压源的极性,从该电压源提供一个等于或高于 $+500\text{V}$ 的电压时,把 SG 图形的电位维持在一个比周围的二氧化硅膜 9 上的电位高 20V 的电位上。因此正离子要以倾斜的方式撞击在 SG 图形上是困难的。通过应用该系统进行如图 25 中的同样的测量。在此情况下,当占空比在 0.5% 至 5% 的范围内时,开槽现象不但从 FG 图形处完全消失,而且也从 SG 图形处完全消失。

之后,在把占空比设置在 1% 和使重复频率变化的情况下研究 FG 图形上的开槽的尺寸的变化。图 26 示出其结果。从图 26 可看出,随着重复频率的增加,开槽的尺寸减小。特别是当重复频率等于或高于 400KHz 时,开槽的尺寸显著地减小,或者说此时重复频率对开槽的尺寸的减小影响很大。

此外,研究脉冲的通过率,在把脉冲电压选为 100V 、把脉冲宽度设置在 100ns 和把重复频率固定于 10KHz 的情况下,测量 FG 图形上的开槽的尺寸相对于脉冲的通过率的变化。图 44 示出其结果。

从图 44 可知,在通过率为 $10^3\text{V}/\mu\text{s}$ 处,开槽的尺寸开始减小,在通过率等于或高于 $5\times 10^3\text{V}/\mu\text{s}$ 处,开槽的尺寸变到最小值。

通过在本实施例的系统中提供一个重复频率为 10MHz 、占空比为 1% 和幅度为 100V 的脉冲电压来刻蚀多晶硅的微细图形。图 27 示出进行加工处理后的多晶硅的形状。作为参照,在图 28 中示出通过射频偏置刻蚀的多晶硅的形状。当使用射频偏置时,出现开槽,但当使用脉冲偏置时,开槽消失,其结果是所刻蚀的形状变成各向异性。

不但通过微波刻蚀系统可达到本实施例的效果,而且通过应用其它放电系统的等离子体刻蚀系统,例如一个感应耦合等离子体刻蚀系统和一个螺旋波等离子体刻蚀系统也可达到本实施例的效果。

(实施例 2)

通过实施例 1 的系统来进行金属布线工艺。

首先在把重复频率设置在 10MHz 的情况下研究栅氧化膜的介质击穿率相对于占空比的变化。图 29 示出其结果。从图 29 可看出,随着脉冲的占空比的减小介质击穿率也减小。特别是当占空比等于或低于 5% 时,介质击穿率突然地减小,由此在金属布线刻蚀工艺中增加了减少电荷聚集损伤的效果。之后,在占空比为 1% 的情况下研究栅氧化膜的介质击穿率相对于重复频率的变化。图 30 示出其结果。从图 30 可看出,随着重复频率的增加,介质击穿率减小。特别是当重复频率等于或高于 400KHz 时,介质击穿率显著地减小,故在此情况下减少电荷聚集损伤的效果很显著。

因电子遮蔽而引起的电荷聚集和开槽现象是在被刻蚀的膜的剩余膜厚变成零之后,或正当的刻蚀之后的过刻蚀期间产生的。因而

不需要在从刻蚀的开始至终结的整个时间内提供该系统的脉冲偏置。这就是说，只是在刻蚀之后的过刻蚀期间内才有必要提供该系统的脉冲偏置，在此情况下可减少电荷聚集和开槽现象。因此在下述的实施例 3、4 和 5 中提出在刻蚀之前和之后转换偏置电压的方法。

(实施例 3)

通过应用实施例 1 的系统对用作栅的多晶硅进行加工处理。在本实施例 3 中，把脉冲的重复频率设置在 10MHz ，如图 31 的定时图中所示，在从刻蚀开始到剩余的多晶硅膜厚度变成零(或到正当的刻蚀时间)的间隔期间内，使脉冲的占空比从 50% 变得 1%。此外，在正当的刻蚀之后的过刻蚀期间内，把脉冲的占空比固定于 1%。在这种情况下，已加工处理的多晶硅的形状也是各向异性的，没有如图 27 中示出的开槽。

虽然在本实施例中，在正当的刻蚀之后把脉冲的占空比固定于 1%，但即使在正当的刻蚀之前把脉冲的占空比固定于 1% 也能达到同样的效果。

此外，本实施例的方法不但在用作栅的多晶硅的加工处理中减少开槽时是有效的，而且在金属布线刻蚀中减少电荷聚集损伤时也是有效的。

(实施例 4)

通过应用实施例 1 的系统对用作栅的多晶硅进行加工处理。在本实施例 4 中，把脉冲的占空比固定于 1%，并且如图 32 的定时图中所示，在从刻蚀开始到正当的刻蚀时间的间隔期间内把脉冲的重复频率从 10KHz 变到 10MHz 。此外，在正当的刻蚀之后的过刻蚀期

间内，把重复频率固定于 10MHz 。在这种情况下，已加工处理的多晶硅的形状也是各向异性的，没有图 27 中所示的开槽。

虽然在本实施例中在正当的刻蚀之后把脉冲的重复频率固定于 10MHz ，但是即使在正当的刻蚀之前把脉冲的重复频率固定于 10MHz 也可达到同样的效果。

此外，本实施例的方法不但在用作栅的多晶硅的加工处理中减少开槽时是有效的，而且在金属布线刻蚀中减少电荷聚集损伤时也是有效的。

(实施例 5)

通过应用在图 33 中示出的，能提供一种脉冲电压和一种正弦波电压中的任一种作为一个偏置的等离子体刻蚀系统来刻蚀用作栅的多晶硅。在本实施例 5 中，如图 34 的定时图中示出的，提供一种 10MHz 的正弦波电压直到达到正当的刻蚀为止，在过刻蚀期间把偏置电压转换到一种占空比为 1%、重复频率为 10MHz 的脉冲电压。在这种情况下，加工处理过的多晶硅的形状是各向异性的，没有如在实施例 1 中示出的开槽。

虽然在本实施例中在正当的刻蚀时间处把偏置电压从正弦波电压转换到脉冲电压，但可以在该正当的刻蚀时间之前进行该偏置转换，在此情况下可达到相同的效果。

此外，本实施例的方法不但在用作栅的多晶硅的加工处理中减少开槽时是有效的，而且在金属布线刻蚀中减少电荷聚集损伤时也是有效的。

(实施例 6)

通过应用实施例 1 的系统，对沟的刻蚀提供重复频率为 10MHz ，

和占空比为 1% 的脉冲电压。图 35 示出所产生的沟的截面图。作为参照，在图 36 中示出通过通常的射频偏置刻蚀产生的沟的截面。在使用射频偏置时出现的“弯弓形”15 和“副沟”16 在提供本发明的脉冲偏置时消失了，因此该沟的截面具有一种各向异性的形状，具有圆的底角。再者，称之为“微负载”的刻蚀速度与图形尺寸的相关性也消失了。

虽然在本实施例中描述了沟的加工，但在产生孔，如接触孔和产生微小的沟，如用于隔离的 U—沟的工艺中可达到同样的效果。

(实施例 7)

可以认为即使把一个噪音波电压等叠加在脉冲电压上，只要该噪音电压与该脉冲电压相比是可以忽略的，该系统的脉冲波电压仍具有减小开槽和电荷聚集的效果。

因此，在本实施例中从图 22 中的脉冲发生器产生一个如图 37 中示出的、由一个脉冲电压和一个正弦波电压形成的复合波电压，并且提供该复合波电压作为一个偏置来刻蚀用作栅的多晶硅。在此情况下，也可达到如在实施例 1 中的减小开槽的效果。

虽然在本实施例中把一个其周期是脉冲的二倍的正弦波电压叠加在脉冲电压上，但不管叠加在该脉冲电压上的正弦波电压的周期和摆幅是如何，都可达到如本实施例中的同样的效果。

此外，本实施例的方法不但对于在用作栅的多晶硅的加工中减小开槽是有效的，而且对于在金属布线刻蚀中减少电荷聚集损伤和在产生微小的孔，如沟的工艺中减少“弯弓形”和“副沟”也是有效的。

(实施例 8)

在实施例 1 的系统中通过脉冲发生器产生一个如图 38 中示出的由一个脉冲电压和一个正的直流电压形成的复合波电压，并且将该复合波作为一个偏置来刻蚀用作栅的多晶硅。在这种情况下也达到如在实施例 1 中减小开槽的效果。

虽然在本实施例中在脉冲电压上叠加一个正的直流电压，但不管叠加在脉冲电压上的直流电压的极性和大小是如何，都可达到如在本实施例中的同样的效果。

此外，本实施例的方法不但对于在用作栅的多晶硅的加工中减小开槽是有效的，而且对于在金属布线刻蚀中减小电荷聚集损伤和在产生微小的孔，如沟的工艺中减少“弯弓形”和“副沟”也是有效的。

(实施例 9)

在实施例 1 的系统中，应用一种 $\text{Pb}(\text{Zr Ti})\text{O}_3$ 的铁电材料制造用于静电吸盘的绝缘体 23。其结果是把绝缘体 23 的静电电容增加到等于或大于 $3\text{nF}/\text{cm}^2$ 。通过这项改进能将为消除由电子遮蔽现象而引起的电荷聚集所必需的脉冲重复频率降低二个数量级。因此，由于可将脉冲电压源的通过率降低二个数量级，故可降低脉冲电压源的成本。

通过该经改进的系统，对用作栅的多晶硅进行加工处理。在把脉冲电压设置于 100V 和把脉冲的占空比固定于 1% 的情况下研究开槽的尺寸相对于重复频率的变化。图 39 示出其结果。从图 39 可看出在重复频率等于或高于 4KHz 处开槽的尺寸开始突然地减小，在重复频率等于或高于 10KHz 处槽的尺寸几乎达到零。此外，当提供一个重复频率为 100KHz 的脉冲电压来进行刻蚀时，经过刻蚀的

多晶硅的形状如图 27 中所示呈各向异性。

虽然在本实施例中应用 $\text{Pb}(\text{Zr Ti})\text{O}_3$ 来制造用于静电吸盘的绝缘体,但也可以应用其它的铁电材料,在此情况下可达到相似的效果。例如,当应用 $(\text{Pb},\text{Ba})\text{Nb}_2\text{O}_3$ 时,可把阈值频率降低到实施例 1 中的阈值频率的 $1/200$ 。此外,用 $(\text{Sr},\text{Ba})\text{Nb}_2\text{O}_3$ 可把阈值频率降低到 $1/50$,用 BaTiO_3 降低到 $1/300$,用 PbTiO_3 降低到 $1/10$,用 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 降低到 $1/30$,以及用一种 $\text{Pb}(\text{Mg},\text{Nb})\text{O}_3-\text{PbTiO}_3$ 的固溶体降低到 $1/2000$ 。

(实施例 10)

图 45 是 $\text{WSi}/$ 多晶硅栅的工艺中一个流程图。参照图 45,首先通过 CVD(化学汽相淀积)在一个二氧化硅膜上相断地淀积 $n+$ 多晶硅、 WSi 和 SiO_2 。然后在衬底上覆盖一层光致抗蚀剂,用光刻来刻蚀图形以形成一个抗蚀剂图形。把该抗蚀剂图形用作一个掩模,用 CF_4/O_2 的混合气体等离子体穿过该掩模各向异性地以干法方式刻蚀 SiO_2 层。然后用 CL_2 气体等离子体各向异性地以干法方式刻蚀 WSi 层和多晶硅层。然后用下流灰化法除去抗蚀剂图形,然后把剩下的 $\text{SiO}_2/\text{WSi}/$ 多晶硅用一个掩模,穿过该掩模用磷进行轻掺杂,从而在硅衬底内形成一个 n 型的轻掺杂的漏极层。其后,通过 CVD 淀积二氧化硅 SiO_2 ,进行内刻蚀从而在栅的外周边上形成一个隔离层。把该隔离层用作一个掩模,穿过该掩模用磷进行重掺杂从而形成一个 $n+$ 扩散层。在图 45 中示出的生产工艺的 $\text{WSi}/$ 多晶硅刻蚀工艺中使用本实施例的脉冲偏置。以下将描述在 $\text{WSi}/$ 多晶硅刻蚀工艺中的一种偏置的应用方法。由于在放电开始后,对于 WSi 层的刻蚀来说需要一个高的偏置电压,故此时提供射频偏置,这种偏置

方式可容易地得到一个高的偏置电压。在接下来的多晶硅层的刻蚀中，由于要求高的选择性和尽可能小的开槽现象，故在多晶硅层的刻蚀开始时把偏置电压从射频偏置转换到脉冲偏置。以上述方法产生的栅比起用常规方法产生的栅具有更高精度的尺寸和在其有效沟道长度方面的更小的离散度。此外，由于栅氧化膜几乎没有因电荷聚集而受到损伤以及由于 V_t (阈值) 的漂移也是很小的，故可产生具有稳定的特性的栅。

如以上所描述的，可减少因电子遮蔽现象引起的电荷聚集，因此可抑制因电子遮蔽引起的开槽、电荷聚集损伤、弯弓形和副沟的产生。还可有效地减少微负载。

说明书附图

图 1

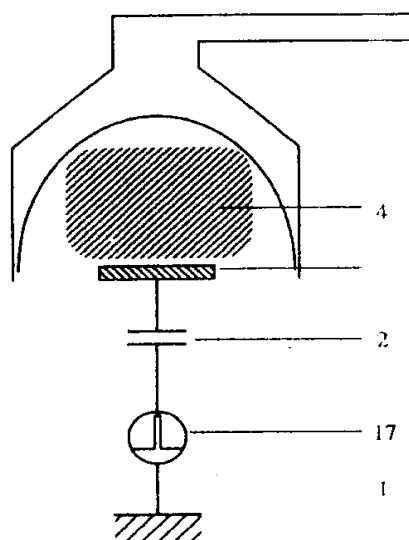


图 2

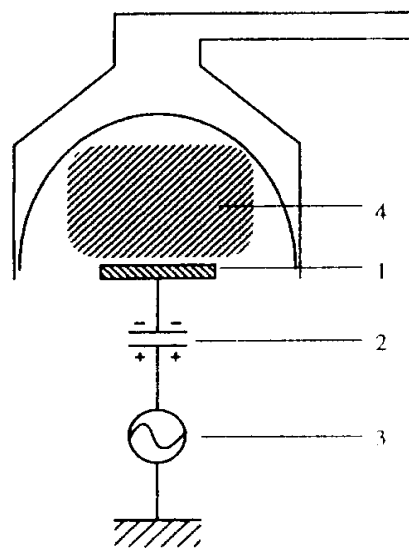


图. 3

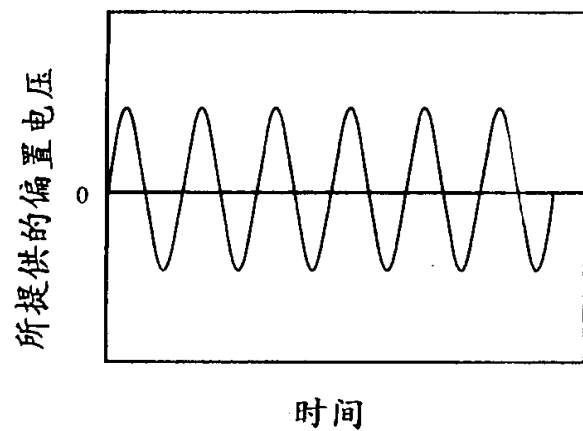


图. 4

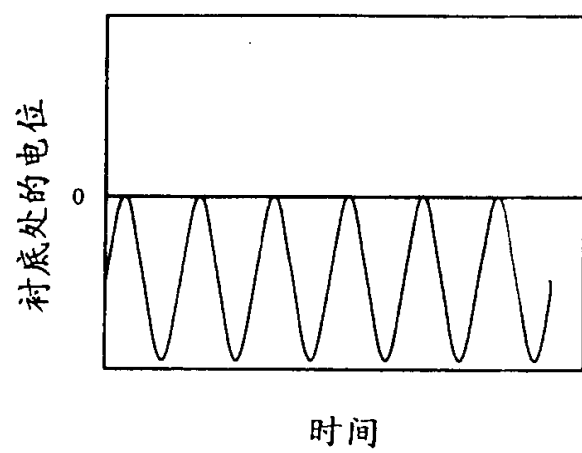


图. 5

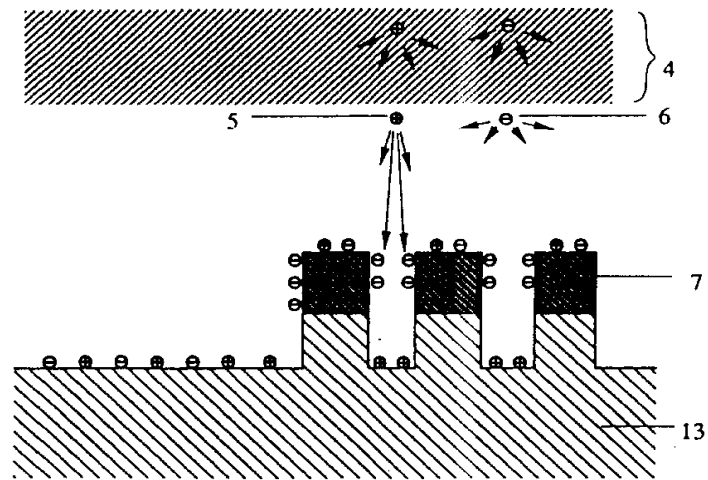


图 6

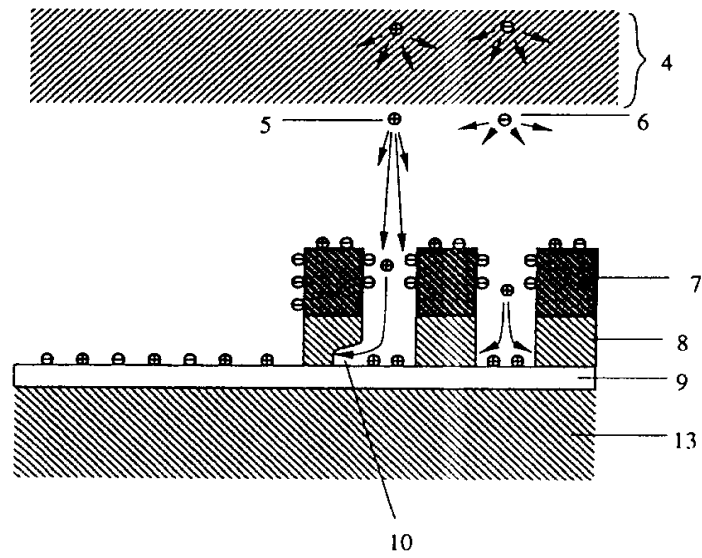


图. 7

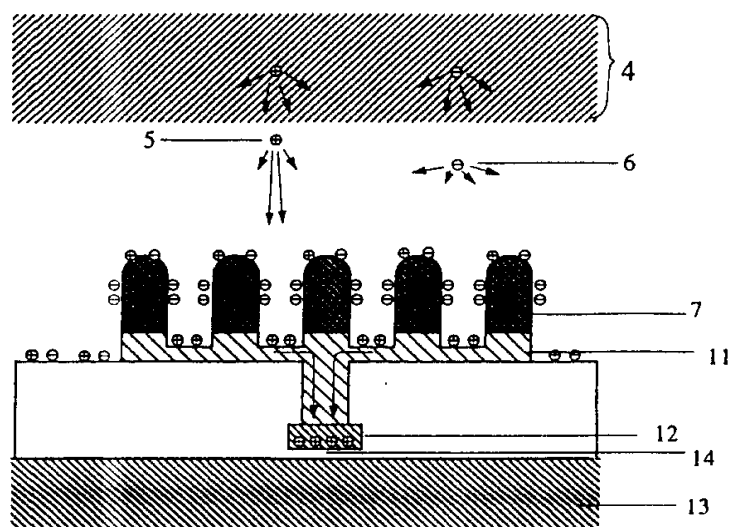


图. 8

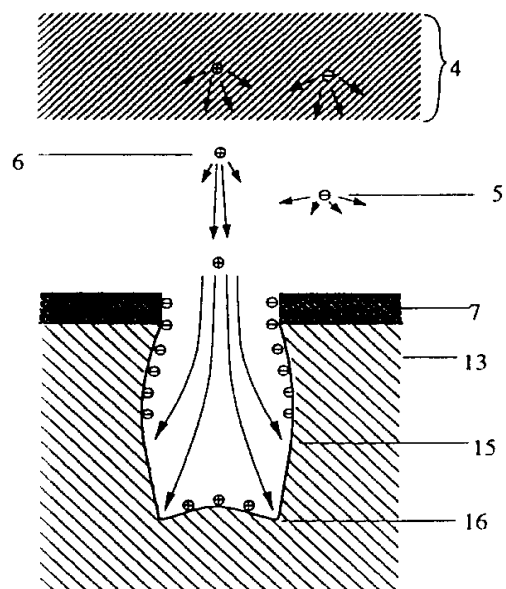


图. 9

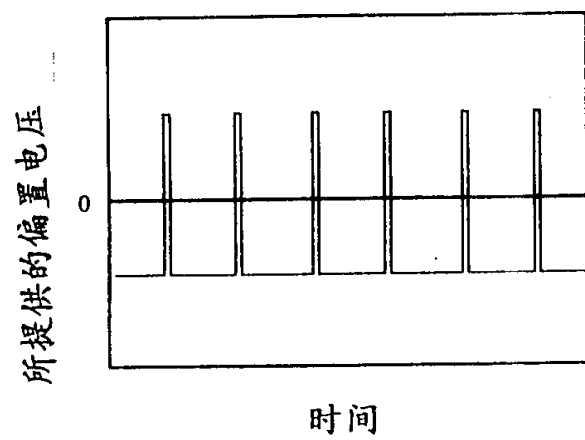


图. 10

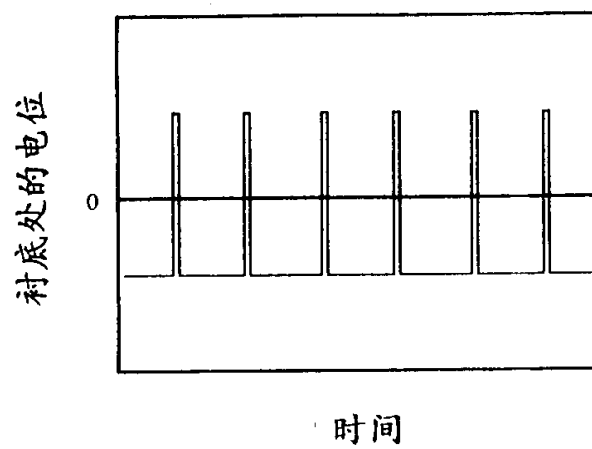


图. 11

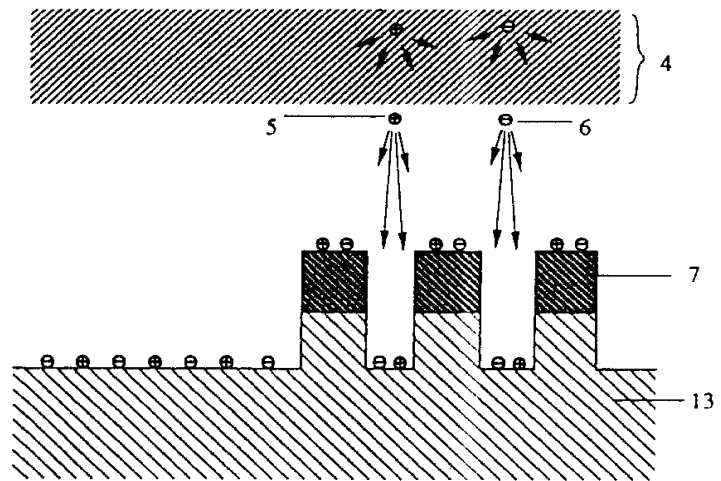


图. 12

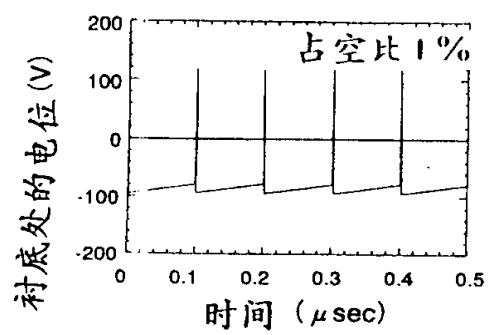


图. 13

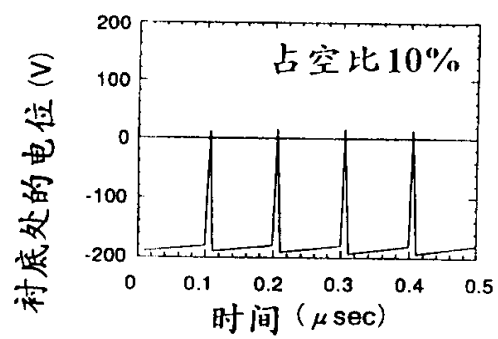


图 14

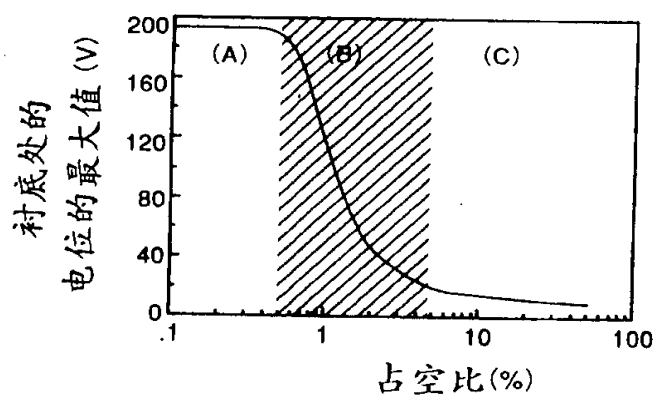


图. 15

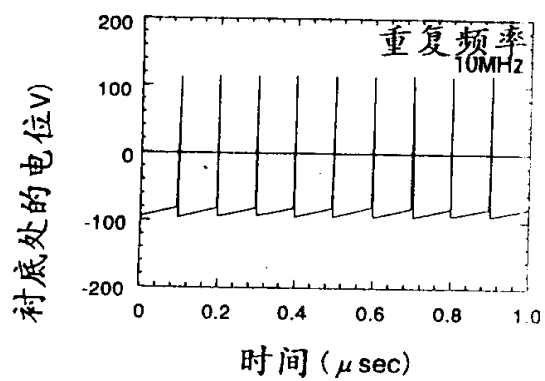


图. 16

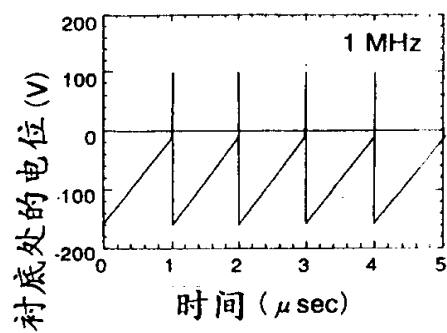


图. 17

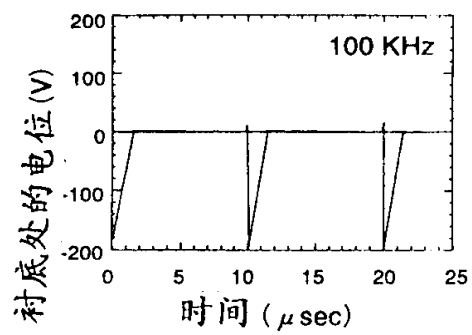


图. 18

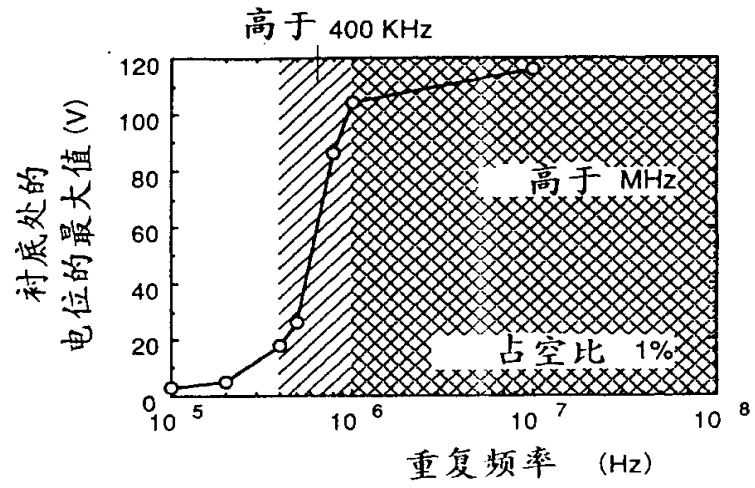


图. 19

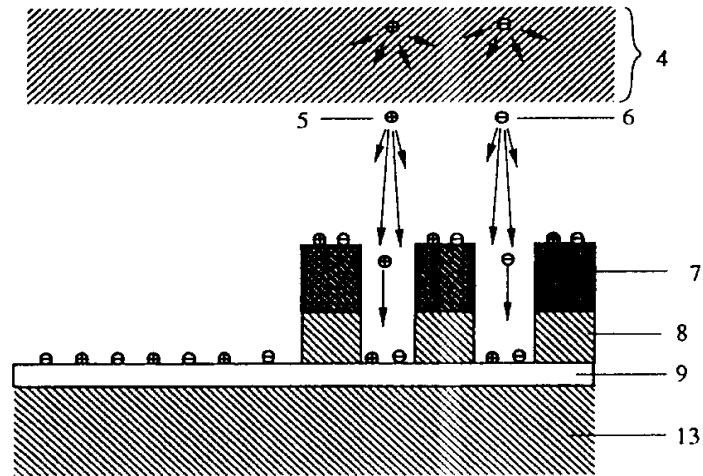


图. 20

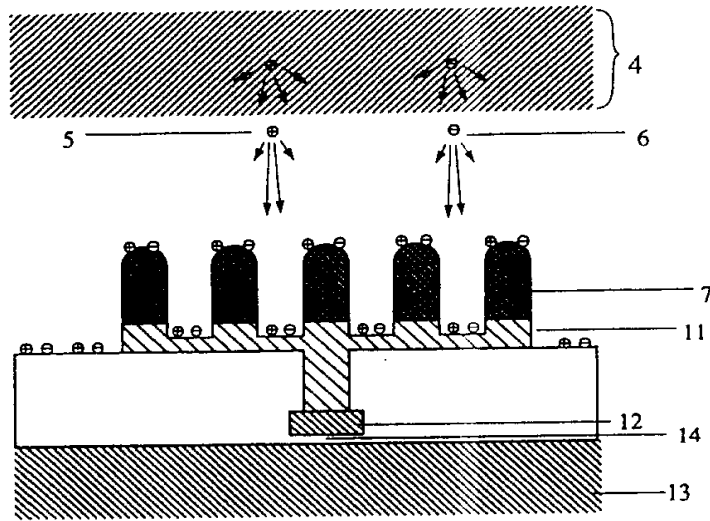


图. 21

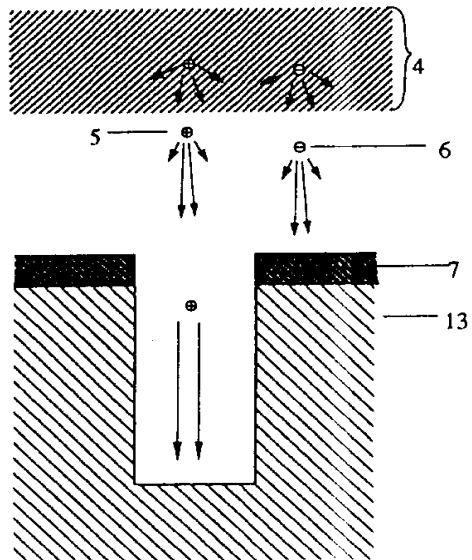


图. 22

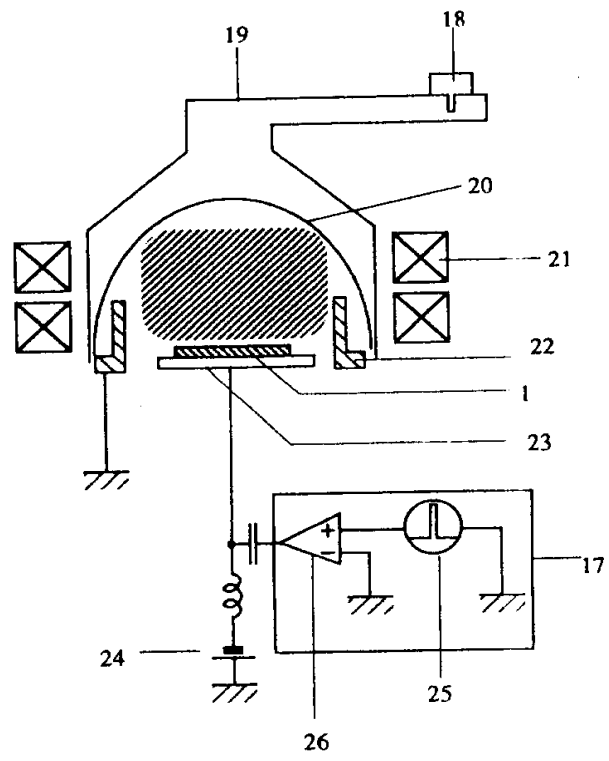


图. 23

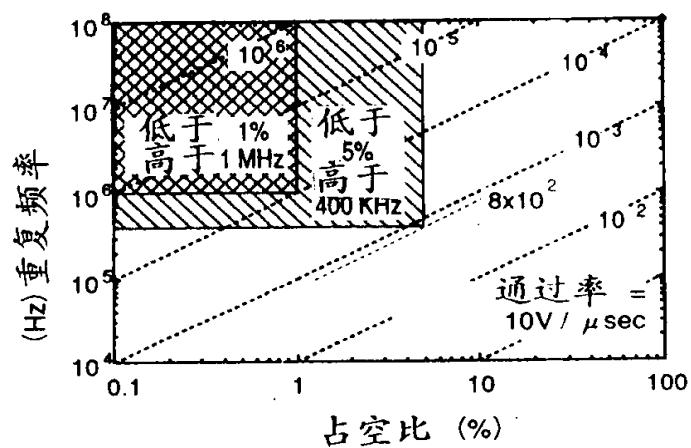


图. 24

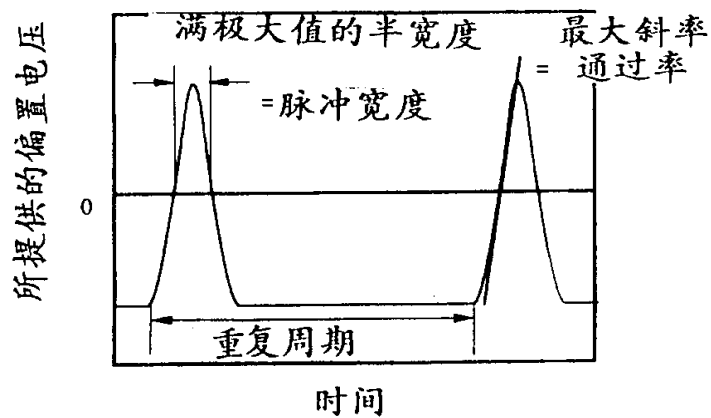


图. 25

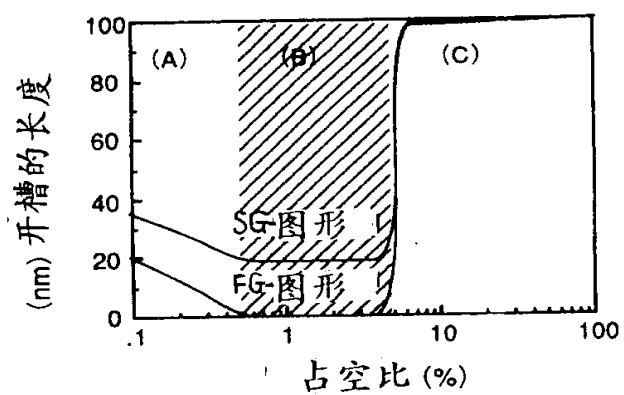


图. 26

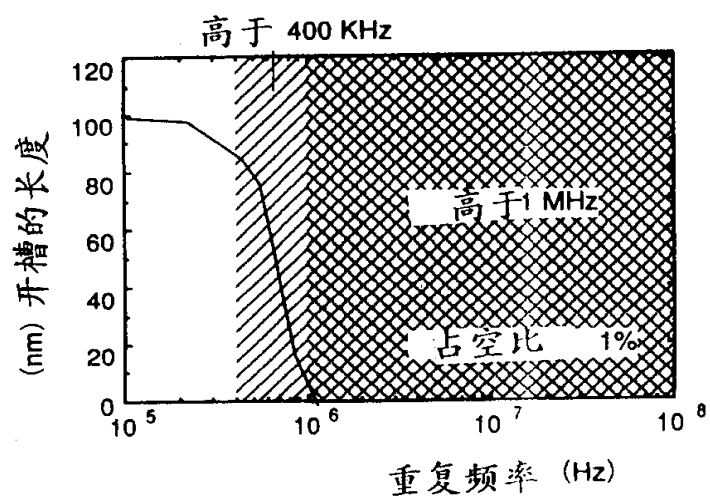


图. 27

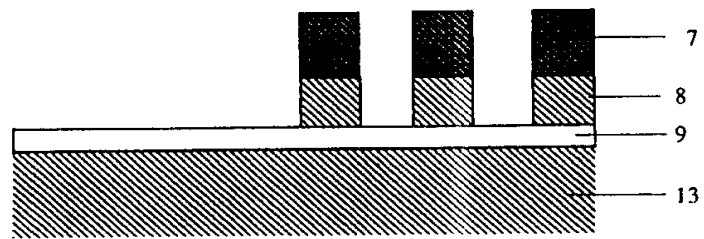


图. 28

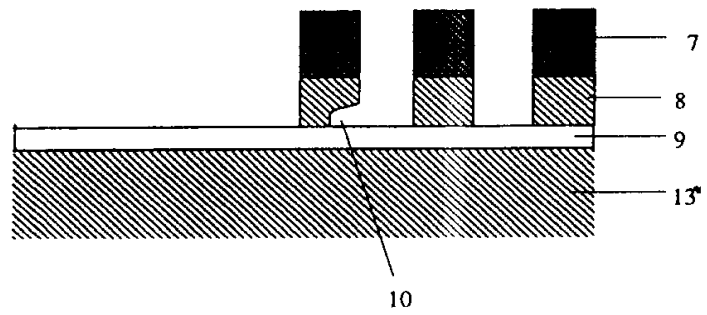


图. 29

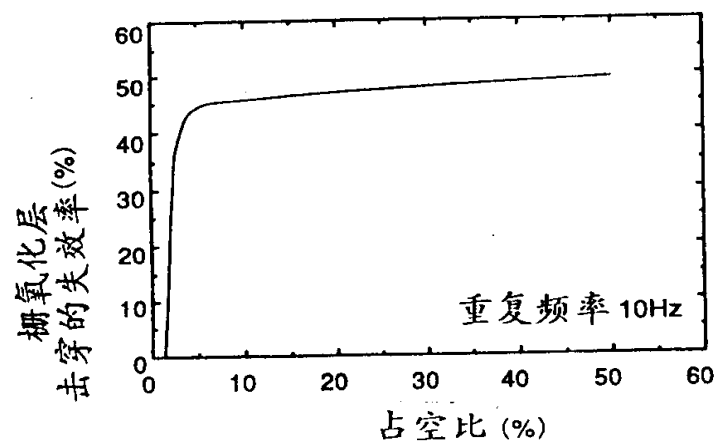


图. 30

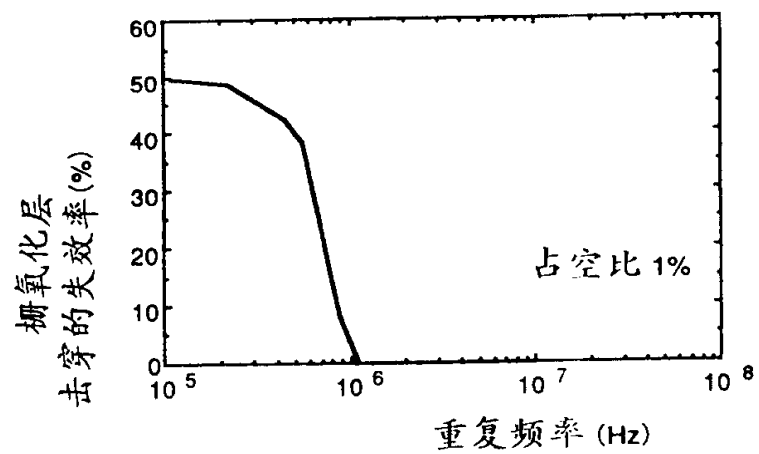


图. 31

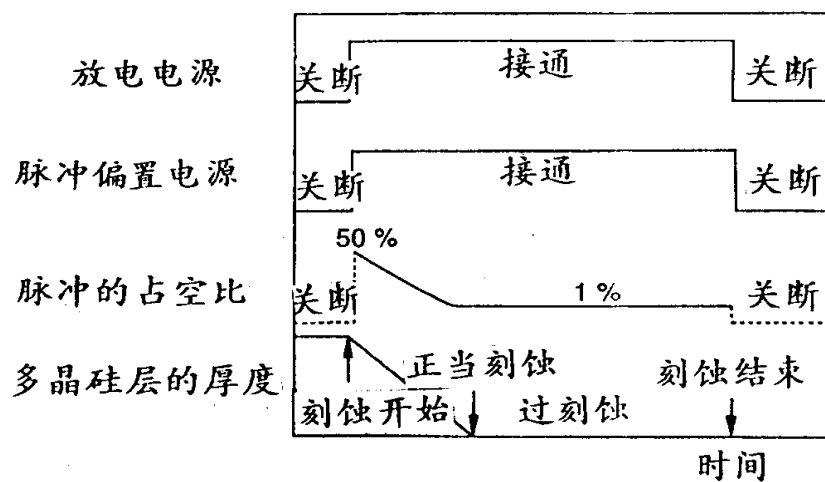


图. 32

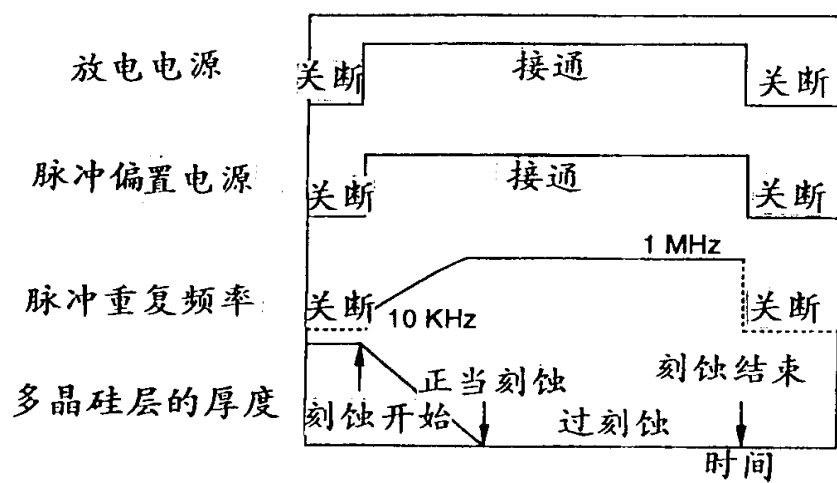


图. 33

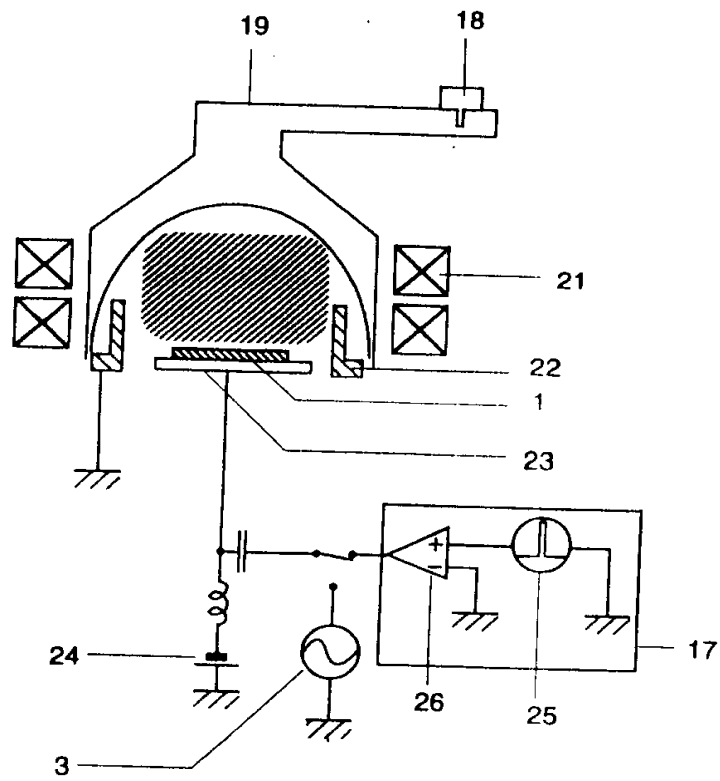


图. 34

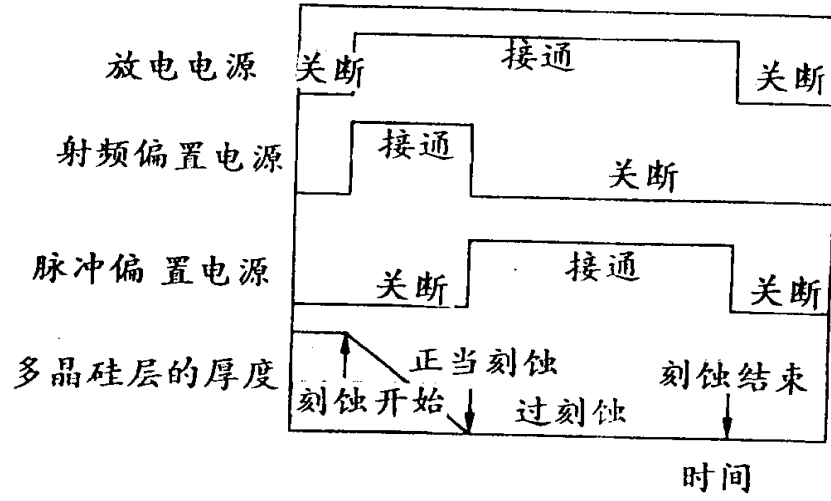


图. 35

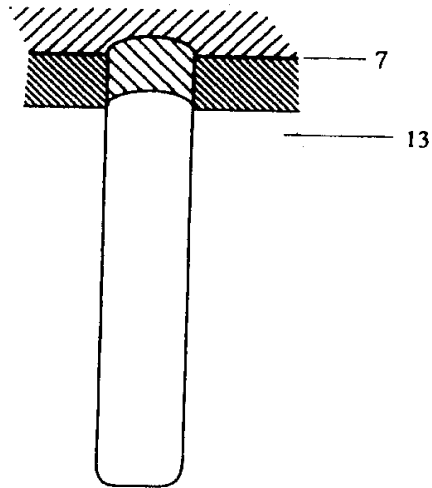


图. 36

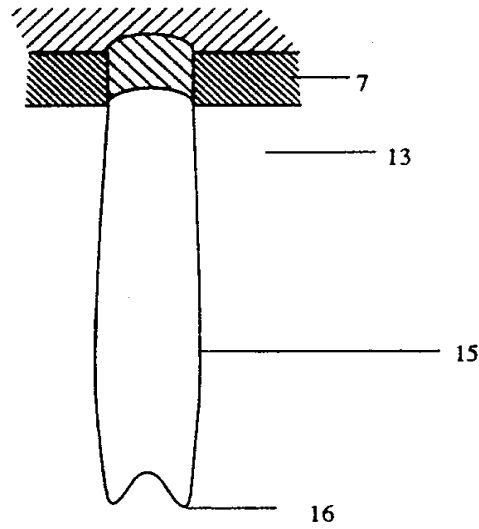


图. 39

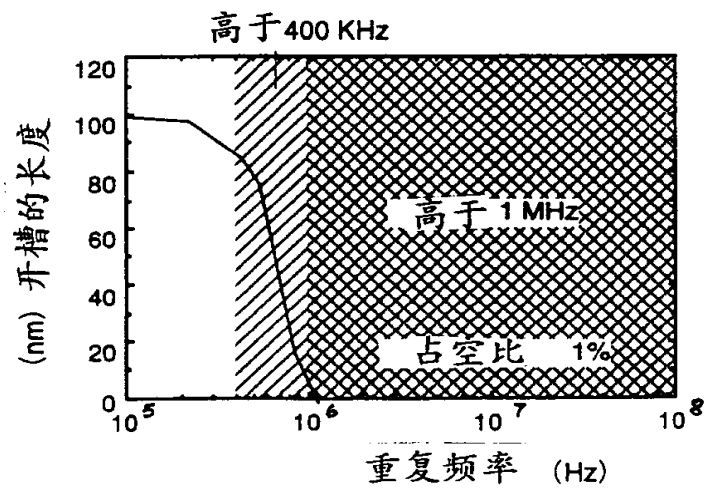


图. 37

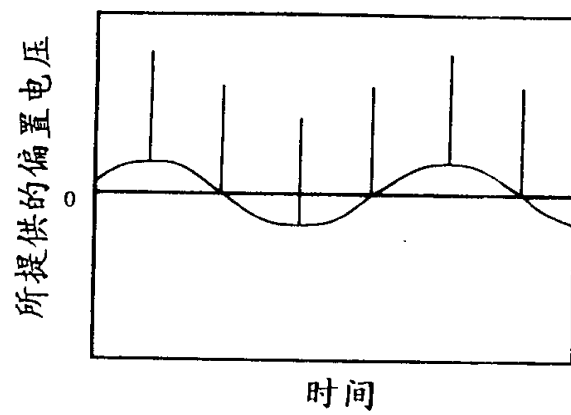


图. 38

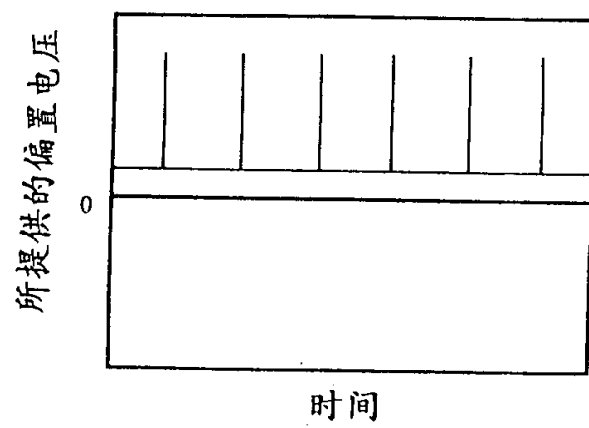


图. 40

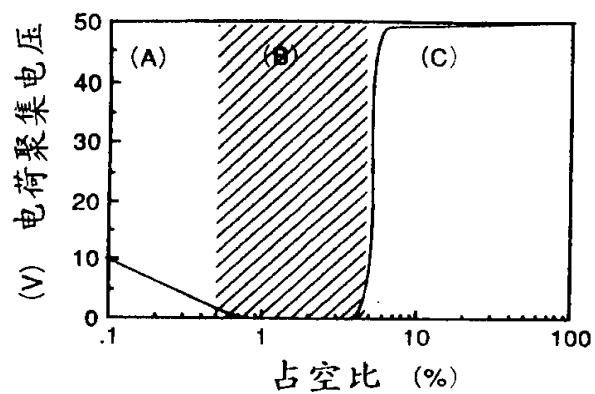


图. 41

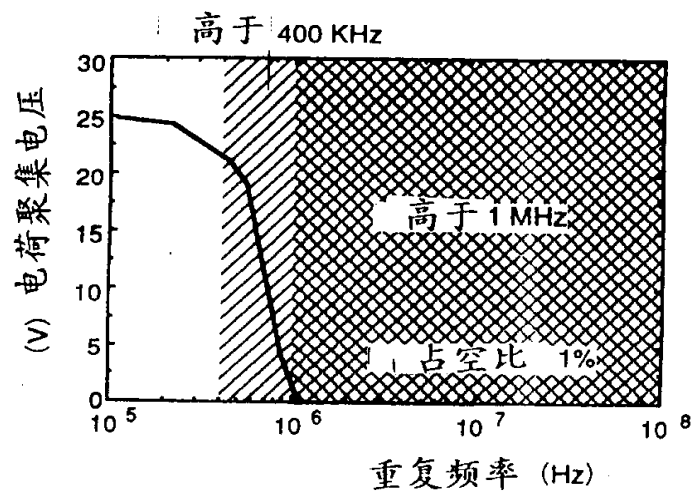


图. 42

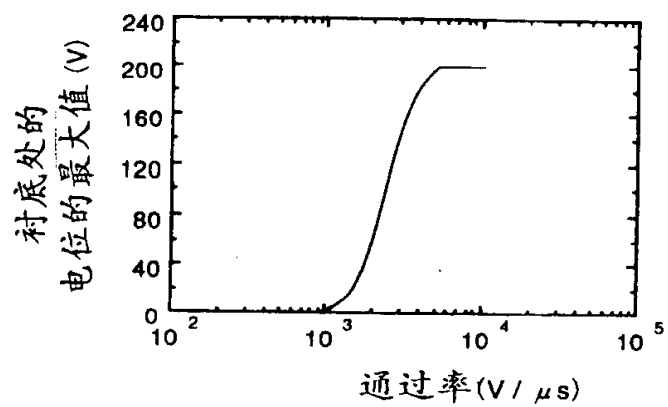


图. 44

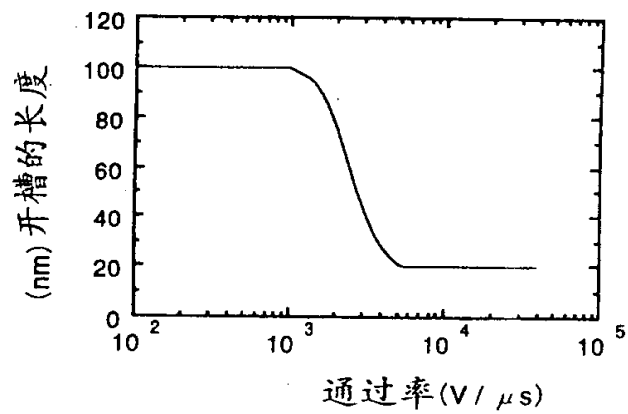


图. 43

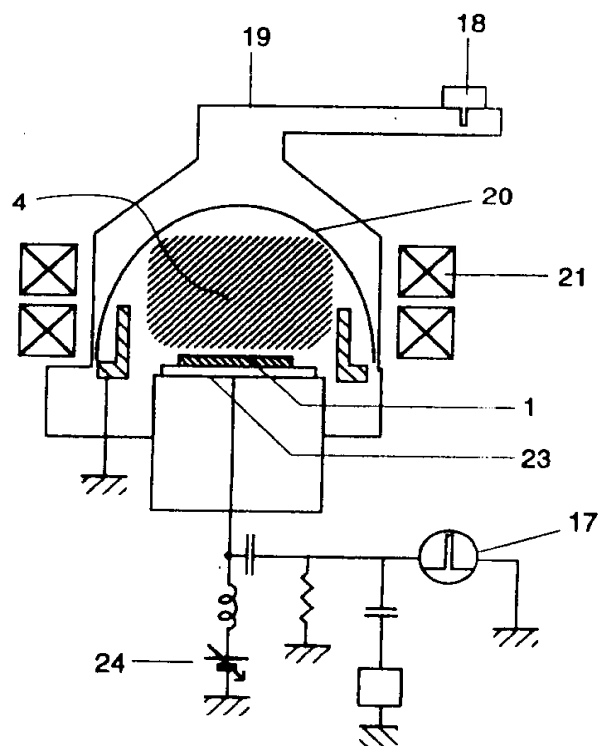


图. 45

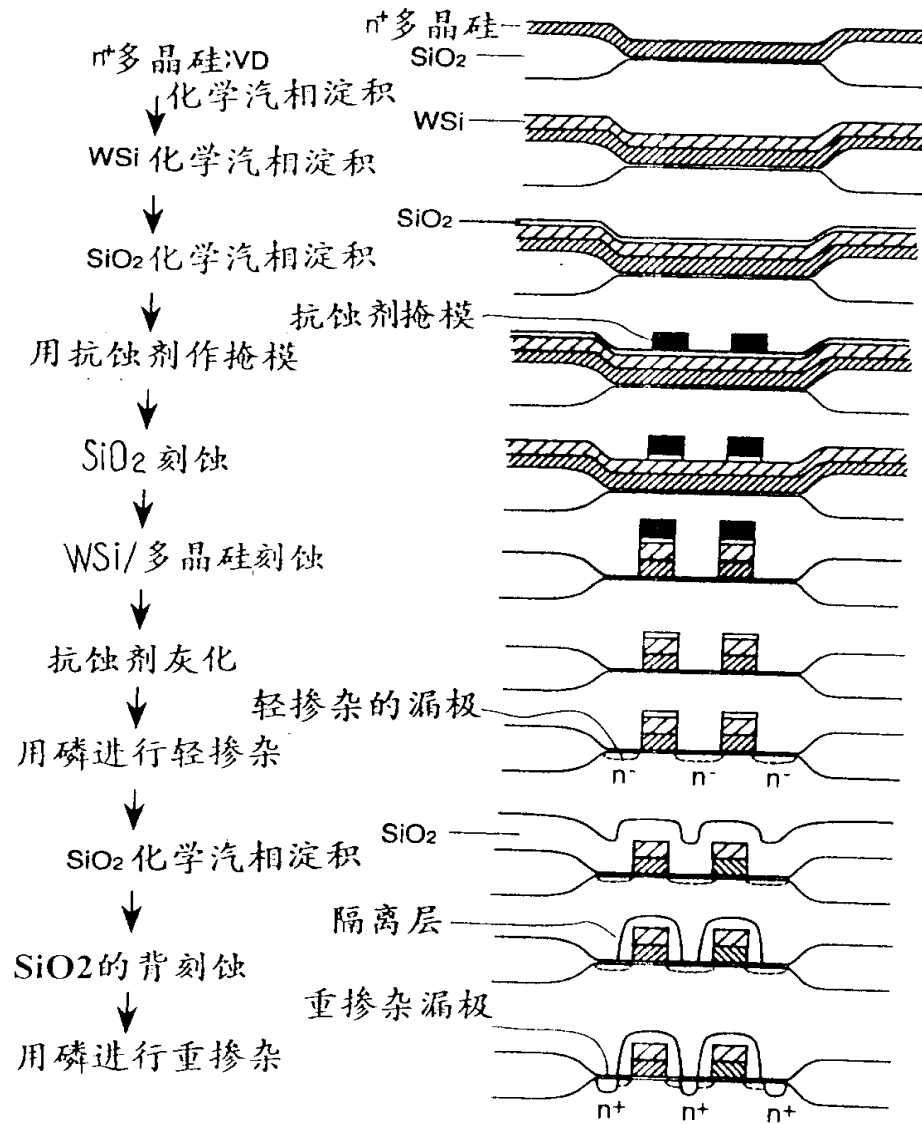


图. 46

