

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年11月30日(30.11.2023)



(10) 国際公開番号

WO 2023/228545 A1

(51) 国際特許分類:
H04N 25/76 (2023.01)

神奈川県厚木市旭町四丁目14番
1号 Kanagawa (JP).

(21) 国際出願番号: PCT/JP2023/012142

(22) 国際出願日: 2023年3月27日(27.03.2023)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2022-084200 2022年5月24日(24.05.2022) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

(72) 発明者: 太田 洋平(OTA, Yohei); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

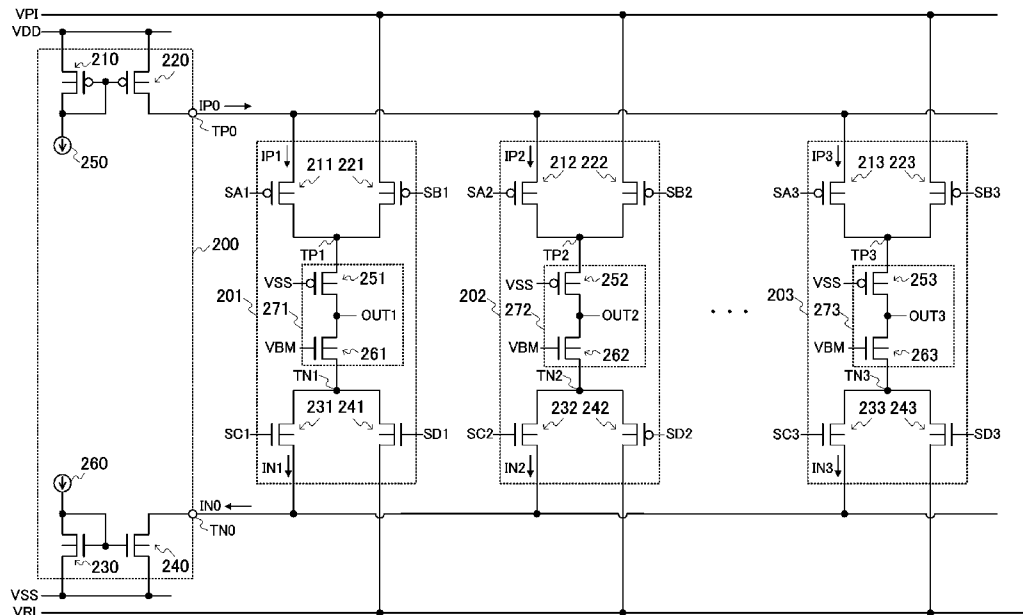
(74) 代理人: 丸島 敏一(MARUSHIMA, Toshikazu); 〒1600022 東京都新宿区新宿3-3-2 京王新宿三丁目第二ビル 5F クラフト国際特許事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC,

(54) Title: SOLID-STATE IMAGING DEVICE AND DRIVER CIRCUIT

(54) 発明の名称: 固体撮像装置およびドライバ回路

[図2]



(57) Abstract: The present invention improves the uniformity of driving of a driver circuit. The solid-state imaging device comprises a pixel array unit, a current generation unit, and a current driving unit. In the pixel array unit, pixels are arranged in a matrix pattern in a row direction and a column direction. The current generation unit generates a current. The current driving unit is driven by a divided current obtained by dividing the current generated by the current generation unit, and driving signals of the pixels are generated on the basis of a control signal. A second power supply voltage which is

[続葉有]



WO 2023/228545 A1

EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,
HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

different from a first power supply voltage supplied to the current generation unit is supplied, and a voltage driving unit that generates the driving signals of the pixels on the basis of the control signal may also be included.

(57) 要約: ドライバ回路の駆動の均一性を向上させる。固体撮像装置は、画素アレイ部と、電流生成部と、電流駆動部とを備える。画素アレイ部は、ロウ方向およびカラム方向にマトリックス状に画素が配置されている。電流生成部は、電流を生成する。電流駆動部は、電流生成部で生成された電流が分流された分流電流で駆動され、制御信号に基づいて画素の駆動信号を生成する。電流生成部に供給される第1電源電圧と異なる第2電源電圧が供給され、制御信号に基づいて画素の駆動信号を生成する電圧駆動部をさらに備えてもよい。

明 細 書

発明の名称： 固体撮像装置およびドライバ回路

技術分野

[0001] 本技術は、ドライバ回路および固体撮像装置に関する。詳しくは、本技術は、電流駆動されるドライバ回路および固体撮像装置に関する。

背景技術

[0002] 固体撮像装置では、撮像動作を実現するために、画素を駆動するドライバ回路が設けられている。このドライバ回路では、互いに同一の駆動力を有する複数のドライバが設けられる。このようなドライバ回路として、バイアス回路から長い配線を介して複数のローカルブロックにバイアス電圧を分配する構成がある（例えば、特許文献1 参照）。

先行技術文献

特許文献

[0003] 特許文献1：特開2021-129170号公報

発明の概要

発明が解決しようとする課題

[0004] しかしながら、上述の従来技術では、ドライバ回路を電流ドライバとして動作させる電流を生成するトランジスタは、電源電圧に基づいて電圧駆動される。このため、電源電圧を供給する配線の増大に応じてIRドロップが増大し、そのトランジスタのゲートソース間電圧が低下してスルーレートが低下するおそれがあった。

[0005] 本技術はこのような状況に鑑みて生み出されたものであり、ドライバ回路の駆動の均一性を向上させることを目的とする。

課題を解決するための手段

[0006] 本技術は、上述の問題点を解消するためになされたものであり、その第1の側面は、ロウ方向およびカラム方向にマトリックス状に画素が配置された画素アレイ部と、電流を生成する電流生成部と、上記電流生成部で生成され

た電流が分流された分流電流で駆動され、制御信号に基づいて上記画素の駆動信号を生成する電流駆動部とを具備する固体撮像装置である。これにより、電流駆動に基づいて画素の駆動信号が生成されるという作用をもたらす。

[0007] また、第1の側面において、上記電流生成部は、上記制御信号に基づいて上記電流を制御してもよい。これにより、電流駆動部のスルーレートを一定に維持しつつ、同時に駆動される電流駆動部の個数の増減に対応できるという作用をもたらす。

[0008] また、第1の側面において、上記制御信号は、上記画素の駆動時に選択される電流駆動部を指定する指定情報を含んでもよい。これにより、画素を駆動する電流駆動部が選択されるという作用をもたらす。

[0009] また、第1の側面において、上記指定情報は、上記電流駆動部ごとに割り当てられたアドレスでもよい。これにより、画素の駆動時に駆動信号を生成する電流駆動部が指定されるという作用をもたらす。

[0010] また、第1の側面において、上記制御信号は、同時に駆動される上記電流駆動部の個数分の上記アドレスと、同時に駆動される上記電流駆動部の個数に応じてトグルされる信号とを含んでもよい。これにより、同時に駆動される電流駆動部が特定されるという作用をもたらす。

[0011] また、第1の側面において、上記電流生成部は、上記制御信号から抽出された同時に駆動される上記電流駆動部の個数に基づいて上記電流を制御してもよい。これにより、固体撮像装置内で生成される内部情報に基づいて、電流駆動部の駆動に用いられる電流が制御されるという作用をもたらす。

[0012] また、第1の側面において、上記電流生成部は、同時に駆動される上記電流駆動部の個数に応じてトグルされる信号のカウンタ出力に基づいて、上記電流を制御してもよい。これにより、同時に駆動される電流駆動部の個数に応じて電流が制御されるという作用をもたらす。

[0013] また、第1の側面において、上記カウンタ出力に応じた個数分の上記アドレスでそれぞれ特定される上記電流駆動部は、上記カウンタ出力にて制御された電流に基づいて同時に電流駆動されてもよい。これにより、制御信号で

指定された複数の電流駆動部が同時に電流駆動されるという作用をもたらす。

[0014] また、第1の側面において、上記電流生成部に供給される第1電源電圧と異なる第2電源電圧が供給され、上記制御信号に基づいて上記画素の駆動信号を生成する電圧駆動部と、上記電流駆動部と上記電圧駆動部とで共通に設けられた出力端子とをさらに具備してもよい。これにより、トランジスタの駆動時に低圧電源から高圧電源に切り替えて駆動信号が生成されるという作用をもたらす。

[0015] また、第1の側面において、上記電流駆動部は、上記出力端子に一端が接続される第1スイッチング素子を備え、上記電圧駆動部は、上記出力端子に一端が接続される第2スイッチング素子を備え、上記第1スイッチング素子は、上記電流生成部の電流端子に他端が接続され、上記第2スイッチング素子は、上記第2電源電圧が他端に供給されてもよい。これにより、低圧電源を用いた電流駆動に基づくプリチャージ後に高圧電源を用いた電圧駆動に基づくセトリングに切り替えられるという作用をもたらす。

[0016] また、第1の側面において、上記電流駆動部は複数設けられ、上記電流生成部は、上記複数の電流駆動部で共有されてもよい。これにより、1つの電流生成部で生成された電流に基づいて、複数の電流駆動部が電流駆動されるという作用をもたらす。

[0017] また、第1の側面において、上記電流駆動部は、上記電流生成部に並列に接続されてもよい。これにより、1つの電流生成部で生成された電流が複数の電流駆動部に分流されるという作用をもたらす。

[0018] また、第1の側面において、上記電圧駆動部は上記電流駆動部にそれぞれ対応して設けられ、上記第2電源電圧は上記電圧駆動部に並列に供給されてもよい。これにより、複数の電圧駆動部に第2電源電圧が供給されるという作用をもたらす。

[0019] また、第1の側面において、上記電流駆動部はトランジスタを備え、上記電流生成部のカレントミラー動作に基づいて生成されたミラー電流が上記ト

ランジスタのソースに入力され、上記制御信号は上記トランジスタのゲートに入力されてもよい。これにより、電流生成部で生成されたミラー電流に基づいて、トランジスタが電流駆動されるという作用をもたらす。

[0020] また、第1の側面において、上記電流生成部のカレントミラー動作に基づいて生成されるミラー電流の制御に基づいて、上記電流駆動部のスルーレートを制御するスルーレート制御部をさらに具備してもよい。これにより、電流生成部で生成されたミラー電流に基づいて、駆動信号のスルーレートが制御されるという作用をもたらす。

[0021] また、第2の側面は、電流を生成する電流生成部と、上記電流生成部で生成された電流が分流された分流電流で駆動され、制御信号に基づいてトランジスタの駆動信号を生成する電流駆動部とを具備するドライバ回路である。これにより、電流駆動に基づいてトランジスタの駆動信号が生成されるという作用をもたらす。

図面の簡単な説明

[0022] [図1]第1の実施の形態に係る固体撮像装置の構成例を示すブロック図である。

[図2]第1の実施の形態に係るドライバ回路の構成例を示す回路図である。

[図3]第1の実施の形態に係るドライバ回路の切替制御部および電源の構成例を示すブロック図である。

[図4]第1の実施の形態に係るドライバ回路の切替制御部の構成例を示す回路図である。

[図5]第1の実施の形態に係るドライバ回路の制御信号の生成に用いられるロジック回路の構成例を示す回路図である。

[図6]第1の実施の形態に係るドライバ回路の動作を示すタイミングチャートである。

[図7]第1の実施の形態に係るドライバ回路のスルーレートの一例を示す図である。

[図8]第1の実施の形態に係るドライバ回路の電流駆動に用いられる配線のレ

イアウトの一例を示す図である。

[図9]第2の実施の形態に係るドライバ回路の構成例を示すブロック図である。

[図10]第2の実施の形態に係るドライバ回路の構成例を示す回路図である。

[図11]第3の実施の形態に係るドライバ回路の第1の例を示す回路図である。

[図12]第3の実施の形態に係るドライバ回路の第2の例を示す回路図である。

[図13]第3の実施の形態に係るドライバ回路の第3の例を示す回路図である。

[図14]第4の実施の形態に係るドライバ回路の構成例を示す回路図である。

[図15]車両制御システムの概略的な構成例を示すブロック図である。

[図16]撮像部の設置位置の一例を示す説明図である。

発明を実施するための形態

[0023] 以下、本技術を実施するための形態（以下、実施の形態と称する）について説明する。説明は以下の順序により行う。

1. 第1の実施の形態（電流源で生成された電流に基づいて複数のドライバが駆動される例）

2. 第2の実施の形態（同時に駆動されるドライバの個数に応じて電流源で生成される電流を制御する例）

3. 第3の実施の形態（電流源の電流制御に基づいてドライバから出力される駆動信号のスルーレートを変化させる例）

4. 第4の実施の形態（電流源をドライバ間に分散して配置した例）

5. 移動体への応用例

[0024] <1. 第1の実施の形態>

図1は、第1の実施の形態に係る固体撮像装置の構成例を示すブロック図である。

[0025] 同図において、固体撮像装置100は、画素アレイ部101、垂直駆動回

路 102、水平駆動回路 103、制御回路 104、カラム信号処理回路 105 および出力回路 106 を備える。

[0026] 画素アレイ部 101 は、複数の画素 111 を備える。画素 111 は、ロウ方向およびカラム方向にマトリックス状に配置されている。各画素 111 は、光電変換を行うフォトダイオードおよび画素トランジスタを含む。画素トランジスタは、例えば、転送トランジスタ、リセットトランジスタ、選択トランジスタおよび増幅トランジスタを含んでもよい。

[0027] また、画素アレイ部 101 は、画素駆動線 121 および垂直信号線 122 を備える。画素駆動線 121 は、各画素 111 を駆動する駆動信号をロウ方向に伝送する。垂直信号線 122 は、各画素 111 から読み出された画素信号をカラム方向に伝送する。各画素 111 を駆動する駆動信号は、転送トランジスタを駆動する転送信号、リセットトランジスタを駆動するリセット信号、選択トランジスタを駆動するロウ選択信号を含んでもよい。

[0028] 垂直駆動回路 102 は、垂直信号線 122 を介してロウごとに画素 111 を駆動する。垂直駆動回路 102 は、画素アレイ部 101 の各画素 111 をロウ単位で順次カラム方向に選択走査する。これにより、各画素 111 の受光量に応じて生成された信号電荷に基づく画素信号が、垂直信号線 122 を介してカラム信号処理回路 105 に供給される。

[0029] 垂直駆動回路 102 は、電流源 112 およびドライバ 113 を備える。ドライバ 113 は、画素駆動線 121 ごとに設けることができる。電流源 112 は、複数のドライバ 113 で共有することができる。このとき、ドライバ 113 は、電流源 112 に対して並列に接続することができる。ドライバ 113 は、選択された画素駆動線 121 に画素 111 を駆動する駆動信号を供給する。ドライバ 113 は、電流源 112 で生成された電流が分流された分流電流で駆動され、制御信号に基づいて画素 111 の駆動信号を生成することができる。なお、電流源 112 は、特許請求の範囲に記載の電流生成部の一例である。ドライバ 113 は、特許請求の範囲に記載の電流駆動部の一例である。

[0030] 水平駆動回路１０３は、カラムごとにカラム信号処理回路１０５を駆動する。水平駆動回路１０３は、シフトレジスタを備えてもよい。水平駆動回路１０３は、水平走査パルスを順次出力することによって、各カラム信号処理回路１０５を順次選択し、各カラム信号処理回路１０５から水平信号線１２３を介して出力回路１０６に画素信号を出力させる。

[0031] 制御回路１０４は、固体撮像装置１００全体を制御する。制御回路１０４は、入力クロックと、動作モードなどを指令するデータとを受け取り、固体撮像装置１００の内部情報などのデータを出力する。例えば、制御回路１０４は、垂直同期信号、水平同期信号およびマスタクロックに基づいて、垂直駆動回路１０２、水平駆動回路１０３およびカラム信号処理回路１０５などの動作の基準となるクロックや制御信号を生成する。制御信号は、画素１１１の駆動時に選択されるドライバ１１３を指定する指定情報を含んでもよい。このとき、各ドライバ１１３には、各ドライバ１１３に固有のアドレスを割り当ててもよい。このとき、制御回路１０４は、ドライバ１１３を指定する指定情報として、各ドライバ１１３に固有のアドレスを用いてもよい。また、制御回路１０４は、複数のドライバ１１３を同時に指定してもよい。例えば、制御回路１０４は、固体撮像装置１００に数万個のドライバ１１３が設けられている場合、数百個のドライバ１１３を同時に指定してもよい。そして、制御回路１０４は、これらの信号を垂直駆動回路１０２、水平駆動回路１０３およびカラム信号処理回路１０５などに入力する。

[0032] カラム信号処理回路１０５は、例えば、画素アレイ部１０１のカラムごとに配置される。カラム信号処理回路１０５は、１行分の画素１１１から出力される信号に対し、カラムごとにノイズ除去などの信号処理を行う。例えば、カラム信号処理回路１０５は、各画素１１１に固有の固定パターンノイズを除去するＣＤＳ（Correlated Double Sampling）、信号増幅およびＡＤ（Analog to Digital）変換等の信号処理を行う。カラム信号処理回路１０５の出力段には、図示しない水平選択スイッチが水平信号線１２３との間に接続される。

- [0033] 出力回路１０６は、各カラム信号処理回路１０５から水平信号線１２３を通して順次供給される信号の信号処理を行って出力する。例えば、出力回路１０６は、カラム信号処理回路１０５からの信号のバッファリング、黒レベル調整、列ばらつき補正および各種デジタル信号処理などを行ってもよい。
- [0034] 図２は、第１の実施の形態に係るドライバ回路の構成例を示す回路図である。
- [0035] 同図において、ドライバ回路は、電流源２００およびドライバ２０１乃至２０３を備える。電流源２００およびドライバ２０１乃至２０３は、図１の電流源１１２およびドライバ１１３として用いてもよい。なお、同図では、３個のドライバ２０１乃至２０３が設けられている例を示したが、２個以上あればよい。
- [0036] 電流源２００は、複数のドライバ２０１乃至２０３で共有される。このとき、ドライバ２０１乃至２０３は、電流源２００に対して並列に接続される。電流源２００は、カレントミラー動作に基づいてミラー電流を生成し、そのミラー電流を電流ＩＰ０およびＩＮ０として出力する。電流源２００は、PMOSトランジスタ２１０および２２０と、NMOSトランジスタ２３０および２４０と、電流源２５０および２６０とを備える。
- [0037] 各PMOSトランジスタ２１０および２２０のソースには、電源電圧VDDが印加され、各PMOSトランジスタ２１０および２２０のゲートは、PMOSトランジスタ２１０のドレインに接続されている。PMOSトランジスタ２２０のドレインは、電流端子TP０に接続されている。
- [0038] 各NMOSトランジスタ２３０および２４０のソースには、接地電圧VSSが印加され、各NMOSトランジスタ２３０および２４０のゲートは、NMOSトランジスタ２３０のドレインに接続されている。NMOSトランジスタ２４０のドレインは、電流端子TN０に接続されている。
- [0039] 電流源２５０は、PMOSトランジスタ２１０のドレインからレファレンス電流を引き出し、電流源２６０は、NMOSトランジスタ２３０のドレインにレファレンス電流を引き入れる。PMOSトランジスタ２１０のドレイ

ンから引き出されるレファレンス電流と、NMOSトランジスタ230のドレインに引き入れられるレファレンス電流とは、互いに等しくすることができる。

[0040] 各ドライバ201乃至203は、電流源200で生成された電流 I_{P0} および I_{N0} がそれぞれ分流された分流電流 I_{P1} 乃至 I_{P3} および I_{N1} 乃至 I_{N3} で駆動され、トランジスタの駆動信号OUT1乃至OUT3を生成する。このとき、ドライバ201は、切替信号SA1、SB1、SC1およびSD1に基づいて駆動制御される。ドライバ202は、切替信号SA2、SB2、SC2およびSD2に基づいて駆動制御される。ドライバ203は、切替信号SA3、SB3、SC3およびSD3に基づいて駆動制御される。

[0041] ドライバ201は、PMOSトランジスタ211および221と、NMOSトランジスタ231および241と、耐圧保護回路271とを備える。耐圧保護回路271は、ドライバ201のトランジスタの耐圧を超える過電圧からそれらを保護する。耐圧保護回路271は、PMOSトランジスタ251と、NMOSトランジスタ261とを備える。

[0042] PMOSトランジスタ211のソースは、電流端子TP0に接続され、PMOSトランジスタ221のソースには、昇圧電圧VPIが印加され、各PMOSトランジスタ211および221のドレインは、出力端子TP1に接続されている。昇圧電圧VPIは、電源電圧VDDが昇圧された電圧である。

[0043] NMOSトランジスタ231のソースは、電流端子TN0に接続され、NMOSトランジスタ241のソースには、降圧電圧VRLが印加され、各NMOSトランジスタ231および241のドレインは、出力端子TN1に接続されている。降圧電圧VRLは、接地電圧VSSが降圧された電圧である。

[0044] PMOSトランジスタ251およびNMOSトランジスタ261は互いに直列に接続され、この直列回路は、出力端子TP1と出力端子TN1との間

に接続される。出力端子TP1からは、PMOSトランジスタ251を介して駆動信号OUT1が出力され、出力端子TN1からは、NMOSトランジスタ261を介して駆動信号OUT1が出力される。

[0045] PMOSトランジスタ211のゲートには、切替信号SA1が印加され、PMOSトランジスタ221のゲートには、切替信号SB1が印加され、NMOSトランジスタ231のゲートには、切替信号SC1が印加され、NMOSトランジスタ241のゲートには、切替信号SD1が印加される。PMOSトランジスタ251のゲートには、接地電圧VSSが印加され、NMOSトランジスタ261のゲートには、保護バイアスVBMが印加される。保護バイアスVBMは、各ドライバ201乃至203のトランジスタの耐圧に整合するように設定することができる。

[0046] ドライバ202は、PMOSトランジスタ212および222と、NMOSトランジスタ232および242と、耐圧保護回路272とを備える。耐圧保護回路272は、ドライバ202のトランジスタの耐圧を超える過電圧からそれらを保護する。耐圧保護回路272は、PMOSトランジスタ252と、NMOSトランジスタ262とを備える。

[0047] PMOSトランジスタ212のソースは、電流端子TP0に接続され、PMOSトランジスタ222のソースには、昇圧電圧VPIが印加され、各PMOSトランジスタ212および222のドレインは、出力端子TP2に接続されている。

[0048] NMOSトランジスタ232のソースは、電流端子TN0に接続され、NMOSトランジスタ242のソースには、降圧電圧VRLが印加され、各NMOSトランジスタ232および242のドレインは、出力端子TN2に接続されている。

[0049] PMOSトランジスタ252およびNMOSトランジスタ262は互いに直列に接続され、この直列回路は、出力端子TP2と出力端子TN2との間に接続される。出力端子TP2からは、PMOSトランジスタ252を介して駆動信号OUT2が出力され、出力端子TN2からは、NMOSトランジ

スタ 262 を介して駆動信号 OUT 2 が出力される。

- [0050] PMOS トランジスタ 212 のゲートには、切替信号 SA 2 が印加され、PMOS トランジスタ 222 のゲートには、切替信号 SB 2 が印加され、NMOS トランジスタ 232 のゲートには、切替信号 SC 2 が印加され、NMOS トランジスタ 242 のゲートには、切替信号 SD 2 が印加される。PMOS トランジスタ 252 のゲートには、接地電圧 VSS が印加され、NMOS トランジスタ 262 のゲートには、保護バイアス VBM が印加される。
- [0051] ドライバ 203 は、PMOS トランジスタ 213 および 223 と、NMOS トランジスタ 233 および 243 と、耐圧保護回路 273 とを備える。耐圧保護回路 273 は、ドライバ 203 のトランジスタの耐圧を超える過電圧からそれらを保護する。耐圧保護回路 273 は、PMOS トランジスタ 253 と、NMOS トランジスタ 263 とを備える。
- [0052] PMOS トランジスタ 213 のソースは、電流端子 TP0 に接続され、PMOS トランジスタ 223 のソースには、昇圧電圧 VPI が印加され、各 PMOS トランジスタ 213 および 223 のドレインは、出力端子 TP3 に接続されている。
- [0053] NMOS トランジスタ 233 のソースは、電流端子 TN0 に接続され、NMOS トランジスタ 243 のソースには、降圧電圧 VRL が印加され、各 NMOS トランジスタ 233 および 243 のドレインは、出力端子 TN3 に接続されている。
- [0054] PMOS トランジスタ 253 および NMOS トランジスタ 263 は互いに直列に接続され、この直列回路は、出力端子 TP3 と出力端子 TN3 との間に接続される。出力端子 TP3 からは、PMOS トランジスタ 253 を介して駆動信号 OUT 3 が出力され、出力端子 TN3 からは、NMOS トランジスタ 263 を介して駆動信号 OUT 3 が出力される。
- [0055] PMOS トランジスタ 213 のゲートには、切替信号 SA 3 が印加され、PMOS トランジスタ 223 のゲートには、切替信号 SB 3 が印加され、NMOS トランジスタ 233 のゲートには、切替信号 SC 3 が印加され、NM

OSトランジスタ243のゲートには、切替信号SD3が印加される。PMOSトランジスタ253のゲートには、接地電圧VSSが印加され、NMOSトランジスタ263のゲートには、保護バイアスVBMが印加される。

[0056] ドライバ201において、切替信号SA1、SB1、SC1およびSD1は、PMOSトランジスタ211→PMOSトランジスタ221→NMOSトランジスタ231→NMOSトランジスタ241の順番でオンするように設定される。ドライバ202において、切替信号SA2、SB2、SC2およびSD2は、PMOSトランジスタ212→PMOSトランジスタ222→NMOSトランジスタ232→NMOSトランジスタ242の順番でオンするように設定される。ドライバ203において、切替信号SA3、SB3、SC3およびSD3は、PMOSトランジスタ213→PMOSトランジスタ223→NMOSトランジスタ233→NMOSトランジスタ243の順番でオンするように設定される。

[0057] ここで、ドライバ201乃至203が同時に動作されるものとする。このとき、切替信号SA1乃至SA3は、PMOSトランジスタ211乃至213を同時にオンさせた後、切替信号SB1乃至SB3は、PMOSトランジスタ221乃至223を同時にオンさせることができる。また、切替信号SC1乃至SC3は、NMOSトランジスタ231乃至233を同時にオンさせた後、切替信号SD1乃至SD3は、NMOSトランジスタ241乃至243を同時にオンさせることができる。

[0058] 例えば、各駆動信号OUT1乃至OUT3の立上り時には、切替信号SA1乃至SA3に基づいて、各PMOSトランジスタ211乃至213がオンされる。このとき、電流源200で生成された電流IP0が分流された各分流電流IP1乃至IP3に基づいて、PMOSトランジスタ211乃至213がそれぞれ電流駆動される。そして、出力端子TP1乃至TP3をそれぞれ介して駆動信号OUT1乃至OUT3が出力され、初期状態の降圧電圧VRLから電源電圧VDDまでプリチャージされる。電源電圧VDDまでプリチャージされると、切替信号SB1乃至SB3に基づいて、各PMOSトラ

ンジスタ 221 乃至 223 がオンされる。このとき、各 PMOS トランジスタ 221 乃至 223 は、昇圧電圧 V_{PI} に基づいて電圧駆動される。そして、出力端子 TP1 乃至 TP3 をそれぞれ介して駆動信号 OUT1 乃至 OUT3 が出力され、電源電圧 V_{DD} から昇圧電圧 V_{PI} までセリングされる。

[0059] 各駆動信号 OUT1 乃至 OUT3 の立下り時には、切替信号 SC1 乃至 SC3 に基づいて、各 NMOS トランジスタ 231 乃至 233 がオンされる。このとき、電流源 200 で生成された電流 I_{N0} が分流された各分流電流 I_{N1} 乃至 I_{N3} に基づいて、NMOS トランジスタ 231 乃至 233 がそれぞれ電流駆動される。そして、出力端子 TN1 乃至 TN3 をそれぞれ介して駆動信号 OUT1 乃至 OUT3 が出力され、昇圧電圧 V_{PI} から接地電位 V_{SS} まで放電される。接地電位 V_{SS} まで放電されると、切替信号 SD1 乃至 SD3 に基づいて、各 NMOS トランジスタ 241 乃至 243 がオンされる。このとき、各 NMOS トランジスタ 241 乃至 243 は、降圧電圧 V_{RL} に基づいて電圧駆動される。そして、出力端子 TN1 乃至 TN3 をそれぞれ介して駆動信号 OUT1 乃至 OUT3 が出力され、接地電位 V_{SS} から降圧電圧 V_{RL} まで放電される。

[0060] なお、電流源 200 は、特許請求の範囲に記載の電流生成部の一例である。各ドライバ 201 乃至 203 は、特許請求の範囲に記載の電流駆動部の一例である。PMOS トランジスタ 211 乃至 213 と、NMOS トランジスタ 231 乃至 233 とは、特許請求の範囲に記載の電流駆動部の一例である。PMOS トランジスタ 221 乃至 223 と、NMOS トランジスタ 241 乃至 243 とは、特許請求の範囲に記載の電圧駆動部の一例である。

[0061] 図 3 は、第 1 の実施の形態に係るドライバ回路の切替制御部および電源の構成例を示すブロック図である。

[0062] 同図において、ドライバ回路は、昇圧回路 131 と、降圧回路 132 と、電流源 200 と、ドライバ 201 乃至 203 と、切替制御部 351 乃至 353、361 乃至 363、371 乃至 373 および 381 乃至 383 を備える。

- [0063] 昇圧回路131、降圧回路132および電流源200は、電源130に接続される。電源130は、昇圧回路131、降圧回路132および電流源200に電源電圧VDDを供給する。電源130には、容量133が並列に接続される。容量133は、電流源200に流れる急峻な電流を供給することができる。
- [0064] 昇圧回路131は、電源電圧VDDが昇圧された昇圧電圧VPIを生成し、各ドライバ201乃至203に供給する。降圧回路132は、接地電圧VSSが降圧された降圧電圧VRLを生成し、各ドライバ201乃至203に供給する。例えば、電源電圧VDDが2.8Vであるとする、昇圧電圧VPIは3V、降圧電圧VRLは-1.2Vとすることができる。
- [0065] 電流源200は、電流端子TP0およびTN0を備える。電流源200には、電源電圧VDDおよび接地電圧VSSが供給される。そして、電流源200は、電流IP0およびIMNを生成し、電流端子TP0を介して電流IP0を出力し、電流端子TN0を介して電流IN0を引き込む。ここで、電流端子TP0から出力された電流IP0は分流され、その分流電流IP1乃至IP3は、それぞれドライバ201乃至203に入力される。電流端子TN0を介して引き込まれる電流IN0は分流され、それらの分流電流IN1乃至IN3は、各ドライバ201乃至203から引き出される。
- [0066] ドライバ201は、スイッチング素子151、161、171および181と耐圧保護回路141とを備える。なお、各スイッチング素子151、161、171および181として、図2のPMOSトランジスタ211および221と、NMOSトランジスタ231および241とを用いてもよい。耐圧保護回路141として、図2の耐圧保護回路271を用いてもよい。
- [0067] ドライバ202は、スイッチング素子152、162、172および182と耐圧保護回路142とを備える。なお、各スイッチング素子152、162、172および182として、図2のPMOSトランジスタ212および222と、NMOSトランジスタ232および242とを用いてもよい。耐圧保護回路142として、図2の耐圧保護回路272を用いてもよい。

- [0068] ドライバ203は、スイッチング素子153、163、173および183と耐圧保護回路143とを備える。なお、各スイッチング素子153、163、173および183として、図2のPMOSトランジスタ213および223と、NMOSトランジスタ233および243とを用いてもよい。耐圧保護回路143として、図2の耐圧保護回路273を用いてもよい。
- [0069] スwitching素子151乃至153および171乃至173は、特許請求の範囲に記載の電流駆動部の一例である。スイッチング素子161乃至163および181乃至183は、特許請求の範囲に記載の電圧駆動部の一例である。
- [0070] 耐圧保護回路141は、各スイッチング素子151、161、171および181の耐圧を超える過電圧からそれらを保護する。耐圧保護回路142は、各スイッチング素子152、162、172および182の耐圧を超える過電圧からそれらを保護する。耐圧保護回路143は、各スイッチング素子153、163、173および183の耐圧を超える過電圧からそれらを保護する。
- [0071] 各スイッチング素子151および161の一端は出力端子TP1に接続され、各スイッチング素子152および162の一端は出力端子TP2に接続され、各スイッチング素子153および163の一端は出力端子TP3に接続されている。各スイッチング素子171および181の一端は出力端子TN1に接続され、各スイッチング素子172および182の一端は出力端子TN2に接続され、各スイッチング素子173および183の一端は出力端子TN3に接続されている。
- [0072] 各出力端子TP1およびTN1からは、耐圧保護回路141を介して画素111の駆動信号OUT1が出力される。駆動信号OUT1は、該当ラインの各画素111に分配される。ここでは、駆動信号OUT1が出力されるラインの全配線抵抗191および全寄生容量194を等価的に示した。
- [0073] 各出力端子TP2およびTN2からは、耐圧保護回路142を介して画素111の駆動信号OUT2が出力される。駆動信号OUT2は、該当ライン

の各画素 1 1 1 に分配される。ここでは、駆動信号 O U T 2 が出力されるラインの全配線抵抗 1 9 2 および全寄生容量 1 9 5 を等価的に示した。

[0074] 各出力端子 T P 3 および T N 3 からは、耐圧保護回路 1 4 3 を介して画素 1 1 1 の駆動信号 O U T 3 が出力される。駆動信号 O U T 3 は、該当ラインの各画素 1 1 1 に分配される。ここでは、駆動信号 O U T 3 が出力されるラインの全配線抵抗 1 9 3 および全寄生容量 1 9 6 を等価的に示した。

[0075] 各スイッチング素子 1 5 1 乃至 1 5 3 の他端は電流端子 T P 0 に接続され、各スイッチング素子 1 7 1 乃至 1 7 3 の他端は電流端子 T N 0 に接続されている。各スイッチング素子 1 6 1 乃至 1 6 3 の他端には昇圧電圧 V P I が供給され、各スイッチング素子 1 8 1 乃至 1 8 3 の他端には降圧電圧 V R L が供給される。

[0076] 駆動信号 O U T 1 の立上り時に、スイッチング素子 1 5 1 および 1 6 1 のいずれかの一方が排他的に駆動信号 O U T 1 を出力端子 T P 1 に供給する。駆動信号 O U T 2 の立上り時に、スイッチング素子 1 5 2 および 1 6 2 のいずれかの一方が排他的に駆動信号 O U T 2 を出力端子 T P 2 に供給する。駆動信号 O U T 3 の立上り時に、スイッチング素子 1 5 3 および 1 6 3 のいずれかの一方が排他的に駆動信号 O U T 3 を出力端子 T P 3 に供給する。このとき、各ドライバ 2 0 1 乃至 2 0 3 は、電源電圧 V D D になるまでは分流電流 I P 1 乃至 I P 3 に基づく電流駆動を選択した後、昇圧電圧 V P I になるまでは昇圧電圧 V P I に基づく電圧駆動を選択することができる。

[0077] 駆動信号 O U T 1 の立下り時に、スイッチング素子 1 7 1 および 1 8 1 のいずれかの一方が排他的に駆動信号 O U T 1 を出力端子 T N 1 に供給する。駆動信号 O U T 2 の立下り時に、スイッチング素子 1 7 2 および 1 7 2 のいずれかの一方が排他的に駆動信号 O U T 2 を出力端子 T N 2 に供給する。駆動信号 O U T 3 の立下り時に、スイッチング素子 1 7 3 および 1 8 3 のいずれかの一方が排他的に駆動信号 O U T 3 を出力端子 T N 3 に供給する。このとき、各ドライバ 2 0 1 乃至 2 0 3 は、接地電圧 V S S になるまでは分流電流 I N 1 乃至 I N 3 に基づく電流駆動を選択した後、降圧電圧 V R L になる

までは降圧電圧 V_{RL} に基づく電圧駆動を選択することができる。

[0078] 各ドライバ201乃至203は、制御信号に基づいて、スイッチング素子151乃至153→スイッチング素子161乃至163→スイッチング素子171乃至173→スイッチング素子181乃至183の順番でオンすることができる。

[0079] このとき、各駆動信号OUT1乃至OUT3の立上り時には、各スイッチング素子151乃至153がオンし、初期状態の降圧電圧 V_{RL} から電源電圧 V_{DD} までプリチャージされる。電源電圧 V_{DD} までプリチャージされると、各スイッチング素子161乃至163がオンし、電源電圧 V_{DD} から昇圧電圧 V_{PI} までセtringされる。すなわち、電源電圧 V_{DD} までプリチャージされる間は電流源200を用いてプリチャージし、その後の昇圧電圧 V_{PI} までは昇圧回路131を用いてセtringすることができる。

[0080] 各駆動信号OUT1乃至OUT3の立下り時には、各スイッチング素子171乃至173がオンし、昇圧電圧 V_{PI} から接地電位 V_{SS} まで放電される。接地電位 V_{SS} まで放電されると、各スイッチング素子181乃至183がオンし、接地電位 V_{SS} から降圧電圧 V_{RL} まで放電される。すなわち、接地電位 V_{SS} まで放電される間は電流源200を用いて放電し、その後の降圧電圧 V_{RL} までは降圧回路132を用いて放電することができる。

[0081] 各切替制御部351、361、371および381は、スイッチング素子151、161、171および181の切替を制御する。このとき、切替制御部351、361、371および381は、スイッチング素子151→スイッチング素子161→スイッチング素子171→スイッチング素子181の順番でオンさせることができる。

[0082] 各切替制御部352、362、372および382は、スイッチング素子152、162、172および182の切替を制御する。このとき、切替制御部352、362、372および382は、スイッチング素子152→スイッチング素子162→スイッチング素子172→スイッチング素子182の順番でオンさせることができる。

- [0083] 各切替制御部353、363、373および383は、スイッチング素子153、163、173および183の切替を制御する。このとき、切替制御部353、363、373および383は、スイッチング素子153→スイッチング素子163→スイッチング素子173→スイッチング素子183の順番でオンさせることができる。
- [0084] ここで、ドライバ201乃至203が同時に動作されるものとする。このとき、切替制御部351乃至353、361乃至363、371乃至373および381乃至383は、スイッチング素子151乃至153→スイッチング素子161乃至163→スイッチング素子171乃至173→スイッチング素子181乃至183の順番で同期してオンするように協調制御することができる。
- [0085] また、各切替制御部351乃至353および361乃至363は、昇圧レベルシフタとして動作することができる。各ドライバ201乃至203には、昇圧電圧VPIが印加されるため、各切替制御部351乃至353および361乃至363は、昇圧レベルシフタを介して各ドライバ201乃至203の制御信号の生成を制御することができる。
- [0086] また、切替制御部371乃至373および381乃至383は、降圧レベルシフタとして動作することができる。各ドライバ201乃至203には、降圧電圧VRLが印加されるため、各切替制御部371乃至373および381乃至383は、降圧レベルシフタを介して各ドライバ201乃至203の制御信号の生成を制御することができる。
- [0087] 図4は、第1の実施の形態に係るドライバ回路の切替制御部の構成例を示す回路図である。なお、図4では、図3の電流源200と、ドライバ201と、切替制御部371および381とを抜粋して示した。また、図4では、保護バイアスVBMを生成する耐圧保護バイアス回路300も示した。
- [0088] 同図において、耐圧保護バイアス回路300は、NMOSトランジスタ310および可変抵抗320を備える。可変抵抗320は、トリミング用抵抗として用いることができる。NMOSトランジスタ310のドレインには電

流 IREF が入力される。NMOS トランジスタ 310 のゲートは、NMOS トランジスタ 310 のドレインに接続され、NMOS トランジスタ 310 のソースには、可変抵抗 320 を介して接地電圧 VSS が印加される。

[0089] 切替制御部 371 は、振幅制御部 301、耐圧保護回路 302 およびレベルシフタ 303 を備える。振幅制御部 301 は、PMOS トランジスタ 311 および 321 を備える。耐圧保護回路 302 は、PMOS トランジスタ 312 および 322 と、NMOS トランジスタ 332 および 342 とを備える。レベルシフタ 303 は、NMOS トランジスタ 313 および 323 を備える。

[0090] 切替制御部 381 は、振幅制御部 304、耐圧保護回路 305 およびレベルシフタ 306 を備える。振幅制御部 304 は、PMOS トランジスタ 314 および 324 を備える。耐圧保護回路 305 は、PMOS トランジスタ 315 および 325 と、NMOS トランジスタ 335 および 345 とを備える。レベルシフタ 306 は、NMOS トランジスタ 316 および 326 を備える。

[0091] PMOS トランジスタ 311 と、PMOS トランジスタ 312 と、NMOS トランジスタ 332 と、NMOS トランジスタ 313 とは、順次直列に接続される。PMOS トランジスタ 321 と、PMOS トランジスタ 322 と、NMOS トランジスタ 342 と、NMOS トランジスタ 323 とは、順次直列に接続される。PMOS トランジスタ 314 と、PMOS トランジスタ 315 と、NMOS トランジスタ 335 と、NMOS トランジスタ 316 とは、順次直列に接続される。PMOS トランジスタ 324 と、PMOS トランジスタ 325 と、NMOS トランジスタ 345 と、NMOS トランジスタ 326 とは、順次直列に接続される。

[0092] 各 PMOS トランジスタ 311、321、314 および 324 のソースには、電源電圧 VDD が印加される。各 NMOS トランジスタ 313、323、316 および 326 のソースには、降圧電圧 VRL が印加される。PMOS トランジスタ 322 と NMOS トランジスタ 342 との接続点は、NMOS

Sトランジスタ231のゲートに接続される。NMOSトランジスタ316および335の接続点は、NMOSトランジスタ241のゲートに接続される。NMOSトランジスタ313のゲートは、NMOSトランジスタ323のドレインに接続される。NMOSトランジスタ323のゲートは、NMOSトランジスタ313のドレインに接続される。NMOSトランジスタ316のゲートは、NMOSトランジスタ326のドレインに接続される。NMOSトランジスタ326のゲートは、NMOSトランジスタ316のドレインに接続される。

[0093] 各NMOSトランジスタ261、332、342、335および345のゲートは、NMOSトランジスタ310のゲートに接続される。このとき、NMOSトランジスタ310は、NMOSトランジスタ261、332、342、335および345とともにカレントミラー回路を構成することができ、PVT (Process Voltage Temperature) ばらつきを相殺することができる。

[0094] 各PMOSトランジスタ251、312、322、315および325のゲートには、接地電圧VSSが印加される。PMOSトランジスタ311のゲートには、選択信号Cが印加され、PMOSトランジスタ321のゲートには、反転選択信号XCが印加される。反転選択信号XCは、選択信号Cを反転させた信号である。PMOSトランジスタ324のゲートには、選択信号Dが印加され、PMOSトランジスタ314のゲートには、反転選択信号XDが印加される。反転選択信号XDは、選択信号Dを反転させた信号である。

[0095] このとき、各選択信号CおよびDに基づいて切替信号SC1およびSD1が生成され、各NMOSトランジスタ231および241のゲートに入力される。ここで、PMOSトランジスタ311および321は、NMOSトランジスタ231の振幅を制御するレベルシフタとして動作し、PMOSトランジスタ314および324は、NMOSトランジスタ241の振幅を制御するレベルシフタとして動作する。

[0096] 駆動信号OUT1は、上述の例では4.2V(=VPI-VRL)振幅となる。これに対し、ドライバ201のトランジスタの耐圧は3Vを想定する。

[0097] 可変抵抗320の両端の電圧dVは、可変抵抗320の抵抗値R1と電流IREFの乗数によって決定される。従って、NMOSトランジスタ310のゲートソース間電圧をVgsとすると、耐圧保護バイアス回路300から出力される保護バイアスVBMは、dV+Vgsとなる。ドライバ201のトランジスタの耐圧を3.0Vとすると、

$$dV + V_{gs} - V_{gs} - V_{RL} = dV - V_{RL} < 3.0V$$

となるように可変抵抗320をトリミングする。これにより、ドライバ201のトランジスタの耐圧に整合させた設計が可能となる。

[0098] NMOSトランジスタ313および323は、負レベルシフタとして動作し、NMOSトランジスタ316および326は、負レベルシフタとして動作する。ここで、NMOSトランジスタ231および241は、接地電圧VSSが降圧された降圧電圧VRLにより制御されるため、これら負レベルシフタを介して切替信号SC1およびSD1の生成が制御される。

[0099] 図5は、第1の実施の形態に係るドライバ回路の制御信号の生成に用いられるロジック回路の構成例を示す回路図である。

[0100] 同図において、ロジック回路は、トリガ信号TRGに基づいて、選択信号A、B、CおよびDを生成し、各選択信号A、B、CおよびDが反転された反転選択信号XA、XB、XCおよびXDを出力することができる。ここで、選択信号A、B、CおよびDは、A→B→C→Dの順で立ち上がることができる。また、選択信号Aの立下り時に選択信号Bが立ち上がり、選択信号Bの立下り時に選択信号Cが立ち上がり、選択信号Cの立下り時に選択信号Dが立ち上がり、選択信号Dの立下り時に選択信号Aが立ち上がることができる。このとき、各切替制御部351、361、371および381は、切替信号SA1、SB1、SC1およびSD1の立上りおよび立下りのタイミングを反転選択信号XA、XB、XCおよびXDの立上りおよび立下りのタ

イミングに同期させることができる。

- [0101] ロジック回路は、論理積回路401乃至404と、インバータ405乃至408とを備える。各インバータ405乃至408は、論理積回路401乃至404の後段に接続される。
- [0102] 論理積回路401は、トリガ信号TRGおよびシフトトリガ反転信号XTRG__SFTの論理積演算を実施して選択信号Aを生成し、インバータ405に入力する。インバータ405は、選択信号Aを反転させて反転選択信号XAを生成する。
- [0103] 論理積回路402は、トリガ信号TRGおよびシフトトリガ信号TRG__SFTの論理積演算を実施して選択信号Bを生成し、インバータ406に入力する。インバータ406は、選択信号Bを反転させて反転選択信号XBを生成する。
- [0104] 論理積回路403は、トリガ反転信号XTRGおよびシフトトリガ信号TRG__SFTの論理積演算を実施して選択信号Cを生成し、インバータ407に入力する。インバータ407は、選択信号Cを反転させて反転選択信号XCを生成する。
- [0105] 論理積回路404は、トリガ反転信号XTRGおよびシフトトリガ反転信号XTRG__SFTの論理積演算を実施して選択信号Dを生成し、インバータ408に入力する。インバータ408は、選択信号Dを反転させて反転選択信号XDを生成する。
- [0106] トリガ反転信号XTRGは、トリガ信号TRGを反転させた信号である。シフトトリガ信号TRG__SFTは、トリガ信号TRGをシフトさせた信号である。シフトトリガ信号TRG__SFTのシフト量は、例えば、PMOSトランジスタ211およびNMOSトランジスタ231のオン時間に対応させることができる。シフトトリガ反転信号XTRG__SFTは、シフトトリガ信号TRG__SFTを反転させた信号である。
- [0107] 図6は、第1の実施の形態に係るドライバ回路の動作を示すタイミングチャートである。なお、以下の説明では、図2のドライバ201の動作を例に

とる。

- [0108] 同図において、選択信号A、B、CおよびDは、 $A \rightarrow B \rightarrow C \rightarrow D$ の順でアクティブ期間PA、PB、PCおよびPDを繰り返す。アクティブ期間は、選択信号A、B、CおよびDがハイレベルである期間である。
- [0109] アクティブ期間PAでは、PMOSトランジスタ211がオンし、駆動信号OUT1を降圧電圧VRLから電源電圧VDDまで充電する。アクティブ期間PAは、プリチャージ期間となる。アクティブ期間PBでは、PMOSトランジスタ221がオンし、駆動信号OUT1を電源電圧VDDから昇圧電圧VPIまで充電する。
- [0110] アクティブ期間PCでは、NMOSトランジスタ231がオンし、駆動信号OUT1を昇圧電圧VPIから接地電圧VSSまで放電する。アクティブ期間PCは、プリディスチャージ期間となる。アクティブ期間PDでは、NMOSトランジスタ241がオンし、駆動信号OUT1を接地電圧VSSから降圧電圧VRLまで放電する。
- [0111] 図7は、第1の実施の形態に係るドライバ回路のスルーレートの一例を示す図である。なお、鎖線は、当初から昇圧回路131または降圧回路132を使用して電圧ドライバとして動作させた場合の波形を示す。実線は、目標電圧Vの0.63倍まで電流ドライバとしてプリチャージ動作させた後、電圧ドライバに切り替えた場合の波形を示す。
- [0112] 同図において、当初から昇圧回路131または降圧回路132を使用して電圧ドライバとして動作させた場合、当初から時定数 t_{au} （0.63倍）により曲線的に電圧が上昇する。
- [0113] 一方、目標電圧Vの0.63倍まで電流ドライバとしてプリチャージ動作させた後、電圧ドライバに切り替えた場合、当初は電流ドライバによって直線的に電圧が上昇し、その後は時定数 t_{au} により曲線的に電圧が上昇する。電流ドライバとして必要電荷量の0.63がプリチャージされているため、電圧ドライバとしての動作時に昇圧回路131および降圧回路132から供給される電荷量は0.63でよい。

- [0114] 図8は、第1の実施の形態に係るドライバ回路の電流駆動に用いられる配線のレイアウトの一例を示す図である。
- [0115] 同図において、チップ600には、正側電流源601、負側電流源602、ドライバ部603および画素アレイ部611が形成されている。チップ600には、図1の水平駆動回路103、制御回路104、カラム信号処理回路105および出力回路106を形成してもよい。
- [0116] チップ600の材料は、Siでもよいし、InPでもよいし、InGaAsでもよいし、GaAsでもよいし、SiCでもよいし、GaNでもよい。
- [0117] 正側電流源601は、ドライバ部603に入力される電流を生成する。正側電流源601は、例えば、図2の電流IP0を生成する。このとき、正側電流源601には、PMOSトランジスタ210および220を設けることができる。負側電流源602は、ドライバ部603から引き出される電流を生成する。負側電流源602は、例えば、図2の電流IN0を生成する。このとき、負側電流源602には、NMOSトランジスタ230および240を設けることができる。正側電流源601および負側電流源602は、図1の電流源112として用いることができる。
- [0118] ドライバ部603は、複数のドライバ613を備える。ドライバ613は、複数列に渡って配置することができる。図8では、ドライバ613を3列に渡って配置した例を示した。各ドライバ613として、図2のドライバ201を用いてもよい。このとき、各ドライバ613には、PMOSトランジスタ211および221と、NMOSトランジスタ231および241とを設けることができる。各ドライバ613は、図1のドライバ113として用いることができる。
- [0119] 各ドライバ613は、配線604を介して正側電流源601に接続され、配線605を介して負側電流源602に接続される。正側電流源601は、配線604を介してドライバ部603に電流IP0を出力し、負側電流源602は、配線605を介してドライバ部603から電流IN0を引き出すことができる。

[0120] 各配線604および605の幅は、ドライバ部603に制御信号を伝送する配線の幅より大きくすることができる。各配線604および605の幅は、ドライバ部603の動作時に最大で100mA程度の電流を流すことができるように設定することができる。各配線604および605の幅は、チップ600に形成される電源線の幅と等しくてもよい。

[0121] なお、図8では、画素アレイ部611およびドライバ部603を同一のチップ600に形成した例を示したが、画素アレイ部611およびドライバ部603を別個のチップに形成してもよい。このとき、画素アレイ部611が形成されたチップと、ドライバ部603が形成されたチップとを積層してもよい。画素アレイ部611の配線と、ドライバ部603の配線は、例えば、Cu-Cu接合を含むハイブリッドボンディングで接続してもよい。

[0122] このように、上述の第1の実施の形態では、電流源200で生成された電流IP0およびIN0に基づいて複数のドライバ201乃至203を電流駆動することができる。ここで、電流源200で生成された電流IP0が分流された分流電流IP1乃至IP3がPMOSトランジスタ211乃至213に流れても、各PMOSトランジスタ211乃至213のゲートソース間電圧 V_{gs} のばらつきに影響がない。また、電流源200で生成された電流IN0が分流された分流電流IN1乃至IN3がNMOSトランジスタ231乃至233に流れても、各NMOSトランジスタ231乃至233のゲートソース間電圧 V_{gs} のばらつきに影響がない。このため、複数のドライバ201乃至203の動作時の電源電圧VDDのIRドロップに起因する画素111の駆動の不均一性を解消することが可能となる。

[0123] また、複数のドライバ201乃至203で電流源200を共有することができ、ドライバ201乃至203ごとに電流源200を設ける必要性がなくなる。このため、ドライバ201乃至203を電流駆動する電流源200の設置面積を低減することが可能となるとともに、リーク電流を低減することができる。例えば、アプリケーションプロセッサで制御されるマルチカメラのソフトウェアスタンバイ時のリーク電流に起因する消費電力を低減するこ

とができる。

[0124] さらに、複数のドライバ201乃至203の駆動に用いられる電流を1つの電流源200で生成することができる。このため、各PMOSトランジスタ211乃至213および各NMOSトランジスタ231乃至233の特性のばらつきに起因する電流のばらつきを抑制することが可能となるとともに、各ドライバ201乃至203のスルーレートを均一化することができる。

[0125] <2. 第2の実施の形態>

上述の第1の実施の形態では、電流源200で生成された電流IP0およびIN0に基づいて複数のドライバ201乃至203を駆動した。この第2の実施の形態では、ドライバ部を制御する制御信号から同時に駆動されるドライバの個数を抽出し、同時に駆動されるドライバの個数に応じて電流源で生成される電流を制御する。

[0126] 図9は、第2の実施の形態に係るドライバ回路の構成例を示すブロック図である。

[0127] 同図において、ドライバ回路は、可変電流源700およびドライバ部701を備える。可変電流源700は、ドライバ部701を制御する制御信号CONに基づいて、ドライバ部701を駆動する電流を制御する。

[0128] ドライバ部701は、可変電流源700で生成された電流が分流された分流電流で駆動され、制御信号CONに基づいて画素111の駆動信号を生成する。なお、ドライバ部701は、上述の第1の実施の形態の複数のドライバ201乃至203を備えてもよい。また、ドライバ部701は、図3の切替制御部351乃至353、361乃至363、371乃至373および381乃至383と、図5のロジック回路とを含んでもよい。

[0129] 制御信号CONは、画素111の駆動時に選択される各ドライバ201乃至203を指定する指定情報およびその指定情報をラッチするラッチ信号を含むことができる。この指定情報は、ドライバ201乃至203ごとに割り当てられたアドレスでもよい。このとき、同時に駆動されるドライバ201乃至203の個数がK（Kは2以上の整数）であるとすると、制御信号CO

Nは、ロジック回路707から時系列的に出力されるK個のアドレスとラッチ信号を含むことができる。

[0130] 駆動数抽出部708は、ロジック回路707より出力される制御信号CONから、同時に駆動されるドライバ201乃至203の個数Kを抽出し、可変電流源700に出力する。このとき、駆動数抽出部708は、制御信号CONに含まれるラッチ信号をカウントすることで、同時に駆動されるドライバ201乃至203の個数Kを抽出してもよい。

[0131] 可変電流源700は、同時に駆動されるドライバ201乃至203の個数Kが駆動数抽出部708から出力されると、その個数Kに比例するようにドライバ部701を駆動する電流を制御することができる。

[0132] また、ドライバ部701は、制御信号CONに含まれるK個のアドレスに基づいて、同時に駆動されるK個のドライバ201乃至203と特定し、それらのドライバ201乃至203を特定する情報を保持する。そして、ドライバ部701は、それらのK個のドライバ201乃至203の駆動時に、図5のトリガ信号TRG、トリガ反転信号XTRG、シフトトリガ信号TRG__SFTおよびシフトトリガ反転信号XTRG__SFTを生成する。そして、ドライバ部701は、これらの信号を図4のロジック回路に入力することにより、反転選択信号XA、XB、XCおよびXDを生成し、同時に駆動されるK個のドライバ201乃至203の駆動制御に用いることができる。このとき、ドライバ部701は、1つの反転選択信号XAからK個のドライバ201乃至203の切替信号SA1乃至SA3を同時に生成し、1つの反転選択信号XBからK個のドライバ201乃至203の切替信号SB1乃至SB3を同時に生成することができる。また、ドライバ部701は、1つの反転選択信号XCからK個のドライバ201乃至203の切替信号SC1乃至SC3を同時に生成し、1つの反転選択信号XDからK個のドライバ201乃至203の切替信号SD1乃至SD3を同時に生成することができる。

[0133] なお、可変電流源700は、特許請求の範囲に記載の電流生成部の一例である。ドライバ部701は、特許請求の範囲に記載の電流駆動部の一例であ

る。

[0134] 図10は、第2の実施の形態に係るドライバ回路の構成例を示す回路図である。

[0135] 同図において、ドライバ部701は、複数のドライバ201乃至203を備える。可変電流源700は、複数のドライバ201乃至203で共有される。このとき、ドライバ201乃至203は、可変電流源700に対して並列に接続される。可変電流源700は、カレントミラー動作に基づいてミラー電流を生成し、そのミラー電流を電流IPKおよびINKとして出力する。ここで、可変電流源700は、同時に駆動されるドライバ201乃至203の個数Kに応じて各電流IPKおよびINKを制御することができる。例えば、同時に駆動される時に各ドライバ201乃至203に流れる電流をIとすると、各電流IPKおよびINKは、 $K \times I$ で与えることができる。

[0136] 可変電流源700は、PMOSトランジスタ710、720乃至723および750乃至753と、NMOSトランジスタ730、740乃至743および760乃至763とを備える。PMOSトランジスタ720乃至723と、PMOSトランジスタ750乃至753とはそれぞれ、同時に駆動されるドライバ201乃至203の最大の個数分だけ設けることができる。また、NMOSトランジスタ740乃至743と、NMOSトランジスタ760乃至763についてもそれぞれ同様に、同時に駆動されるドライバ201乃至203の最大の個数分だけ設けることができる。

[0137] 各PMOSトランジスタ720乃至723は、各PMOSトランジスタ750乃至753に直列に接続されている。各PMOSトランジスタ710、720乃至723のソースには、電源電圧VDDが印加され、各PMOSトランジスタ710、720乃至723のゲートは、PMOSトランジスタ710のドレインに接続されている。各PMOSトランジスタ750乃至753のドレインは、電流端子TPKに接続されている。電流端子TPKからは、電流IPKがドライバ部701に出力される。各PMOSトランジスタ750乃至753のゲートには、インバータ701を介してカウンタ出力cn

[0] 乃至 $c_n[3]$ が入力される。

[0138] 各NMOSトランジスタ740乃至743は、各NMOSトランジスタ760乃至763に直列に接続されている。各NMOSトランジスタ730、740乃至743のソースには、接地電圧 V_{SS} が印加され、各NMOSトランジスタ730、740乃至743のゲートは、NMOSトランジスタ730のドレインに接続されている。各NMOSトランジスタ760乃至763のドレインは、電流端子TNKに接続されている。電流端子TNKには、ドライバ部701から引き出された電流 I_{NK} が流入する。各NMOSトランジスタ760乃至763のゲートには、カウンタ出力 $c_n[0]$ 乃至 $c_n[3]$ が入力される。

[0139] 図9の駆動数抽出部708には、カウンタ718が設けられている。カウンタ718は、フリップフロップ780乃至783を備える。フリップフロップ780乃至783では、前段のD端子およびQB端子が後段のクロック端子に接続される。また、各フリップフロップ780乃至783のQ端子からは、カウンタ出力 $c_n[0]$ 乃至 $c_n[3]$ が可変電流源700に出力される。

[0140] 制御信号CONには、同時に駆動されるドライバ201乃至203の個数Kに応じてK回トグルする信号が含まれる。このとき、カウンタ718は、制御信号CONに含まれるK回トグルする信号に基づいてカウント動作を実施する。このとき、カウンタ出力 $c_n[0]$ 乃至 $c_n[3]$ のうちK個分が1となり、K個のPMOSトランジスタ750乃至753およびK個のNMOSトランジスタ760乃至763が同時にオンする。このため、同時に駆動されるドライバ201乃至203の個数Kに応じた電流 I_{PK} および I_{NK} が生成され、各電流 I_{PK} および I_{NK} が $1/K$ に分流された分流電流をK個のドライバ201乃至203の駆動にそれぞれ用いることができる。

[0141] なお、カウンタ718は、画素信号が1行ずつ読み出されるごとにカウンタ出力 $c_n[0]$ 乃至 $c_n[3]$ をリセットし、カウント動作を繰り返すことができる。このため、可変電流源700は、画素信号が1行ずつ読み出さ

れるごとに各電流 I_{PK} および I_{NK} を更新することができる。

[0142] このように、上述の第2の実施の形態では、制御信号 CON から同時に駆動されるドライバ201乃至203の個数 K を抽出し、同時に駆動されるドライバ201乃至203の個数 K に応じて可変電流源700で生成される電流 I_{PK} および I_{NK} を制御する。これにより、同時に駆動されるドライバ201乃至203の個数 K が変更されても、駆動信号 $OUT1$ 乃至 $OUT3$ のスルーレートを一定に維持しつつ、複数のドライバ201乃至203を同時に電流駆動することが可能となる。

[0143] <3. 第3の実施の形態>

上述の第2の実施の形態では、駆動信号 $OUT1$ 乃至 $OUT3$ のスルーレートを一定に維持するために、同時に駆動されるドライバ201乃至203の個数 K に応じて可変電流源700で生成される電流 I_{PK} および I_{NK} を制御した。この第3の実施の形態では、可変電流源の電流制御に基づいてドライバ201乃至203から出力される駆動信号 $OUT1$ 乃至 $OUT3$ のスルーレートを変化させる。

[0144] 図11は、第3の実施の形態に係るドライバ回路の第1の例を示す回路図である。

[0145] 同図において、このドライバ回路は、上述の第1の実施の形態の電流源200に代えて、可変電流源801を備える。また、このドライバ回路は、上述の第1の実施の形態のドライバ回路にスルーレート制御部811が追加されている。第3の実施の形態の第1の例のドライバ回路のそれ以外の構成は、上述の第1の実施の形態のドライバ回路の構成と同様である。

[0146] 可変電流源801は、上述の第1の実施の形態の電流源250および260に代えて、可変電流源821および822を備える。可変電流源801のそれ以外の構成は、上述の第1の実施の形態の電流源200の構成と同様である。

[0147] 可変電流源821は、PMOSトランジスタ210のドレインからレファレンス電流を引き出し、可変電流源822は、NMOSトランジスタ230

のドレインからレファレンス電流を引き入れる。これらのレファレンス電流は可変である。各可変電流源 8 2 1 および 8 2 2 には、スルーレート制御部 8 1 1 から電流制御信号 S 1 および S 2 が入力される。このとき、PMOS トランジスタ 2 1 0 のドレインから引き出されるレファレンス電流と、NMOS トランジスタ 2 3 0 のドレインから引き入れられるレファレンス電流とは、互いに等しくすることができる。

[0148] スルーレート制御部 8 1 1 は、各電流制御信号 S 1 および S 2 に基づいて可変電流源 8 2 1 および 8 2 2 のレファレンス電流を制御する。このとき、スルーレート制御部 8 1 1 は、可変電流源 8 2 1 および 8 2 2 の電流制御に基づいて、各ドライバ 2 0 1 乃至 2 0 3 から出力される駆動信号 OUT 1 乃至 OUT 3 のスルーレートを制御することができる。

[0149] 図 1 2 は、第 3 の実施の形態に係るドライバ回路の第 2 の例を示す回路図である。

[0150] 同図において、このドライバ回路は、上述の第 1 の実施の形態の電流源 2 0 0 に代えて、可変電流源 8 0 2 を備える。また、このドライバ回路は、上述の第 1 の実施の形態のドライバ回路にスルーレート制御部 8 1 2 が追加されている。第 3 の実施の形態の第 2 の例のドライバ回路のそれ以外の構成は、上述の第 1 の実施の形態のドライバ回路の構成と同様である。

[0151] 可変電流源 8 0 2 は、PMOS トランジスタ 8 2 0 および NMOS トランジスタ 8 4 0 を備える。PMOS トランジスタ 8 2 0 のソースには、電源電圧 VDD が印加され、PMOS トランジスタ 8 2 0 のゲートには、スルーレート制御部 8 1 2 から電流制御信号 S 3 が入力される。PMOS トランジスタ 8 2 0 のドレインは、各 PMOS トランジスタ 2 1 1 乃至 2 1 3 のソースに接続されている。

[0152] NMOS トランジスタ 8 4 0 のソースには、接地電圧 VSS が印加され、NMOS トランジスタ 8 4 0 のゲートには、スルーレート制御部 8 1 2 から電流制御信号 S 4 が入力される。NMOS トランジスタ 8 4 0 のドレインは、各 NMOS トランジスタ 2 3 1 乃至 2 3 3 のソースに接続されている。

[0153] スルーレート制御部 812 は、各電流制御信号 S3 および S4 に基づいて、可変電流源 802 で生成される電流を制御する。このとき、スルーレート制御部 812 は、可変電流源 802 の電流制御に基づいて、各ドライバ 201 乃至 203 から出力される駆動信号 OUT1 乃至 OUT3 のスルーレートを制御することができる。

[0154] 図 13 は、第 3 の実施の形態に係るドライバ回路の第 3 の例を示す回路図である。

[0155] 同図において、このドライバ回路は、上述の第 3 の実施の形態の第 1 の例のスルーレート制御部 811 に代えて、スルーレート制御部 813 が設けられている。第 3 の実施の形態の第 3 の例のドライバ回路のそれ以外の構成は、上述の第 3 の実施の形態の第 1 の例のドライバ回路の構成と同様である。

[0156] スルーレート制御部 813 は、各電流制御信号 S1 および S2 に基づいて可変電流源 821 および 822 のレファレンス電流を制御する。ここで、スルーレート制御部 813 は、動作モードを指示する動作モード指示信号 MOD に基づいて、各電流制御信号 S1 および S2 を設定することができる。動作モードは、1 度に読み出される画素の個数を指定することができる。このとき、スルーレート制御部 813 は、動作モード指示信号 MOD に基づいて 1 度に読み出される画素の個数が変更されても、駆動信号 OUT1 乃至 OUT3 のスルーレートが一定に維持されるように、可変電流源 821 および 822 のレファレンス電流を制御することができる。

[0157] このように、上述の第 3 の実施の形態では、各ドライバ 201 乃至 203 を駆動する電流を可変とすることにより、各ドライバ 201 乃至 203 から出力される駆動信号 OUT1 乃至 OUT3 のスルーレートを制御する。これにより、駆動信号 OUT1 乃至 OUT3 の出力波形を適正に担保することができる。

[0158] なお、上述の第 3 の実施の形態では、上述の第 1 の実施の形態のドライバ回路のスルーレート制御について説明したが、上述の第 2 の実施の形態のドライバ回路に上述の第 3 の実施の形態のスルーレート制御を適用してもよい。

。

[0159] <4. 第4の実施の形態>

上述の第1の実施の形態では、1つの電流源200で生成された電流IP0およびIN0に基づいて複数のドライバ201乃至203を駆動した。この第4の実施の形態では、複数のドライバで共用される電流源を分散配置する。

[0160] 図14は、第4の実施の形態に係るドライバ回路の構成例を示す回路図である。

[0161] 同図において、このドライバ回路は、上述の第1の実施の形態の電流源200に代えて、電流源901乃至903を備える。また、このドライバ回路は、上述の第1の実施の形態のドライバ201乃至203として、ドライバ911乃至916が設けられている。

[0162] 各電流源901乃至903は、上述の第1の実施の形態の電流源200と同様に構成することができる。各電流源901乃至903は、複数のドライバ911乃至916間に分散配置することができる。このとき、電流源901は、複数のドライバ911および912で共有し、電流源902は、複数のドライバ913および914で共有し、電流源903は、複数のドライバ915および916で共有することができる。このとき、ドライバ911および912は、電流源901に対して並列に接続され、ドライバ913および914は、電流源902に対して並列に接続され、ドライバ915および916は、電流源903に対して並列に接続される。

[0163] また、電源電圧VDDを供給する電源線は、複数のパッド電極921乃至923に接続されている。ここで、電源電圧VDDを供給する電源線を複数のパッド電極921乃至923に接続することにより、IRドロップに起因する電源電圧VDDの変動を抑制することができる。

[0164] このように、上述の第4の実施の形態では、複数のドライバで共用される電流源901乃至903を分散配置する。これにより、各電流源901乃至903から引き出される配線を短くすることができ、配線抵抗の影響を低減

することができる。

[0165] なお、上述の第４の実施の形態では、上述の第１の実施の形態のドライバ回路について電流源を分散配置した例について説明したが、上述の第２の実施の形態のドライバ回路について電流源を分散配置してもよい。

[0166] また、上述の実施の形態では、ドライバ回路を固体撮像装置１００に適用した例を示したが、固体撮像装置１００以外の電子機器にドライバ回路を適用してもよい。例えば、ＤＲＡＭ（Dynamic Random Access Memory）、ＭＲＡＭ（Magnetoresistive Random Access Memory）またはＮＡＮＤフラッシュメモリなどの記憶装置に適用してもよい。あるいは、液晶パネルや有機ＥＬ（Electro Luminescence）パネルなどの駆動に適用してもよいし、アンテナアレイの駆動に適用してもよい。

[0167] また、上述の実施の形態では、電流駆動されるＰＭＯＳトランジスタ２１１乃至２１３およびＮＭＯＳトランジスタ２３１乃至２３３と、電圧駆動されるＰＭＯＳトランジスタ２２１乃至２２３およびＮＭＯＳトランジスタ２４１乃至２４３とをドライバ回路に設けた例を示した。ただし、電流駆動されるＰＭＯＳトランジスタ２１１乃至２１３およびＮＭＯＳトランジスタ２３１乃至２３３がドライバ回路にあれば、電圧駆動されるＰＭＯＳトランジスタ２２１乃至２２３およびＮＭＯＳトランジスタ２４１乃至２４３はなくてもよい。また、耐圧保護回路２７１乃至２７３は、ドライバ回路になくてもよい。

[0168] ＜１５．移動体への応用例＞

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0169] 図１５は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

- [0170] 車両制御システム12000は、通信ネットワーク12001を介して接続された複数の電子制御ユニットを備える。図15に示した例では、車両制御システム12000は、駆動系制御ユニット12010、ボディ系制御ユニット12020、車外情報検出ユニット12030、車内情報検出ユニット12040、及び統合制御ユニット12050を備える。また、統合制御ユニット12050の機能構成として、マイクロコンピュータ12051、音声画像出力部12052、及び車載ネットワークI/F(interface)12053が図示されている。
- [0171] 駆動系制御ユニット12010は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット12010は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。
- [0172] ボディ系制御ユニット12020は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット12020は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウinker又はフォグラмп等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット12020には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット12020は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。
- [0173] 車外情報検出ユニット12030は、車両制御システム12000を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット12030には、撮像部12031が接続される。車外情報検出ユニット12030は、撮像部12031に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット12030は、受信した画像に基づいて

、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0174] 撮像部12031は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部12031は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部12031が受光する光は、可視光であってもよいし、赤外線等の非可視光であってもよい。

[0175] 車内情報検出ユニット12040は、車内の情報を検出する。車内情報検出ユニット12040には、例えば、運転者の状態を検出する運転者状態検出部12041が接続される。運転者状態検出部12041は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット12040は、運転者状態検出部12041から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0176] マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット12010に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むADAS (Advanced Driver Assistance System)の機能実現を目的とした協調制御を行うことができる。

[0177] また、マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0178] また、マイクロコンピュータ12051は、車外情報検出ユニット120

30で取得される車外の情報に基づいて、ボディ系制御ユニット12020に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車外情報検出ユニット12030で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0179] 音声画像出力部12052は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図15の例では、出力装置として、オーディオスピーカ12061、表示部12062及びインストルメントパネル12063が例示されている。表示部12062は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでもよい。

[0180] 図16は、撮像部12031の設置位置の例を示す図である。

[0181] 図16では、撮像部12031として、撮像部12101、12102、12103、12104、12105を有する。

[0182] 撮像部12101、12102、12103、12104、12105は、例えば、車両12100のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部12101及び車室内のフロントガラスの上部に備えられる撮像部12105は、主として車両12100の前方の画像を取得する。サイドミラーに備えられる撮像部12102、12103は、主として車両12100の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部12104は、主として車両12100の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部12105は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0183] なお、図16には、撮像部12101ないし12104の撮影範囲の一例が示されている。撮像範囲12111は、フロントノーズに設けられた撮像

部 1 2 1 0 1 の撮像範囲を示し、撮像範囲 1 2 1 1 2, 1 2 1 1 3 は、それぞれサイドミラーに設けられた撮像部 1 2 1 0 2, 1 2 1 0 3 の撮像範囲を示し、撮像範囲 1 2 1 1 4 は、リアバンパ又はバックドアに設けられた撮像部 1 2 1 0 4 の撮像範囲を示す。例えば、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 で撮像された画像データが重ね合わせられることにより、車両 1 2 1 0 0 を上方から見た俯瞰画像が得られる。

[0184] 撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の少なくとも 1 つは、距離情報を取得する機能を有していてもよい。例えば、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の少なくとも 1 つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0185] 例えば、マイクロコンピュータ 1 2 0 5 1 は、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 から得られた距離情報を基に、撮像範囲 1 2 1 1 1 ないし 1 2 1 1 4 内における各立体物までの距離と、この距離の時間的变化（車両 1 2 1 0 0 に対する相対速度）を求めることにより、特に車両 1 2 1 0 0 の進行路上にある最も近い立体物で、車両 1 2 1 0 0 と略同じ方向に所定の速度（例えば、0 k m / h 以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ 1 2 0 5 1 は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0186] 例えば、マイクロコンピュータ 1 2 0 5 1 は、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 から得られた距離情報を元に、立体物に関する立体物データを、2 輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ 1 2 0 5 1 は、車両 1 2 1 0 0 の周辺の障害物を、車両 1 2 1 0 0 のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ 1 2 0 5 1 は、各障害物との衝突の危険度を示す衝突リスク

を判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ 12061 や表示部 12062 を介してドライバに警報を出力することや、駆動系制御ユニット 12010 を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0187] 撮像部 12101 ないし 12104 の少なくとも 1 つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ 12051 は、撮像部 12101 ないし 12104 の撮像画像中に歩行者が存在するかどうかを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部 12101 ないし 12104 の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ 12051 が、撮像部 12101 ないし 12104 の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部 12052 は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部 12062 を制御する。また、音声画像出力部 12052 は、歩行者を示すアイコン等を所望の位置に表示するように表示部 12062 を制御してもよい。

[0188] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、撮像部 12031 に適用され得る。具体的には、例えば、上述の第 1 の実施の形態乃至第 4 の実施の形態のいずれかのドライブ回路は、撮像部 12031 に適用することができる。車両制御システム 12000 に本開示に係る技術を適用することにより、画素 111 の駆動の不均一性を解消し、画質を向上させることが可能となるとともに、消費電力を低減することができる。

[0189] なお、上述の実施の形態は本技術を具現化するための一例を示したものであり、実施の形態における事項と、特許請求の範囲における発明特定事項とはそれぞれ対応関係を有する。同様に、特許請求の範囲における発明特定事項と、これと同一名称を付した本技術の実施の形態における事項とはそれぞれ

れ対応関係を有する。ただし、本技術は実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において実施の形態に種々の変形を施すことにより具現化することができる。また、本明細書に記載された効果はあくまで例示であって、限定されるものではなく、また、他の効果があってもよい。

[0190] なお、本技術は以下のような構成もとることができる。

(1) ロウ方向およびカラム方向にマトリックス状に画素が配置された画素アレイ部と、

電流を生成する電流生成部と、

前記電流生成部で生成された電流が分流された分流電流で駆動され、制御信号に基づいて前記画素の駆動信号を生成する電流駆動部とを具備する固体撮像装置。

(2) 前記電流生成部は、前記制御信号に基づいて前記電流を制御する前記(1)記載の固体撮像装置。

(3) 前記制御信号は、前記画素の駆動時に選択される電流駆動部を指定する指定情報を含む前記(2)記載の固体撮像装置。

(4) 前記指定情報は、前記電流駆動部ごとに割り当てられたアドレスである前記(3)記載の固体撮像装置。

(5) 前記制御信号は、同時に駆動される前記電流駆動部の個数分の前記アドレスと、同時に駆動される前記電流駆動部の個数に応じてトグルされる信号とを含む前記(4)記載の固体撮像装置。

(6) 前記電流生成部は、前記制御信号から抽出された同時に駆動される前記電流駆動部の個数に基づいて前記電流を制御する前記(5)記載の固体撮像装置。

(7) 前記電流生成部は、同時に駆動される前記電流駆動部の個数に応じて

トグルされる信号のカウンタ出力に基づいて、前記電流を制御する
前記（６）記載の固体撮像装置。

（８）前記カウンタ出力に応じた個数分の前記アドレスでそれぞれ特定される前記電流駆動部は、前記カウンタ出力にて制御された電流に基づいて同時に電流駆動される

前記（７）記載の固体撮像装置。

（９）前記電流生成部に供給される第１電源電圧と異なる第２電源電圧が供給され、前記制御信号に基づいて前記画素の駆動信号を生成する電圧駆動部と、

前記電流駆動部と前記電圧駆動部とで共通に設けられた出力端子とをさらに具備する前記（１）から（８）のいずれかに記載の固体撮像装置。

（１０）前記電流駆動部は、前記出力端子に一端が接続される第１スイッチング素子を備え、

前記電圧駆動部は、前記出力端子に一端が接続される第２スイッチング素子を備え、

前記第１スイッチング素子は、前記電流生成部の電流端子に他端が接続され、

前記第２スイッチング素子は、前記第２電源電圧が他端に供給される
前記（９）記載の固体撮像装置。

（１１）前記電流駆動部は複数設けられ、

前記電流生成部は、前記複数の電流駆動部で共有される
前記（１）から（１０）のいずれかに記載のドライバ回路。

（１２）前記電流駆動部は、前記電流生成部に並列に接続される
前記（１１）記載のドライバ回路。

（１３）前記電圧駆動部は前記電流駆動部にそれぞれ対応して設けられ、前記第２電源電圧は前記電圧駆動部に並列に供給される
前記（９）または（１０）に記載の固体撮像装置。

（１４）前記電流駆動部はトランジスタを備え、

前記電流生成部のカレントミラー動作に基づいて生成されたミラー電流が前記トランジスタのソースに入力され、

前記制御信号は前記トランジスタのゲートに入力される

前記（１）から（１３）のいずれかに記載の固体撮像装置。

（１５）前記電流生成部のカレントミラー動作に基づいて生成されるミラー電流の制御に基づいて、前記電流駆動部のスルーレートを制御するスルーレート制御部をさらに具備する前記（１４）記載の固体撮像装置。

（１６）電流を生成する電流生成部と、

前記電流生成部で生成された電流が分流された分流電流で駆動され、制御信号に基づいてトランジスタの駆動信号を生成する電流駆動部とを具備するドライバ回路。

符号の説明

- [0191] １０１ 画素アレイ部
 １１１ 画素
 １０２ 垂直駆動回路
 １０３ 水平駆動回路
 １０４ 制御回路
 １０５ カラム信号処理回路
 １０６ 出力回路
 ２００ 電流源
 ２０１～２０３ ドライバ
 １４１～１４３ 耐圧保護回路
 １５１～１５３、１６１～１６３、１７１～１７３、１８１～１８３ ス
イッチング素子
 １３０ 電源
 １３１ 昇圧回路
 １３２ 降圧回路
 ４０１～４０４ 論理積回路

405～408 インバータ

請求の範囲

- [請求項1] ロウ方向およびカラム方向にマトリックス状に画素が配置された画素アレイ部と、
 電流を生成する電流生成部と、
 前記電流生成部で生成された電流が分流された分流電流で駆動され、制御信号に基づいて前記画素の駆動信号を生成する電流駆動部とを具備する固体撮像装置。
- [請求項2] 前記電流生成部は、前記制御信号に基づいて前記電流を制御する請求項1記載の固体撮像装置。
- [請求項3] 前記制御信号は、前記画素の駆動時に選択される電流駆動部を指定する指定情報を含む
請求項2記載の固体撮像装置。
- [請求項4] 前記指定情報は、前記電流駆動部ごとに割り当てられたアドレスである
請求項3記載の固体撮像装置。
- [請求項5] 前記制御信号は、同時に駆動される前記電流駆動部の個数分の前記アドレスと、同時に駆動される前記電流駆動部の個数に応じてトグルされる信号とを含む
請求項4記載の固体撮像装置。
- [請求項6] 前記電流生成部は、前記制御信号から抽出された同時に駆動される前記電流駆動部の個数に基づいて前記電流を制御する
請求項5記載の固体撮像装置。
- [請求項7] 前記電流生成部は、同時に駆動される前記電流駆動部の個数に応じてトグルされる信号のカウンタ出力に基づいて、前記電流を制御する
請求項6記載の固体撮像装置。
- [請求項8] 前記カウンタ出力に応じた個数分の前記アドレスでそれぞれ特定される前記電流駆動部は、前記カウンタ出力にて制御された電流に基づいて同時に電流駆動される

請求項 7 記載の固体撮像装置

[請求項9] 前記電流生成部に供給される第 1 電源電圧と異なる第 2 電源電圧が供給され、前記制御信号に基づいて前記画素の駆動信号を生成する電圧駆動部と、

前記電流駆動部と前記電圧駆動部とで共通に設けられた出力端子とをさらに具備する請求項 1 記載の固体撮像装置。

[請求項10] 前記電流駆動部は、前記出力端子に一端が接続される第 1 スwitchング素子を備え、

前記電圧駆動部は、前記出力端子に一端が接続される第 2 スwitchング素子を備え、

前記第 1 スwitchング素子は、前記電流生成部の電流端子に他端が接続され、

前記第 2 スwitchング素子は、前記第 2 電源電圧が他端に供給される

請求項 9 記載の固体撮像装置。

[請求項11] 前記電流駆動部は複数設けられ、

前記電流生成部は、前記複数の電流駆動部で共有される請求項 1 記載のドライバ回路。

[請求項12] 前記電流駆動部は、前記電流生成部に並列に接続される請求項 8 記載のドライバ回路。

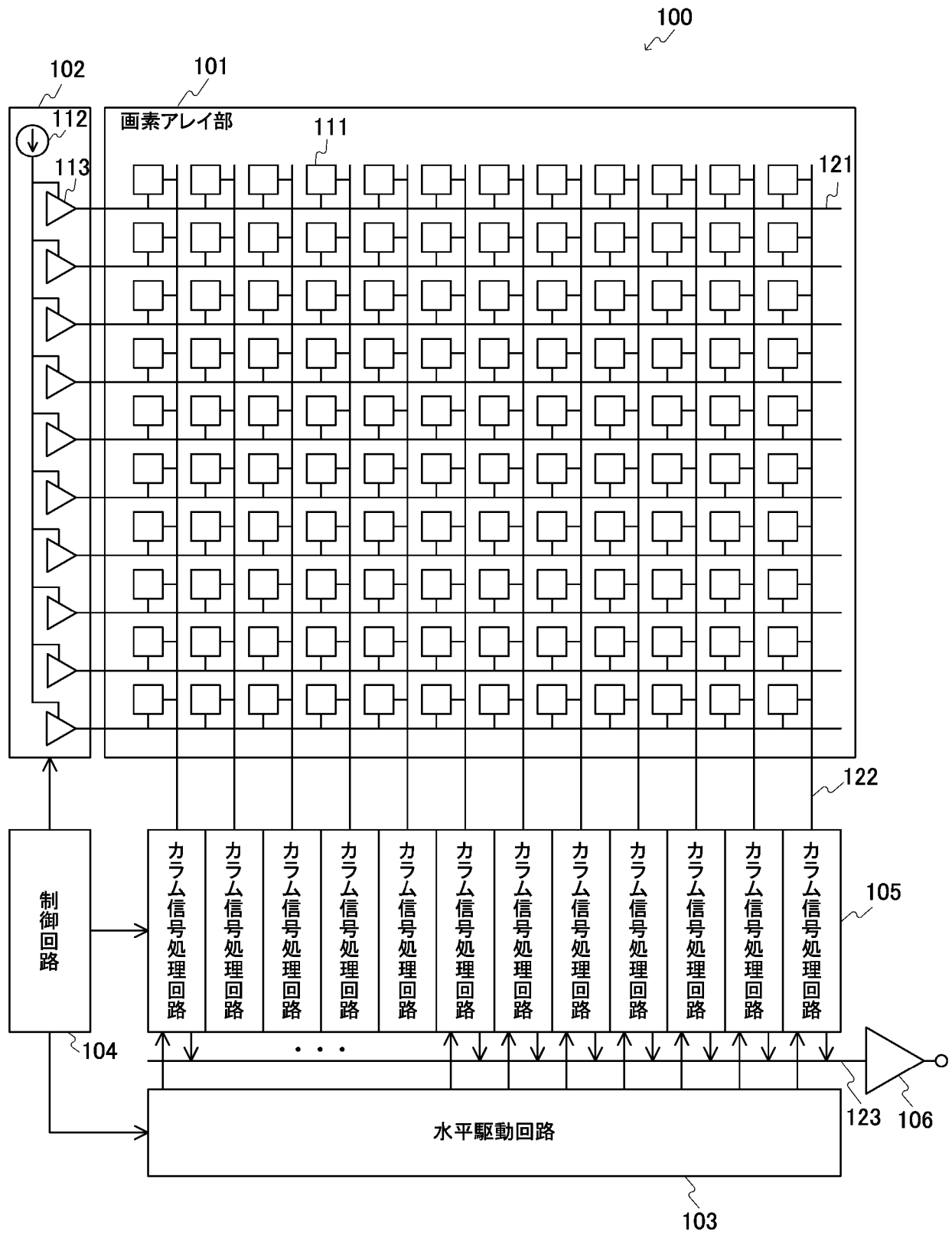
[請求項13] 前記電圧駆動部は前記電流駆動部にそれぞれ対応して設けられ、前記第 2 電源電圧は前記電圧駆動部に並列に供給される請求項 9 記載の固体撮像装置。

[請求項14] 前記電流駆動部はトランジスタを備え、
前記電流生成部のカレントミラー動作に基づいて生成されたミラー電流が前記トランジスタのソースに流れ、
前記制御信号は前記トランジスタのゲートに入力される請求項 1 記載の固体撮像装置。

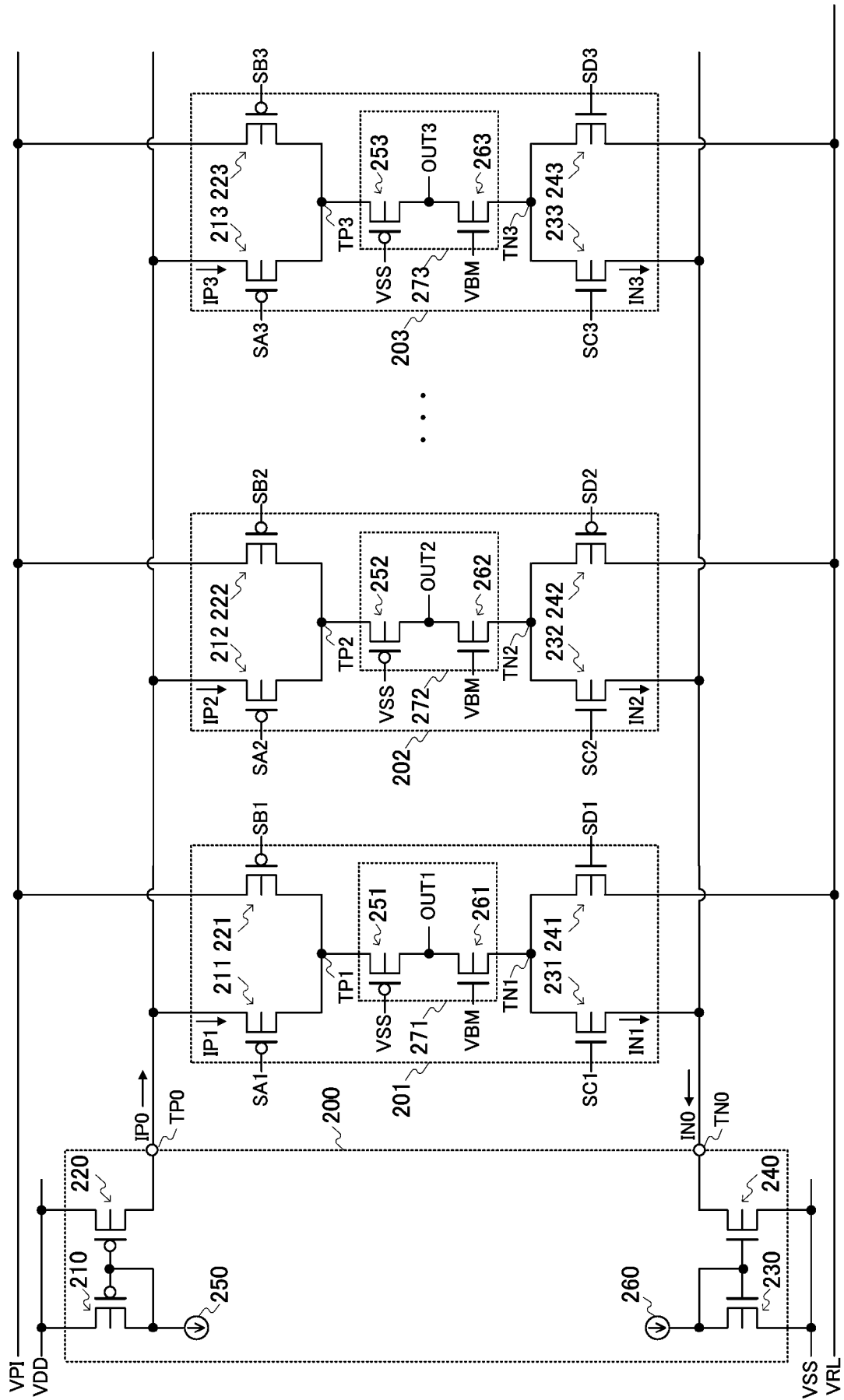
[請求項15] 前記電流生成部のカレントミラー動作に基づいて生成されるミラー電流の制御に基づいて、前記電流駆動部のスルーレートを制御するスルーレート制御部をさらに具備する請求項14記載の固体撮像装置。

[請求項16] 電流を生成する電流生成部と、
前記電流生成部で生成された電流が分流された分流電流で駆動され、制御信号に基づいてトランジスタの駆動信号を生成する電流駆動部と
を具備するドライバ回路。

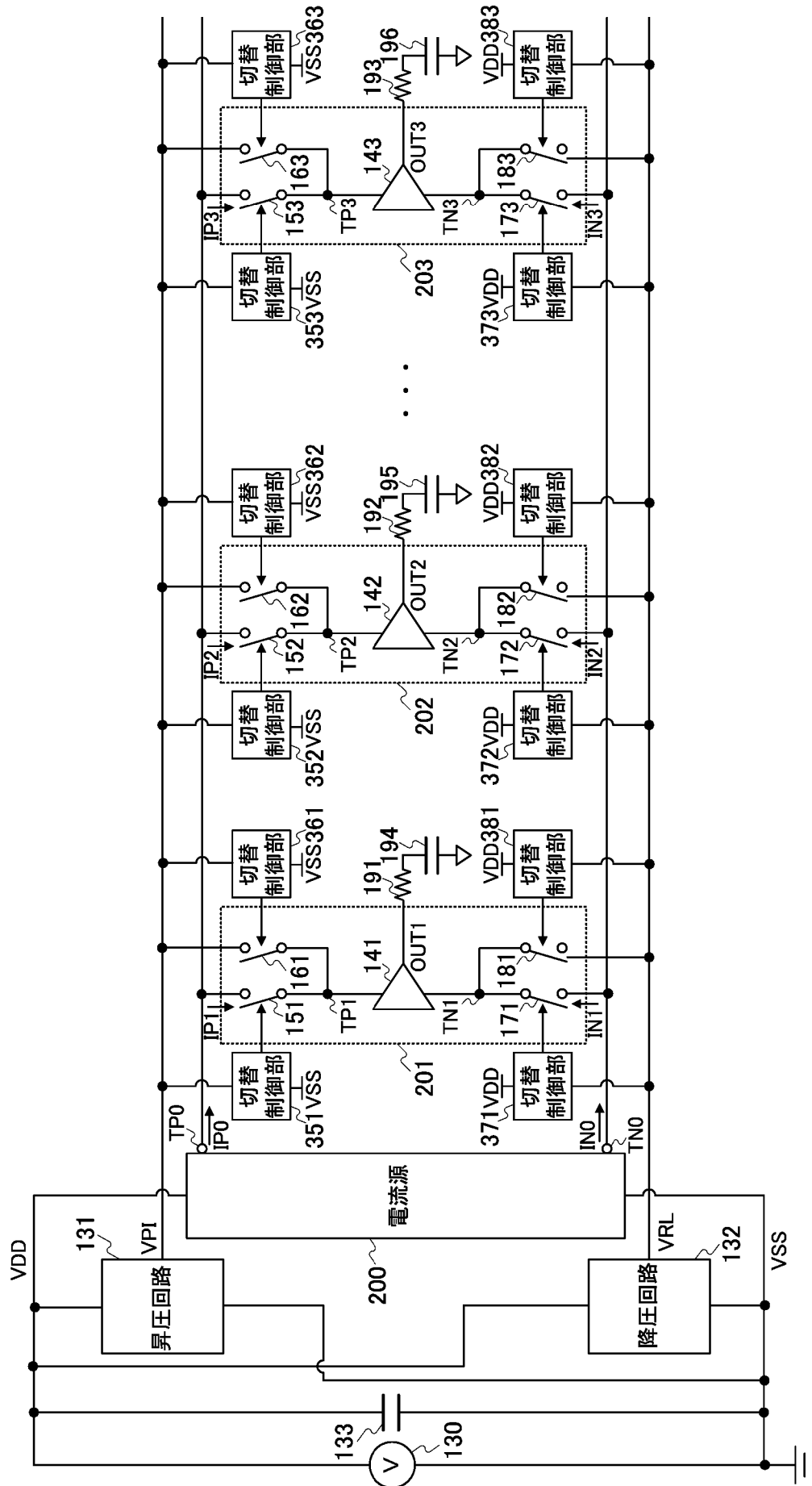
[図1]



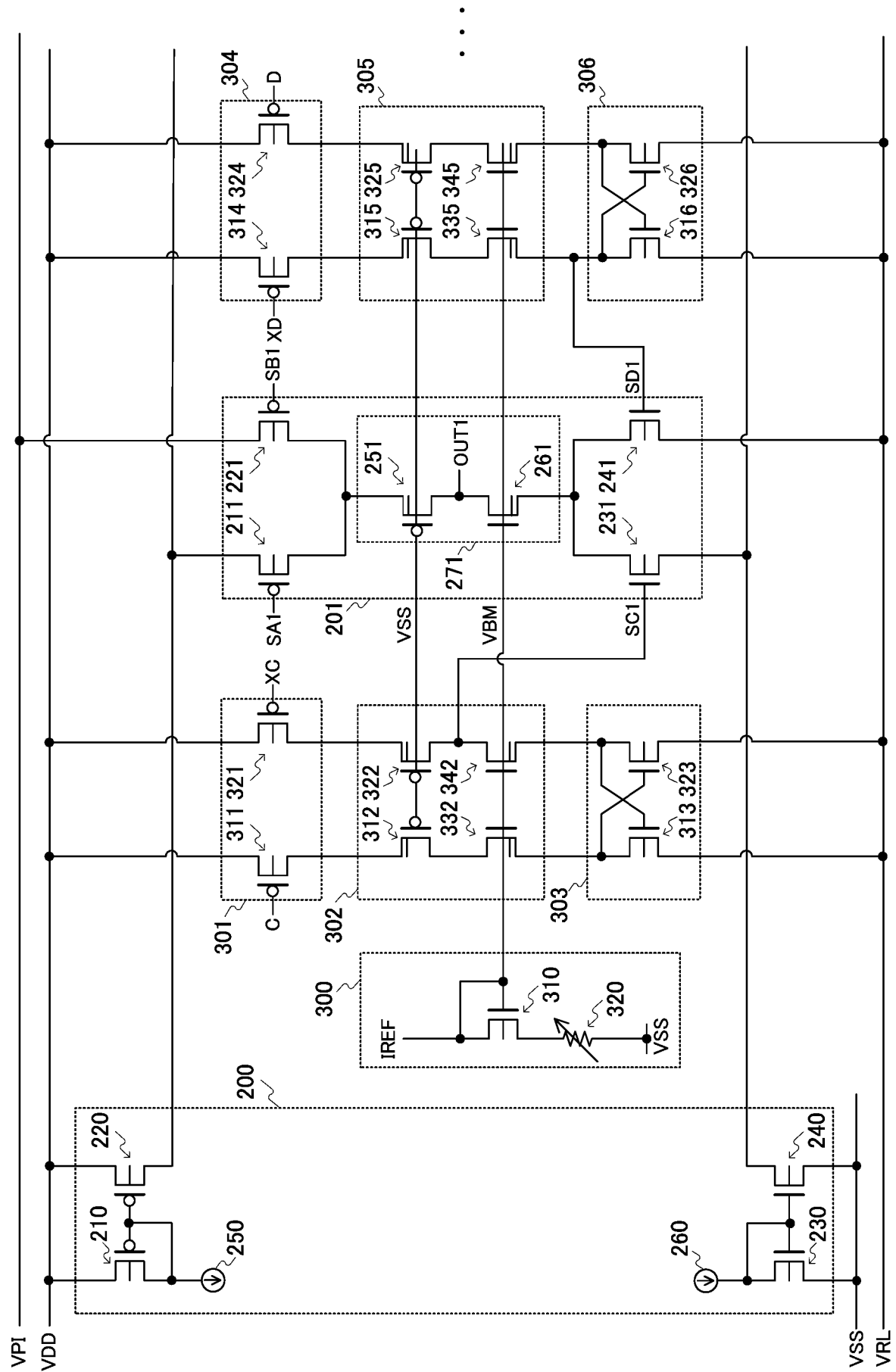
[図2]



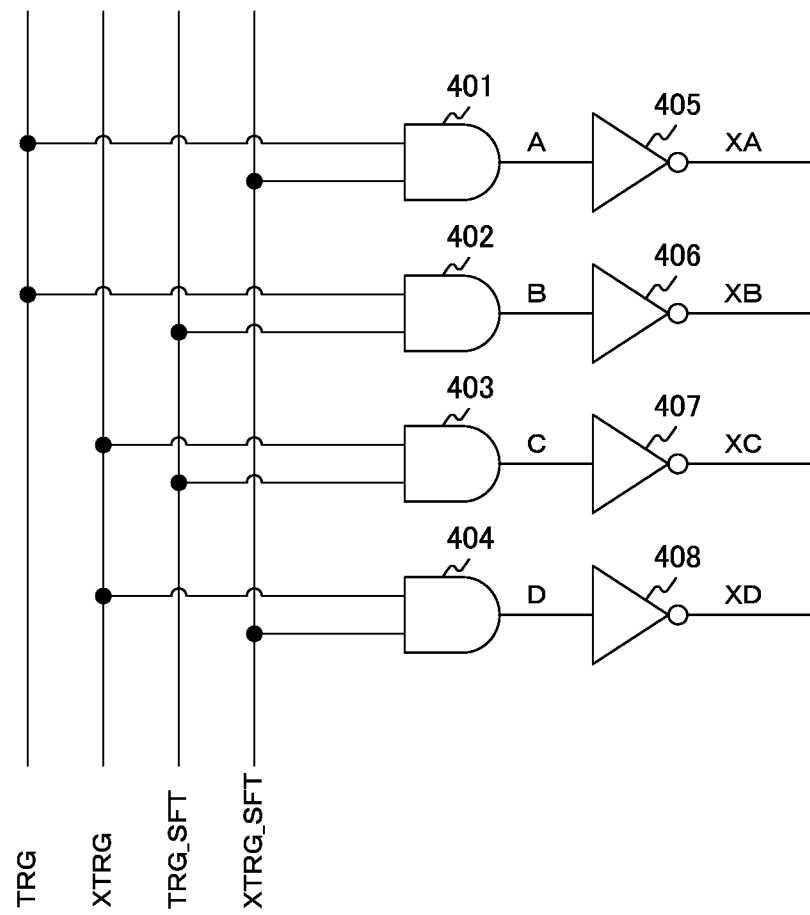
[図3]



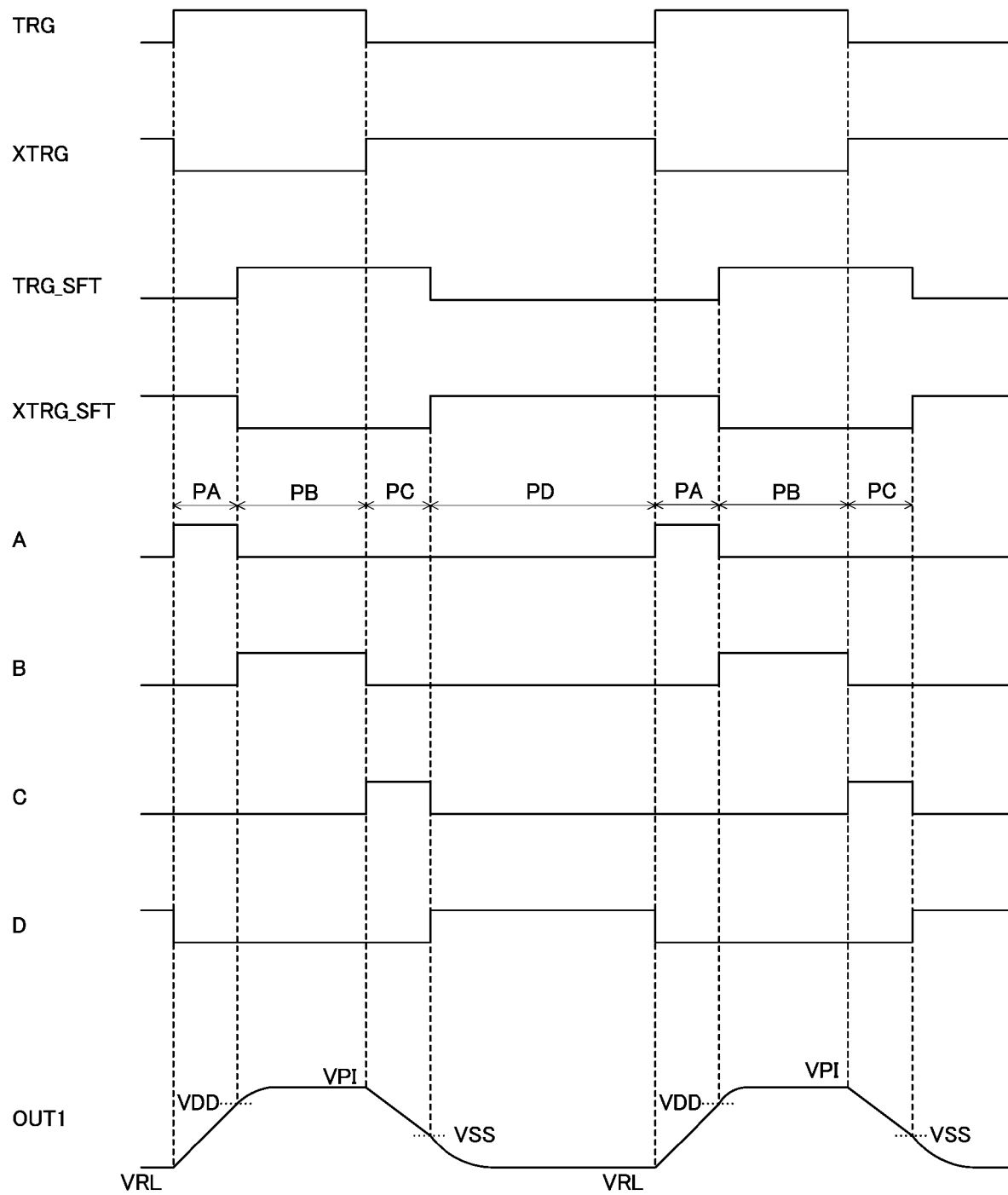
[図4]



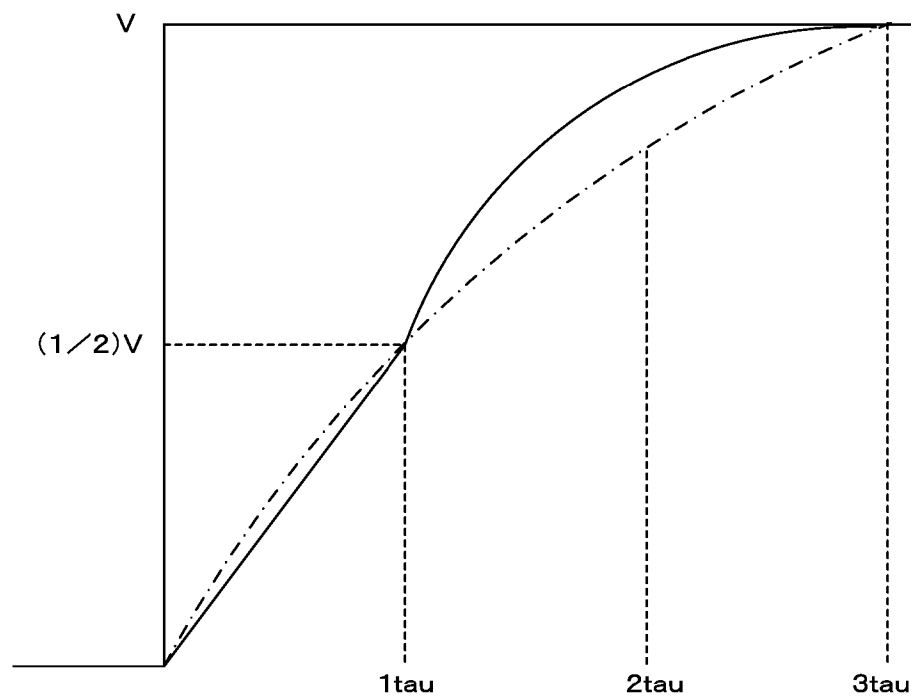
[図5]



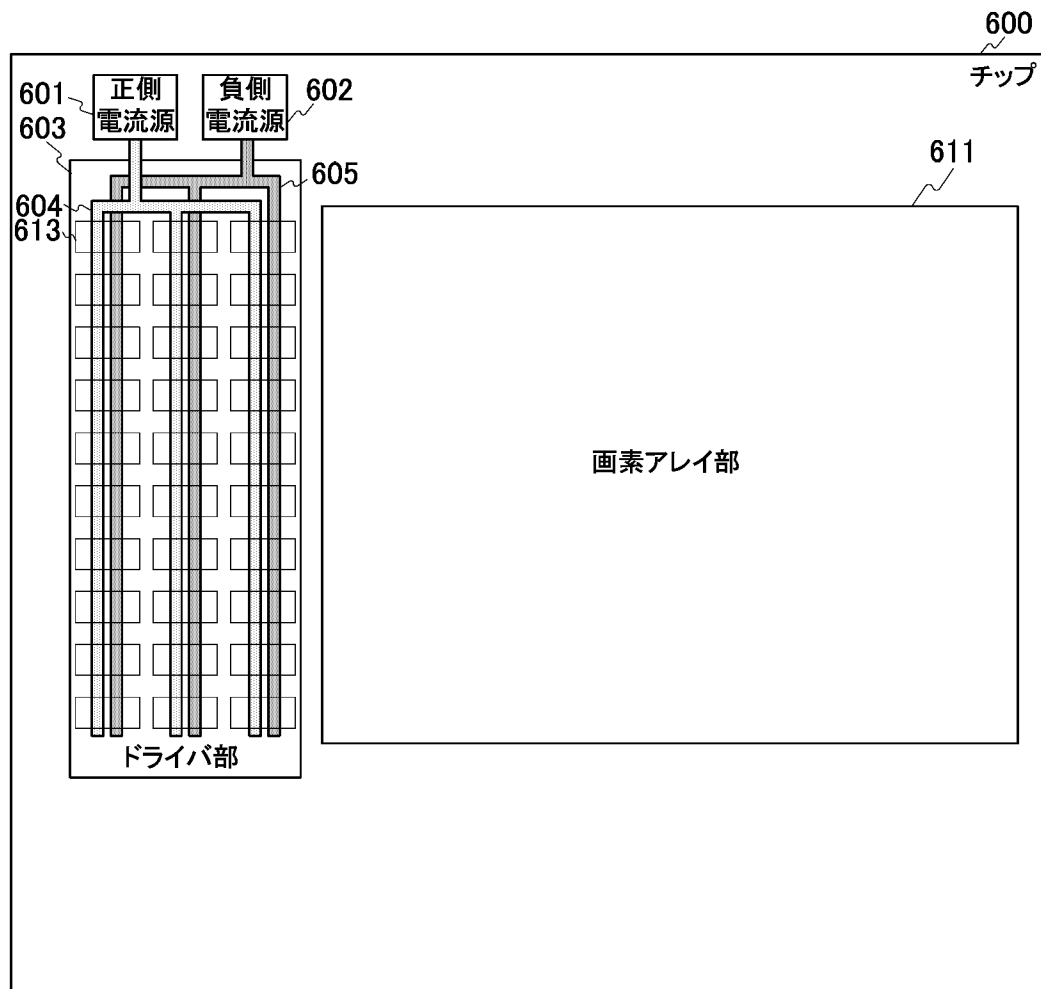
[図6]



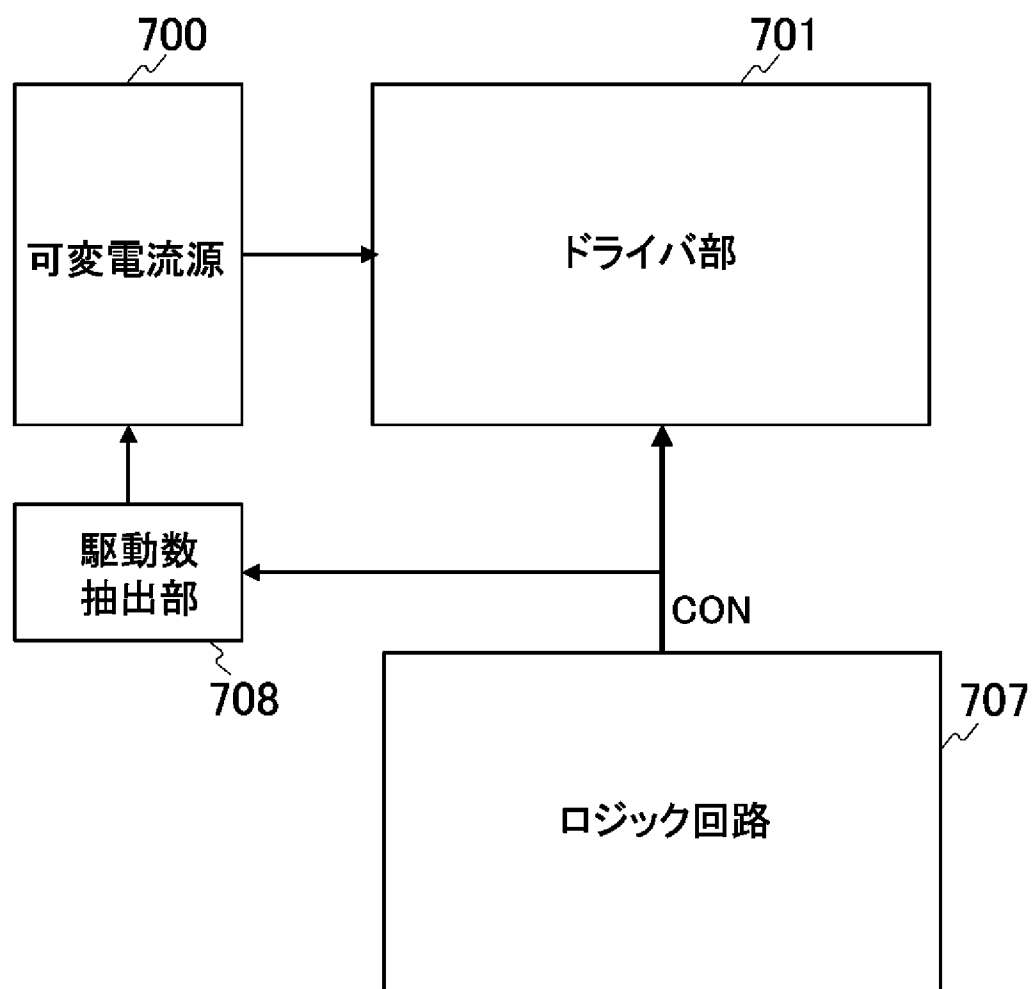
[図7]



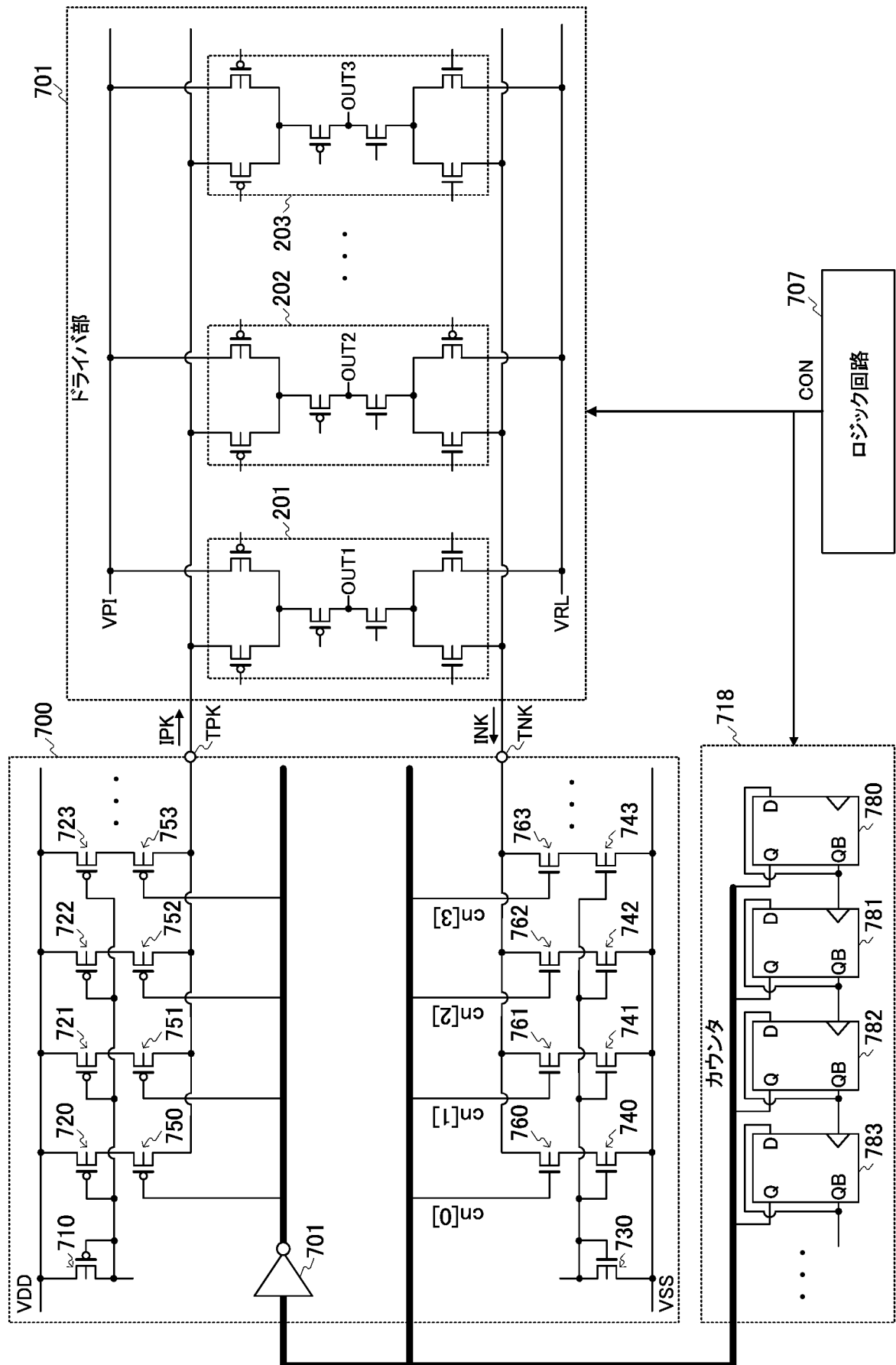
[図8]



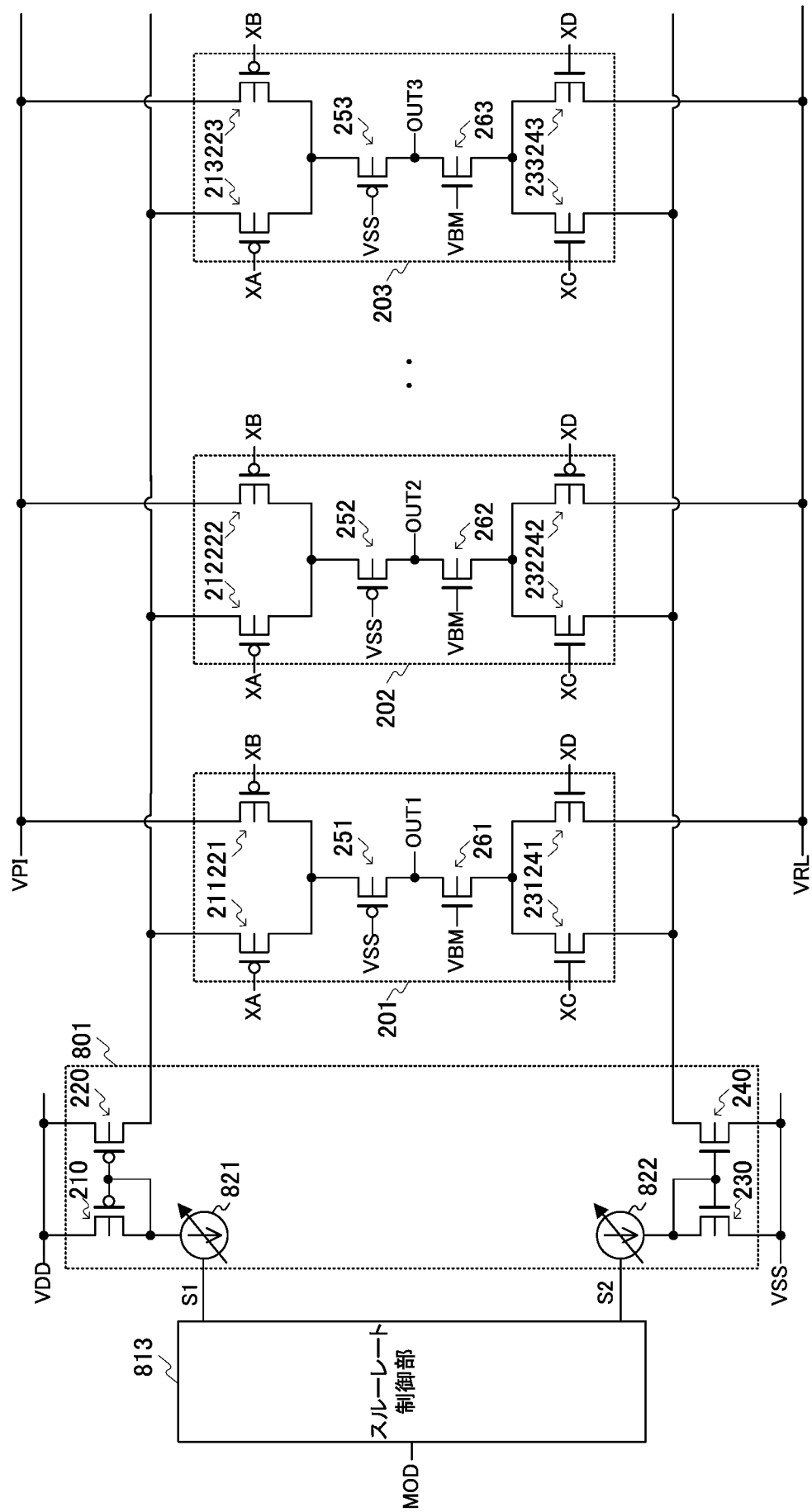
[図9]



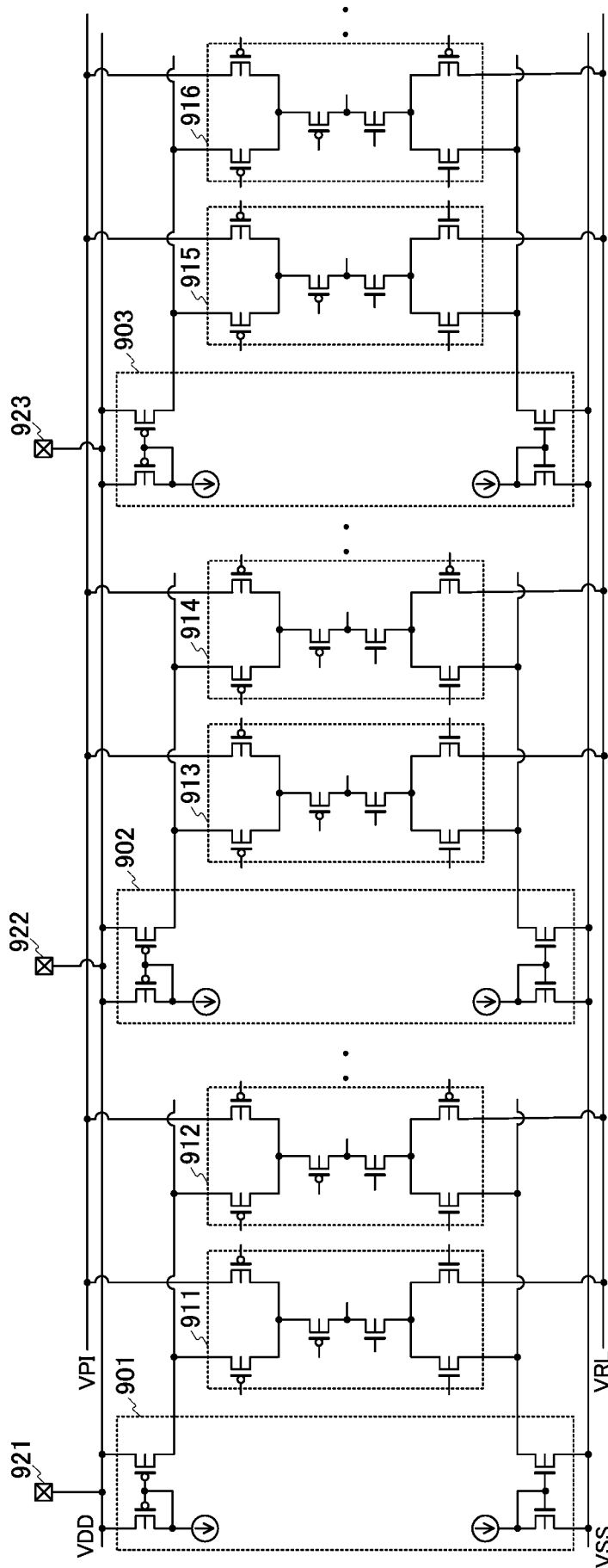
[図10]



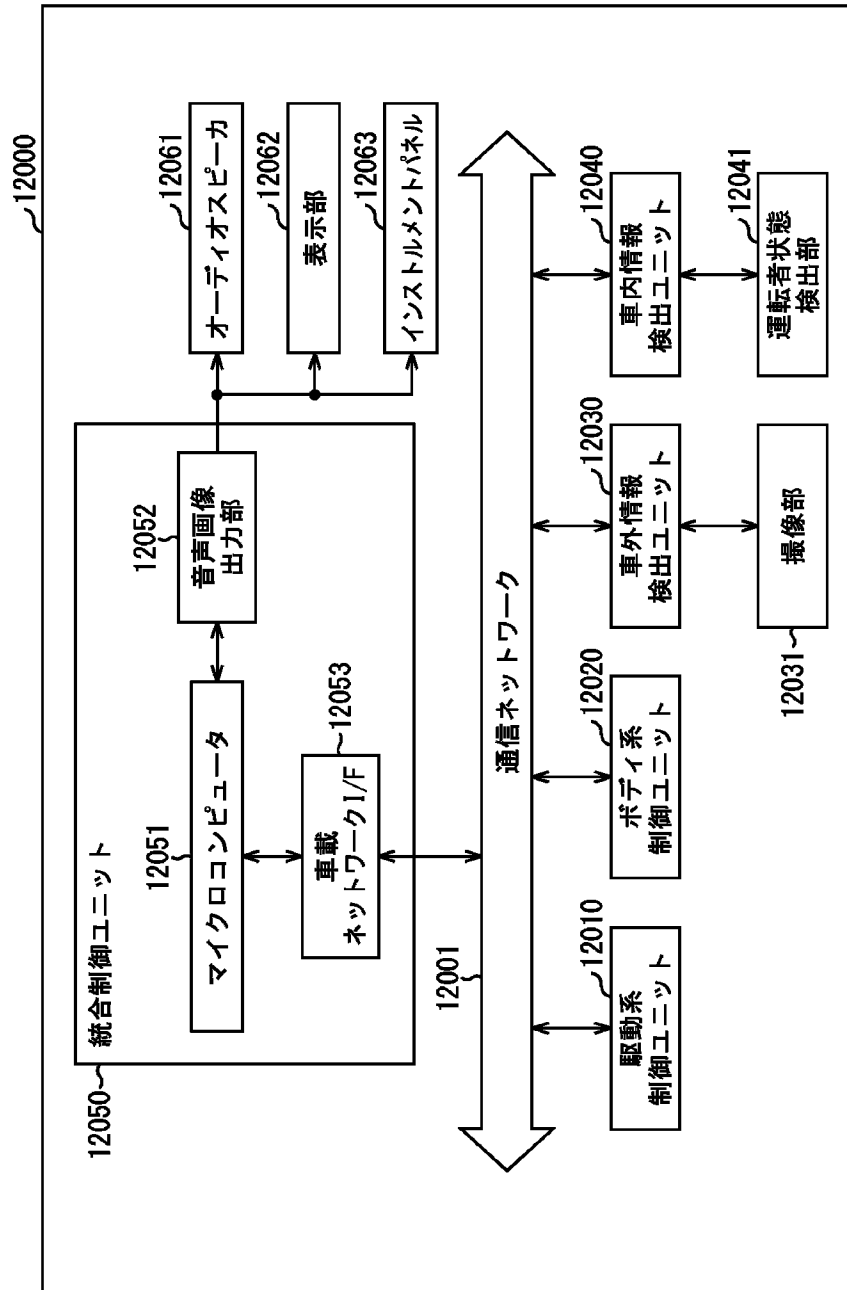
[図13]



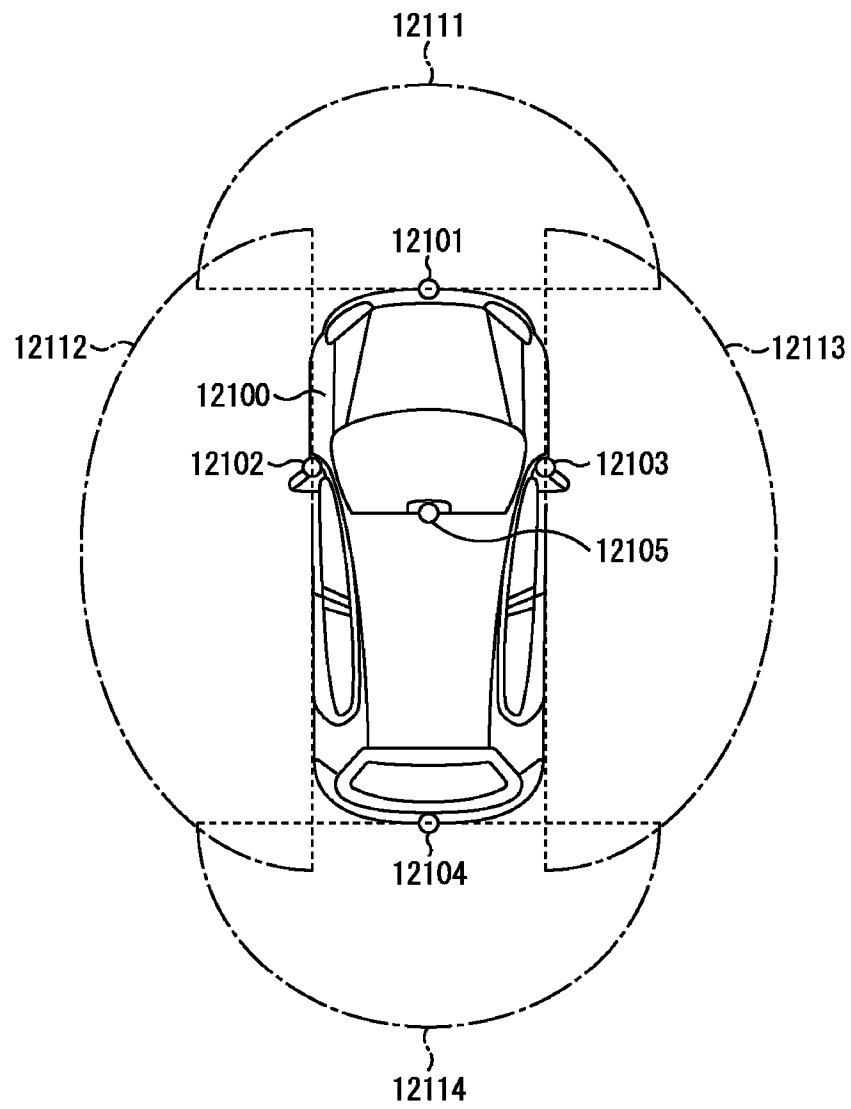
[図14]



[図15]



[図16]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/012142

A. CLASSIFICATION OF SUBJECT MATTER**H04N 25/76**(2023.01)i

FI: H04N25/76

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N25/76

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2023

Registered utility model specifications of Japan 1996-2023

Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2021/161658 A1 (SONY SEMICONDUCTOR SOLUTIONS CORP.) 19 August 2021 (2021-08-19) paragraphs [0018]-[0056], fig. 1-3	1-16
A	JP 2016-019175 A (RENESAS ELECTRONICS CORP.) 01 February 2016 (2016-02-01) paragraphs [0154]-[0202], fig. 21-25	1-16
A	JP 2009-290703 A (PANASONIC CORP.) 10 December 2009 (2009-12-10) paragraphs [0011]-[0032], fig. 2, 7	1-16



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

22 May 2023

Date of mailing of the international search report

30 May 2023

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)

3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915

Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2023/012142

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO	2021/161658	A1	19 August 2021	US 2023/0049639 A1 paragraphs [0033]-[0088], fig. 1-3 CN 115023898 A JP 2021-129170 A	
JP	2016-019175	A	01 February 2016	US 2016/0014365 A1 paragraphs [0184]-[0232], fig. 21-25 CN 105262964 A KR 10-2016-0006618 A	
JP	2009-290703	A	10 December 2009	US 2009/0295966 A1 paragraphs [0042]-[0080], fig. 5, 10	

A. 発明の属する分野の分類（国際特許分類（IPC）） H04N 25/76(2023.01)i FI: H04N25/76		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H04N25/76 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922 - 1996年 日本国公開実用新案公報 1971 - 2023年 日本国実用新案登録公報 1996 - 2023年 日本国登録実用新案公報 1994 - 2023年 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2021/161658 A1（ソニーセミコンダクタソリューションズ株式会社）19.08.2021 (2021 - 08 - 19) 段落[0018]-[0056], 図1-3	1-16
A	JP 2016-019175 A（ルネサスエレクトロニクス株式会社）01.02.2016（2016 - 02 - 01） 段落[0154]-[0202], 図21-25	1-16
A	JP 2009-290703 A（パナソニック株式会社）10.12.2009（2009 - 12 - 10） 段落[0011]-[0032], 図2, 7	1-16
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 22.05.2023	国際調査報告の発送日 30.05.2023	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 三沢 岳志 5V 2590 電話番号 03-3581-1101 内線 3571	

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2023/012142

引用文献			公表日	パテントファミリー文献			公表日
WO	2021/161658	A1	19.08.2021	US	2023/0049639	A1	
				段落[0033]-[0088], 図1-3			
				CN	115023898	A	
				JP	2021-129170	A	
JP	2016-019175	A	01.02.2016	US	2016/0014365	A1	
				段落[0184]-[0232], 図			
				21-25			
				CN	105262964	A	
				KR	10-2016-0006618	A	
JP	2009-290703	A	10.12.2009	US	2009/0295966	A1	
				段落[0042]-[0080], 図5,			
				10			