

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6174373号  
(P6174373)

(45) 発行日 平成29年8月2日(2017.8.2)

(24) 登録日 平成29年7月14日(2017.7.14)

(51) Int.Cl. F I  
**G 1 1 C 14/00 (2006.01)** G 1 1 C 14/00 2 0 0

請求項の数 4 (全 54 頁)

<p>(21) 出願番号 特願2013-106717 (P2013-106717)                  (22) 出願日 平成25年5月21日(2013.5.21)                  (65) 公開番号 特開2014-2827 (P2014-2827A)                  (43) 公開日 平成26年1月9日(2014.1.9)                  審査請求日 平成28年5月3日(2016.5.3)                  (31) 優先権主張番号 特願2012-119709 (P2012-119709)                  (32) 優先日 平成24年5月25日(2012.5.25)                  (33) 優先権主張国 日本国(JP)</p>	<p>(73) 特許権者 000153878                  株式会社半導体エネルギー研究所                  神奈川県厚木市長谷398番地                  (72) 発明者 大貫 達也                  神奈川県厚木市長谷398番地 株式会社                  半導体エネルギー研究所内                  審査官 酒井 恭信</p>
---	---

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

第1の論理回路と、第2の論理回路と、第1のスイッチと、第2のスイッチと、第1のトランジスタと、第2のトランジスタと、第1の容量素子と、第2の容量素子と、を有し

前記第1の論理回路の出力は、前記第2の論理回路の入力と電氣的に接続され、  
 前記第2の論理回路の出力は、前記第1の論理回路の入力と電氣的に接続され、  
 前記第1のスイッチの第1の端子は、第1のビット線と電氣的に接続され、  
 前記第1のスイッチの第2の端子は、前記第1の論理回路の出力と電氣的に接続され、  
 前記第2のスイッチの第1の端子は、第2のビット線と電氣的に接続され、  
 前記第2のスイッチの第2の端子は、前記第2の論理回路の出力と電氣的に接続され、  
 前記第1のトランジスタのソース又はドレインの一方は、前記第1の容量素子の第1の電極と電氣的に接続され、

10

前記第1のトランジスタのソース又はドレインの他方は、前記第1の論理回路の出力と電氣的に接続され、

前記第2のトランジスタのソース又はドレインの一方は、前記第2の容量素子の第1の電極と電氣的に接続され、

前記第2のトランジスタのソース又はドレインの他方は、前記第2の論理回路の出力と電氣的に接続され、

前記第1のトランジスタ及び前記第2のトランジスタは、酸化物半導体層にチャンネル形

20

成領域を有し、

前記第 1 の容量素子の第 2 の電極の電位及び前記第 2 の容量素子の第 2 の電極の電位を下げた後に、前記第 1 のトランジスタ及び前記第 2 のトランジスタをオンにすることにより、前記第 1 の容量素子及び前記第 2 の容量素子にデータを退避させることを特徴とする半導体装置。

【請求項 2】

第 1 のインバータ回路と、第 2 のインバータ回路と、第 1 のスイッチと、第 2 のスイッチと、第 1 のトランジスタと、第 2 のトランジスタと、第 1 の容量素子と、第 2 の容量素子と、を有し、

前記第 1 のインバータ回路の出力は、前記第 2 のインバータ回路の入力と電氣的に接続され、

前記第 2 のインバータ回路の出力は、前記第 1 のインバータ回路の入力と電氣的に接続され、

前記第 1 のスイッチの第 1 の端子は、第 1 のビット線と電氣的に接続され、

前記第 1 のスイッチの第 2 の端子は、前記第 1 のインバータ回路の出力と電氣的に接続され、

前記第 2 のスイッチの第 1 の端子は、第 2 のビット線と電氣的に接続され、

前記第 2 のスイッチの第 2 の端子は、前記第 2 のインバータ回路の出力と電氣的に接続され、

前記第 1 のトランジスタのソース又はドレインの一方は、前記第 1 の容量素子の第 1 の電極と電氣的に接続され、

前記第 1 のトランジスタのソース又はドレインの他方は、前記第 1 のインバータ回路の出力と電氣的に接続され、

前記第 2 のトランジスタのソース又はドレインの一方は、前記第 2 の容量素子の第 1 の電極と電氣的に接続され、

前記第 2 のトランジスタのソース又はドレインの他方は、前記第 2 のインバータ回路の出力と電氣的に接続され、

前記第 1 のトランジスタ及び前記第 2 のトランジスタは、酸化物半導体層にチャネル形成領域を有し、

前記第 1 の容量素子の第 2 の電極の電位及び前記第 2 の容量素子の第 2 の電極の電位を下げた後に、前記第 1 のトランジスタ及び前記第 2 のトランジスタをオンにすることにより、前記第 1 の容量素子及び前記第 2 の容量素子にデータを退避させることを特徴とする半導体装置。

【請求項 3】

請求項 1 又は請求項 2 において、

前記第 1 のトランジスタ及び前記第 2 のトランジスタは、第 1 のゲート電極と、第 2 のゲート電極と、を有し、

前記酸化物半導体層は、前記第 1 のゲート電極と前記第 2 のゲート電極との間の領域を有し、

前記第 2 のゲート電極は、絶縁層に埋め込まれていることを特徴とする半導体装置。

【請求項 4】

請求項 3 において、

前記第 1 のトランジスタ及び前記第 2 のトランジスタは、ソース電極と、ドレイン電極と、を有し、

前記ソース電極又は前記ドレイン電極は、前記絶縁層に埋め込まれている導電層と電氣的に接続されていることを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、記憶素子または該記憶素子を利用した記憶装置、及びその作製方法並びに駆動

10

20

30

40

50

方法に関する。また、該記憶素子または該記憶装置を有する信号処理回路に関する。また、該記憶素子または該記憶装置を有する半導体装置に関する。

【0002】

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、例えば、電気光学装置、表示装置、記憶装置、信号処理回路、半導体回路及び電子機器は全て半導体装置である。

【背景技術】

【0003】

近年、パーソナルコンピュータ、携帯電話等の電子機器の普及に伴い、電子機器の高性能化の要求が高まっている。このような電子機器の高性能化を実現するためには、メモリの高性能化、インターフェースの高速化、外部機器の処理性能の向上などが挙げられるが、とりわけメモリの高性能化が求められている。

10

【0004】

ここでいうメモリ（記憶装置）とは、データやプログラムを記憶するためのメインメモリの他に、CPU（Central Processing Unit）等の信号処理回路に含まれるレジスタやキャッシュメモリなども含まれる。レジスタは、演算処理やプログラムの実行状態の保持などのために一時的にデータを保持するために設けられている。また、キャッシュメモリは、演算回路とメインメモリとの間に介在し、低速なメインメモリへのアクセスを減らして演算処理を高速に行うために設けられている。レジスタやキャッシュメモリ等の記憶装置は、メインメモリよりも高速でデータの書き込みを行う必要がある。

20

【0005】

ところで、消費電力を抑えるため、データの入出力が行われない期間において信号処理回路への電源供給を一時的に停止するという方法が提案されている。その方法では、レジスタ、キャッシュメモリ等の揮発性の記憶回路の周辺に不揮発性の記憶回路を配置し、上記データをその不揮発性の記憶回路に一時的に記憶させる。こうして、信号処理回路において電源供給を停止する間も、レジスタ、キャッシュメモリ等に記憶されたデータ信号は保持される（例えば、特許文献1参照）。

30

【0006】

また、信号処理回路において長時間の電源供給停止を行う際には、電源供給停止の前に、揮発性の記憶回路内のデータをハードディスク、フラッシュメモリ等の外部の記憶装置に移すことで、データの消失を防ぐこともできる。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開平10-078836号公報

【発明の概要】

【発明が解決しようとする課題】

40

【0008】

特許文献1に開示されたような信号処理回路において、電源の供給を停止する間、外部の記憶装置に揮発性の記憶回路のデータを記憶させる方法では、電源の供給を再開した後、外部の記憶装置から揮発性の記憶回路にデータを戻すための時間を要する。よって、このような信号処理回路は、消費電力の低減を目的とした短時間の電源の供給停止には適さない。

【0009】

上述の課題に鑑み、本発明の一態様は、電源の供給を停止しても、記憶している論理状態が消えない記憶素子または該記憶素子を利用した記憶装置を提供することを目的の一つとする。

50

## 【 0 0 1 0 】

本発明の一態様は、短時間の電源の供給の停止を容易とした記憶素子または該記憶素子を利用した記憶装置を提供することを目的の一つとする。

## 【 0 0 1 1 】

また、上記記憶素子または上記記憶装置を用いることにより、消費電力が低減された半導体装置を提供することを目的の一つとする。

## 【 課題を解決するための手段 】

## 【 0 0 1 2 】

本発明の一態様に係る記憶素子は、論理回路と、記憶回路を有する。また、記憶回路はトランジスタと容量素子を有する。

10

## 【 0 0 1 3 】

非選択状態の論理回路が有する論理値を記憶回路に保持し、非選択状態の論理回路の電源の供給を停止することで、記憶素子の電力消費を低減することができる。

## 【 0 0 1 4 】

なお、本明細書における「電源の供給を停止する」とは、電源から電力を半導体装置に供給するための配線の一部または全部を電氣的に遮断して、電源から当該半導体装置へ電力供給が行われない状態とする場合に限らず、電源から電力を半導体装置へ供給するための全ての配線を実質的に同電位として、当該半導体装置になんらかの信号が入力されても、実質的に電力消費が生じない状態とする場合も含む。

## 【 0 0 1 5 】

本発明の一態様は、第1のノードと第2のノードに異なる電位を保持する論理回路と、第1のトランジスタ及び第1の容量素子を有する第1の記憶回路と、第2のトランジスタ及び第2の容量素子を有する第2の記憶回路と、を有し、第1のトランジスタのソースまたはドレインの一方は第1のノードに接続され、第1のトランジスタのソースまたはドレインの他方と第1の容量素子の一方の電極は第3のノードに接続され、第2のトランジスタのソースまたはドレインの一方は第2のノードに接続され、第2のトランジスタのソースまたはドレインの他方と第2の容量素子の一方の電極は第4のノードに接続され、第1のトランジスタのゲートと第2のトランジスタのゲートは第1の配線に接続され、第1の容量素子の他方の電極と第2の容量素子の他方の電極は第2の配線に接続されることを特徴とする記憶素子である。

20

30

## 【 0 0 1 6 】

また、第1の期間において、第1の配線に第1のトランジスタと第2のトランジスタをオン状態とする電位を供給し、第3のノードに第1のノードの電位を供給し、第4のノードに第2のノードの電位を供給し、第2の配線に第1のバイアス電位を供給し、第2の期間において、第1の配線に第1のトランジスタと第2のトランジスタをオフ状態とする電位を供給した後に、第2の配線に第2のバイアス電位を供給し、第3の期間において、論理回路への電源の供給を停止することを特徴とする。

## 【 0 0 1 7 】

また、第1のバイアス電位は、第2のバイアス電位よりも低い電位とすることが好ましい。

40

## 【 0 0 1 8 】

第1のノードの電位を第3のノードに供給する際に、第1の容量素子の他方の電極の電位を第1のバイアス電位としておき、第1のトランジスタをオフ状態とした後に、第1の容量素子の他方の電極の電位を第2のバイアス電位とすることで、第3のノードに保持された電位（電荷）が、第1のノードに漏れ出す現象を抑制することができる。よって、第1の記憶回路に書き込まれた情報を、長期間保持することが可能となる。

## 【 0 0 1 9 】

第2のノードの電位を第4のノードに供給する際に、第2の容量素子の他方の電極の電位を第1のバイアス電位としておき、第2のトランジスタをオフ状態とした後に、第2の容量素子の他方の電極の電位を第2のバイアス電位とすることで、第4のノードに保持され

50

た電位（電荷）が、第2のノードに漏れ出す現象を抑制することができる。よって、第2の記憶回路に書き込まれた情報を、長期間保持することが可能となる。

【0020】

すなわち、第1の記憶回路が有する第3のノードと、第2の記憶回路が有する第4のノードの電位差を長期間保持することが可能となる。記憶回路に保持されたデータを論理回路に戻すときに、記憶回路中の第3のノードと第4のノードの電位差が小さいと、論理回路へのデータの復帰がされにくくなるが、本発明の一態様によれば、電源供給停止前に記憶回路に書き込まれたデータを確実に論理回路へ戻すことを可能とし、記憶素子の信頼性を高めることができる。

【0021】

本発明の一態様は、第2の配線に第2のバイアス電位が供給され、論理回路への電源の供給が停止されている状態で、第4の期間において、第2の配線に第3のバイアス電位を供給した後、第1の配線に第1のトランジスタと第2のトランジスタをオン状態とする電位を供給し、第1のノードに第3のノードの電位を供給し、第2のノードに第4のノードの電位を供給し、第5の期間において、論理回路の電源の供給を開始することを特徴とする。

【0022】

記憶回路が有するトランジスタのチャネルが形成される半導体層には、酸化物半導体を用いることが好ましい。また、第1のバイアス電位は、第2のバイアス電位よりも低い電位であり、第2のバイアス電位は第3のバイアス電位よりも低い電位であることが好ましい。

【0023】

また、第4の期間の前に、第1のノードと第2のノードにプリチャージ電位を供給する期間を設けることが好ましい。言い換えると、第4の期間で前記第1のトランジスタと前記第2のトランジスタをオン状態とする前に、第1のノードと第2のノードにプリチャージ電位を供給することが好ましい。プリチャージ電位に特に限定はないが、例えば、論理回路の電源として後にVDDとVSSを供給する場合は、VDDとVSSの中間の電位（ $(VDD + VSS) / 2$ ）とすることが好ましい。

【0024】

また、第1の記憶回路が有する第1のトランジスタは、エンハンスメント型のトランジスタであることが好ましい。また、第2の記憶回路が有する第2のトランジスタは、エンハンスメント型のトランジスタであることが好ましい。

【0025】

また、本発明の一態様に係る記憶素子は、電源の供給を停止する動作、及び電源の供給を再開する動作が速いため、短時間の電源の供給停止も容易に行うことができる。よって、該記憶素子を用いた半導体装置の消費電力を効率よく低減することができる。

【発明の効果】

【0026】

本発明の一態様により、電源の供給を停止しても記憶している論理状態が消えない記憶素子または該記憶素子を利用した記憶装置を提供することができる。

【0027】

本発明の一態様により、記憶素子の電源の供給を停止する動作を速くする駆動方法を提供することができる。また、記憶素子の電源の供給を再開する動作を速くする駆動方法を提供することができる。よって、短時間の電源の供給の停止を容易とした記憶素子または該記憶素子を利用した記憶装置を提供することができる。

【0028】

上記記憶素子または上記記憶装置を用いることにより、消費電力が低減された半導体装置を提供することができる。

【図面の簡単な説明】

【0029】

10

20

30

40

50

【図 1】記憶装置の回路図。

【図 2】記憶装置の動作を示すタイミングチャート。

【図 3】記憶装置の動作を示すタイミングチャート。

【図 4】記憶装置の動作を示すタイミングチャート。

【図 5】トランジスタの電気特性を説明する図。

【図 6】メモリセルアレイの回路図。

【図 7】メモリセルアレイの回路図。

【図 8】記憶装置の作製方法を示す図。

【図 9】記憶装置の作製方法を示す図。

【図 10】記憶装置の作製方法を示す図。

10

【図 11】記憶装置の作製方法を示す図。

【図 12】トランジスタの構成を説明する断面図。

【図 13】信号処理装置を説明する図。

【図 14】電子機器を説明する図。

【発明を実施するための形態】

【0030】

以下では、実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。

20

【0031】

なお、「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れかわることがある。このため、本明細書においては、「ソース」や「ドレイン」の用語は、入れかえて用いることができるものとする。

【0032】

また、電圧は、ある電位と基準の電位（例えばグラウンド電位）との電位差のことを示す場合が多い。よって、本明細書において、電圧、電位、電位差を、各々、電位、電圧、電圧差と言い換えることが可能である。

【0033】

30

「上」や「下」の用語は、構成要素の位置関係が「直上」または「直下」であることを限定するものではない。例えば、「ゲート絶縁層上のゲート電極」の表現であれば、ゲート絶縁層とゲート電極との間に他の構成要素を含むものを除外しない。

【0034】

図面等において示す各構成の、位置、大きさ、範囲などは、理解の簡単のため、実際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面等を開示された位置、大きさ、範囲などに限定されない。

【0035】

「第 1」、「第 2」、「第 3」などの序数詞は、構成要素の混同を避けるために付すものである。

40

【0036】

(実施の形態 1)

本発明の一態様に係る記憶素子 110 について、図 1 を参照して説明する。図 1 (A) 及び図 1 (B) は、記憶素子 110 の回路構成を示す回路図である。図 1 (A) は、図 1 (B) の一部を論理記号に置き換えて示している。なお、回路図においては、酸化物半導体を用いたトランジスタであることを示すために、OS の符号 (Oxide Semiconductor の略) を併記する場合がある。

【0037】

図 1 に示す記憶素子 110 は、論理回路 101、記憶回路 102、記憶回路 103、スイッチ 106、及びスイッチ 107 を有する。また、論理回路 101 は、第 1 のインバータ

50

回路104と、第2のインバータ回路105を有する。第1のインバータ回路104は、pチャンネル型のトランジスタ111と、nチャンネル型のトランジスタ113を含んで構成され、第2のインバータ回路105は、pチャンネル型のトランジスタ112と、nチャンネル型のトランジスタ114を含んで構成される。

【0038】

本実施の形態に例示する論理回路101は、第1のインバータ回路104の出力信号を第2のインバータ回路105に入力し、第2のインバータ回路105の出力信号を第1のインバータ回路104に入力して、2つの安定状態をもつフリップフロップとして機能する。

【0039】

第1のインバータ回路104の出力端子と、第2のインバータ回路105の入力端子が電氣的に接続される節点をノードOとし、第1のインバータ回路の入力端子と、第2のインバータ回路の出力端子が電氣的に接続される節点をノードPとする。また、トランジスタ113のソースまたはドレインの一方と、トランジスタ114のソースまたはドレインの一方が電氣的に接続される節点をノードQとし、トランジスタ111のソースまたはドレインの一方と、トランジスタ112のソースまたはドレインの一方が電氣的に接続される節点をノードRとする。また、ノードQには、第2の電位V2が入力され、ノードRには、第3の電位V3が入力される。

【0040】

例えば、第2の電位V2として低電位側電源電位である電位VSS（以下、単に「VSS」ともいう）を入力し、第3の電位V3として高電位側電源電位である電位VDD（以下、単に「VDD」ともいう）を入力すればよい。また、接地電位をVDDまたはVSSとして用いることもできる。例えばVDDが接地電位の場合には、VSSは接地電位より低い電位であり、VSSが接地電位の場合には、VDDは接地電位より高い電位である。

【0041】

スイッチ106は、トランジスタ123で構成される。スイッチ106の第1の端子は、トランジスタ123のソースまたはドレインの一方に相当し、第2の端子は、トランジスタ123のソースまたはドレインの他方に相当し、第3の端子（図示せず）は、トランジスタ123のゲートに相当する。スイッチ106の第1の端子は、論理回路101のノードOと接続される。また、スイッチ106の第2の端子には、データDが入力される。

【0042】

スイッチ107は、トランジスタ124で構成される。スイッチ107の第1の端子は、トランジスタ124のソースまたはドレインの一方に相当し、第2の端子は、トランジスタ124のソースまたはドレインの他方に相当し、第3の端子（図示せず）は、トランジスタ124のゲートに相当する。スイッチ107の第1の端子は、論理回路101のノードPと接続される。また、スイッチ107の第2の端子には、データDBが入力される。

【0043】

本実施の形態では、スイッチ106及びスイッチ107として、nチャンネル型トランジスタを用いる場合について説明するが、スイッチ106及びスイッチ107のどちらか一方または両方にpチャンネル型トランジスタを用いてもよい。また、スイッチ106及びスイッチ107は、それぞれにnチャンネル型トランジスタとpチャンネル型トランジスタとを組み合わせて用いてもよい。例えば、スイッチ106に、nチャンネル型トランジスタとpチャンネル型トランジスタとを組み合わせたアナログスイッチを適用してもよい。スイッチ107も同様である。

【0044】

また、スイッチ106の第3の端子及びスイッチ107の第3の端子には、制御信号S1が入力される。スイッチ106の第3の端子に入力される制御信号S1によって、スイッチ106の第1の端子と第2の端子の間の導通または非導通（トランジスタ123のオン状態またはオフ状態）が選択される。同様に、スイッチ107の第3の端子に入力される制御信号S1によって、スイッチ107の第1の端子と第2の端子の間の導通または非導

10

20

30

40

50

通（トランジスタ124のオン状態またはオフ状態）が選択される。

【0045】

記憶回路102は、トランジスタ115及び容量素子116を有する。ここで、トランジスタ115のソースまたはドレインの一方は、論理回路101のノードPと接続され、トランジスタ115のソースまたはドレインの他方は、容量素子116が有する一对の電極のうち、一方の電極と接続される。また、トランジスタ115と容量素子116の節点をノードMとする。

【0046】

記憶回路103は、トランジスタ117及び容量素子118を有する。ここで、トランジスタ117のソースまたはドレインの一方は、論理回路101のノードOと接続され、トランジスタ117のソースまたはドレインの他方は、容量素子118が有する一对の電極のうち、一方の電極と接続される。また、トランジスタ117及び容量素子118の節点をノードNとする。

【0047】

また、トランジスタ115及びトランジスタ117のゲートには、制御信号S2が入力される。また、容量素子116及び容量素子118がそれぞれ有する一对の電極のうち、他方の電極には第4の電位V4が入力される。

【0048】

トランジスタ115のゲートに入力される制御信号S2によって、トランジスタ115のソースとドレイン間の導通または非導通（トランジスタ115のオン状態またはオフ状態）が選択される。同様に、トランジスタ117のゲートに入力される制御信号S2によって、トランジスタ117のソースとドレイン間の導通または非導通（トランジスタ117のオン状態またはオフ状態）が選択される。

【0049】

ここで、トランジスタ115及びトランジスタ117は、オフ電流が低いことが好ましい。具体的に、チャンネル幅1 $\mu$ mあたりのオフ電流を、100zA以下、好ましくは10zA以下とすることが好ましい。オフ電流が低いトランジスタとして、シリコンのバンドギャップよりも大きい半導体でなる層や基板中にチャンネルが形成されるトランジスタを用いることが好ましい。バンドギャップが2eV以上、好ましくは2.5eV以上、より好ましくは3eV以上である半導体として、例えば、酸化物半導体が挙げられる。チャンネルが酸化物半導体に形成されるトランジスタはオフ電流が極めて小さいという特徴を有している。

【0050】

本実施の形態では、トランジスタ115及びトランジスタ117として、チャンネルが酸化物半導体に形成されるトランジスタを用いる。トランジスタ115に、チャンネルが酸化物半導体に形成されるトランジスタを用いることにより、トランジスタ115がオフ状態である場合、ノードMの電位を長期間にわたり保持することが可能となる。同様に、トランジスタ117に、チャンネルが酸化物半導体に形成されるトランジスタを用いることにより、トランジスタ117がオフ状態である場合、ノードNの電位を長期間にわたり保持することが可能となる。

【0051】

また、酸化物半導体材料として、In-Sn-Zn系酸化物を用いると、トランジスタの電界効果移動度を、30cm<sup>2</sup>/Vsec以上、好ましくは40cm<sup>2</sup>/Vsec以上、より好ましくは60cm<sup>2</sup>/Vsec以上とすることができるため、記憶回路102及び記憶回路103を高速動作させることが可能となる。

【0052】

本実施の形態では、トランジスタ111、トランジスタ112を、pチャンネル型トランジスタとし、トランジスタ113、トランジスタ114、トランジスタ115、トランジスタ117、トランジスタ123、トランジスタ124を、nチャンネル型トランジスタとして説明するが、これに限定されず、トランジスタの導電型は適宜設定することができる。

10

20

30

40

50

## 【 0 0 5 3 】

## 記憶素子の駆動方法

次に、図 1 に示す記憶素子 1 1 0 の駆動方法の一について、図 2 乃至図 4 に示すタイミングチャートを参照して説明する。なお、記憶素子 1 1 0 を用いて構成される記憶装置 1 0 0 の主電源電位を第 1 の電位 V 1 とする。

## 【 0 0 5 4 】

図 2 乃至図 4 に示すタイミングチャートにおいて、V 1 は第 1 の電位 V 1 であり、V 2 は第 2 の電位 V 2 であり、V 3 は第 3 の電位 V 3 であり、V 4 は第 4 の電位 V 4 であり、S 1 は制御信号 S 1 の電位であり、S 2 は制御信号 S 2 の電位であり、O は論理回路 1 0 1 のノード O の電位であり、P は論理回路 1 0 1 のノード P の電位であり、Q はノード Q の電位であり、R はノード R の電位であり、M はノード M の電位であり、N はノード N の電位であり、D はデータ D の電位であり、D B はデータ D B の電位である。

10

## 【 0 0 5 5 】

本実施の形態では、データ D として論理回路 1 0 1 にハイレベル電位を与え、データ D B として論理回路 1 0 1 にローレベル電位を与える場合について説明するが、データ D として論理回路 1 0 1 にローレベル電位を与え、データ D B として論理回路 1 0 1 にハイレベル電位を与えることもできる。

## 【 0 0 5 6 】

また、本実施の形態では、データ D またはデータ D B として論理回路 1 0 1 に与えるハイレベル電位を V D D とし、ローレベル電位を V S S とする。なお、ハイレベル電位はローレベル電位よりも高い電位のことを示し、必ずしも V D D に限定されるものではない。また、ローレベル電位はハイレベル電位よりも低い電位のことを示し、必ずしも V S S に限定されるものではない。

20

## 【 0 0 5 7 】

また、本実施の形態では、プリチャージ電位 V P R E を V D D と V S S の中間の電位 ( $(V D D + V S S) / 2$ ) として説明するが、必ずしもこれに限定されない。例えば、プリチャージ電位 V P R E を、V S S 以上 V D D 以下の電位としても構わない。また、プリチャージ電位 V P R E を、V S S より低い電位、または V D D より高い電位としてもよい。

## 【 0 0 5 8 】

期間 7 0 1 は、論理回路 1 0 1 にデータを書き込む期間である。第 1 の電位 V 1 として V D D が供給され、第 2 の電位 V 2 として V S S が供給され、第 3 の電位 V 3 として V D D が供給された状態で、制御信号 S 1 としてハイレベル電位 S 1 H を供給する (図 2 参照)。

30

## 【 0 0 5 9 】

ハイレベル電位 S 1 H は、トランジスタ 1 2 3 及びトランジスタ 1 2 4 をオン状態とするための電位である。本実施の形態では、トランジスタ 1 2 3 及びトランジスタ 1 2 4 は n チャネル型トランジスタであるため、ハイレベル電位 S 1 H は、トランジスタ 1 2 3 及びトランジスタ 1 2 4 のしきい値電圧 V t h (以下、単に「V t h」ともいう。) よりも十分に高い電位とすればよい。例えば、ハイレベル電位 S 1 H を V D D としてもよい。

## 【 0 0 6 0 】

なお、ローレベル電位 S 1 L は、トランジスタ 1 2 3 及びトランジスタ 1 2 4 をオフ状態とするための電位である。本実施の形態では、トランジスタ 1 2 3 及びトランジスタ 1 2 4 は n チャネル型トランジスタであるため、ローレベル電位 S 1 L は、トランジスタ 1 2 3 及びトランジスタ 1 2 4 の V t h よりも十分に低い電位とすればよい。例えば、ローレベル電位 S 1 L を V S S としてもよい。

40

## 【 0 0 6 1 】

制御信号 S 1 にハイレベル電位 S 1 H が供給されると、スイッチ 1 0 6 の第 1 の端子及び第 2 の端子が導通状態となり、データ D の電位がノード O に供給される。また、スイッチ 1 0 7 の第 1 の端子及び第 2 の端子が導通状態となり、データ D B の電位がノード P に供給される。この時、V D D を供給するデータ D の電位とハイレベル電位 S 1 H の電位差が

50

V<sub>th</sub>よりも小さいと、ノードOにV<sub>DD</sub>よりも低い電位が供給される場合がある。ただし、ノードPにV<sub>SS</sub>が供給されると、第1のインバータ回路104からV<sub>DD</sub>が出力されるため、ノードOの電位はすぐにV<sub>DD</sub>となる。

【0062】

上記第1のインバータ回路104の動作は次のように説明できる。第1のインバータ回路104の入力端子(ノードP)にV<sub>SS</sub>が供給されると、pチャネル型のトランジスタ111とnチャネル型のトランジスタ113のゲートにもV<sub>SS</sub>が供給される。この時、トランジスタ113のソースと同電位であるノードQの電位はV<sub>SS</sub>であるため、トランジスタ113のゲートソース間に電位差が生じず、トランジスタ113はオフ状態となる。また、トランジスタ111のソースと同電位であるノードRの電位はV<sub>DD</sub>であるため、相対的にトランジスタ111のゲートに負の電圧が印加されることとなり、トランジスタ111がオン状態となる。よって、ノードRとノードOが導通し、第1のインバータ回路104からV<sub>DD</sub>が出力される。なお、第1のインバータ回路104の入力端子にV<sub>DD</sub>が供給されると、トランジスタ111がオフ状態となり、トランジスタ113がオン状態となり、V<sub>SS</sub>が出力される。また、第2のインバータ回路105の動作も、第1のインバータ回路104と同様に説明することが可能である。

10

【0063】

また、期間701において、制御信号S2はハイレベル電位S2Hでもよいし、ローレベル電位S2Lでもよい。

【0064】

ハイレベル電位S2Hは、トランジスタ115及びトランジスタ117をオン状態とするための電位である。本実施の形態では、トランジスタ115及びトランジスタ117はnチャネル型トランジスタであるため、ハイレベル電位S2Hは、トランジスタ115及びトランジスタ117のV<sub>th</sub>よりも十分に高い電位とすればよい。また、ハイレベル電位S2Hは、ノードOまたはノードPに供給されるハイレベル電位に、トランジスタ117のV<sub>th</sub>またはトランジスタ115のV<sub>th</sub>のうち、高いほうのV<sub>th</sub>を加算した電位以上とすることが好ましい

20

【0065】

ローレベル電位S2Lは、トランジスタ115及びトランジスタ117をオフ状態とするための電位である。本実施の形態では、トランジスタ115及びトランジスタ117はnチャネル型トランジスタであるため、ローレベル電位S2Lは、トランジスタ115及びトランジスタ117のV<sub>th</sub>よりも十分に低い電位とすればよい。本実施の形態では、ローレベル電位S2LをV<sub>SS</sub>とする。

30

【0066】

ただし、期間701は論理回路101へデータを書き込む期間であり、また、論理回路101が保持しているデータを書き換える期間でもある。このような期間は高速動作が要求される。記憶素子110に制御信号S2としてハイレベル電位S2Hを供給すると、記憶回路102と記憶回路103にもデータD及びデータDBの電位(ノードO及びノードPの電位)が供給されるため、書き込み動作が遅くなり、消費電力も増加する。よって、期間701では制御信号S2としてローレベル電位S2Lを供給し、記憶回路102と記憶回路103に電位が供給されないようにすることが好ましい。本実施の形態では、期間701中の制御信号S2をローレベル電位S2Lとする。

40

【0067】

なお、期間701中の第4の電位V4はどのような電位でも構わない。図2では、期間701中の第4の電位V4をV<sub>SS</sub>として示している。

【0068】

期間702は、論理回路101に書き込まれたデータをノードO及びノードPに保持する期間である。データの保持は、制御信号S1としてローレベル電位S1Lをトランジスタ123のゲートとトランジスタ124のゲートに供給し、トランジスタ123とトランジスタ124をオフ状態とすることにより行う。トランジスタ123がオフ状態になると、

50

スイッチ 106 の第 1 の端子及び第 2 の端子が非導通状態となる。また、トランジスタ 124 がオフ状態になると、スイッチ 107 の第 1 の端子及び第 2 の端子が非導通状態となる（図 2 参照）。

【0069】

期間 702 では、論理回路 101 に電源が供給されたままノード O 及びノード P にデータが保持される。このため、論理回路 101 に保持するデータの書き換えや、論理回路 101 に保持されているデータの読み出しが必要となった場合に、それらの動作を迅速に行うことができる。

【0070】

期間 703 は、論理回路 101 への電源供給を停止する前に、ノード O 及びノード P に書き込まれたデータを、記憶回路 103 及び記憶回路 102 に退避させる期間である。期間 703 では、制御信号 S2 としてハイレベル電位 S2H をトランジスタ 117 及びトランジスタ 115 のゲートに与えることにより、トランジスタ 117 及びトランジスタ 115 をオン状態とする。これにより、論理回路 101 のノード O 及びノード P に保持されたデータが、ノード N 及びノード M にそれぞれ与えられる。なお、第 4 の電位 V4 としては、ハイレベル電位 V4H、ローレベル電位 V4L、又は VSS を供給する（図 2 参照）。

【0071】

ハイレベル電位 V4H は VSS よりも高い電位のことを示し、ローレベル電位 V4L は VSS よりも低い電位のことを示す。また、ハイレベル電位 V4H は、VSS にトランジスタ 117 の  $V_{th}$  またはトランジスタ 115 の  $V_{th}$  のうち、大きい方の  $V_{th}$  を加算した電位以上とすることが好ましい。また、ローレベル電位 V4L は、VSS からトランジスタ 117 の  $V_{th}$  またはトランジスタ 115 の  $V_{th}$  のうち、大きい方の  $V_{th}$  を減算した電位とすることが好ましい。

【0072】

本実施の形態では、第 4 の電位 V4 としてローレベル電位 V4L を供給する。また、ローレベル電位 V4L は、ハイレベル電位 S2H を供給する前に供給することが好ましい。ハイレベル電位 S2H を供給する前にローレベル電位 V4L を供給すると、ノード N 及びノード M の電位をそれぞれノード O 及びノード P よりも低くすることが可能となる。よって、ノード O とノード N の電位差及びノード P とノード M の電位差が大きくなり、ノード N 及びノード M へのデータの書き込みを迅速に行うことができる。

【0073】

本実施の形態では、ノード M に VDD が書き込まれ、ノード N に VSS が書き込まれる。

【0074】

また、期間 703 を、期間 702 と同時に行っても構わない。論理回路 101 に書き込まれたデータをノード O 及びノード P に保持する期間 702 中に、ノード O 及びノード P に保持されたデータを記憶回路 103 及び記憶回路 102 に退避させる動作を行うことで、実質的に期間 703 を省略することができ、記憶素子 110 の動作速度を高めることができる。

【0075】

期間 704 は、記憶回路 103 及び記憶回路 102 に書き込まれたデータを保持するための動作を行う期間である。期間 704 では、制御信号 S2 としてローレベル電位 S2L をトランジスタ 117 及びトランジスタ 115 のゲートに与えることにより、トランジスタ 117 及びトランジスタ 115 をオフ状態とし、その後、ノード M またはノード N の電位変化を防ぐため、第 4 の電位 V4 を VSS とする（図 2 参照）。

【0076】

ここで、期間 704 の動作について、図 4 及び図 5 を用いて詳述しておく。図 4 (A1) は、期間 704 で制御信号 S2 をローレベル電位 S2L とした後に、第 4 の電位 V4 をローレベル電位 V4L のままとした場合のタイミングチャートであり、図 4 (A2) は、図 4 (A1) 中の部位 721 として示した領域の、ノード M とノード N の電位変化を示した図である。図 4 (B1) は、期間 704 で制御信号 S2 をローレベル電位 S2L とした後

10

20

30

40

50

に、第4の電位 $V_4$ を $V_{SS}$ とした場合のタイミングチャートであり、図4(B2)は、図4(B1)中の部位722として示した領域の、ノードMとノードNの電位変化を示した図である。また、図4(A1)及び図4(B1)に示す「 $V_{th}$ 」は、トランジスタ115及びトランジスタ117の $V_{th}$ を示している。なお、説明を簡単にするため、トランジスタ115とトランジスタ117の $V_{th}$ は等しいものとする。

【0077】

図5は、電界効果型トランジスタの電気特性について説明する図である。図5では、nチャンネル型のトランジスタ330を例示して説明しておく。図5(A)に、トランジスタ330の回路記号を示す。一般に、電界効果型トランジスタは、ゲートG、ソースS、ドレインDの3つの端子を有し、ゲートGに印加する電圧によりソースSとドレインD間の導通、非導通を制御することができる。

10

【0078】

図5(B)は、トランジスタ330のソースSを基準としたゲートGとソースS間の電圧(以下、「 $V_{gs}$ 」ともいう。)を変化させた時の、ソースSとドレインD間に流れる電流(以下、「 $I_{ds}$ 」ともいう。)の変化を示している。図5(B)の横軸は、 $V_{gs}$ の変化を示し、縦軸は $I_{ds}$ の変化を対数軸で示している。曲線331は $V_{gs}$ と $I_{ds}$ の関係を示す曲線であり、一般に、「 $V-I$ 曲線」や、「 $V_g-I_d$ 曲線」などとも呼ばれる。なお、曲線331は、エンハンスメント型(ノーマリーオフ型)のトランジスタの $V_g-I_d$ 曲線を例示している。

【0079】

nチャンネル型のトランジスタ330は、 $V_{gs}$ が $V_{th}$ を超えると、急激に $I_{ds}$ が増加する。また、 $V_{gs}$ が $V_{th}$ を下回ると、 $I_{ds}$ が急激に減少し(図5(B)の縦軸は対数軸であることに留意。)、 $V_{gs}$ が0V以下になると $I_{ds}$ がほとんど流れなくなる。よって、 $V_{th}$ を境界として、ソースSとドレインD間の導通(トランジスタのオン状態)、非導通(トランジスタのオフ状態)を制御することができる。

20

【0080】

ただし、図5(B)に例示するように、 $V_{gs}$ が $V_{th}$ より小さくても、 $V_{gs}$ が0V以下であるときの $I_{ds}$ よりも多くの $I_{ds}$ が流れる領域が存在する。一般に、この領域は「サブスレッショルド領域」と呼ばれる。

【0081】

なお、pチャンネル型のトランジスタの $V_g-I_d$ 曲線は、横軸の0Vを通る縦軸を中心軸として、曲線331の左右を反転させて示すことができる。

30

【0082】

期間704において、制御信号S2の電位をハイレベル電位S2Hからローレベル電位S2Lに変化させる。この時、制御信号S2の電位が $V_{th}$ より大きい間(期間704a)は、トランジスタ115及びトランジスタ117がオン状態であるため、ノードM及びノードNに電位が供給されるが、制御信号S2の電位が、 $V_{th}$ より低くなると、トランジスタ115及びトランジスタ117がオフ状態となり、ノードM及びノードNへの電位供給が停止する。その後、制御信号S2の電位はさらに低下し、最終的にローレベル電位S2Lとなるが、トランジスタ115とトランジスタ117はオフ状態であるため、ノードM及びノードNの電位は、制御信号S2の電位変化に応じて変化し、最終的に数式1で示される電位となる(期間704b)。なお、実際には $V_{th}$ からローレベル電位S2Lに至るまでにサブスレッショルド領域を通過するため、サブスレッショルド領域でのノードM及びノードNへの電位供給が存在する。しかしながら、 $V_{th}$ からローレベル電位S2Lへの変化は、極めて短時間で行われるため、サブスレッショルド領域を無視して考えることができる。

40

【0083】

## 【数 1】

$$V_{mn} - (V_{th} - S2L) \frac{C_p}{C_p + C_s} \quad (1)$$

## 【0084】

数式 1 において、 $V_{mn}$  は、トランジスタ 115 がオン状態の時のノード M の電位、または、トランジスタ 117 がオン状態の時のノード N の電位を示し、 $C_p$  は、トランジスタ 115 のゲートとノード M の間に生じる寄生容量、または、トランジスタ 117 のゲートとノード N の間に生じる寄生容量を示し、 $C_s$  は、容量素子 116 または容量素子 118 の容量値を示す。

10

## 【0085】

例えば、 $V_{DD}$  を 3 V、 $V_{SS}$  を 0 V とし、 $V_{th}$  を 1 V とし、トランジスタ 117 がオン状態の時のノード N の電位を  $V_{SS}$  とし、ローレベル電位  $S2L$  を  $V_{SS}$  とし、 $C_p$  と  $C_s$  の容量比を  $C_p : C_s = 1 : 4$  とすると、制御信号  $S2$  の電位がローレベル電位  $S2L$  (0 V) となった時のノード N の電位は、 $0 - (1 - 0) \times 1 / (1 + 4) = -0.2$  V となる。

## 【0086】

ここで、ノード O の電位は  $V_{SS}$  (0 V) であり、ノード N の電位は -0.2 V であるため、トランジスタ 117 のノード N と接続する端子がソースとなる。また、トランジスタ 117 のゲート電位は  $V_{SS}$  (0 V) であるため、相対的にゲートに 0.2 V が印加されることとなり、トランジスタ 117 のソースとドレインの間が僅かに導通状態となる可能性がある (図 5 (B) 中の *Leak* を参照)。よって、ノード N の電位が  $V_{SS}$  (0 V) に向かって変化する (期間 704c)。

20

## 【0087】

一方で、トランジスタ 115 がオン状態の時のノード M の電位は  $V_{DD}$  (3 V) であり、制御信号  $S2$  の電位がローレベル電位  $S2L$  (0 V) となった時のノード M の電位は、 $3 - (1 - 0) \times 1 / (1 + 4) = 2.8$  V となる。

## 【0088】

また、ノード P の電位は  $V_{DD}$  (3 V) であり、ノード M の電位は 2.8 V であるため、トランジスタ 115 のノード M と接続する端子がソースとなる。また、トランジスタ 115 のゲート電位は  $V_{SS}$  (0 V) であるため、相対的にゲートに -2.8 V が印加されることとなり、トランジスタ 115 のソースとドレインの間は非導通状態となる。よって、期間 704c 中もノード M の電位は 2.8 V のまま保持される。

30

## 【0089】

本実施の形態において、期間 703 終了時点のノード M とノード N の電位差  $dV$  (以下、単に「 $dV$ 」ともいう) は 3 V であるが、期間 704 において、制御信号  $S2$  をローレベル電位  $S2L$  とした後に、第 4 の電位  $V4$  をローレベル電位  $V4L$  のままとすると、ノード M とノード N の電位差  $dV$  が期間 704c において小さくなる恐れがある。ノード M とノード N の電位差  $dV$  が小さくなると、記憶回路 102 及び記憶回路 103 から論理回路 101 にデータを書き込む際のマージンが減少し、記憶素子 110 の動作が不安定となり、信頼性が低下する一因となりやすい。

40

## 【0090】

特に  $dV$  の減少は、半導体装置の微細化や高集積化が進み、 $C_p$  が増大または  $C_s$  が減少し、 $C_p$  と  $C_s$  の容量比 ( $C_s / C_p$ ) が小さくなるほど顕著となる。加えて、 $dV$  の減少は、低消費電力化のために動作電圧を小さくするほど顕著となる。

## 【0091】

続いて、期間 704 で制御信号  $S2$  をローレベル電位  $S2L$  とした後に、第 4 の電位  $V4$  を  $V_{SS}$  とした場合のノード M 及びノード N の電位変化について、図 4 (B1) 及び図 4 (B2) を用いて説明する。

## 【0092】

50

なお、図4(B1)及び図4(B2)における、期間704a、期間704bは、図4(A1)及び図4(A2)と同様であるため、その説明は省略する。期間704bの後、期間704cにおいて第4の電位V4をVSS(0V)とする。ローレベル電位V4Lを-1Vとすると、期間704cに第4の電位V4をVSSとすると、ノードNの電位は $-0.2 + 1 = 0.8$ Vとなり、ノードMの電位は $2.8 + 1 = 3.8$ Vとなる。

【0093】

ノードNの電位が0.8Vとなると、トランジスタ117のノードOと接続する端子がソースとなり、ゲートソース間電圧は0Vとなる。よって、期間704c中においてもトランジスタ115のソースとドレインの間は非導通状態が維持され、ノードNの電位は0.8Vのまま保持される。ノードMの電位も同様の理由により3.8Vのまま保持される。

10

【0094】

この時のdVは、 $3.8 - 0.8 = 3$ Vであるため、期間704においても期間703終了時点でのdVを維持することが可能となり、記憶素子110の動作を安定させ、半導体装置の信頼性を向上させることができる。

【0095】

本実施の形態では、期間703で第4の電位V4をローレベル電位V4Lとし、期間704で第4の電位V4をVSSとするとして説明したが、これに限定されない。期間704の時の第4の電位V4を、期間703の時の第4の電位V4よりも高くすることが肝要であり、例えば、期間703で第4の電位V4をVSSとし、期間704で第4の電位V4をハイレベル電位V4Hとしてもよい。

20

【0096】

期間705は、電源の供給を停止する期間である。期間705では、第1の電位V1をVSSとすることにより、記憶装置100に与えられる電源の供給を停止する。同時に、第3の電位V3をVSSとする。期間705では、第1の電位V1乃至第4の電位V4、制御信号S1、及び制御信号S2が全て同電位となるため、記憶装置100の電力消費を停止することができる(図2参照)。

【0097】

電源の供給を停止することにより、トランジスタ123、トランジスタ124がオフ状態となり、論理回路101のノードO及びノードPの電位を保持することができなくなる。

【0098】

また、トランジスタ115及びトランジスタ117もオフ状態となる。しかし、本発明の一態様では、トランジスタ115及びトランジスタ117としてチャネルが酸化物半導体に形成されるトランジスタを用いるため、トランジスタ115及びトランジスタ117がオフ状態となっても、容量素子116によって保持された電位(ノードMの電位)及び容量素子118によって保持された電位(ノードNの電位)を長期間保持することが可能となる。つまり、電源の供給が停止した後においても、論理回路101のノードO及びノードPに書き込まれたデータ(電位)を、ノードM及びノードNに保持することが可能となる。

30

【0099】

期間706は、電源の供給を再開する期間である。第1の電源電位V1をVDDとすることにより、記憶装置100に輸入される電源の供給を開始する。また、制御信号S1としてハイレベル電位S1Hを供給し、トランジスタ123、トランジスタ124をオン状態とし、第2の電位V2、第3の電位V3、データD、及びデータDBとしてプリチャージ電位VPREを供給する。すると、ノードO、ノードP、ノードQ、ノードRがプリチャージ電位VPREとなる(図3参照)。

40

【0100】

なお、期間706において、第2の電位V2と第3の電位V3は同電位であるため、論理回路101で電力は消費されない。

【0101】

期間707は、記憶回路102、記憶回路103に保持されたデータを論理回路101に

50

戻す（書き込む）期間である。期間707では、第4の電位V4をハイレベル電位V4Hとする。すると、ノードNの電位がV4HとVSSの電位差分上昇し、本実施の形態では電位VSSBとなる。また、ノードMの電位がV4HとVSSの電位差分上昇し、本実施の形態では電位VDD Bとなる。

【0102】

また、制御信号S1としてローレベル電位S1Lを供給し、トランジスタ123、トランジスタ124をオフ状態とする。データD及びデータDBの電位は、ローレベル電位S1Lが供給されるまでプリチャージ電位VPREとしておくことが好ましい。

【0103】

トランジスタ123及びトランジスタ124をオフ状態とした後に、制御信号S2としてハイレベル電位S2Hを供給し、トランジスタ115、トランジスタ117をオン状態とする。すると、ノードM及びノードNの電位が、ノードP及びノードOにそれぞれ供給される（図3参照）。

10

【0104】

なお、期間707において、第4の電位V4をローレベル電位V4Lとすると、期間703でノードNとノードMに書き込まれた電位をそのままノードOとノードPに戻すことができるが、本実施の形態では、第4の電位V4をハイレベル電位V4Hとしている。前述したように、第4の電位V4をハイレベル電位V4Hとすると、ノードM及びノードNの電位がハイレベル電位V4Hの分だけ上昇する。すると、トランジスタ115及びトランジスタ117をオン状態とする前の、ノードOとノードNの電位差及びノードPとノードMの電位差が大きくなり、論理回路101へのデータの書き込み（データの復帰）を短時間で行うことができる。すなわち、記憶素子110の動作速度を高めることができる。

20

【0105】

この場合、ノードOとノードPには期間703と異なる電位が書き込まれる。ただし、ノードOとノードPの電位差dVは、ノードNとノードMの電位差dVと実質的に同じとすることができる。すなわち、本実施の形態に開示する記憶素子110は、電源の供給を停止する直前の、論理回路101のノードOとノードPの電位差を、記憶回路102及び記憶回路103に保持している。

【0106】

本実施の形態では、期間707において、ノードPに、ノードOよりもdVだけ高い電位が書き込まれることとなる。なお、期間706中に、第4の電位V4をハイレベル電位V4Hとしても構わない。

30

【0107】

期間708は、論理回路101への電源の供給を再開する期間である。期間708では、第2の電位V2としてVSSをノードQに供給し、第3の電位V3としてVDDをノードRに供給する。すると、インバータ回路104とインバータ回路105が動作し、ノードPの電位がVDDとなり、ノードOがVSSとなる。また、ノードMの電位がVDDとなり、ノードNの電位がVSSとなる（図3参照）。

【0108】

なお、記憶回路102及び記憶回路103を用いて保持される電位差dVは、電源の供給を停止する直前の論理回路101のノードOとノードPの電位差dVと同じである必要はなく、ノードOとノードPに保持されていた電位の高低関係がわかればよい。例えば、本実施の形態では、ノードOよりもノードPの方が高い電位を保持していたことがわかればよい。

40

【0109】

以上のように、論理回路101への電源の供給を再開し、ノードO及びノードPに、再びデータD及びデータDBを保持した状態とすることができる。その後、制御信号S2としてローレベル電位S2Lをトランジスタ115及びトランジスタ117のゲートに与えることにより、トランジスタ115及びトランジスタ117をオフ状態とする。

【0110】

50

期間709は、論理回路101のノードO及びノードPに保持されたデータを読み出す期間である。期間709では、制御信号S1としてハイレベル電位S1Hを、スイッチ106及びスイッチ107の第3の端子(トランジスタ123及びトランジスタ124のゲート)に与えることにより、スイッチ106及びスイッチ107の第1の端子及び第2の端子を導通状態とする。スイッチ106を介して論理回路101のノードOに保持されたデータDを読み出すことができ、スイッチ107を介して論理回路101のノードPに保持されたデータDBを読み出すことができる。読み出しが終了したら、制御信号S1としてローレベル電位S1Lをスイッチ106及びスイッチ107の第3の端子に与えることにより、スイッチ106及びスイッチ107の第1の端子及び第2の端子を非導通状態とする(図3参照)。

10

**【0111】**

なお、本実施の形態では、期間709において制御信号S2をローレベル電位S2Lとしているが、期間709では制御信号S2をハイレベル電位S2Hとしてもかまわない。

**【0112】**

上記のようにして、記憶素子110または記憶素子110を用いた半導体装置を動作させることができる。

**【0113】**

本発明の一態様に示す半導体装置では、記憶素子内に、オフ電流が小さいトランジスタを有する記憶回路を設ける構成としている。オフ電流が小さいトランジスタの一例として、チャンネルが酸化物半導体に形成されるトランジスタが挙げられる。該トランジスタは、オフ電流が極めて小さいという特徴を有している。そのため、該トランジスタがオフ状態である場合、該トランジスタに接続された容量素子によって、長期間にわたり電位を保持することが可能である。したがって、電源の供給を停止した場合であっても、記憶素子が有する論理回路の論理状態を保持することが可能である。このような記憶素子を用いることで、電源を切っても記憶している論理状態が消えない半導体装置を提供することができる。

20

**【0114】**

また、本発明の一態様に係る半導体装置では、電源の供給を停止する前に、論理回路101に保持されたデータD及びデータDBを、論理回路101に接続された記憶回路102及び記憶回路103にそれぞれ保持する。これにより、電源の供給を停止する前に、半導体装置に保持されたデータを別の半導体装置に移す必要がなくなるため、短時間で、電源の供給を停止することができる。

30

**【0115】**

また、本発明の一態様に係る半導体装置では、第4の電位V4を、期間703よりも、期間704乃至期間706の方が高くなるようにする。これにより、記憶回路102及び記憶回路103にそれぞれ保持されているデータ間の電位差dVの減少を防ぎ、論理回路101へのデータ復帰動作を安定して行うことができる。よって、記憶素子110の動作を安定させ、半導体装置の信頼性を向上させることができる。

**【0116】**

また、本発明の一態様に係る記憶素子110では、記憶回路102及び記憶回路103から論理回路101へのデータを戻す際に、第4の電位V4を上昇させる。これにより、短時間で記憶回路102及び記憶回路103から論理回路101へのデータを戻すことができる。すなわち、記憶素子110の動作速度を高めることができ、記憶素子110を用いた半導体装置の動作速度を高めることができる。本発明の一態様に係る記憶素子110を用いた半導体装置は、必要に応じて電源の供給を停止することが可能となり、消費電力を低減することができる。また、本発明の一態様に係る記憶素子110は電源供給の停止動作及び電源供給の再開動作が速いため、短時間の電源供給停止も容易に行うことができる。よって、電源供給の停止を頻繁に行うことが可能であり、半導体装置の消費電力をさらに低減することができる。

40

**【0117】**

50

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

【 0 1 1 8 】

(実施の形態 2)

本実施の形態では、図 1 に示す記憶素子 1 1 0 を複数用いてメモリセルアレイを構成する例を、図 6 及び図 7 を用いて説明する。図 6 は、(  $m \times n$  ) 個の記憶素子 1 1 0 を有する半導体装置のブロック図の一例である。

【 0 1 1 9 】

図 6 に示す記憶装置 2 0 0 は、 $m$  本 ( $m$  は 2 以上の整数) の信号線  $S L 1$  と、 $m$  本の信号線  $S L 2$  と、 $n$  本 ( $n$  は 2 以上の整数) のビット線  $B L$ 、 $n$  本の反転ビット線  $B L B$  と、第 1 の配線 2 2 1 ( 図示せず ) と、第 2 の配線 2 2 2 と、第 3 の配線 2 2 3 と、 $m$  本の第 4 の配線 2 2 4 と、記憶素子 1 1 0 が縦  $m$  個 ( 行 )  $\times$  横  $n$  個 ( 列 ) がマトリクス状に配置されたメモリセルアレイ 2 1 0 と、第 1 の駆動回路 2 1 1 及び第 2 の駆動回路 2 1 2 と、を有する。第 1 の駆動回路 2 1 1 は、 $n$  本のビット線  $B L$  及び反転ビット線  $B L B$  と接続されており、第 2 の駆動回路 2 1 2 は、 $m$  本の信号線  $S L 1$ 、信号線  $S L 2$  及び第 4 の配線 2 2 4 と接続されている。また、第 1 の配線 2 2 1 は、記憶装置 2 0 0 に電源を供給し ( 図示せず )、第 2 の配線 2 2 2 及び第 3 の配線 2 2 3 は、記憶素子 1 1 0 ( 1 , 1 ) ~ 記憶素子 1 1 0 (  $m$  ,  $n$  ) のそれぞれに接続されている。

10

【 0 1 2 0 】

信号線  $S L 1$  には制御信号  $S 1$  が供給され、信号線  $S L 2$  には制御信号  $S 2$  が入力される。また、ビット線  $B L$  にはデータ  $D$  が供給され、反転ビット線  $B L B$  にはデータ  $D B$  が供給される。また、第 1 の配線 2 2 1 には第 1 の電位  $V 1$  が供給され、第 2 の配線 2 2 2 には第 2 の電位  $V 2$  が供給され、第 3 の配線 2 2 3 には第 3 の電位  $V 3$  が供給され、第 4 の配線 2 2 4 には第 4 の電位  $V 4$  が供給される。

20

【 0 1 2 1 】

記憶素子 1 1 0 ( 1 , 1 ) ~ 記憶素子 1 1 0 (  $m$  ,  $n$  ) へのアクセスは信号線  $S L 1$  と信号線  $S L 2$  で行われ、ビット線  $B L$  及び反転ビット線  $B L B$  は接続されたメモリセルに対して、データの読み出しや書き込みを行う。

【 0 1 2 2 】

第 1 の駆動回路 2 1 1 は、ビット線  $B L$  及び反転ビット線  $B L B$  が列方向のメモリセルにアクセスするのを制御する。一方、第 2 の駆動回路 2 1 2 は、信号線  $S L 1$  及び信号線  $S L 2$  が行方向のメモリセルにアクセスするのを制御する。

30

【 0 1 2 3 】

図 6 に示す記憶装置 2 0 0 は、実施の形態 1 に示した記憶素子 1 1 0 の駆動方法を適用することが可能である。また、メモリセルアレイ 2 1 0 内の記憶素子 1 1 0 に行単位でアクセスすることが可能である。また、メモリセルアレイ 2 1 0 内の記憶素子 1 1 0 にランダムアクセスすることも可能である。

【 0 1 2 4 】

図 7 に示す記憶装置 2 0 1 は、図 6 に示した記憶装置 2 0 0 が有する第 3 の配線 2 2 3 を  $m$  本とし、行単位で記憶素子 1 1 0 に接続する例を示している。なお、図 7 では第 3 の配線 2 2 3 を第 2 の駆動回路 2 1 2 に接続する構成を例示しているが、第 3 の配線 2 2 3 を第 1 の駆動回路 2 1 1 に接続する構成としてもよい。また、第 1 の駆動回路 2 1 1 及び第 2 の駆動回路 2 1 2 以外に、第 3 の配線 2 2 3 と接続する駆動回路を設けてもよい。

40

【 0 1 2 5 】

第 3 の配線 2 2 3 を行単位で設けることで、記憶素子 1 1 0 への電力の供給を行単位で制御することができ、消費電力を低減する効果が高めることが可能となる。また、第 3 の配線 2 2 3 は列単位で設けてもよい。また、第 2 の配線 2 2 2 を行単位もしくは列単位で設けてもよい。また、 $n$  本の第 2 の配線 2 2 2 と、 $m$  本の第 3 の配線 2 2 3 をマトリクス状に設け、記憶素子 1 1 0 への電力の供給をランダムに制御することも可能である。

【 0 1 2 6 】

50

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

【0127】

(実施の形態3)

本実施の形態では、実施の形態1に示す記憶装置の作製方法の一例について図8乃至図11を参照して説明する。はじめに、記憶装置の下部に形成されるトランジスタの作製方法について説明し、その後、上部に形成されるトランジスタ及び容量素子の作製方法について説明する。なお、作製工程を示す断面図において、A1 - A2はnチャネル型のトランジスタを作製する工程を示し、B1 - B2はpチャネル型のトランジスタを作製する工程を示す。

10

【0128】

下部のトランジスタの作製方法

まず、絶縁層302を介して半導体層304が設けられた基板300を用意する(図8(A)参照)。

【0129】

基板300として、例えば、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウム、ガリウムヒ素、インジウムリンなどの化合物半導体基板を適用することができる。また、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスのような各種ガラス基板、石英基板、セラミック基板、サファイア基板なども挙げられる。

20

【0130】

絶縁層302は、酸化シリコン、酸化窒化シリコン、窒化シリコンなどを含む単層構造又は積層構造とする。なお、絶縁層302の形成方法としては、熱酸化法、CVD法、スパッタリング法などが挙げられる。絶縁層302の膜厚は、1nm以上100nm以下、好ましくは10nm以上50nm以下とする。

【0131】

また、半導体層304は、シリコンや炭化シリコンなどの単結晶半導体材料、多結晶半導体材料、シリコンゲルマニウム、ガリウムヒ素、インジウムリンなどの化合物半導体材料を適用することができる。なお、半導体層304は、酸化物半導体材料を含まないため、酸化物半導体以外の半導体材料とも記す。

30

【0132】

半導体層304として、シリコンなどの単結晶半導体材料を用いると、実施の形態1に示す論理回路101、スイッチ106、スイッチ107などの動作を高速化することができるため好ましい。

【0133】

また、絶縁層302を介して半導体層304が設けられた基板300として、SOI基板も適用することができる。なお、一般に「SOI基板」は、絶縁表面上にシリコン層が設けられた構成の基板をいうが、本明細書等においては、絶縁表面上にシリコン以外の材料からなる半導体層が設けられた構成の基板も含む。つまり、「SOI基板」が有する半導体層は、シリコン層に限定されない。また、SOI基板には、ガラス基板などの絶縁基板上に絶縁層を介して半導体層が設けられた構成も含む。本実施の形態では、絶縁層302を介して半導体層304が設けられた基板300として、単結晶シリコン基板上に酸化シリコン層を介してシリコン層が設けられたSOI基板を用いる場合について説明する。

40

【0134】

次に、半導体層304を島状に加工して、半導体層304a、半導体層304bを形成する(図8(B)参照)。当該加工方法として、ドライエッチングを用いることが好適であるが、ウェットエッチングを用いてもよい。エッチングガスやエッチング液については被エッチング材料に応じて適宜選択することができる。

【0135】

次に、半導体層304a、半導体層304bを覆うように、ゲート絶縁層306a、ゲー

50

ト絶縁層306bを形成する(図8(B)参照)。ゲート絶縁層306a、ゲート絶縁層306bは、例えば、半導体層304a、半導体層304b表面の熱処理(熱酸化処理や熱窒化処理など)によって形成することができる。熱処理に代えて、高密度プラズマ処理を適用してもよい。高密度プラズマ処理は、例えば、酸素、窒素、酸化窒素、アンモニアなどの酸素または窒素を含むガスや、これらの混合ガスを用いて行うことができる。また、酸素または窒素を含むガスに、水素や希ガスを混合したガスを用いることもできる。

#### 【0136】

また、ゲート絶縁層306a、ゲート絶縁層306bは、CVD法やスパッタリング法等を用いて形成しても良い。ゲート絶縁層306a、ゲート絶縁層306bは、酸化シリコン、酸化窒化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタルなどの材料を用いて形成することができる。また、ゲート絶縁層として、酸化ハフニウム、酸化イットリウム、ハフニウムシリケート( $\text{HfSi}_x\text{O}_y$  ( $x > 0$ ,  $y > 0$ ))、窒素が添加されたハフニウムシリケート( $\text{HfSi}_x\text{O}_y\text{N}_z$  ( $x > 0$ ,  $y > 0$ ,  $z > 0$ ))、窒素が添加されたハフニウムアルミネート( $\text{HfAl}_x\text{O}_y\text{N}_z$  ( $x > 0$ ,  $y > 0$ ,  $z > 0$ ))等の高誘電率(high-k)材料を用いてもよい。ゲート絶縁層は、上述の材料及び方法を用いて、単層構造又は積層構造で形成することができる。また、ゲート絶縁層306a、ゲート絶縁層306bの膜厚は、例えば、1nm以上100nm以下、好ましくは10nm以上50nm以下とすることができる。

#### 【0137】

なお、ゲート絶縁層を薄くすると、トンネル効果などに起因するゲートリークが問題となる。ゲートリークの問題を解消するには、ゲート絶縁層に、上述したhigh-k材料を用いると良い。high-k材料をゲート絶縁層に用いることで、電気的特性を確保しつつ、ゲートリークを抑制するために膜厚を大きくすることが可能になる。なお、high-k材料を含む層と、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウムなどのいずれかを含む層との積層構造としてもよい。

#### 【0138】

本実施の形態では、熱酸化処理を用いて、半導体層304a、及び半導体層304b上に酸化シリコンを形成することによって、ゲート絶縁層306a、ゲート絶縁層306bを形成する。

#### 【0139】

次に、トランジスタのしきい値電圧を制御するために、n型の導電性を付与する不純物元素、及びp型の導電性を付与する不純物元素をゲート絶縁層306a、ゲート絶縁層306bを介して半導体層304a、半導体層304bに添加する(図8(C)参照)。半導体層304a、半導体層304bがシリコンの場合、n型の導電性を付与する不純物元素としては、例えば、リンや砒素などを用いることができる。また、p型の導電性を付与する不純物元素としては、例えば、硼素、アルミニウム、ガリウムなどを用いることができる。本実施の形態では、しきい値電圧を制御するために、ゲート絶縁層306aを介して半導体層304aに硼素を添加することで半導体層308を形成し、ゲート絶縁層306bを介して半導体層304bにリンを添加することで半導体層310を形成する。

#### 【0140】

次に、ゲート絶縁層306a、ゲート絶縁層306b上に、ゲート電極(これと同じ層で形成される他の電極または配線を含む)を形成するための導電層312(図示せず)を形成し、当該導電層を加工して、ゲート電極312a、ゲート電極312b、電極313を形成する(図8(D)参照)。

#### 【0141】

ゲート電極312a、ゲート電極312b、電極313を形成するための導電層としては、アルミニウム、銅、チタン、タンタル、タングステン等の金属材料を用いることができる。また、多結晶シリコンなどの半導体材料を用いて、導電層を形成しても良い。導電層の形成方法も特に限定されず、蒸着法、CVD法、スパッタリング法、スピンコート法などの各種成膜方法を用いることができる。また、導電層の加工は、レジストマスクを用い

10

20

30

40

50

たエッチングによって行うことができる。本実施の形態では、スパッタリング法を用いて、窒化タンタルとタングステンとを積層し、加工することによってゲート電極 3 1 2 a、ゲート電極 3 1 2 b、電極 3 1 3 を形成する。

【 0 1 4 2 】

次に、ゲート電極 3 1 2 a をマスクとして、n 型の導電性を付与する不純物元素を、ゲート絶縁層 3 0 6 a を介して半導体層 3 0 8 に添加する。また、ゲート電極 3 1 2 b をマスクとして、p 型の導電性を付与する不純物元素を、ゲート絶縁層 3 0 6 b を介して半導体層 3 1 0 に添加する（図 8 ( E ) 参照）。本実施の形態では、ゲート絶縁層 3 0 6 a を介して半導体層 3 0 8 にリンを添加することで不純物領域 3 1 4 a、不純物領域 3 1 4 b を形成し、ゲート絶縁層 3 0 6 b を介して半導体層 3 1 0 に硼素を添加することで不純物領域 3 1 6 a、不純物領域 3 1 6 b を形成する。

10

【 0 1 4 3 】

次に、ゲート電極 3 1 2 a、ゲート電極 3 1 2 b の側面にサイドウォール 3 1 8 a、サイドウォール 3 1 8 b、サイドウォール 3 1 8 c、サイドウォール 3 1 8 d を形成する（図 9 ( A ) 参照）。サイドウォール 3 1 8 a 乃至サイドウォール 3 1 8 d は、ゲート電極 3 1 2 a、ゲート電極 3 1 2 b を覆う絶縁層を形成した後、これを R I E ( R e a c t i v e i o n e t c h i n g : 反応性イオンエッチング) 法による異方性のエッチングによって絶縁層を加工し、ゲート電極 3 1 2 a、ゲート電極 3 1 2 b の側壁に自己整合的に形成すればよい。

【 0 1 4 4 】

20

サイドウォール 3 1 8 a 乃至サイドウォール 3 1 8 d を形成するための絶縁層について特に限定はないが、例えば、T E O S ( T e t r a e t h y l - O r t h o - S i l i c a t e ) またはシラン等と、酸素または亜酸化窒素等を反応させて形成した段差被覆性のよい酸化シリコンを用いることができる。また、低温酸化 ( L T O : L o w T e m p e r a t u r e O x i d a t i o n ) 法により形成する酸化シリコンを用いてもよい。絶縁層は熱 C V D、プラズマ C V D、常圧 C V D、バイアス E C R C V D、スパッタリング等の方法によって形成することができる。

【 0 1 4 5 】

なお、サイドウォール 3 1 8 a 乃至サイドウォール 3 1 8 d の形成と同時に、電極 3 1 3 の側面にもサイドウォールが形成される。

30

【 0 1 4 6 】

次に、ゲート電極 3 1 2 a、ゲート電極 3 1 2 b、及びサイドウォール 3 1 8 a 乃至 3 1 8 d をマスクとして、n 型の導電性を付与する不純物元素、及び p 型の導電性を付与する不純物元素をゲート絶縁層 3 0 6 a、ゲート絶縁層 3 0 6 b を介して半導体層 3 0 8、半導体層 3 1 0 に添加する（図 9 ( B ) 参照）。本実施の形態では、ゲート絶縁層 3 0 6 a を介して半導体層 3 0 8 にリンを添加することで不純物領域 3 2 0 a、不純物領域 3 2 0 b を形成し、ゲート絶縁層 3 0 6 b を介して半導体層 3 1 0 に硼素を添加することで不純物領域 3 2 2 a、不純物領域 3 2 2 b を形成する。なお、不純物領域 3 2 0 a、不純物領域 3 2 0 b が、不純物領域 3 1 4 a、不純物領域 3 1 4 b よりも高濃度となるように、不純物元素を添加することが好ましく、不純物領域 3 2 2 a、不純物領域 3 2 2 b が、不純物領域 3 1 6 a、不純物領域 3 1 6 b よりも高濃度となるように、不純物元素を添加することが好ましい。

40

【 0 1 4 7 】

以上により、酸化物半導体以外の半導体材料を含む基板 3 0 0 を用いて、n チャネル型のトランジスタ 1 1 3 及び p チャネル型のトランジスタ 1 1 1 を作製することができる（図 9 ( B ) 参照）。このようなトランジスタは、高速動作が可能であるという特徴を有する。このため、トランジスタを論理回路 1 0 1、スイッチ 1 0 6、スイッチ 1 0 7、プリチャージ回路 1 0 8、等に適用することにより、これらの動作を高速化することができるため好適である。

【 0 1 4 8 】

50

次に、トランジスタ 1 1 3 及びトランジスタ 1 1 1 を覆うように、絶縁層 3 2 4 を形成する（図 9（C）参照）。絶縁層 3 2 4 は、酸化シリコン、酸化窒化シリコン、窒化シリコン、酸化アルミニウム等の無機絶縁材料を含む材料を用いて形成することができる。絶縁層 3 2 4 として、誘電率の低い（low-k）材料を用いると、各種電極や配線の重なり起因する容量を十分に低減することができるため好ましい。なお、絶縁層 3 2 4 として、上述の材料を用いた多孔性の絶縁材料を用いてもよい。多孔性の絶縁材料は、密度の高い絶縁材料と比較して誘電率が低下するため、電極や配線に起因する容量をさらに低減することが可能である。また、絶縁層 3 2 4 として、ポリイミド、アクリル等の有機絶縁材料を用いて形成してもよい。本実施の形態では、酸化窒化シリコンを用いて絶縁層 3 2 4 を形成する場合について説明する。

10

#### 【0149】

次に、絶縁層 3 2 4 を形成した後、半導体層 3 0 8、半導体層 3 1 0 添加された不純物元素を活性化するための熱処理を行う。熱処理はファーンズアニール炉を用いて行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法（RTA法）を適用することができる。熱処理は窒素雰囲気中で 4 0 0 ~ 6 0 0 、代表的には 4 5 0 ~ 5 0 0 で 1 ~ 4 時間として行う。この熱処理により、不純物元素の活性化と同時に絶縁層 3 2 4 の酸化窒化シリコン中の水素が半導体層 3 0 8 及び半導体層 3 1 0 に拡散する。半導体層 3 0 8 及び半導体層 3 1 0 に拡散した水素により、ゲート絶縁層 3 0 6 a と半導体層 3 0 8 の界面、及びゲート絶縁層 3 0 6 b と半導体層 3 1 0 の界面に存在する欠陥を低減することができる。また、半導体層 3 0 8 中及び半導体層 3 1 0 中に存在する欠陥を低減することができる。

20

#### 【0150】

なお、上記の各工程の前後には、さらに電極や配線、半導体層、絶縁層などを形成する工程も含んでいてもよい。例えば、下部のトランジスタと、上部のトランジスタを接続するための電極や配線などを形成してもよい。また、配線の構造として、絶縁層及び導電層の積層構造でなる多層配線構造を採用して、高度に集積化した半導体装置を実現することも可能である。

#### 【0151】

##### 上部のトランジスタの作製方法

次に、絶縁層 3 2 4 上にトランジスタ 1 1 5 及び容量素子 1 1 6 を形成するための作製方法の一例を説明する。まず、絶縁層 3 2 4 の表面凹凸を軽減するため、絶縁層 3 2 4 の表面に平坦化処理を行う（図 9（D）参照）。平坦化処理としては、化学的機械研磨（CMP：Chemical Mechanical Polishing、以下CMP処理という）などの研磨処理の他に、エッチング処理などを適用することも可能である。また、CMP処理とエッチング処理を組み合わせてもよい。絶縁層 3 2 4 の表面は、トランジスタ 1 1 5 の特性を向上させるために、可能な限り平坦にしておくことが望ましい。

30

#### 【0152】

なお、CMP処理とは、被加工物の表面を化学的・機械的な複合作用により平坦化する手法である。具体的には、研磨ステージの上に研磨布を貼り付け、被加工物と研磨布との間にスラリー（研磨剤）を供給しながら研磨ステージと被加工物とを各々回転または揺動させて、スラリーと被加工物との化学反応と、研磨布の被加工物との機械研磨の作用により、被加工物の表面を研磨する方法である。

40

#### 【0153】

次に、平坦化された絶縁層 3 2 4 の表面に酸化物半導体層 3 4 2 を形成する（図 1 0（A）参照）。

#### 【0154】

酸化物半導体層 3 4 2 を形成するための材料としては、少なくともインジウム（In）あるいは亜鉛（Zn）を含むことが好ましい。特に、InとZnを含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム（Ga）、スズ（Sn）、ハフニウム（Hf）、

50

アルミニウム ( Al ) のいずれか一または複数を有することが好ましい。

【 0 1 5 5 】

また、他のスタビライザーとして、ランタノイドである、ランタン ( La )、セリウム ( Ce )、プラセオジウム ( Pr )、ネオジウム ( Nd )、サマリウム ( Sm )、ユウロピウム ( Eu )、ガドリニウム ( Gd )、テルビウム ( Tb )、ジスプロシウム ( Dy )、ホルミウム ( Ho )、エルビウム ( Er )、ツリウム ( Tm )、イッテルビウム ( Yb )、ルテチウム ( Lu ) のいずれか一種あるいは複数種を有してもよい。

【 0 1 5 6 】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化物である In - Zn 系酸化物、Sn - Zn 系酸化物、Al - Zn 系酸化物、Zn - Mg 系酸化物、Sn - Mg 系酸化物、In - Mg 系酸化物、In - Ga 系酸化物、三元系金属の酸化物である In - Ga - Zn 系酸化物 ( IGZO とも表記する )、In - Al - Zn 系酸化物、In - Sn - Zn 系酸化物、Sn - Ga - Zn 系酸化物、Al - Ga - Zn 系酸化物、Sn - Al - Zn 系酸化物、In - Hf - Zn 系酸化物、In - La - Zn 系酸化物、In - Ce - Zn 系酸化物、In - Pr - Zn 系酸化物、In - Nd - Zn 系酸化物、In - Sm - Zn 系酸化物、In - Eu - Zn 系酸化物、In - Gd - Zn 系酸化物、In - Tb - Zn 系酸化物、In - Dy - Zn 系酸化物、In - Ho - Zn 系酸化物、In - Er - Zn 系酸化物、In - Tm - Zn 系酸化物、In - Yb - Zn 系酸化物、In - Lu - Zn 系酸化物、四元系金属の酸化物である In - Sn - Ga - Zn 系酸化物、In - Hf - Ga - Zn 系酸化物、In - Al - Ga - Zn 系酸化物、In - Sn - Al - Zn 系酸化物、In - Sn - Hf - Zn 系酸化物、In - Hf - Al - Zn 系酸化物を用いることができる。

【 0 1 5 7 】

なお、ここで、例えば、In - Ga - Zn 系酸化物とは、In と Ga と Zn を主成分として有する酸化物という意味であり、In と Ga と Zn の比率は問わない。また、In と Ga と Zn 以外の金属元素が入っていてもよい。

【 0 1 5 8 】

例えば、In : Ga : Zn = 1 : 1 : 1 ( = 1 / 3 : 1 / 3 : 1 / 3 ) あるいは In : Ga : Zn = 2 : 2 : 1 ( = 2 / 5 : 2 / 5 : 1 / 5 ) の原子数比の In - Ga - Zn 系酸化物やその組成の近傍の酸化物を用いることができる。あるいは、In : Sn : Zn = 1 : 1 : 1 ( = 1 / 3 : 1 / 3 : 1 / 3 )、In : Sn : Zn = 2 : 1 : 3 ( = 1 / 3 : 1 / 6 : 1 / 2 ) あるいは In : Sn : Zn = 2 : 1 : 5 ( = 1 / 4 : 1 / 8 : 5 / 8 ) の原子数比の In - Sn - Zn 系酸化物やその組成の近傍の酸化物を用いるとよい。

【 0 1 5 9 】

しかし、これらに限られず、必要とする半導体特性 ( 移動度、しきい値、ばらつき等 ) に応じて適切な組成のものを用いればよい。また、必要とする半導体特性を得るために、キャリア濃度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間距離、密度等を適切なものとするのが好ましい。

【 0 1 6 0 】

例えば、In - Sn - Zn 系酸化物では比較的容易に高い移動度が得られる。しかしながら、In - Ga - Zn 系酸化物でも、バルク内欠陥密度を低減することにより移動度を上げることができる。

【 0 1 6 1 】

なお、例えば、In、Ga、Zn の原子数比が In : Ga : Zn = a : b : c ( a + b + c = 1 ) である酸化物の組成が、原子数比が In : Ga : Zn = A : B : C ( A + B + C = 1 ) の酸化物の組成の近傍であるとは、a、b、c が、

$$( a - A ) ^ 2 + ( b - B ) ^ 2 + ( c - C ) ^ 2 \leq r ^ 2$$

を満たすことを言い、r は、例えば、0 . 0 5 とすればよい。他の酸化物でも同様である。

【 0 1 6 2 】

10

20

30

40

50

酸化物半導体は単結晶でも、非単結晶でもよい。後者の場合、非晶質でも、多結晶でもよい。また、非晶質と結晶質が混在する部分を含む構造でもよい。

【0163】

非晶質状態の酸化物半導体は、比較的容易に平坦な表面を得ることができるため、これを用いてトランジスタを作製した際の界面散乱を低減でき、比較的容易に、比較的高い移動度を得ることができる。

【0164】

また、結晶性を有する酸化物半導体では、よりバルク内欠陥を低減することができ、表面の平坦性を高めれば非晶質状態の酸化物半導体以上の移動度を得ることができる。表面の平坦性を高めるためには、平坦な表面上に酸化物半導体を形成することが好ましく、具体的には、平均面粗さ(Ra)が1nm以下、好ましくは0.3nm以下、より好ましくは0.1nm以下の表面上に形成するとよい。なお、Raは、JIS B 0601:2001(ISO 4287:1997)で定義されている算術平均粗さを曲面に対して適用できるように三次元に拡張したものであり、「基準面から指定面までの偏差の絶対値を平均した値」で表現でき、数式(2)にて定義される。

【0165】

【数2】

$$Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy \quad (2)$$

【0166】

ここで、指定面とは、粗さ計測の対象となる面であり、座標(x1, y1, F(x1, y1))(x1, y2, F(x1, y2))(x2, y1, F(x2, y1))(x2, y2, F(x2, y2))で表される4点により囲まれる四角形の領域とし、指定面をxy平面に投影した長方形の面積をS0、基準面の高さ(指定面の平均の高さ)をZ0とする。平均面粗さ(Ra)は原子間力顕微鏡(AFM: Atomic Force Microscope)にて測定可能である。

【0167】

また、酸化物半導体層342としてIn-Zn系酸化物を用いる場合、用いるターゲット中の金属元素の原子数比は、In:Zn=50:1~1:2(モル数比に換算するとIn2O3:ZnO=25:1~1:4)、好ましくはIn:Zn=20:1~1:1(モル数比に換算するとIn2O3:ZnO=10:1~1:2)、さらに好ましくはIn:Zn=15:1~1.5:1(モル数比に換算するとIn2O3:ZnO=15:2~3:4)とする。例えば、In-Zn-O系酸化物の形成に用いるターゲットは、原子数比がIn:Zn:O=X:Y:Zのとき、Z>1.5X+Yとする。

【0168】

酸化物半導体層342としてIn-Ga-Zn系酸化物をスパッタリング法で成膜する場合、好ましくは、原子数比がIn:Ga:Zn=1:1:1、4:2:3、3:1:2、1:1:2、2:1:3、または3:1:4で示されるIn-Ga-Zn系酸化物ターゲットを用いる。

【0169】

また、酸化物半導体層342としてIn-Sn-Zn系酸化物をスパッタリング法で成膜する場合、好ましくは、原子数比がIn:Sn:Zn=1:1:1、2:1:3、1:2:2、または20:45:35で示されるIn-Sn-Zn系酸化物ターゲットを用いる。

【0170】

また、ターゲットの相対密度は90%以上100%以下、好ましくは95%以上99.9%以下である。相対密度の高いターゲットを用いることにより、成膜した酸化物半導体層342を緻密な膜とすることができる。

【0171】

10

20

30

40

50

酸化物半導体層342は、スパッタリング法、分子線エピタキシー法、原子層堆積法またはパルスレーザー蒸着法により成膜することができる。また、酸化物半導体層342の厚さは、5nm以上100nm以下、好ましくは10nm以上30nm以下とする。

【0172】

また、酸化物半導体層342は、非晶質であってもよく、結晶性を有していてもよい。酸化物半導体層342は、例えば非単結晶を有してもよい。非単結晶は、例えば、CAAC (C Axis Aligned Crystal)、多結晶、微結晶、非晶質部を有する。非晶質部は、微結晶、CAACよりも欠陥準位密度が高い。また、微結晶は、CAACよりも欠陥準位密度が高い。なお、CAACを有する酸化物半導体を、CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor) と呼ぶ。

10

【0173】

酸化物半導体層342は、例えばCAAC-OSを有してもよい。CAAC-OSは、例えば、c軸配向し、a軸または/およびb軸はマクロに揃っていない。

【0174】

酸化物半導体層342は、例えば微結晶を有してもよい。なお、微結晶を有する酸化物半導体を、微結晶酸化物半導体と呼ぶ。微結晶酸化物半導体膜は、例えば、1nm以上10nm未満のサイズの微結晶(ナノ結晶ともいう。)を膜中に含む。

【0175】

酸化物半導体層342は、例えば非晶質部を有してもよい。なお、非晶質部を有する酸化物半導体を、非晶質酸化物半導体と呼ぶ。非晶質酸化物半導体膜は、例えば、原子配列が不規則であり、結晶成分を有さない。または、非晶質酸化物半導体膜は、例えば、完全な非晶質であり、結晶部を有さない。

20

【0176】

なお、酸化物半導体層342は、例えば、単結晶を有してもよい。

【0177】

酸化物半導体層342は、複数の結晶部を有し、当該結晶部のc軸が被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃っていることが好ましい。なお、異なる結晶部間で、それぞれa軸およびb軸の向きが異なってもよい。そのような酸化物半導体層の一例としては、CAAC-OS膜がある。

30

【0178】

CAAC-OS膜に含まれる結晶部は、一辺が100nm未満の立方体内に収まる大きさであることが多い。また、透過型電子顕微鏡(TEM: Transmission Electron Microscope)による観察像では、CAAC-OS膜に含まれる結晶部と結晶部との境界は明確ではない。また、TEMによってCAAC-OS膜には明確な粒界(グレインバウンダリーともいう。)は確認できない。そのため、CAAC-OS膜は、粒界に起因する電子移動度の低下が抑制される。

【0179】

CAAC-OS膜に含まれる結晶部は、例えば、c軸がCAAC-OS膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向になるように揃い、かつab面に垂直な方向から見て金属原子が三角形状または六角形状に配列し、c軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列している。なお、異なる結晶部間で、それぞれa軸およびb軸の向きが異なってもよい。本明細書において、単に垂直と記載する場合、80°以上100°以下、好ましくは85°以上95°以下の範囲も含まれることとする。また、単に平行と記載する場合、-10°以上10°以下、好ましくは-5°以上5°以下の範囲も含まれることとする。

40

【0180】

なお、CAAC-OS膜において、結晶部の分布が一様でなくてもよい。例えば、CAAC-OS膜の形成過程において、酸化物半導体層の表面側から結晶成長させる場合、被形成面の近傍に対し表面の近傍では結晶部の占める割合が高くなることがある。また、CA

50

AC-O膜へ不純物を添加することにより、当該不純物添加領域において結晶部の結晶性が低下することもある。

【0181】

CAAC-O膜に含まれる結晶部のc軸は、CAAC-O膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向になるように揃うため、CAAC-O膜の形状（被形成面の断面形状または表面の断面形状）によっては互いに異なる方向を向くことがある。また、結晶部は、成膜したとき、または成膜後に加熱処理などの結晶化処理を行ったときに形成される。従って、結晶部のc軸は、CAAC-O膜が形成されたときの被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向になるように揃う。

【0182】

CAAC-O膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。よって、当該トランジスタは、信頼性が高い。

【0183】

次に、酸化物半導体層342をCAAC-Oとする方法について説明する。酸化物半導体層342をCAAC-Oとする方法として、例えば以下の2種類の方法によって行うことができる。1つの方法は、酸化物半導体層342の成膜を、基板を加熱しながら行う方法であり、もう1つの方法は、酸化物半導体層342の成膜を2回に分け、1度目の成膜の後、2度目の成膜の後のそれぞれに熱処理を行う方法である。

【0184】

基板を加熱しながら酸化物半導体層342の成膜を1回で行う場合には、基板温度は、100以上600以下とすればよく、好ましくは基板温度が200以上500以下とする。なお、酸化物半導体層342の成膜時に、基板を加熱する温度を高くすることで、非晶質な部分に対して結晶部分の占める割合の多いCAAC-Oとすることができる。

【0185】

また、酸化物半導体層342の成膜を2回に分ける場合には、基板を基板温度100以上450以下に保ちながら、絶縁層324の上に1層目の酸化物半導体層342を成膜し、窒素、酸素、希ガス、または乾燥空気の雰囲気下で、550以上基板の歪み点未満の熱処理を行う。該熱処理によって、1層目の酸化物半導体層342の表面を含む領域に結晶領域（板状結晶を含む）が形成される。そして、2層目の酸化物半導体層342を1層目の酸化物半導体層342よりも厚く形成する。その後、再び550以上基板の歪み点未満の熱処理を行い、表面を含む領域に、結晶領域（板状結晶を含む）が形成された1層目の酸化物半導体層342を結晶成長の種として、上方に結晶成長させ、2層目の酸化物半導体層342の全体を結晶化させる。なお、1層目の酸化物半導体層342は1nm以上10nm以下で成膜することが好ましい。

【0186】

上述の成膜方法によれば、酸化物半導体層342が、5nm程度の膜厚であっても、短チャネル効果を抑制することができるため、好ましい。

【0187】

なお、CAAC-Oに含まれる結晶部分の結晶性は、被形成面の粗さの影響を受けるため、上述したように絶縁層324の表面は可能な限り平坦にしておくことが望ましい。また、絶縁層324の表面の平均面粗さは、例えば、0.1nm以上0.5nm未満とすることが好ましい。絶縁層324表面を平坦化させることにより、CAAC-Oに含まれる結晶部分の連続性を向上させることができる。また、絶縁層324の表面を平坦化させることにより、非晶質な部分に対して結晶部分の占める割合の多いCAAC-Oとすることができる。

【0188】

スパッタリング法により成膜される酸化物半導体層342中には、水素又は水、水酸基を含む化合物などが含まれていることがある。水素や水などは、ドナー準位を形成しやすいため、酸化物半導体にとっては不純物である。したがって、スパッタリング法を用いて、

10

20

30

40

50

酸化物半導体層 3 4 2 を成膜する際、できる限り酸化物半導体層 3 4 2 に含まれる水素濃度を低減させることが好ましい。

【 0 1 8 9 】

水素濃度を低減させるためには、酸化物半導体層 3 4 2 の成膜時に、スパッタリング装置の処理室のリークレートを  $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3 / \text{秒}$  以下とすることで、スパッタリング法による成膜途中における酸化物半導体層 3 4 2 中へ、アルカリ金属、水素化物等の不純物の混入を低減することができる。また、排気系として吸着型の真空ポンプ（例えば、クライオポンプなど）を用いることで、排気系からアルカリ金属、水素原子、水素分子、水、水酸基を含む化合物、または水素化物等の不純物の逆流を低減することができる。

【 0 1 9 0 】

また、ターゲットの純度を、99.99%以上とすることで、酸化物半導体層に混入するアルカリ金属、水素原子、水素分子、水、水酸基、または水素化物等を低減することができる。また、当該ターゲットを用いることで、酸化物半導体層中の、リチウム、ナトリウム、カリウム等のアルカリ金属の濃度を低減することができる。

【 0 1 9 1 】

なお、酸化物半導体は不純物に対して鈍感であり、膜中にはかなりの金属不純物が含まれていても問題がなく、ナトリウム (Na) のようなアルカリ金属が多量に含まれる廉価なソーダ石灰ガラスも使えたと指摘されている（神谷、野村、細野、「アモルファス酸化物半導体の物性とデバイス開発の現状」、固体物理、2009年9月号、Vol. 44、pp. 621 - 633.）。しかし、このような指摘は適切でない。アルカリ金属は酸化物半導体を構成する元素ではないため、不純物である。アルカリ土類金属も、酸化物半導体を構成する元素ではない場合において、不純物となる。特に、アルカリ金属のうち Na は、酸化物半導体層に接する絶縁層が酸化物である場合、当該絶縁層中に拡散して  $\text{Na}^+$  となる。また、Na は、酸化物半導体層内において、酸化物半導体を構成する金属と酸素の結合を分断する、或いは、その結合中に割り込む。その結果、例えば、閾値電圧がマイナス方向にシフトすることによるノーマリオン化、移動度の低下等の、トランジスタの特性の劣化が起こり、加えて、特性のばらつきも生じる。この不純物によりもたらされるトランジスタの特性の劣化と、特性のばらつきは、酸化物半導体層中の水素濃度が十分に低い場合において顕著に現れる。従って、酸化物半導体層中の水素濃度が  $1 \times 10^{18} / \text{cm}^3$  以下、より好ましくは  $1 \times 10^{17} / \text{cm}^3$  以下である場合には、上記不純物の濃度を低減することが望ましい。具体的に、二次イオン質量分析法による Na 濃度の測定値は、 $5 \times 10^{16} / \text{cm}^3$  以下、好ましくは  $1 \times 10^{16} / \text{cm}^3$  以下、更に好ましくは  $1 \times 10^{15} / \text{cm}^3$  以下とするとよい。同様に、Li 濃度の測定値は、 $5 \times 10^{15} / \text{cm}^3$  以下、好ましくは  $1 \times 10^{15} / \text{cm}^3$  以下とするとよい。同様に、K 濃度の測定値は、 $5 \times 10^{15} / \text{cm}^3$  以下、好ましくは  $1 \times 10^{15} / \text{cm}^3$  以下とするとよい。

【 0 1 9 2 】

スパッタリング装置の処理室内に供給するスパッタリングガスとして、水素、水、水酸基を含む化合物、水素化物などの不純物が除去された高純度の希ガス（代表的にはアルゴン）、酸素、および希ガスと酸素との混合ガスを適宜用いる。例えば、アルゴンの純度を、9N (99.999999%) 以上 ( $\text{H}_2\text{O}$  は、0.1 ppb、 $\text{H}_2$  は、0.5 ppb) とし、露点 -121 とする。また、酸素の濃度は、8N (99.999999%) 以上 ( $\text{H}_2\text{O}$  は、1 ppb、 $\text{H}_2$  は、1 ppb) とし、露点 -112 とする。また、希ガスと酸素の混合ガスを用いる場合には、酸素の流量比率を大きくすることが好ましい。

【 0 1 9 3 】

成膜条件の一例としては、基板とターゲットの間との距離を 100 mm、圧力 0.6 Pa、直流 (DC) 電源電力 0.5 kW、スパッタリングガスとして酸素（酸素流量比率 100%）を用いる条件が適用される。なお、パルス直流 (DC) 電源を用いると、成膜時に発生する塵埃が軽減でき、膜厚分布も均一となるために好ましい。

【 0 1 9 4 】

上記のようにすることで、水素の混入が低減された酸化物半導体層 3 4 2 を成膜すること

10

20

30

40

50

ができる。なお、上記スパッタリング装置を用いても、酸化物半導体層342には少なからず窒素を含んで形成される。例えば、二次イオン質量分析法(SIMS: Secondary Ion Mass Spectrometry)で測定される酸化物半導体層342の窒素濃度は、 $5 \times 10^{18} \text{ cm}^{-3}$ 未満となる。

【0195】

酸化物半導体層342中の水分又は水素などの不純物をさらに低減(脱水化または脱水素化)するために、酸化物半導体層342に対して、熱処理を行うことが好ましい。例えば、減圧雰囲気下、窒素や希ガスなどの不活性雰囲気下、酸化性雰囲気下、又は超乾燥エア(CRDS(キャピティリングダウンレーザー分光法)方式の露点計を用いて測定した場合の水分量が20ppm(露点換算で-55)以下、好ましくは1ppm以下、好ましくは10ppb以下の空気)雰囲気下で、酸化物半導体層342に熱処理を施す。なお、酸化性雰囲気とは、酸素、オゾンまたは窒化酸素などの酸化性ガスを10ppm以上含有する雰囲気をいう。また、不活性雰囲気とは、前述の酸化性ガスが10ppm未満であり、その他、窒素または希ガスで充填された雰囲気をいう。

10

【0196】

熱処理の温度は、例えば、150以上基板歪み点温度未満、好ましくは250以上450以下、さらに好ましくは300以上450以下とする。処理時間は3分~24時間とする。24時間を超える熱処理は生産性の低下を招くため好ましくない。

【0197】

熱処理に用いる加熱装置に特別な限定はなく、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、電気炉や、LRTA(Lamp Rapid Thermal Anneal)装置、GRTA(Gas Rapid Thermal Anneal)装置等のRTA(Rapid Thermal Anneal)装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて熱処理を行う装置である。

20

【0198】

熱処理を行うことによって、酸化物半導体層342から水素(水、水酸基を含む化合物)などの不純物を放出させることができる。これにより、酸化物半導体層342中の不純物を低減することができる。

30

【0199】

また、熱処理を行うことによって、酸化物半導体層342から不安定なキャリア源である水素を脱離させることができるため、トランジスタのしきい値電圧がマイナス方向へ変動することを抑制させることができる。さらに、トランジスタの信頼性を向上させることができる。

【0200】

なお、酸化物半導体層342は、複数の酸化物半導体層が積層された構造としてもよい。例えば、酸化物半導体層342を、第1の酸化物半導体層と第2の酸化物半導体層の積層として、第1の酸化物半導体層と第2の酸化物半導体層に異なる組成の金属酸化物を用いてもよい。例えば、第1の酸化物半導体層に三元系金属の酸化物を用い、第2の酸化物半導体層に二元系金属の酸化物を用いてもよい。また、例えば、第1の酸化物半導体層と第2の酸化物半導体層を、どちらも三元系金属の酸化物としてもよい。

40

【0201】

また、第1の酸化物半導体層と第2の酸化物半導体層の構成元素を同一とし、両者の組成を異ならせてもよい。例えば、第1の酸化物半導体層の原子数比を $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ とし、第2の酸化物半導体層の原子数比を $\text{In} : \text{Ga} : \text{Zn} = 3 : 1 : 2$ としてもよい。また、第1の酸化物半導体層の原子数比を $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 2$ とし、第2の酸化物半導体層の原子数比を $\text{In} : \text{Ga} : \text{Zn} = 2 : 1 : 3$ としてもよい。

【0202】

50

この時、第1の酸化物半導体層と第2の酸化物半導体層のうち、ゲート電極に近い側（チャネル側）の酸化物半導体層のInとGaの含有率をIn > Gaとするとよい。またゲート電極から遠い側（バックチャネル側）の酸化物半導体層のInとGaの含有率をIn > Gaとするとよい。

【0203】

酸化物半導体では主として重金属のs軌道がキャリア伝導に寄与しており、Inの含有率を多くすることによりs軌道のオーバーラップが多くなる傾向があるため、In > Gaの組成となる酸化物はIn > Gaの組成となる酸化物と比較して高い移動度を備える。また、GaはInと比較して酸素欠損の形成エネルギーが大きく酸素欠損が生じにくいいため、In > Gaの組成となる酸化物はIn > Gaの組成となる酸化物と比較して安定した特性を備える。

10

【0204】

チャネル側にIn > Gaの組成となる酸化物半導体を適用し、バックチャネル側にIn > Gaの組成となる酸化物半導体を適用することで、トランジスタの移動度及び信頼性をさらに高めることが可能となる。

【0205】

また、第1の酸化物半導体層と第2の酸化物半導体層に、結晶性の異なる酸化物半導体を適用してもよい。すなわち、単結晶酸化物半導体、多結晶酸化物半導体、非晶質酸化物半導体、またはCAAC-Osを適宜組み合わせさせた構成としてもよい。

【0206】

第1の酸化物半導体層と第2の酸化物半導体層の少なくともどちらか一方に非晶質酸化物半導体を適用すると、酸化物半導体層342の内部応力や外部からの応力を緩和し、トランジスタの特性ばらつきが低減され、また、トランジスタの信頼性をさらに高めることが可能となる。

20

【0207】

一方で、非晶質酸化物半導体は水素などのドナーとなる不純物を吸収しやすく、また、酸素欠損が生じやすいためn型化されやすい。このため、チャネル側の酸化物半導体層は、CAAC-Osなどの結晶性を有する酸化物半導体を適用することが好ましい。

【0208】

また、トランジスタとしてボトムゲート構造のチャネルエッチング型のトランジスタを用いる場合、バックチャネル側に非晶質酸化物半導体を用いると、ソース電極及びドレイン電極形成時のエッチング処理により酸素欠損が生じ、n型化されやすい。このため、チャネルエッチング型のトランジスタを用いる場合は、バックチャネル側の酸化物半導体層に結晶性を有する酸化物半導体を適用することが好ましい。

30

【0209】

また、酸化物半導体層342を3層以上の積層構造とし、複数層の結晶性を有する酸化物半導体層で非晶質酸化物半導体層を挟む構造としてもよい。また、結晶性を有する酸化物半導体層と非晶質酸化物半導体層を交互に積層する構造としてもよい。

【0210】

酸化物半導体層342を複数層の積層構造とする場合の上記構成は、それぞれを適宜組み合わせることができる。

40

【0211】

次に、フォトリソグラフィ法により酸化物半導体層342上にレジストマスクを形成し、該レジストマスクを用いて、酸化物半導体層342を所望の形状にエッチングし、島状の酸化物半導体層342aを形成する（図10（B）参照）。

【0212】

なお、フォトリソグラフィ法を用いて導電層や絶縁層上に任意形状のレジストマスクを形成する工程をフォトリソグラフィ工程というが、一般にレジストマスク形成後には、エッチング工程とレジストマスクの剥離工程が行われることが多い。このため、特段の説明が無い限り、本明細書でいうフォトリソグラフィ工程には、レジストマスクの形成工程と、

50

導電層または絶縁層のエッチング工程と、レジストマスクの剥離工程が含まれているものとする。

【0213】

酸化物半導体層342のエッチングは、ドライエッチング法でもウェットエッチング法でもよく、両方を用いてもよい。ウェットエッチング法により、酸化物半導体層342のエッチングを行う場合は、エッチング液として、燐酸と酢酸と硝酸を混ぜた溶液や、シュウ酸を含む溶液などを用いることができる。また、ITO-07N(関東化学社製)を用いてもよい。また、ドライエッチング法で酸化物半導体層342のエッチングを行う場合は、例えば、ECRまたはICPなどの高密度プラズマ源を用いたドライエッチング法を用いることができる。

10

【0214】

また、島状の酸化物半導体層342aを形成するための酸化物半導体層342のエッチングは、島状の酸化物半導体層342aの端部がテーパ形状となるようにエッチングすることが好ましい。島状の酸化物半導体層342aの端部をテーパ形状とすることで、酸化物半導体層342aの端部を越えて形成される層の段切れを防止し、酸化物半導体層342a上に形成される層の被覆性を向上させることができる。

【0215】

なお、本実施の形態では、酸化物半導体層342を成膜した直後に熱処理を行う場合について説明したが、酸化物半導体層342を島状の酸化物半導体層342aに加工した後に熱処理を行っても良い。

20

【0216】

次に、フォトリソグラフィ工程を用いて絶縁層324の一部を選択的に除去し、電極313に達する開口325を形成する。

【0217】

次に、酸化物半導体層342aなどの上に導電層343(図示せず)を形成した後、フォトリソグラフィ工程により導電層343を所望の形状にエッチングして、ソース電極344a、ドレイン電極344bを形成する(図10(C)参照)。ここで、ソース電極344aは、容量素子の一对の電極のうちの、一方の電極として機能する。また、ドレイン電極344bは、開口325を介して電極313と電氣的に接続する。

30

【0218】

導電層343は、スパッタリング法、真空蒸着法、またはメッキ法を用いて形成することができる。また、導電層343は、アルミニウム(Al)、クロム(Cr)、銅(Cu)、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)、ネオジム(Nd)、スカンジウム(Sc)から選ばれた金属材料、上述した金属元素を成分とする合金材料、上述した金属元素の窒化物材料などを用いて形成することができる。また、マンガン(Mn)、マグネシウム(Mg)、ジルコニウム(Zr)、ベリリウム(Be)のいずれか一または複数から選択された金属元素を含む材料用いてもよい。

【0219】

また、ソース電極344a、ドレイン電極344bとなる導電層は、単層構造でも、二層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウムを用いた単層構造、アルミニウム上にチタンを積層する二層構造、窒化チタン上にチタンを積層する二層構造、窒化チタン上にタングステンを積層する二層構造、窒化タンタル上にタングステンを積層する二層構造、Cu-Mg-Al合金上に銅を積層する二層構造、窒化チタン上に銅を積層し、さらにその上にタングステンを形成する三層構造、タングステン上に銅を積層し、さらにその上に窒化タンタルを形成する三層構造などがある。電極となる導電層に銅を用いることにより、電極の配線抵抗を低減することができる。また、銅を、タングステン、モリブデン、タンタルなどの高融点金属や、該金属の窒化物と積層することで、銅の他の層への拡散を防止できる。なお、導電層343を、チタンや窒化チタンの単層構造とする場合には、ソース電極344a、ドレイン電極344bの端部にテーパ形状を付加する加工が容易であるというメリットがある。

40

50

## 【0220】

また、導電層343として、酸化インジウム、酸化インジウム酸化スズ（ITOともいう）、酸化インジウム酸化亜鉛、酸化亜鉛、ガリウムを添加した酸化亜鉛、グラフェンなどを用いることもできる。導電層343のエッチングは、ドライエッチング法またはウェットエッチング法により行うことができる。また、ドライエッチング法とウェットエッチング法の両方を組み合わせて行ってもよい。

## 【0221】

導電層343のエッチングをドライエッチング法で行う場合は、エッチングガスとしてハロゲン元素を含むガスを用いることができる。ハロゲン元素を含むガスの一例としては、塩素（ $Cl_2$ ）、三塩化硼素（ $BCl_3$ ）、四塩化珪素（ $SiCl_4$ ）もしくは四塩化炭素（ $CCl_4$ ）などを代表とする塩素系ガス、四フッ化炭素（ $CF_4$ ）、六フッ化硫黄（ $SF_6$ ）、三フッ化窒素（ $NF_3$ ）もしくはトリフルオロメタン（ $CHF_3$ ）などを代表とするフッ素系ガス、臭化水素（ $HBr$ ）または酸素を適宜用いることができる。また用いるエッチング用ガスに不活性気体を添加してもよい。また、ドライエッチング法としては、反応性イオンエッチング（RIE：Reactive Ion Etching）法を用いることができる。

10

## 【0222】

また、プラズマ源として、容量結合型プラズマ（CCP：Capacitively Coupled Plasma）、誘導結合プラズマ（ICP：Inductively Coupled Plasma）、電子サイクロトロン共鳴（ECR：Electron Cyclotron Resonance）プラズマ、ヘリコン波励起プラズマ（HWP：Helicon Wave Plasma）、マイクロ波励起表面波プラズマ（SWP：Surface Wave Plasma）などを用いることができる。特に、ICP、ECR、HWP、及びSWPは、高密度のプラズマを生成することができる。ドライエッチング法で行うエッチング（以下、「ドライエッチング処理」ともいう。）は、所望の加工形状にエッチングできるように、エッチング条件（コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等）を適宜調節して行う。

20

## 【0223】

導電層343の一部を選択的にエッチングして形成されるソース電極344a及びドレイン電極344b（これと同じ層で形成される他の電極または配線を含む）は、その端部をテーパ形状とすることが好ましい。具体的には、端部のテーパ角（図10（C）参照）を、 $80^\circ$ 以下、好ましくは $60^\circ$ 以下、さらに好ましくは $45^\circ$ 以下とする。なお、テーパ角とは、テーパ形状を有する層を、その断面（基板の表面と直交する面）方向から観察した際に、当該層の側面と底面がなす当該層内の角度を示す。また、テーパ角が $90^\circ$ 未満である場合を順テーパといい、テーパ角が $90^\circ$ 以上である場合を逆テーパという。

30

## 【0224】

また、ソース電極344a及びドレイン電極344bの端部の断面形状を複数段の階段形状とすることで、その上に被覆する層の被覆性を向上させることもできる。なお、ソース電極344a及びドレイン電極344bに限らず、各層の端部の断面形状を順テーパ形状または階段形状とすることで、その上に被覆する層が途切れてしまう現象（段切れ）を防ぎ、被覆性を良好なものとするすることができる。

40

## 【0225】

次に、ソース電極344a、ドレイン電極344b、及び酸化物半導体層342aを覆うように、ゲート絶縁層346を形成する（図10（D）参照）。

## 【0226】

ゲート絶縁層346は、CVD法やスパッタリング法等を用いて形成することができる。また、ゲート絶縁層346は、酸化シリコン、窒化シリコン、酸化窒化シリコン、酸化ガリウム、酸化アルミニウム、酸化タンタルなどを用いることができる。また、ゲート絶縁層346として、酸化ハフニウム、酸化イットリウム、ハフニウムシリケート（ $HfSi$

50

$x O_y$  ( $x > 0$ ,  $y > 0$ ))、窒素が添加されたハフニウムシリケート ( $HfSi_xO_yN_z$  ( $x > 0$ ,  $y > 0$ ,  $z > 0$ ))、窒素が添加されたハフニウムアルミネート ( $HfAl_xO_yN_z$  ( $x > 0$ ,  $y > 0$ ,  $z > 0$ )) などの高誘電率 (high-k) 材料を用いることもできる。ゲート絶縁層 346 は、単層構造としても良いし、上記の材料を組み合わせる積層構造としても良い。また、その厚さは特に限定されないが、記憶装置を微細化する場合には、トランジスタの動作を確保するために薄くすることが望ましい。例えば、酸化シリコンを用いる場合には、1 nm 以上 100 nm 以下、好ましくは 10 nm 以上 50 nm 以下とすることができる。

【0227】

また、ゲート絶縁層 346 は、酸化物半導体層 342 a と同種の成分を含む材料を用いると好ましい。このような材料は酸化物半導体との相性が良く、これを酸化物半導体と接する層に用いることで、半導体層と該層の界面状態を良好に保つことができる。ここで、「酸化物半導体と同種の成分」とは、酸化物半導体の構成元素から選択される一または複数の元素を含むことを意味する。例えば、酸化物半導体が In-Ga-Zn 系の酸化物半導体材料によって構成される場合、同種の成分を含む絶縁材料としては、酸化ガリウムや酸化ガリウム亜鉛などがある。

10

【0228】

また、ゲート絶縁層 346 を積層構造とする場合には、酸化物半導体と同種の成分でなる絶縁材料で形成された層 a と、層 a と異なる材料を含む層 b との積層構造としてもよい。例えば、酸化物半導体材料が In-Ga-Zn 系の酸化物半導体材料によって構成される場合、酸化物半導体と接する層 a を酸化ガリウムで形成し、層 b を酸化窒化シリコンで形成してもよい。

20

【0229】

なお、ゲート絶縁層 346 に酸化物半導体層 342 a の成分元素と同じ族の元素を用いる場合には、同様の効果を得ることが可能である。例えば、酸化アルミニウムを含む材料を用いてゲート絶縁層 346 を形成することも有効である。なお、酸化アルミニウムは、水を透過させにくいという特性を有しているため、当該材料を用いることは、酸化物半導体層への水の侵入防止という点においても好ましい。

【0230】

なお、酸化物半導体層 342 (または酸化物半導体層 342 a) に熱処理を行うと、水素などが放出されるとともに、酸化物半導体層 342 に含まれる酸素も放出されてしまう。酸素が放出されることにより、酸化物半導体層 342 には、酸素欠損が生じてしまう。酸素欠損の一部はドナーとなるため、酸化物半導体層 342 にキャリアを発生させる原因となり、トランジスタの特性に影響を与えるおそれがある。

30

【0231】

そこで、酸化物半導体層 342 a に接するゲート絶縁層 346 として、熱処理により酸素が脱離する絶縁層を用いることが好ましい。

【0232】

本明細書等において、「熱処理により酸素が脱離する」とは、TDS (Thermal Desorption Spectroscopy: 昇温脱離ガス分光法) 分析にて、酸素原子に換算した酸素の脱離量 (又は放出量) が  $1.0 \times 10^{18} \text{ cm}^{-3}$  以上、好ましくは  $3.0 \times 10^{20} \text{ cm}^{-3}$  以上であることをいう。また、「熱処理により酸素が脱離しない」とは、TDS 分析にて、酸素原子に換算した酸素の脱離量 (又は放出量) が  $1.0 \times 10^{18} \text{ cm}^{-3}$  未満であることをいう。

40

【0233】

以下、酸素の放出量を TDS 分析で酸素原子に換算して定量する方法について説明する。

【0234】

TDS 分析したときの気体の脱離量は、イオン強度の積分値に比例する。このため、絶縁層のイオン強度の積分値と、標準試料の基準値に対する比により、気体の脱離量を計算することができる。標準試料の基準値とは、所定の密度の原子を含む試料において、当該

50

原子に相当するイオン強度の積分値に対する当該原子の密度の割合である。

【 0 2 3 5 】

例えば、標準試料である所定の密度の水素を含むシリコンウェハの T D S 分析結果、および絶縁層の T D S 分析結果から、絶縁層の酸素分子の脱離量 ( $N_{O_2}$ ) は、下記の数式 3 で求めることができる。ここで、T D S 分析で得られる質量数 3 2 で検出されるガスの全てが酸素分子由来と仮定する。質量数 3 2 のものとして  $CH_3OH$  があるが、存在する可能性が低いものとしてここでは考慮しない。また、酸素原子の同位体である質量数 1 7 の酸素原子及び質量数 1 8 の酸素原子を含む酸素分子についても、自然界における存在比率が極微量であるため考慮しない。

【 0 2 3 6 】

【 数 3 】

$$N_{O_2} = N_{H_2} / S_{H_2} \times S_{O_2} \times \alpha \quad (3)$$

【 0 2 3 7 】

$N_{H_2}$  は、標準試料から脱離した水素分子を密度で換算した値である。 $S_{H_2}$  は、標準試料を T D S 分析したときのイオン強度の積分値である。ここで、標準試料の基準値を、 $N_{H_2} / S_{H_2}$  とする。 $S_{O_2}$  は、絶縁層を T D S 分析したときのイオン強度の積分値である。 $\alpha$  は、T D S 分析におけるイオン強度に影響する係数である。上述の式の詳細に関しては、特開平 6 - 2 7 5 6 9 7 号公報を参照できる。なお、上記した酸素の脱離量の数値は、電子科学株式会社製の昇温脱離分析装置 E M D - W A 1 0 0 0 S / W を用い、標準試料として  $1 \times 10^{16} \text{ cm}^{-3}$  の水素原子を含むシリコンウェハを用いて測定した数値である。

【 0 2 3 8 】

また、T D S 分析において、酸素の一部は酸素原子として検出される。酸素分子と酸素原子の比率は、酸素分子のイオン化率から算出することができる。なお、上述の  $\alpha$  は酸素分子のイオン化率を含むため、酸素分子の脱離量を評価することで、酸素原子の脱離量についても見積もることができる。

【 0 2 3 9 】

なお、 $N_{O_2}$  は酸素分子の脱離量である。絶縁層においては、酸素原子に換算したときの酸素の脱離量は、酸素分子の脱離量の 2 倍となる。

【 0 2 4 0 】

熱処理により酸素が脱離する膜の一例として、酸素が過剰な酸化シリコン ( $SiO_x$  ( $x > 2$ )) がある。酸素が過剰な酸化シリコン ( $SiO_x$  ( $x > 2$ )) とは、シリコン原子数の 2 倍より多い酸素原子を単位体積当たりを含むものである。単位体積当たりのシリコン原子数および酸素原子数は、ラザフォード後方散乱法により測定した値である。

【 0 2 4 1 】

酸化物半導体層 3 4 2 a に接する絶縁層 (例えば、絶縁層 3 2 4 やゲート絶縁層 3 4 6) として、熱処理により酸素が脱離する絶縁層を用い、ゲート絶縁層 3 4 6 の成膜後のいずれかの工程の後に、熱処理を行うことにより、絶縁層 3 2 4 やゲート絶縁層 3 4 6 から酸素が脱離し、酸化物半導体層 3 4 2 a に酸素を供給することができる。これにより、酸化物半導体層 3 4 2 a に生じた酸素欠損を補償し、酸素欠損を低減することができる。よって、酸化物半導体層 3 4 2 a にキャリアの生成を抑制することができるため、トランジスタの特性の変動を抑制することができる。

【 0 2 4 2 】

次に、ゲート絶縁層 3 4 6 上に、導電層 3 4 8 (図示せず) を成膜した後、フォトリソグラフィ工程により導電層 3 4 8 を所望の形状にエッチングして、ゲート電極 3 4 8 a、電極 3 4 8 b (これと同じ層で形成される他の電極または配線を含む) を形成する (図 1 0 (D) 参照)。電極 3 4 8 b は、容量素子の電極として機能する。

【 0 2 4 3 】

10

20

30

40

50

導電層 348 は、導電層 343 と同様の材料及び方法で形成することができる。また、リン等の不純物元素を含有させた多結晶シリコンに代表される半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。

【0244】

また、導電層 348 は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの酸素を含む導電性材料を適用することもできる。また、上記酸素を含む導電性材料と、他の金属元素を含む材料の積層構造とすることもできる。

【0245】

また、ノーマリーオフのスイッチング素子を実現するために、5 eV（電子ボルト）以上、好ましくは 5.5 eV 以上の仕事関数を有する材料をゲート電極 348a となる導電層 348 に用いて、トランジスタのしきい値電圧をプラスにすることが好ましい。具体的には、In-N 結合を有し、且つ、固有抵抗が  $1 \times 10^{-1} \sim 1 \times 10^{-4} \text{ } \cdot \text{cm}$ 、好ましくは固有抵抗が  $5 \times 10^{-2} \sim 1 \times 10^{-4} \text{ } \cdot \text{cm}$  を有する材料を導電層 348 として用いる。その材料の一例としては、窒素を含む In-Ga-Zn 系酸化物や、窒素を含む In-Sn 系酸化物や、窒素を含む In-Ga 系酸化物や、窒素を含む In-Zn 系酸化物や、窒素を含む In 系酸化物や、金属窒化物（InN など）などが挙げられる。導電層 348 のエッチングは、ドライエッチング法またはウェットエッチング法により行うことができる。また、ドライエッチング法とウェットエッチング法の両方を組み合わせて行ってもよい。

【0246】

次に、ゲート電極 348a 及び電極 348b が形成された後に、ゲート電極 348a、ソース電極 344a、ドレイン電極 344b をマスクとして、酸化物半導体層 342a に、n 型の導電性を付与するドーパントを添加し、一对のドーパント領域 349a、349b を形成する（図 11（A）参照）。なお、酸化物半導体層 342a のうち、ドーパント領域 349a とドーパント領域 349b との間に挟まれた領域が、チャンネル形成領域となる。

【0247】

また、チャンネル形成領域は、酸化物半導体層 342a において、ゲート絶縁層 346 を介してゲート電極 348a と重なる領域に形成される。よって、トランジスタのチャンネル長（L）は、ゲート電極 348a のソースドレイン方向の長さによって決定される（図 11（A）参照）。なお、チャンネル長（L）が 30 nm 未満のトランジスタを形成する場合に用いるレジストマスク形成のための露光を行う際には、数 nm ~ 数十 nm と波長の短い超紫外線（Extreme Ultraviolet）を用いるのが望ましい。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、トランジスタのチャンネル長（L）を、10 nm 以上 1000 nm（1  $\mu\text{m}$ ）以下とすることも可能であり、回路の動作速度を高めることが可能である。また、微細化によって、半導体装置の消費電力を低減することも可能である。

【0248】

また、チャンネル長（L）が 30 nm 未満のトランジスタを形成する場合には、電子線描画装置（EB（Electron Beam）露光機ともいう。）を用いてレジストマスクを形成することもできる。EB 露光機を用いると、極めて微細なレジストマスクを形成できるため、微細化したトランジスタを作製するために好適である。

【0249】

ドーパント領域 349a、ドーパント領域 349b を形成するためのドーパントの添加は、イオン注入法を用いることができる。ドーパントは、例えばヘリウム、アルゴン、キセノンなどの希ガスや、窒素、リン、ヒ素、アンチモンなどの 15 族原子などを用いることができる。例えば、窒素をドーパントとして用いた場合、ドーパント領域 349a、ドーパント領域 349b 中の窒素原子の濃度は、 $5 \times 10^{19} / \text{cm}^3$  以上  $1 \times 10^{22} / \text{cm}^3$  以下とすることができ、

10

20

30

40

50

$m^3$  以下であることが望ましい。n型の導電性を付与するドーパントが添加されているドーパント領域349a、ドーパント領域349bは、酸化物半導体層342a中の他の領域に比べて導電性が高くなる。よって、ドーパント領域349a、ドーパント領域349bを酸化物半導体層342aに設けることで、ソース電極344a、ドレイン電極344bの間の抵抗を下げるができる。

#### 【0250】

次に、ゲート絶縁層346、ゲート電極348a、および電極348b上に、絶縁層350及び絶縁層352を形成する(図11(A)参照)。絶縁層350及び絶縁層352は、PVD法やCVD法などを用いて形成することができる。また、酸化シリコン、窒化シリコン、酸化ハフニウム、酸化ガリウム、酸化アルミニウム等の無機絶縁材料を含む材料、ポリイミド、アクリル等の有機材料を含む材料を用いて形成することができる。なお、絶縁層350及び絶縁層352には、誘電率の低い材料や、誘電率の低い構造(多孔性の構造など)を用いることが望ましい。絶縁層350及び絶縁層352の誘電率を低くすることにより、配線や電極などの間に生じる容量を低減し、動作の高速化を図ることができるためである。例えば、絶縁層350に、無機材料を含む材料を用い、絶縁層352に有機材料を含む材料を用いることもできる。

10

#### 【0251】

また、酸化アルミニウムは、水素や水などに対するブロッキング性を有するため、絶縁層350として用いることで、半導体装置の外部から混入する水素や水などが、酸化物半導体層342aに混入することを防止することができるため、好ましい。また、酸化アルミニウムは、酸素に対するブロッキング性も有するため、酸化物半導体層342aに含まれる酸素が外方拡散されてしまうことを抑制することもできる。絶縁層350として、酸化アルミニウムを用いることにより、水素や水などが酸化物半導体層342aに混入することを防止するとともに、酸化物半導体層342aに含まれる酸素が外方拡散されてしまうことを抑制することができるため、トランジスタの電気的特性の変動を抑制することができる。

20

#### 【0252】

次に、ゲート絶縁層346、絶縁層350、及び絶縁層352に、ドレイン電極344bにまで達する開口355を形成する。開口355の形成は、フォトリソグラフィ工程により行うことができる。その後、ドレイン電極344bに接する導電層を形成する。次に、導電層に、エッチング処理又はCMP処理を行うことにより、電極354を形成する(図11(B)参照)。

30

#### 【0253】

次に、絶縁層352上に、電極354と接するように、配線356を形成する(図11(B)参照)。電極354及び配線356は、ゲート電極348a、ソース電極344a等と同様の材料及び方法を用いて形成することができる。

#### 【0254】

また、電極354を設けず、開口355を介して配線356とドレイン電極344bを接続させてもよい。また、電極354の形成前に開口325を含む領域にPVD法によりチタンを薄く形成し、その後、電極354またはドレイン電極344bを形成してもよい。ここで、PVD法により形成されるチタンは、被形成面の酸化膜(自然酸化膜など)を還元し、下部電極など(ここでは、ドレイン電極344b)との接触抵抗を低減させる機能を有する。また、チタンとアルミニウムを積層することで、アルミニウム層のヒロックを防止することができる。また、チタンや窒化チタンなどによるバリア層を形成した後に、メッキ法により銅を形成してもよい。

40

#### 【0255】

トランジスタ113のゲート電極312a、トランジスタ111のゲート電極312b及び電極313は電氣的に接続されている。よって、トランジスタ113のゲート電極312a及びトランジスタ111のゲート電極312bは、トランジスタ115のドレイン電極344bと電氣的に接続されている。なお、配線356を介して、トランジスタ111

50

、トランジスタ 113、及びトランジスタ 115 を図示しない他のトランジスタや端子と接続することもできる。

【0256】

上述の作製方法を用いることにより、記憶素子 110 が有するトランジスタ 111、トランジスタ 113、及びトランジスタ 115 を形成することができる（図 11 (B) 参照）。なお、記憶素子 110 が有するトランジスタ 112、トランジスタ 114、及びトランジスタ 117 も同様に作製することができ、また、トランジスタ 111、トランジスタ 113、及びトランジスタ 115 等と同時に作製することができる。

【0257】

また、上述の作製方法を用いることにより、酸化物半導体以外の半導体材料を用いたトランジスタ上に、酸化物半導体材料を用いたトランジスタが形成された半導体装置を作製することができる。

10

【0258】

また、上述の作製方法を用いることにより、水素やアルカリ金属の不純物が極めて低減された酸化物半導体層 342a を得ることができる。このように酸化物半導体層 342a に含まれる水素濃度は、 $5 \times 10^{19} \text{ atoms/cm}^3$  以下、望ましくは  $5 \times 10^{18} \text{ atoms/cm}^3$  以下、より望ましくは  $5 \times 10^{17} \text{ atoms/cm}^3$  以下とすることができる。また、酸化物半導体層 342a 中に含まれる、Li、Na などのアルカリ金属、及び Ca などのアルカリ土類金属などの不純物濃度は、具体的に、二次イオン質量分析法による Na 濃度の測定値は、 $5 \times 10^{16} / \text{cm}^3$  以下、好ましくは  $1 \times 10^{16} / \text{cm}^3$  以下、更に好ましくは  $1 \times 10^{15} / \text{cm}^3$  以下とするとよい。同様に、Li 濃度の測定値は、 $5 \times 10^{15} / \text{cm}^3$  以下、好ましくは  $1 \times 10^{15} / \text{cm}^3$  以下とするとよい。同様に、K 濃度の測定値は、 $5 \times 10^{15} / \text{cm}^3$  以下、好ましくは  $1 \times 10^{15} / \text{cm}^3$  以下とすることができる。

20

【0259】

このような酸化物半導体層 342a をチャネルが形成される半導体層に用いたトランジスタは、オフ電流を極めて小さくすることが可能となる。具体的には、チャネル幅  $1 \mu\text{m}$  あたりのオフ電流を  $100 \text{ zA}$  以下、さらには  $10 \text{ zA}$  以下とすることができる。このオフ電流は、チャネルが形成される半導体層に結晶性を有するシリコンを用いたトランジスタのオフ電流と比較して、極めて低い値である。このように、チャネルが形成される半導体層に酸化物半導体を用いたトランジスタ 115 は、オフ電流を極めて小さいため、図 1 に示す記憶素子 110 が有する記憶回路 102 及び記憶回路 103 に退避させたデータを、長期にわたり保持することができる。

30

【0260】

また、本実施の形態に係るトランジスタは、比較的高い電界効果移動度を有するため、図 1 に示すトランジスタ 115 及びトランジスタ 117 に用いることにより、記憶回路 102 及び記憶回路 103 を高速動作させることが可能となる。したがって、図 1 に示す半導体装置において、電源の供給を停止する前に、論理回路 101 から記憶回路 102 及び記憶回路 103 へ短時間でデータを移すことができる。また、電源の供給を再開した後、記憶回路 102 及び記憶回路 103 から論理回路 101 へ短時間でデータを戻すことができる。

40

【0261】

本発明の一態様に係る記憶素子は、チャネルが形成される半導体層に酸化物半導体以外の半導体を用いたトランジスタで構成される論理回路 101 上に、チャネルが形成される半導体層に酸化物半導体を用いたトランジスタ 115 で構成される記憶回路 102、及びトランジスタ 117 で構成される記憶回路 103 を形成することができる。このように、チャネルが形成される半導体層に酸化物半導体を用いたトランジスタ 115 及びトランジスタ 117 は、チャネルが形成される半導体層に酸化物半導体以外の半導体を用いたトランジスタの上に積層することが可能であるため、3 次元的に記憶素子を構成することができる。したがって、記憶素子の占有面積を削減することができる。

50

## 【0262】

ところで、不揮発性のランダムアクセスメモリとして磁気トンネル接合素子(MTJ(Magnetic Tunneling Junction)素子)が知られている。MTJ素子は、絶縁層を介して上下に配置している磁性体のスピンの向きが並行であれば低抵抗状態、反並行であれば高抵抗状態となることで情報を記憶する素子である。したがって、本発明の一態様に係る記憶素子とは原理が全く異なっている。表1はMTJ素子と、本発明の一態様に係る記憶素子との対比を示す。

## 【0263】

## 【表1】

	スピントロニクス(MTJ素子)	OS/Si
1) 耐熱性	キュリー温度	プロセス温度500°C (信頼性150°C)
2) 駆動方式	電流駆動	電圧駆動
3) 書き込み原理	磁性体のスピンの向きを変える	FETのオン/オフ
4) Si LSI	バイポーラLSI向き (バイポーラは高集積化には不向きなため、高集積化回路ではMOSの方が好ましい。ただし、Wが大きくなる。)	MOSLSI向き
5) オーバーヘッド	大きい (ジュール熱が大きい)	2~3桁以上小さい (寄生容量の充放電)
6) 不揮発性	スピンを利用	オフ電流が小さいことを利用
7) 読み出し回数	無制限	無制限
8) 3D化	難(できても二層まで)	容易(何層でも可)
9) 集積化度( $F^2$ )	$4F^2 \sim 15F^2$	3D化の積層数で決まる (上層OSFET工程のプロセス耐熱性の確保が必要)
10) 材料	磁性を有する希土類	OS材料
11) ビットコスト	高い	低い (OSを構成する材料によっては(Inなど)、多少コスト高の可能性有り)
12) 磁界耐性	弱い	強い
13) 書き込み電力量	250fJ/bit	0.6fJ/bit

## 【0264】

MTJ素子は磁性材料を使用するためキュリー温度以上にすると磁性が失われてしまうという欠点がある。また、MTJ素子は電流駆動であるため、シリコンのバイポーラデバイスと相性が良いが、バイポーラデバイスは集積化に不向きである。そして、MTJ素子は書き込み電流が微少とはいえメモリの大容量化によって消費電力が増大してしまうといった問題がある。

## 【0265】

原理的にMTJ素子は磁界耐性に弱く強磁界にさらされると磁化の向きが狂いやすい。また、MTJ素子に用いる磁性体のナノスケール化によって生じる磁化揺らぎを制御する必要がある。

## 【0266】

さらに、MTJ素子は希土類元素を使用するため、金属汚染を嫌うシリコン半導体のプロセスに組み入れるには相当の注意を要する。MTJ素子はビット当たりの材料コストから見ても高価であると考えられる。

## 【0267】

一方、本実施の形態で示す酸化物半導体を用いたトランジスタは、チャネルを形成する半

10

20

30

40

50

導体材料が金属酸化物であること以外は、素子構造や動作原理がシリコンMOSFETと同様である。また、酸化物半導体を用いたトランジスタは磁界の影響を受けず、ソフトエラーも生じ得ないといった特質を有する。このことからシリコン集積回路と非常に整合性が良いといえる。

【0268】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

【0269】

(実施の形態4)

本実施の形態では、チャンネルが形成される半導体層に酸化物半導体を用いたトランジスタの、他の構成例について説明する。

10

【0270】

図12(A)に示すトランジスタ411は、下地層412上に形成されたソース電極414a及びドレイン電極414bと、ソース電極414a及びドレイン電極414b上に形成された酸化物半導体層413と、酸化物半導体層413、ソース電極414a、及びドレイン電極414b上のゲート絶縁層415と、ゲート絶縁層415上において酸化物半導体層413と重なる位置に設けられたゲート電極416と、ゲート電極416上において酸化物半導体層413を覆う保護絶縁層417とを有する。

【0271】

図12(A)に示すトランジスタ411は、ゲート電極416が酸化物半導体層413の上に形成されているトップゲート型であり、かつ、ソース電極414a及びドレイン電極414bが酸化物半導体層413の下に形成されているボトムコンタクト型である。そして、トランジスタ411は、ソース電極414a及びドレイン電極414bと、ゲート電極416とが重なっていないので、ソース電極414a及びドレイン電極414bとゲート電極416との間に形成される寄生容量を小さく抑えることができ、高速動作を実現することができる。

20

【0272】

また、酸化物半導体層413は、ゲート電極416が形成された後に酸化物半導体層413にn型の導電性を付与するドーパントを添加することで得られる、一对のドーパント領域418a及びドーパント領域418bを有する。また、酸化物半導体層413のうち、ゲート絶縁層415を間に挟んでゲート電極416と重なる領域がチャンネル形成領域419である。酸化物半導体層413では、一对のドーパント領域418a及びドーパント領域418bの間にチャンネル形成領域419が設けられている。ドーパント領域418a及びドーパント領域418bを形成するためのドーパントの添加は、イオン注入法を用いることができる。ドーパントは、例えばヘリウム、アルゴン、キセノンなどの希ガスや、窒素、リン、ヒ素、アンチモン、ホウ素などを用いることができる。

30

【0273】

例えば、窒素をドーパントとして用いた場合、ドーパント領域418a及びドーパント領域418b中の窒素原子の濃度は、 $5 \times 10^{19} / \text{cm}^3$ 以上 $1 \times 10^{22} / \text{cm}^3$ 以下であることが望ましい。

40

【0274】

n型の導電性を付与するドーパントが添加されているドーパント領域418a及びドーパント領域418bは、酸化物半導体層413中の他の領域に比べて導電性が高くなる。よって、ドーパント領域418a及びドーパント領域418bを酸化物半導体層413に設けることで、ソース電極414a及びドレイン電極414bの間の抵抗を下げるができる。

【0275】

また、In-Ga-Zn系酸化物を酸化物半導体層413に用いた場合、窒素を添加した後、300以上600以下程度で加熱処理を施すことにより、ドーパント領域418a及びドーパント領域418b中の酸化物半導体はウルツ鉱型の結晶構造を有するように

50

なる。ドーパント領域 4 1 8 a 及びドーパント領域 4 1 8 b 中の酸化物半導体がウルツ鉱型の結晶構造を有することで、さらにドーパント領域 4 1 8 a 及びドーパント領域 4 1 8 b の導電性を高め、ソース電極 4 1 4 a 及びドレイン電極 4 1 4 b の間の抵抗を下げるができる。なお、ウルツ鉱型の結晶構造を有する酸化物半導体を形成して、ソース電極 4 1 4 a 及びドレイン電極 4 1 4 b の間の抵抗を効果的に下げるためには、窒素をドーパントとして用いた場合、ドーパント領域 4 1 8 a 及びドーパント領域 4 1 8 b 中の窒素原子の濃度を、 $1 \times 10^{20} / \text{cm}^3$  以上 7 atoms % 以下とすることが望ましい。しかし、窒素原子が上記範囲よりも低い濃度であっても、ウルツ鉱型の結晶構造を有する酸化物半導体が得られる場合もある。

【0276】

また、酸化物半導体層 4 1 3 は、CAAC-Os で構成されていても良い。酸化物半導体層 4 1 3 が CAAC-Os で構成されている場合、非晶質の場合に比べて酸化物半導体層 4 1 3 の導電率を高めることができるので、ソース電極 4 1 4 a 及びドレイン電極 4 1 4 b の間の抵抗を下げるができる。

【0277】

そして、ソース電極 4 1 4 a 及びドレイン電極 4 1 4 b の間の抵抗を下げることで、トランジスタ 4 1 1 の微細化を進めても、高いオン電流と、高速動作を確保することができる。また、トランジスタ 4 1 1 の微細化により、当該トランジスタを用いた半導体装置の占有面積を縮小化し、単位面積あたりのトランジスタ数を高めることができる。

【0278】

図 1 2 ( B ) に示すトランジスタ 4 2 1 は、下地層 4 2 2 上に形成された、酸化物半導体層 4 2 3 と、酸化物半導体層 4 2 3 上に形成されたソース電極 4 2 4 a 及びドレイン電極 4 2 4 b と、酸化物半導体層 4 2 3、ソース電極 4 2 4 a 及びドレイン電極 4 2 4 b 上のゲート絶縁層 4 2 5 と、ゲート絶縁層 4 2 5 上において酸化物半導体層 4 2 3 と重なる位置に設けられたゲート電極 4 2 6 と、ゲート電極 4 2 6 上において酸化物半導体層 4 2 3 を覆う保護絶縁層 4 2 7 を有する。さらに、トランジスタ 4 2 1 は、ゲート電極 4 2 6 の側面に設けられた、絶縁層で形成されたサイドウォール 4 2 0 a、サイドウォール 4 2 0 b を有する。

【0279】

図 1 2 ( B ) に示すトランジスタ 4 2 1 は、ゲート電極 4 2 6 が酸化物半導体層 4 2 3 の上に形成されているトップゲート型であり、かつ、ソース電極 4 2 4 a 及びドレイン電極 4 2 4 b が酸化物半導体層 4 2 3 の上に形成されているトップコンタクト型である。そして、トランジスタ 4 2 1 は、トランジスタ 4 1 1 と同様に、ソース電極 4 2 4 a またはドレイン電極 4 2 4 b と、ゲート電極 4 2 6 とが重なっていないので、ソース電極 4 2 4 a またはドレイン電極 4 2 4 b と、ゲート電極 4 2 6 との間に形成される寄生容量を小さく抑えることができ、高速動作を実現することができる。

【0280】

また、酸化物半導体層 4 2 3 は、ゲート電極 4 2 6 が形成された後に酸化物半導体層 4 2 3 に n 型の導電性を付与するドーパントを添加することで得られる、一対の高濃度ドーパント領域 4 2 8 a 及び高濃度ドーパント領域 4 2 8 b と、一対の低濃度ドーパント領域 4 2 9 a 及び低濃度ドーパント領域 4 2 9 b とを有する。また、酸化物半導体層 4 2 3 のうち、ゲート絶縁層 4 2 5 を間に挟んでゲート電極 4 2 6 と重なる領域がチャンネル形成領域 4 5 1 である。酸化物半導体層 4 2 3 では、一対の高濃度ドーパント領域 4 2 8 a 及び高濃度ドーパント領域 4 2 8 b の間に、一対の低濃度ドーパント領域 4 2 9 a 及び低濃度ドーパント領域 4 2 9 b が設けられ、一対の低濃度ドーパント領域 4 2 9 a 及び低濃度ドーパント領域 4 2 9 b の間にチャンネル形成領域 4 5 1 が設けられている。そして、一対の低濃度ドーパント領域 4 2 9 a 及び低濃度ドーパント領域 4 2 9 b は、酸化物半導体層 4 2 3 中の、ゲート絶縁層 4 2 5 を間に挟んでサイドウォール 4 2 0 a、サイドウォール 4 2 0 b と重なる領域に設けられている。

【0281】

10

20

30

40

50

高濃度ドーパント領域 4 2 8 a 及び高濃度ドーパント領域 4 2 8 b 及び低濃度ドーパント領域 4 2 9 a 及び低濃度ドーパント領域 4 2 9 b は、上述した、トランジスタ 4 1 1 が有するドーパント領域 4 1 8 a 及びドーパント領域 4 1 8 b の場合と同様に、イオン注入法を用いて形成することができる。そして、高濃度ドーパント領域 4 2 8 a 及び高濃度ドーパント領域 4 2 8 b を形成するためのドーパントの種類については、ドーパント領域 4 1 8 a 及びドーパント領域 4 1 8 b の場合を参照することができる。

【 0 2 8 2 】

例えば、窒素をドーパントとして用いた場合、高濃度ドーパント領域 4 2 8 a 及び高濃度ドーパント領域 4 2 8 b 中の窒素原子の濃度は、 $5 \times 10^{19} / \text{cm}^3$  以上  $1 \times 10^{22} / \text{cm}^3$  以下であることが望ましい。また、例えば、窒素をドーパントとして用いた場合、低濃度ドーパント領域 4 2 9 a 及び低濃度ドーパント領域 4 2 9 b 中の窒素原子の濃度は、 $5 \times 10^{18} / \text{cm}^3$  以上  $5 \times 10^{19} / \text{cm}^3$  未満であることが望ましい。

10

【 0 2 8 3 】

n 型の導電性を付与するドーパントが添加されている高濃度ドーパント領域 4 2 8 a 及び高濃度ドーパント領域 4 2 8 b は、酸化物半導体層 4 2 3 中の他の領域に比べて導電性が高くなる。よって、高濃度ドーパント領域 4 2 8 a 及び高濃度ドーパント領域 4 2 8 b を酸化物半導体層 4 2 3 に設けることで、ソース電極 4 2 4 a とドレイン電極 4 2 4 b の間の抵抗を下げる可以降低。また、低濃度ドーパント領域 4 2 9 a 及び低濃度ドーパント領域 4 2 9 b をチャネル形成領域 4 5 1 と高濃度ドーパント領域 4 2 8 a 及び高濃度ドーパント領域 4 2 8 b の間に設けることで、短チャネル効果によるしきい値電圧のマイナ

20

【 0 2 8 4 】

また、In - Ga - Zn 系酸化物を酸化物半導体層 4 2 3 に用いた場合、窒素を添加した後、300 以上 600 以下程度で加熱処理を施すことにより、高濃度ドーパント領域 4 2 8 a 及び高濃度ドーパント領域 4 2 8 b 中の酸化物半導体はウルツ鉱型の結晶構造を有するようになる。またさらに、低濃度ドーパント領域 4 2 9 a 及び低濃度ドーパント領域 4 2 9 b も、窒素の濃度によっては、上記加熱処理によりウルツ鉱型の結晶構造を有する場合もある。高濃度ドーパント領域 4 2 8 a 及び高濃度ドーパント領域 4 2 8 b 中の酸化物半導体がウルツ鉱型の結晶構造を有することで、さらに高濃度ドーパント領域 4 2 8 a 及び高濃度ドーパント領域 4 2 8 b の導電性を高め、ソース電極 4 2 4 a とドレイン電極 4 2 4 b の間の抵抗を下げる可以降低。なお、ウルツ鉱型の結晶構造を有する酸化物半導体を形成して、ソース電極 4 2 4 a とドレイン電極 4 2 4 b の間の抵抗を効果的に下げるためには、窒素をドーパントとして用いた場合、高濃度ドーパント領域 4 2 8 a 及び高濃度ドーパント領域 4 2 8 b 中の窒素原子の濃度を、 $1 \times 10^{20} / \text{cm}^3$  以上 7 at oms % 以下とすることが望ましい。しかし、窒素原子が上記範囲よりも低い濃度であっても、ウルツ鉱型の結晶構造を有する酸化物半導体が得られる場合もある。

30

【 0 2 8 5 】

また、酸化物半導体層 4 2 3 は、CAAC - OS で構成されていても良い。酸化物半導体層 4 2 3 が CAAC - OS で構成されている場合、非晶質の場合に比べて酸化物半導体層 4 2 3 の導電率を高めることができるので、ソース電極 4 2 4 a とドレイン電極 4 2 4 b の間の抵抗を下げる可以降低。

40

【 0 2 8 6 】

そして、ソース電極 4 2 4 a とドレイン電極 4 2 4 b の間の抵抗を下げる可以降低。また、トランジスタ 4 2 1 の微細化を進めても、高いオン電流と、高速動作を確保することができる。また、トランジスタ 4 2 1 の微細化により、当該トランジスタを用いたメモリセルの占める面積を縮小化し、セルアレイの単位面積あたりの記憶容量を高めることができる。

【 0 2 8 7 】

図 1 2 ( C ) に示すトランジスタ 4 3 1 は、下地層 4 3 2 上に形成されたソース電極 4 3 4 a 及びドレイン電極 4 3 4 b と、ソース電極 4 3 4 a 及びドレイン電極 4 3 4 b 上に形成された活性層として機能する酸化物半導体層 4 3 3 と、酸化物半導体層 4 3 3、ソース

50

電極 4 3 4 a、及びドレイン電極 4 3 4 b 上のゲート絶縁層 4 3 5 と、ゲート絶縁層 4 3 5 上において酸化物半導体層 4 3 3 と重なる位置に設けられたゲート電極 4 3 6 と、ゲート電極 4 3 6 上において酸化物半導体層 4 3 3 を覆う保護絶縁層 4 3 7 とを有する。さらに、トランジスタ 4 3 1 は、ゲート電極 4 3 6 の側面に設けられた、絶縁層で形成されたサイドウォール 4 3 0 a 及びサイドウォール 4 3 0 b を有する。

【 0 2 8 8 】

図 1 2 ( C ) に示すトランジスタ 4 3 1 は、ゲート電極 4 3 6 が酸化物半導体層 4 3 3 の上に形成されているトップゲート型であり、なおかつ、ソース電極 4 3 4 a 及びドレイン電極 4 3 4 b が酸化物半導体層 4 3 3 の下に形成されているボトムコンタクト型である。そして、トランジスタ 4 3 1 は、トランジスタ 4 1 1 と同様に、ソース電極 4 3 4 a 及びドレイン電極 4 3 4 b と、ゲート電極 4 3 6 とが重なっていないので、ソース電極 4 3 4 a とゲート電極 4 3 6 の間、またはドレイン電極 4 3 4 b とゲート電極 4 3 6 の間に形成される寄生容量を小さく抑えることができ、高速動作を実現することができる。

10

【 0 2 8 9 】

また、酸化物半導体層 4 3 3 は、ゲート電極 4 3 6 が形成された後に酸化物半導体層 4 3 3 に n 型の導電性を付与するドーパントを添加することで得られる、一对の高濃度ドーパント領域 4 3 8 a 及び高濃度ドーパント領域 4 3 8 b と、一对の低濃度ドーパント領域 4 3 9 a 及び低濃度ドーパント領域 4 3 9 b とを有する。また、酸化物半導体層 4 3 3 のうち、ゲート絶縁層 4 3 5 を間に挟んでゲート電極 4 3 6 と重なる領域がチャネル形成領域 4 6 1 である。酸化物半導体層 4 3 3 では、一对の高濃度ドーパント領域 4 3 8 a 及び高濃度ドーパント領域 4 3 8 b の間に、一对の低濃度ドーパント領域 4 3 9 a 及び低濃度ドーパント領域 4 3 9 b が設けられ、一对の低濃度ドーパント領域 4 3 9 a 及び低濃度ドーパント領域 4 3 9 b の間に、チャネル形成領域 4 6 1 が設けられている。そして、一对の低濃度ドーパント領域 4 3 9 a 及び低濃度ドーパント領域 4 3 9 b は、酸化物半導体層 4 3 3 中の、ゲート絶縁層 4 3 5 を間に挟んでサイドウォール 4 3 0 a 及びサイドウォール 4 3 0 b と重なる領域に設けられている。

20

【 0 2 9 0 】

高濃度ドーパント領域 4 3 8 a、高濃度ドーパント領域 4 3 8 b、低濃度ドーパント領域 4 3 9 a、及び低濃度ドーパント領域 4 3 9 b は、上述した、トランジスタ 4 1 1 が有するドーパント領域 4 1 8 a 及びドーパント領域 4 1 8 b の場合と同様に、イオン注入法を用いて形成することができる。そして、高濃度ドーパント領域 4 3 8 a 及び高濃度ドーパント領域 4 3 8 b を形成するためのドーパントの種類については、ドーパント領域 4 1 8 a 及びドーパント領域 4 1 8 b の場合を参照することができる。

30

【 0 2 9 1 】

例えば、窒素をドーパントとして用いた場合、高濃度ドーパント領域 4 3 8 a 及び高濃度ドーパント領域 4 3 8 b 中の窒素原子の濃度は、 $5 \times 10^{19} / \text{cm}^3$  以上  $1 \times 10^{22} / \text{cm}^3$  以下であることが望ましい。また、例えば、窒素をドーパントとして用いた場合、低濃度ドーパント領域 4 3 9 a 及び低濃度ドーパント領域 4 3 9 b 中の窒素原子の濃度は、 $5 \times 10^{18} / \text{cm}^3$  以上  $5 \times 10^{19} / \text{cm}^3$  未満であることが望ましい。

40

【 0 2 9 2 】

n 型の導電性を付与するドーパントが添加されている高濃度ドーパント領域 4 3 8 a 及び高濃度ドーパント領域 4 3 8 b は、酸化物半導体層 4 3 3 中の他の領域に比べて導電性が高くなる。よって、高濃度ドーパント領域 4 3 8 a 及び高濃度ドーパント領域 4 3 8 b を酸化物半導体層 4 3 3 に設けることで、ソース電極 4 3 4 a とドレイン電極 4 3 4 b の間の抵抗を下げるることができる。また、低濃度ドーパント領域 4 3 9 a 及び低濃度ドーパント領域 4 3 9 b をチャネル形成領域 4 6 1 と高濃度ドーパント領域 4 3 8 a 及び高濃度ドーパント領域 4 3 8 b の間に設けることで、短チャネル効果によるしきい値電圧のマイナスシフトを軽減することができる。

【 0 2 9 3 】

また、In - Ga - Zn 系酸化物を酸化物半導体層 4 3 3 に用いた場合、窒素を添加した

50

後、300 以上600 以下程度で加熱処理を施すことにより、高濃度ドーパント領域438 a及び高濃度ドーパント領域438 b中の酸化物半導体はウルツ鉱型の結晶構造を有するようになる。またさらに、低濃度ドーパント領域439 a及び低濃度ドーパント領域439 bも、窒素の濃度によっては、上記加熱処理によりウルツ鉱型の結晶構造を有する場合もある。高濃度ドーパント領域438 a及び高濃度ドーパント領域438 b中の酸化物半導体がウルツ鉱型の結晶構造を有することで、さらに高濃度ドーパント領域438 a及び高濃度ドーパント領域438 bの導電性を高め、ソース電極434 aとドレイン電極434 bの間の抵抗を下げるができる。なお、ウルツ鉱型の結晶構造を有する酸化物半導体を形成して、ソース電極434 aとドレイン電極434 bの間の抵抗を効果的に下げるためには、窒素をドーパントとして用いた場合、高濃度ドーパント領域438 a及び高濃度ドーパント領域438 b中の窒素原子の濃度を、 $1 \times 10^{20} / \text{cm}^3$  以上7 at oms %以下とすることが望ましい。しかし、窒素原子が上記範囲よりも低い濃度であっても、ウルツ鉱型の結晶構造を有する酸化物半導体が得られる場合もある。

10

## 【0294】

また、酸化物半導体層433は、CAAC-Osで構成されていても良い。酸化物半導体層433がCAAC-Osで構成されている場合、非晶質の場合に比べて酸化物半導体層433の導電率を高めることができるので、ソース電極434 aとドレイン電極434 bの間の抵抗を下げるができる。

## 【0295】

そして、ソース電極434 aとドレイン電極434 bの間の抵抗を下げることで、トランジスタ431の微細化を進めても、高いオン電流と、高速動作を確保することができる。また、トランジスタ431の微細化により、当該トランジスタを用いた半導体装置の占める面積を縮小化し、単位面積あたりのトランジスタ数を高めることができる。

20

## 【0296】

なお、酸化物半導体を用いたトランジスタにおいて、ソース領域またはドレイン領域として機能する高濃度ドーパント領域をセルフアラインプロセスにて作製する方法の一つとして、酸化物半導体層の表面を露出させて、アルゴンプラズマ処理をおこない、酸化物半導体層のプラズマにさらされた領域の抵抗率を低下させる方法が開示されている(S. Jeon et al. "180nm Gate Length Amorphous InGaZnO Thin Film Transistor for High Density Image Sensor Applications", IEDM Tech. Dig., pp. 504-507, 2010.)。

30

## 【0297】

しかしながら、上記作製方法では、ゲート絶縁層を形成した後、ソース領域またはドレイン領域となるべき部分を露出するべく、ゲート絶縁層を部分的に除去する必要がある。よって、ゲート絶縁層が除去される際に、下層の酸化物半導体層も部分的にオーバーエッチングされ、ソース領域またはドレイン領域となるべき部分の膜厚が小さくなってしまふ。その結果、ソース領域またはドレイン領域の抵抗が増加し、また、オーバーエッチングによるトランジスタの特性不良が起こりやすくなる。

## 【0298】

トランジスタの微細化を進めるには、加工精度の高いドライエッチング法を採用する必要がある。しかし、上記オーバーエッチングは、酸化物半導体層とゲート絶縁層の選択比が十分に確保できないドライエッチング法を採用する場合に、顕著に起こりやすい。

40

## 【0299】

例えば、酸化物半導体層が十分な厚さであればオーバーエッチングも問題にはならないが、チャンネル長を200 nm以下とする場合には、短チャンネル効果を防止する上で、チャンネル形成領域となる部分の酸化物半導体層の厚さは20 nm以下、好ましくは10 nm以下であることが求められる。そのような薄い酸化物半導体層を扱う場合には、酸化物半導体層のオーバーエッチングは、上述したような、ソース領域またはドレイン領域の抵抗が増加、トランジスタの特性不良を生じさせるため、好ましくない。

50

## 【0300】

しかし、本発明の一態様のように、酸化物半導体層へのドーパントの添加を、酸化物半導体層を露出させず、ゲート絶縁層を残したまま行うことで、酸化物半導体層のオーバーエッチングを防ぎ、酸化物半導体層への過剰なダメージを軽減することができる。また、加えて、酸化物半導体層とゲート絶縁層の界面も清浄に保たれる。従って、トランジスタの特性及び信頼性を高めることができる。

## 【0301】

また、酸化物半導体層より下層に位置する下地層や、上層に位置する保護絶縁層は、アルカリ金属や、水素及び酸素に対するバリア性の高い材料を用いるのが望ましい。例えば、バリア性の高い絶縁層として、窒化珪素、窒化酸化珪素、窒化アルミニウム、酸化アルミニウム、酸化窒化アルミニウム、又は窒化酸化アルミニウムなどを用いることができる。下地層及び保護絶縁層をバリア性の高い絶縁層の単層または積層、もしくは、バリア性の高い絶縁層と、バリア性の低い絶縁層の積層としてもよい。

10

## 【0302】

酸化物半導体層をバリア性の高い絶縁層で覆うことにより、外部からの不純物の侵入を防ぐとともに、酸化物半導体層中からの酸素脱離を防ぐことができる。よって、トランジスタの信頼性を向上させることができる。

## 【0303】

図12(D)に示すトランジスタ441は、絶縁層442中にゲート電極446、電極477、電極478が埋め込まれた構成を有する。このような構成は、ゲート電極446、電極477、電極478上に絶縁層442を形成した後、CMP処理やエッチング処理によりゲート電極446、電極477、電極478の上面を露出させることで実現することができる。また、CMP処理とエッチング処理を組み合わせるとゲート電極446、電極477、電極478の上面を露出させてもよい。

20

## 【0304】

また、トランジスタ441は、ゲート電極446上に形成されたゲート絶縁層445と、ゲート絶縁層445上に形成された酸化物半導体層443と、酸化物半導体層443上に形成されたソース電極444a及びドレイン電極444bを有する。ソース電極444a及びドレイン電極444bの端部は、階段形状に加工されている。また、ソース電極444a及びドレイン電極444b上に、酸化物半導体層443の一部と接して形成された絶縁層449を有し、絶縁層449上に形成された電極476と、電極476上に形成された保護絶縁層447を有する。

30

## 【0305】

図12(D)に示すトランジスタ441は、ゲート電極446が酸化物半導体層443の下に形成されているボトムゲート型であり、なおかつ、ソース電極444a及びドレイン電極444bが酸化物半導体層443の下に形成されているボトムコンタクト型である。トランジスタ441のチャンネル長(L)は、酸化物半導体層443と接するソース電極444a及びドレイン電極444bの間隔によって決定される。

## 【0306】

また、酸化物半導体層443と接するゲート絶縁層445と絶縁層449は、酸素を多く含む絶縁層とすることが好ましい。

40

## 【0307】

電極476は、ゲート電極446、ソース電極444a、及びドレイン電極444bと同様の材料及び方法で形成することができる。電極476は、ゲート電極446と電極476で酸化物半導体層443のチャンネル形成領域を挟むように配置される。電極476は、ソース電極444aまたはドレイン電極444bのどちらか一方に電氣的に接続してもよいし、ゲート電極446に電氣的に接続してもよい。また、どこにも接続せず電氣的に浮遊した状態(フローティング)としても良い。電極476を設けると、複数のトランジスタを形成した時のトランジスタ間の特性ばらつきが低減し、半導体装置の動作が安定する効果が得られる。

50

## 【0308】

また、電極476は、バックゲート電極として機能させることができる。一般に、バックゲート電極は、ゲート電極とバックゲート電極で半導体層のチャネル形成領域を挟むように配置される。バックゲート電極は導電層で形成され、ゲート電極と同様に機能させることができる。電極476は、ゲート電極446と電極476で酸化物半導体層443のチャネル形成領域を挟むように配置されるため、バックゲート電極として機能させることができる。よって、電極476は、ゲート電極446と同様に機能させることができる。また、ゲート電極446の電位とは別に、電極476の電位を変化させることで、トランジスタのしきい値電圧を変化させることができる。また、電極476をゲート電極として用いて、ゲート電極446をバックゲート電極として用いることも可能である。

10

## 【0309】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

## 【0310】

(実施の形態5)

本実施の形態では、先の実施の形態で示した記憶装置を用いた信号処理回路の構成について説明する。

## 【0311】

図13に、本発明の一態様に係る信号処理回路の一例を示す。信号処理回路は、一または複数の演算回路と、一または複数の記憶装置とを少なくとも有する。具体的に、図13に示す信号処理回路500は、演算回路501、演算回路502、記憶装置503、記憶装置504、記憶装置505、制御装置506、電源制御回路507、記憶装置508を有する。

20

## 【0312】

演算回路501、演算回路502は、単純な論理演算を行う論理回路をはじめ、加算器、乗算器、さらには各種演算回路などを含む。そして、記憶装置503は、演算回路501における演算処理の際に、データを一時的に保持するレジスタとして機能する。記憶装置504は、演算回路502における演算処理の際に、データを一時的に保持するレジスタとして機能する。

## 【0313】

また、記憶装置505はメインメモリとして用いることができ、制御装置506が実行するプログラムをデータとして記憶する、或いは演算回路501、演算回路502からのデータを記憶することができる。

30

## 【0314】

制御装置506は、信号処理回路500が有する演算回路501、演算回路502、記憶装置503、記憶装置504、記憶装置505、記憶装置508の動作を統括的に制御する回路である。なお、図13では、制御装置506が信号処理回路500の一部である構成を示しているが、制御装置506は信号処理回路500の外部に設けられていても良い。

## 【0315】

また、記憶装置への電源の供給が停止されるのに合わせて、当該記憶装置とデータのやり取りを行う演算回路または制御回路への、電源の供給を停止するようにしても良い。例えば、演算回路501と記憶装置503において、動作が行われない場合、演算回路501及び記憶装置503への電源の供給を停止するようにしても良い。

40

## 【0316】

また、電源制御回路507は、信号処理回路500が有する演算回路501、演算回路502、記憶装置503、記憶装置504、記憶装置505、制御装置506、記憶装置508へ供給する電源の大きさを制御する。そして、電源の供給を停止する場合、電源の供給を停止するためのスイッチング素子は、電源制御回路507に設けられていても良いし、演算回路501、演算回路502、記憶装置503、記憶装置504、記憶装置505

50

、制御装置506、記憶装置508のそれぞれに設けられていても良い。後者の場合、電源制御回路507は、必ずしも本発明の一態様に係る信号処理回路に設ける必要はない。

【0317】

また、メインメモリである記憶装置505と、制御装置506との間に、キャッシュメモリとして機能する記憶装置508を設けることが好ましい。キャッシュメモリを設けることで、低速なメインメモリへのアクセスを減らして演算処理などの信号処理を高速化させることができる。

【0318】

記憶装置503、記憶装置504、記憶装置508のそれぞれに、本発明の一態様に係る記憶装置を用いることで、短時間、電源の供給を停止しても記憶装置のデータを保持することができる。また、記憶装置に保持されたデータを外部の不揮発性記憶装置にデータを移す必要がなくなるため、短時間で電源の供給を停止することができる。また、電源の供給を開始した後も、記憶装置に保持されたデータを短時間で電源供給停止前の状態に復元することができる。このような記憶装置503、記憶装置504、記憶装置508を信号処理回路500に用いることで、短時間の電源供給停止も容易に行うことができ、消費電力を低減することができる。

10

【0319】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ合わせて用いることができる。

【0320】

20

(実施の形態6)

本発明の一態様に係る記憶素子、記憶装置または信号処理回路は、さまざまな電子機器(遊技機も含む)に適用することができる。電子機器としては、例えば、テレビジョン装置(テレビ、またはテレビジョン受信機ともいう)、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ等のカメラ、デジタルフォトフレーム、携帯電話機(携帯電話、携帯電話装置ともいう)、携帯型ゲーム機、携帯情報端末、音響再生装置、パチンコ機などの大型ゲーム機などが挙げられる。上記実施の形態で説明した記憶素子、記憶装置または信号処理回路が搭載された電子機器の例について説明する。

【0321】

図14(A)は、ノート型のパーソナルコンピュータであり、本体3001、筐体3002、表示部3003、キーボード3004などによって構成されている。筐体3002の内部には、本発明の一態様に係る記憶素子、記憶装置または信号処理回路が搭載されている。そのため、必要に応じて電力の供給を停止することができる。また、本発明の一態様に係る記憶装置または信号処理回路は、電源の供給の停止動作、及び電源の供給の再開動作が速いため、短時間の電源供給停止が容易であり、ノート型のパーソナルコンピュータの消費電力を効率よく低減することができる。

30

【0322】

図14(B)は、携帯情報端末(PDA)であり、本体3021には表示部3023と、外部インターフェイス3025と、操作ボタン3024等が設けられている。また操作用の付属品としてスタイラス3022がある。本体3021内部には、本発明の一態様に係る記憶素子、記憶装置または信号処理回路が搭載されている。そのため、必要に応じて電力の供給を停止することができる。また、本発明の一態様に係る記憶装置または信号処理回路は、電源の供給の停止動作、及び電源の供給の再開動作が速いため、短時間の電源供給停止が容易であり、携帯情報端末の消費電力を効率よく低減することができる。

40

【0323】

図14(C)は、電子書籍の一例を示している。例えば、電子書籍は、筐体2706および筐体2704の2つの筐体で構成されている。筐体2706および筐体2704は、軸部2712により一体とされており、該軸部2712を軸として開閉動作を行うことができる。このような構成により、紙の書籍のような動作を行うことが可能となる。

【0324】

50

筐体 2706 には表示部 2705 が組み込まれ、筐体 2704 には表示部 2707 が組み込まれている。表示部 2705 および表示部 2707 は、続き画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成とすることで、例えば右側の表示部（図 14（C）では表示部 2705）に文章を表示し、左側の表示部（図 14（C）では表示部 2707）に画像を表示することができる。筐体 2704 及び筐体 2706 の少なくとも一方の内部には、本発明の一態様に係る記憶素子、記憶装置または信号処理回路が搭載されている。そのため、必要に応じて電力の供給を停止することができる。また、本発明の一態様に係る記憶装置または信号処理回路は、電源の供給の停止動作、及び電源の供給の再開動作が速いため、短時間の電源供給停止が容易であり、電子書籍の消費電力を効率よく低減することができる。

10

**【0325】**

また、図 14（C）では、筐体 2706 に操作部などを備えた例を示している。例えば、筐体 2706 において、電源端子 2721、操作キー 2723、スピーカー 2725などを備えている。操作キー 2723 により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングデバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子（イヤホン端子、USB 端子など）、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍は、電子辞書としての機能を持たせた構成としてもよい。

**【0326】**

また、電子書籍は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

20

**【0327】**

図 14（D）は、携帯電話であり、筐体 2800 及び筐体 2801 の二つの筐体で構成されている。筐体 2801 には、表示パネル 2802、スピーカー 2803、マイクロフォン 2804、ポインティングデバイス 2806、カメラ用レンズ 2807、外部接続端子 2808などを備えている。また、筐体 2800 には、携帯電話の充電を行う太陽電池セル 2810、外部メモリスロット 2811などを備えている。また、アンテナは筐体 2801 内部に内蔵されている。

筐体 2800 及び筐体 2801 の少なくとも一方の内部には、本発明の一態様に係る記憶素子、記憶装置または信号処理回路が搭載されている。そのため、必要に応じて電力の供給を停止することができる。また、本発明の一態様に係る記憶装置または信号処理回路は、電源の供給の停止動作、及び電源の供給の再開動作が速いため、短時間の電源供給停止が容易であり、携帯電話の消費電力を効率よく低減することができる。

30

**【0328】**

また、表示パネル 2802 はタッチパネルを備えており、図 14（D）には映像表示されている複数の操作キー 2805 を点線で示している。なお、太陽電池セル 2810 で出力される電圧を各回路に必要な電圧に昇圧するための昇圧回路も実装している。

**【0329】**

表示パネル 2802 は、使用形態に応じて表示の方向が適宜変化する。また、表示パネル 2802 と同一面上にカメラ用レンズ 2807 を備えているため、テレビ電話が可能である。スピーカー 2803 及びマイクロフォン 2804 は音声通話に限らず、テレビ電話、録音、再生などが可能である。さらに、筐体 2800 と筐体 2801 は、スライドし、図 14（D）のように展開している状態から重なり合った状態とすることができ、携帯に適した小型化が可能である。

40

**【0330】**

外部接続端子 2808 は AC アダプタ及び USB ケーブルなどの各種ケーブルと接続可能であり、充電及びパーソナルコンピュータなどとのデータ通信が可能である。また、外部メモリスロット 2811 に記録媒体を挿入し、より大量のデータ保存及び移動に対応できる。

50

【0331】

また、上記機能に加えて、赤外線通信機能、テレビ受信機能などを備えたものであってもよい。

【0332】

図14(E)は、デジタルビデオカメラであり、本体3051、表示部(A)3057、接眼部3053、操作スイッチ3054、表示部(B)3055、バッテリー3056などによって構成されている。本体3051の内部には、本発明の一態様に係る記憶素子、記憶装置または信号処理回路が搭載されている。そのため、必要に応じて電力の供給を停止することができる。また、本発明の一態様に係る記憶装置または信号処理回路は、電源の供給の停止動作、及び電源の供給の再開動作が速いため、短時間の電源供給停止が容易であり、デジタルビデオカメラの消費電力を効率よく低減することができる。

10

【0333】

図14(F)は、テレビジョン装置の一例を示している。テレビジョン装置は、筐体9601に表示部9603が組み込まれている。表示部9603により、映像を表示することが可能である。また、ここでは、スタンド9605により筐体9601を支持した構成を示している。筐体9601の内部には、本発明の一態様に係る記憶素子、記憶装置または信号処理回路が搭載されている。そのため、必要に応じて電力の供給を停止することができる。また、本発明の一態様に係る記憶装置または信号処理回路は、電源の供給の停止動作、及び電源の供給の再開動作が速いため、短時間の電源供給停止が容易であり、テレビジョン装置の消費電力を効率よく低減することができる。

20

【0334】

テレビジョン装置の操作は、筐体9601が備える操作スイッチや、別体のリモコン操作機により行うことができる。また、リモコン操作機に、当該リモコン操作機から出力する情報を表示する表示部を設ける構成としてもよい。

【0335】

なお、テレビジョン装置は、受信機やモデムなどを備えた構成とする。受信機により一般のテレビ放送の受信を行うことができ、さらにモデムを介して有線または無線による通信ネットワークに接続することにより、一方向(送信者から受信者)または双方向(送信者と受信者間、あるいは受信者間同士など)の情報通信を行うことも可能である。

30

【0336】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

【符号の説明】

【0337】

- 100 記憶装置
- 101 論理回路
- 102 記憶回路
- 103 記憶回路
- 104 インバータ回路
- 105 インバータ回路
- 106 スイッチ
- 107 スイッチ
- 108 プリチャージ回路
- 110 記憶素子
- 111 トランジスタ
- 112 トランジスタ
- 113 トランジスタ
- 114 トランジスタ
- 115 トランジスタ
- 116 容量素子

40

50

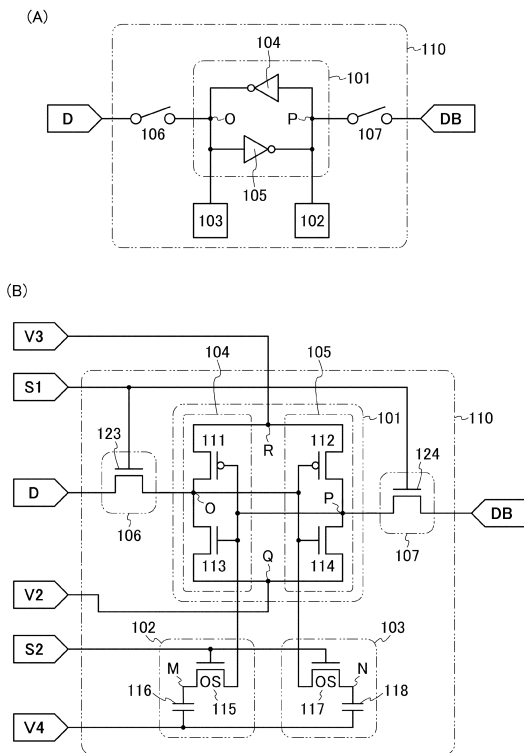
1 1 7	トランジスタ	
1 1 8	容量素子	
1 2 3	トランジスタ	
1 2 4	トランジスタ	
2 0 0	記憶装置	
2 0 1	記憶装置	
2 1 0	メモリセルアレイ	
2 1 1	駆動回路	
2 1 2	駆動回路	
2 2 1	配線	10
2 2 2	配線	
2 2 3	配線	
2 2 4	配線	
3 0 0	基板	
3 0 2	絶縁層	
3 0 4	半導体層	
3 0 8	半導体層	
3 1 0	半導体層	
3 1 2	導電層	
3 1 3	電極	20
3 2 4	絶縁層	
3 2 5	開口	
3 3 0	トランジスタ	
3 3 1	曲線	
3 4 2	酸化物半導体層	
3 4 3	導電層	
3 4 6	ゲート絶縁層	
3 4 8	導電層	
3 5 0	絶縁層	
3 5 2	絶縁層	30
3 5 4	電極	
3 5 5	開口	
3 5 6	配線	
4 1 1	トランジスタ	
4 1 2	下地層	
4 1 3	酸化物半導体層	
4 1 5	ゲート絶縁層	
4 1 6	ゲート電極	
4 1 7	保護絶縁層	
4 1 9	チャネル形成領域	40
4 2 1	トランジスタ	
4 2 2	下地層	
4 2 3	酸化物半導体層	
4 2 5	ゲート絶縁層	
4 2 6	ゲート電極	
4 2 7	保護絶縁層	
4 3 1	トランジスタ	
4 3 2	下地層	
4 3 3	酸化物半導体層	
4 3 5	ゲート絶縁層	50

4 3 6	ゲート電極	
4 3 7	保護絶縁層	
4 4 1	トランジスタ	
4 4 2	絶縁層	
4 4 3	酸化物半導体層	
4 4 5	ゲート絶縁層	
4 4 6	ゲート電極	
4 4 7	保護絶縁層	
4 4 9	絶縁層	
4 5 1	チャンネル形成領域	10
4 6 1	チャンネル形成領域	
4 7 6	電極	
4 7 7	電極	
4 7 8	電極	
5 0 0	信号処理回路	
5 0 1	演算回路	
5 0 2	演算回路	
5 0 3	記憶装置	
5 0 4	記憶装置	
5 0 5	記憶装置	20
5 0 6	制御装置	
5 0 7	電源制御回路	
5 0 8	記憶装置	
7 0 1	期間	
7 0 2	期間	
7 0 3	期間	
7 0 4	期間	
7 0 5	期間	
7 0 6	期間	
7 0 7	期間	30
7 0 8	期間	
7 0 9	期間	
7 2 1	部位	
7 2 2	部位	
2 7 0 4	筐体	
2 7 0 5	表示部	
2 7 0 6	筐体	
2 7 0 7	表示部	
2 7 1 2	軸部	
2 7 2 1	電源端子	40
2 7 2 3	操作キー	
2 7 2 5	スピーカー	
2 8 0 0	筐体	
2 8 0 1	筐体	
2 8 0 2	表示パネル	
2 8 0 3	スピーカー	
2 8 0 4	マイクロフォン	
2 8 0 5	操作キー	
2 8 0 6	ポインティングデバイス	
2 8 0 7	カメラ用レンズ	50

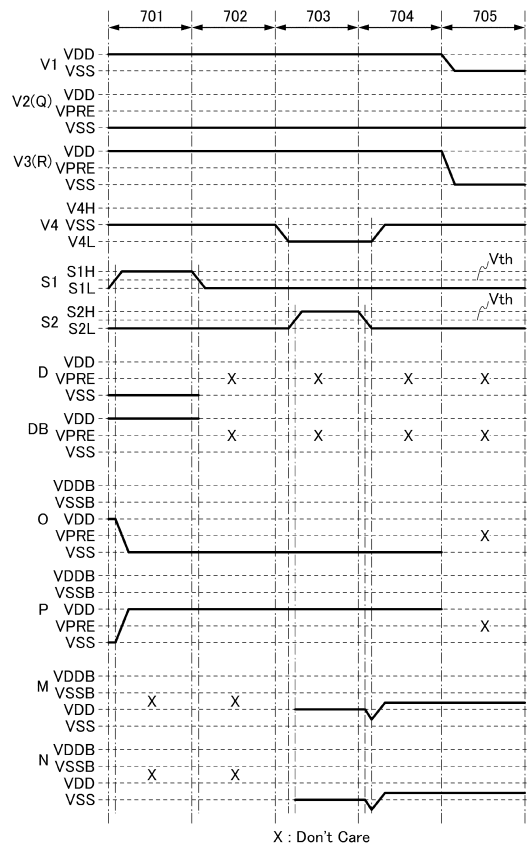
2 8 0 8	外部接続端子	
2 8 1 0	太陽電池セル	
2 8 1 1	外部メモリスロット	
3 0 0 1	本体	
3 0 0 2	筐体	
3 0 0 3	表示部	
3 0 0 4	キーボード	
3 0 2 1	本体	
3 0 2 2	スタイラス	
3 0 2 3	表示部	10
3 0 2 4	操作ボタン	
3 0 2 5	外部インターフェイス	
3 0 5 1	本体	
3 0 5 3	接眼部	
3 0 5 4	操作スイッチ	
3 0 5 6	バッテリー	
9 6 0 1	筐体	
9 6 0 3	表示部	
9 6 0 5	スタンド	
3 0 4 a	半導体層	20
3 0 4 b	半導体層	
3 0 6 a	ゲート絶縁層	
3 0 6 b	ゲート絶縁層	
3 1 2 a	ゲート電極	
3 1 2 b	ゲート電極	
3 1 4 a	不純物領域	
3 1 4 b	不純物領域	
3 1 6 a	不純物領域	
3 1 6 b	不純物領域	
3 1 8 a	サイドウォール	30
3 1 8 b	サイドウォール	
3 1 8 c	サイドウォール	
3 1 8 d	サイドウォール	
3 2 0 a	不純物領域	
3 2 0 b	不純物領域	
3 2 2 a	不純物領域	
3 2 2 b	不純物領域	
3 4 2 a	酸化物半導体層	
3 4 4 a	ソース電極	
3 4 4 b	ドレイン電極	40
3 4 8 a	ゲート電極	
3 4 8 b	電極	
3 4 9 a	ドーパント領域	
3 4 9 b	ドーパント領域	
4 1 4 a	ソース電極	
4 1 4 b	ドレイン電極	
4 1 8 a	ドーパント領域	
4 1 8 b	ドーパント領域	
4 2 0 a	サイドウォール	
4 2 0 b	サイドウォール	50

- 4 2 4 a ソース電極
- 4 2 4 b ドレイン電極
- 4 2 8 a 高濃度ドーパント領域
- 4 2 8 b 高濃度ドーパント領域
- 4 2 9 a 低濃度ドーパント領域
- 4 2 9 b 低濃度ドーパント領域
- 4 3 0 a サイドウォール
- 4 3 0 b サイドウォール
- 4 3 4 a ソース電極
- 4 3 4 b ドレイン電極
- 4 3 8 a 高濃度ドーパント領域
- 4 3 8 b 高濃度ドーパント領域
- 4 3 9 a 低濃度ドーパント領域
- 4 3 9 b 低濃度ドーパント領域
- 4 4 4 a ソース電極
- 4 4 4 b ドレイン電極
- 7 0 4 a 期間
- 7 0 4 b 期間
- 7 0 4 c 期間

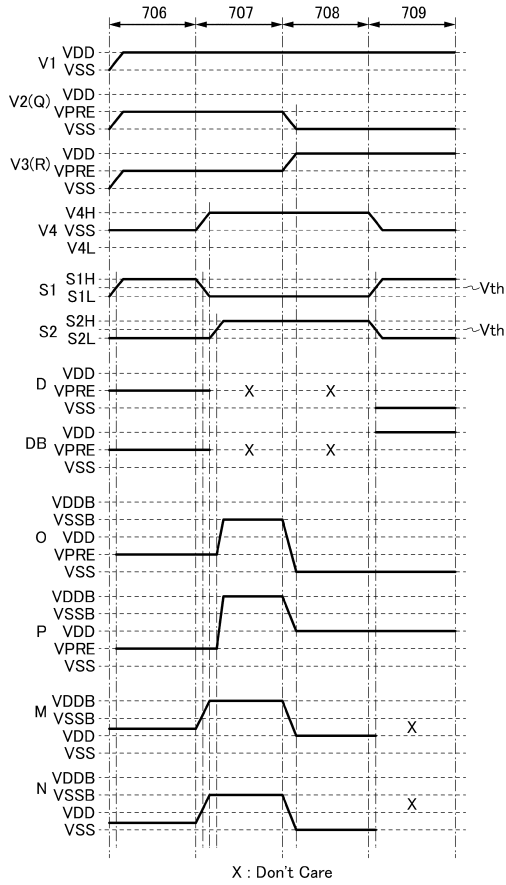
【図1】



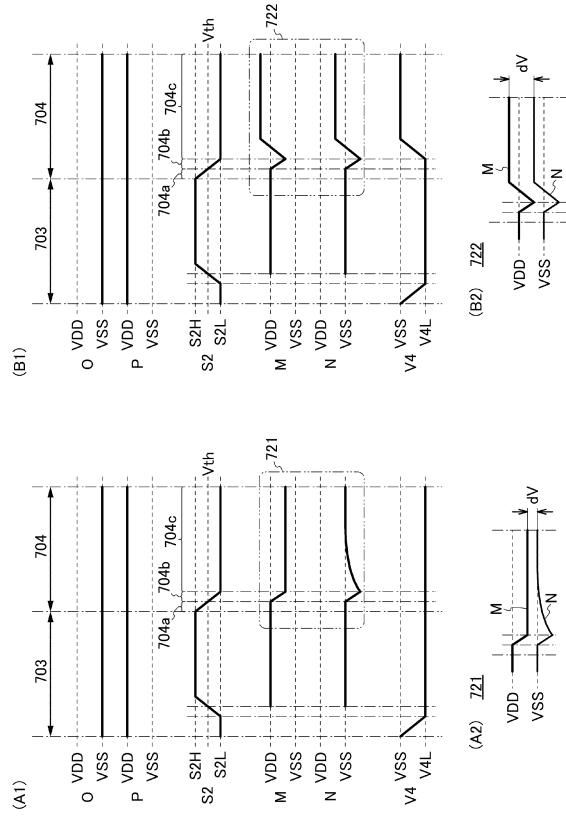
【図2】



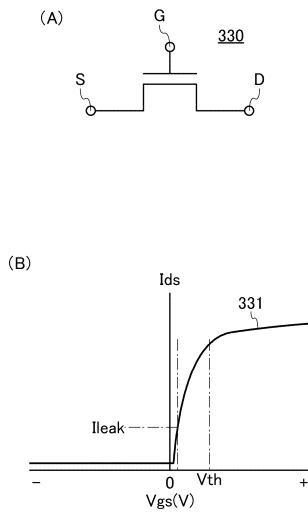
【 図 3 】



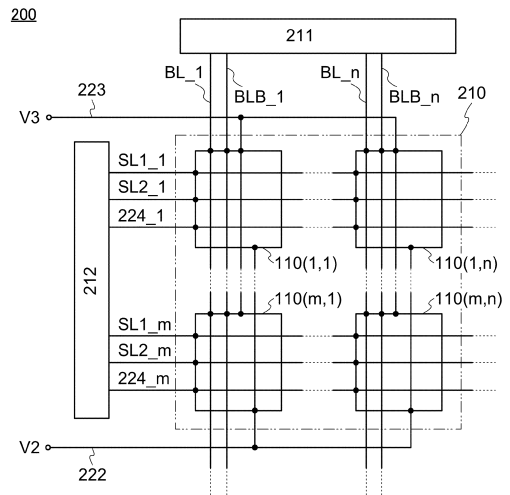
【 図 4 】



【 図 5 】

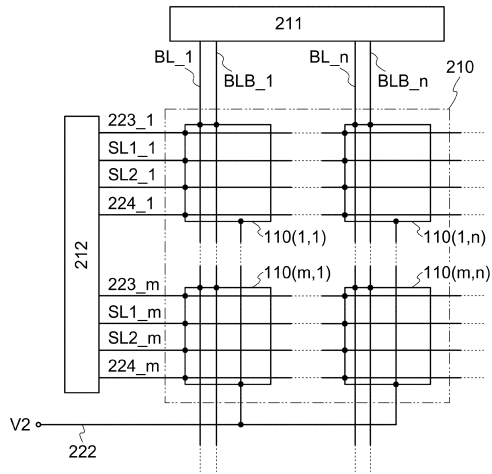


【 図 6 】

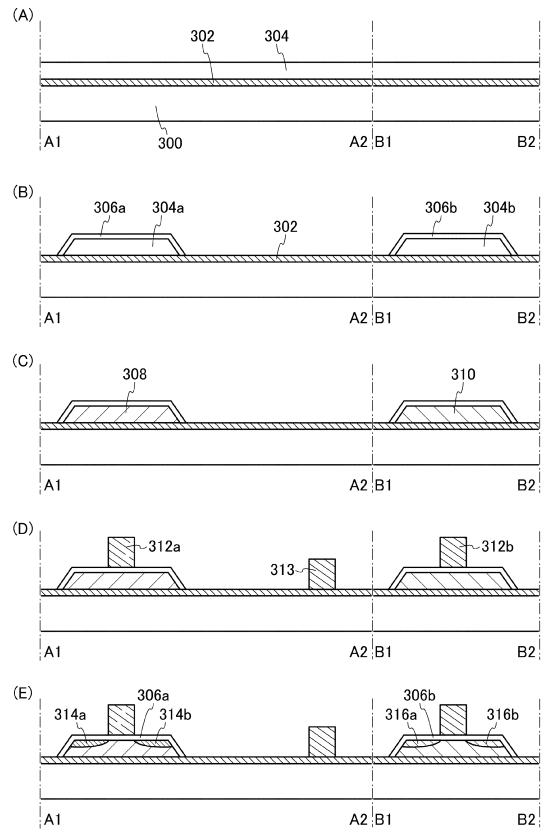


【図7】

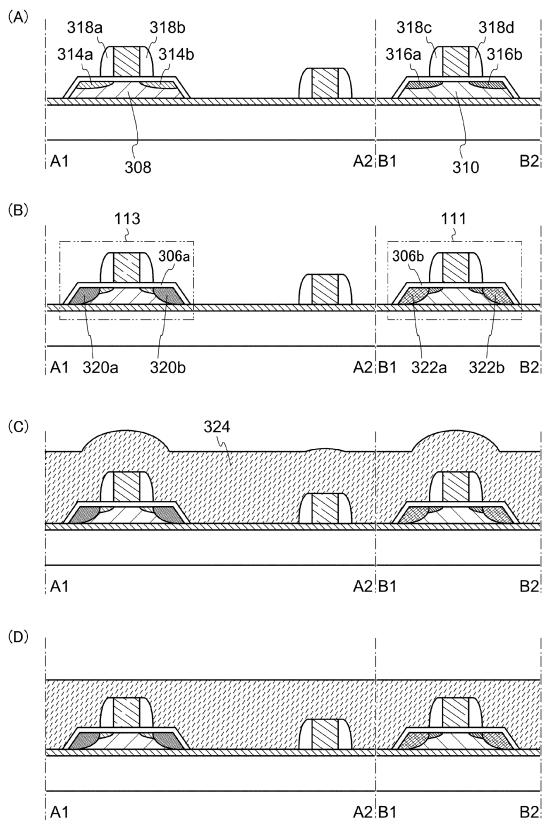
201



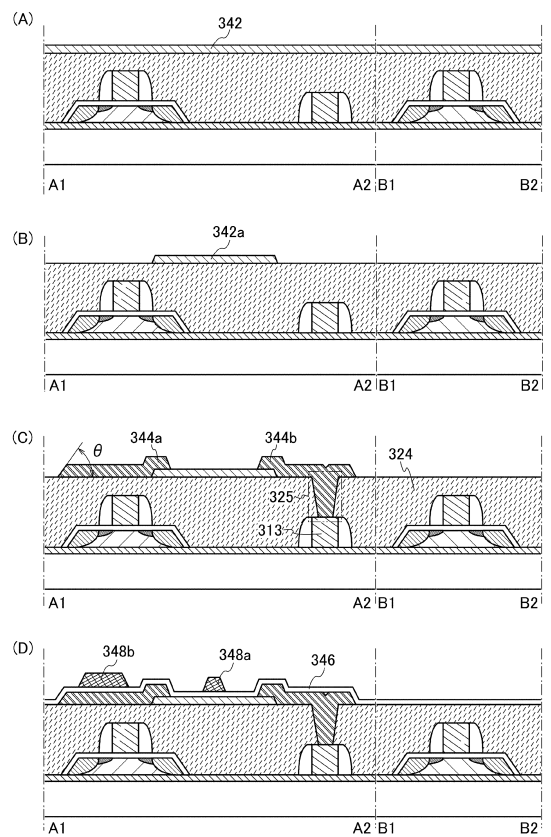
【図8】



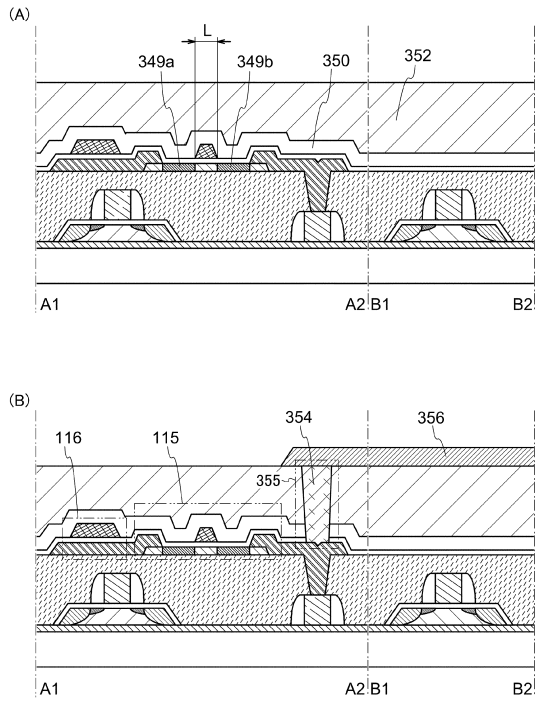
【図9】



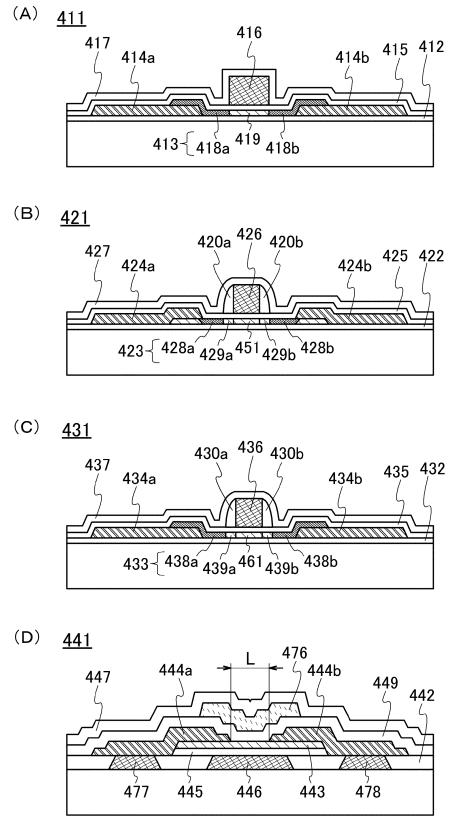
【図10】



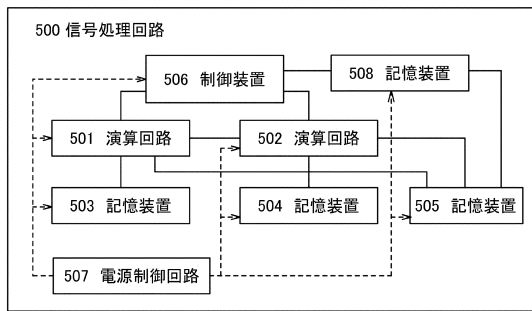
【図 1 1】



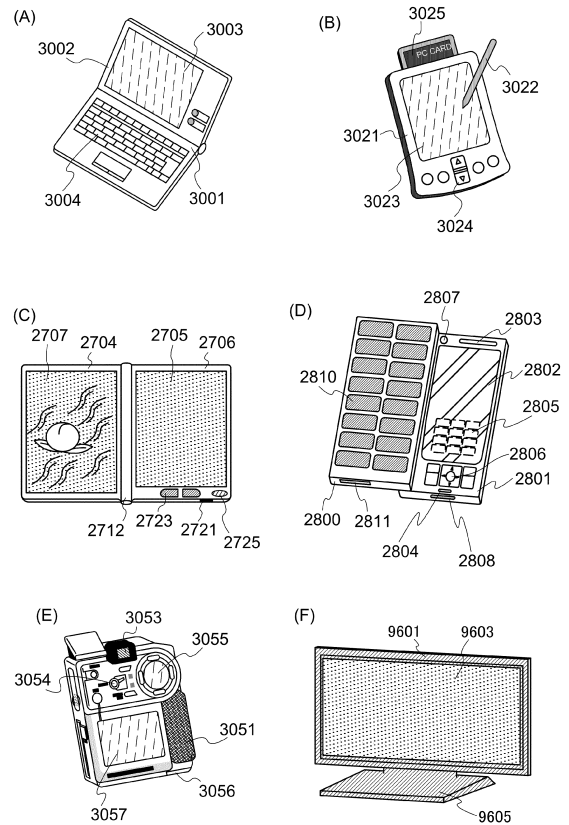
【図 1 2】



【図 1 3】



【図 1 4】



---

フロントページの続き

- (56)参考文献 特開2011-171723(JP,A)  
国際公開第2009/028298(WO,A1)  
特開2011-076079(JP,A)  
特開2011-142314(JP,A)  
特開2002-304889(JP,A)  
国際公開第2004/040582(WO,A1)  
米国特許出願公開第2008/022590(US,A1)

- (58)調査した分野(Int.Cl., DB名)  
G11C 14/00