

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4266089号
(P4266089)

(45) 発行日 平成21年5月20日(2009.5.20)

(24) 登録日 平成21年2月27日(2009.2.27)

(51) Int.Cl.

F I

H O 1 L 21/8247 (2006.01)

H O 1 L 27/10 4 3 4

H O 1 L 27/115 (2006.01)

H O 1 L 29/78 3 7 1

H O 1 L 29/788 (2006.01)

H O 1 L 27/08 3 2 1 K

H O 1 L 29/792 (2006.01)

H O 1 L 27/08 3 2 1 F

H O 1 L 21/8238 (2006.01)

H O 1 L 27/10 4 8 1

請求項の数 2 (全 30 頁) 最終頁に続く

(21) 出願番号 特願2001-244557 (P2001-244557)
 (22) 出願日 平成13年8月10日(2001.8.10)
 (65) 公開番号 特開2003-60092 (P2003-60092A)
 (43) 公開日 平成15年2月28日(2003.2.28)
 審査請求日 平成17年3月11日(2005.3.11)

(73) 特許権者 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100058479
 弁理士 鈴江 武彦
 (74) 代理人 100084618
 弁理士 村松 貞男
 (74) 代理人 100092196
 弁理士 橋本 良郎
 (74) 代理人 100091351
 弁理士 河野 哲
 (74) 代理人 100088683
 弁理士 中村 誠
 (74) 代理人 100070437
 弁理士 河井 将次

最終頁に続く

(54) 【発明の名称】 半導体記憶装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

第1及び第2の導電層からなる第1のゲート電極を有するメモリセル領域と、第3及び第4の導電層からなる第2のゲート電極を有する周辺回路領域とを備えた半導体記憶装置の製造方法であって、

半導体基板上に第1の絶縁膜を形成する工程と、

前記第1の絶縁膜上に不純物が導入されていない第1の電極材を形成する工程と、

前記第1の電極材、第1の絶縁膜及び半導体基板内に素子分離用絶縁膜からなる素子分離領域を形成する工程と、

前記メモリセル領域の前記第1の電極材に対してイオン注入及び熱処理を行うことにより、前記第1の導電層を形成する工程と、

前記第1の導電層上に第2の絶縁膜を形成する工程と、

前記第2の絶縁膜及び前記第1の導電材上に不純物が導入されていない第2の電極材を形成する工程と、

前記第1及び第2の電極材、前記第1の導電層、前記第2の絶縁膜を除去し、第1の間隔を有して配置される前記第1のゲート電極のパターンと、前記第1の間隔より広い第2の間隔を有して配置される前記第2のゲート電極のパターンとを形成する工程と、

前記第1のゲート電極を挟んで前記半導体基板内に第1の拡散層を形成する工程と、

前記第1の拡散層上及び前記第2のゲート電極の側面に第3の絶縁膜を形成する工程と、

、

10

20

イオン注入及び熱処理を行うことにより、前記第１の導電層上に前記第２の導電層を形成し、前記第３及び第４の導電層を形成し、前記半導体基板内に第２の拡散層を形成する工程と、

前記第２の導電層、前記第４の導電層及び前記第２の拡散層上にシリサイド膜を形成する工程と

を含むことを特徴とする半導体記憶装置の製造方法。

【請求項２】

第１及び第２の導電層からなる第１のゲート電極を有するメモリセル領域と、第３及び第４の導電層からなる第２のゲート電極と第５及び第６の導電層からなる第３のゲート電極とを有する周辺回路領域とを備えた半導体記憶装置の製造方法であって、

10

半導体基板上に第１の絶縁膜を形成する工程と、

前記第１の絶縁膜上に不純物が導入されていない第１の電極材を形成する工程と、

前記第１の電極材、第１の絶縁膜及び半導体基板内に素子分離用絶縁膜からなる素子分離領域を形成する工程と、

前記メモリセル領域の前記第１の電極材に対してイオン注入及び熱処理を行うことにより、前記第１の導電層を形成する工程と、

前記第１の導電層上に第２の絶縁膜を形成する工程と、

前記第２の絶縁膜及び前記第１の導電材上に不純物が導入されていない第２の電極材を形成する工程と、

前記第１及び第２の電極材、前記第１の導電層、前記第２の絶縁膜を除去し、第１の間隔を有して配置される前記第１のゲート電極パターンと、前記第１の間隔より広い第２の間隔を有して配置される前記第２及び第３のゲート電極パターンとを形成する工程と、

20

前記第１のゲート電極を挟んで前記半導体基板内に第１の拡散層を形成する工程と、

前記第１の拡散層上及び前記第２及び第３のゲート電極の側面に第３の絶縁膜を形成する工程と、

イオン注入及び熱処理を行うことにより、前記第１の導電層上に前記第２の導電層を形成し、前記第３及び第４の導電層を形成し、前記半導体基板内に第２の拡散層を形成する工程と、

イオン注入及び熱処理を行うことにより、前記第５及び第６の導電層を形成するとともに、前記半導体基板内に第３の拡散層を形成する工程と、

30

前記第２の導電層、前記第４の導電層、前記第６の導電層、前記第２の拡散層及び第３の拡散層上にシリサイド膜を形成する工程と

を含むことを特徴とする半導体記憶装置の製造方法。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、浮遊ゲートと制御ゲートとを有するメモリトランジスタと、このメモリトランジスタを制御する周辺トランジスタとを備えた半導体記憶装置の製造方法に関する。

【０００２】

【従来の技術】

40

不揮発性メモリの一種であるＮＡＮＤ型フラッシュメモリは、浮遊ゲートと制御ゲートとが積層されたメモリトランジスタと、このメモリトランジスタの周囲に配置された周辺トランジスタとを備える。ここで、周辺トランジスタのゲートは、メモリトランジスタの浮遊ゲートと同一の電極材を用いて形成されることが多い。このようなフラッシュメモリの製造方法を、以下に図面を参照して簡単に説明する。

【０００３】

図４乃至図５０は、従来技術による半導体記憶装置の製造工程の断面図を示す。図４乃至図５０において、断面Ａは、メモリセル領域の素子分離領域に対して垂直な断面図を示し、断面Ｂは、メモリセル領域のゲート電極に対して垂直な断面図を示す。

【０００４】

50

まず、図42に示すように、半導体基板11上にゲート絶縁膜となる第1の絶縁膜12が形成され、この第1の絶縁膜12上に第1の電極材13が形成される。ここで、第1の電極材13は、不純物が導入されていないポリシリコンからなる。次に、第1の電極材13上に第2の絶縁膜14が堆積される。次に、第2の絶縁膜14、第1の電極材13、第1の絶縁膜12及び半導体基板11内に、素子分離用絶縁膜15からなるSTI (Shallow Trench Isolation) 構造の素子分離領域が形成される。

【0005】

次に、図43に示すように、素子分離絶縁膜15の表面が第1の電極材13の表面より下に位置するように、素子分離絶縁膜15の一部がエッチングされる。その後、第2の絶縁膜14が剥離される。

10

【0006】

次に、図44に示すように、PMOS領域の第1の電極材13上にレジスト16aが形成される。このレジスト16aをマスクとして、メモリセル領域の第1の電極材13に対して、例えばP (リン) を用いたイオン注入及び熱処理が行われ、N⁺型の第1の導電層13a、13bが形成される。ここで、符号13aはメモリセル領域の第1の導電層を示し、符号13bはNMOS領域の第1の導電層を示す。また、メモリセル領域の第1の導電層13aは、メモリトランジスタの浮遊ゲートとして機能する。その後、レジスト16aが除去される。

【0007】

次に、図45に示すように、第1の導電層13a、13b上にレジスト16bが形成される。このレジスト16bをマスクとして、PMOS領域の第1の電極材13に対して、例えばB (ボロン) を用いたイオン注入及び熱処理が行われ、P⁺型の第1の導電層13cが形成される。その後、レジスト16bが除去される。

20

【0008】

次に、図46に示すように、第1の導電層13a、13b、13c及び素子分離絶縁膜15上に第3の絶縁膜17が堆積され、この第3の絶縁膜17上に第2の電極材18が堆積される。ここで、第2の電極材18は、不純物が導入されていないポリシリコンからなる。

【0009】

次に、図47に示すように、第2の電極材18上にレジスト19が形成され、このレジスト19がパターニングされる。このパターニングされたレジスト19をマスクとして、第2の電極材18、第3の絶縁膜17及び第1の導電層13a、13b、13cが除去される。これにより、メモリトランジスタ及び周辺トランジスタのゲートパターンが形成される。その後、レジスト19が除去され、後酸化が行われる。

30

【0010】

次に、図48に示すように、周辺トランジスタのゲートの側面に絶縁膜22が形成される。次に、PMOS領域における第1の絶縁膜12及び第2の電極材18上に、レジスト23が形成される。このレジスト23をマスクとして、例えばAs (砒素) を不純物としてイオン注入が行われ、この導入された不純物を熱処理で拡散させる。これにより、メモリセル領域においては、メモリトランジスタの制御ゲートとなる第2の導電層18aと、N⁺型のソース／ドレイン拡散層21とが形成される。一方、NMOS領域においては、第2の導電層18bと、N⁺型のソース／ドレイン拡散層24とが形成される。その後、レジスト23が除去される。

40

【0011】

次に、図49に示すように、メモリセル領域及びNMOS領域における第1の絶縁膜12及び第2の導電層18a、18b上に、レジスト25が形成される。このレジスト25をマスクとして、例えばBを不純物としてイオン注入が行われ、この導入された不純物を熱処理で拡散させる。これにより、PMOS領域においては、第2の導電層18cと、P⁺型のソース／ドレイン拡散層26とが形成される。その後、レジスト25が除去される。

【0012】

50

次に、図50に示すように、ソース／ドレイン拡散層21、24、26が露出するように第1の絶縁膜12が除去される。次に、第2の導電層18a、18b、18c及びソース／ドレイン拡散層21、24、26上に、高融点金属からなるサリサイド（SALICIDE：Self Aligned Silicide）膜27a、27b、27c、27dがそれぞれ形成される。このようにして、メモリセル領域ではメモリトランジスタ28が形成され、周辺回路領域ではNMOSTランジスタ29及びPMOSTランジスタ30が形成される。

【0013】

【発明が解決しようとする課題】

上記従来の半導体記憶装置におけるメモリセル領域では、第2の導電層18aである制御ゲート上にサリサイド膜27aが形成されるとともに、ソース／ドレイン拡散層21上にもサリサイド膜27dが形成される。

10

【0014】

しかしながら、メモリセル領域のソース／ドレイン拡散層21上にサリサイド膜27dが存在すると、フラッシュメモリにおいて、データ保持特性（Data Retention特性）やデータ書込消去特性（Endurance特性）等のデバイス特性の信頼性が低下するという問題が生じてしまう。また、メモリセル領域のソース／ドレイン拡散層21にもサリサイド膜27dを形成する場合は、電極材形成とデバイス動作を両立させるために、メモリセルデバイスの設計上の自由度が著しく制限されるという問題が生じてしまう。

【0015】

本発明は上記課題を解決するためになされたものであり、その目的とするところは、デバイス特性の信頼性の低下を防止するとともに、メモリセルデバイスの設計の自由度を向上することが可能な半導体記憶装置の製造方法を提供することにある。

20

【0016】

【課題を解決するための手段】

本発明は、前記目的を達成するために以下に示す手段を用いている。

【0017】

本発明の第1の視点による半導体記憶装置の製造方法は、第1及び第2の導電層からなる第1のゲート電極を有するメモリセル領域と、第3及び第4の導電層からなる第2のゲート電極を有する周辺回路領域とを備えた半導体記憶装置の製造方法であって、半導体基板上に第1の絶縁膜を形成する工程と、前記第1の絶縁膜上に不純物が導入されていない第1の電極材を形成する工程と、前記第1の電極材、第1の絶縁膜及び半導体基板内に素子分離用絶縁膜からなる素子分離領域を形成する工程と、前記メモリセル領域の前記第1の電極材に対してイオン注入及び熱処理を行うことにより、前記第1の導電層を形成する工程と、前記第1の導電層上に第2の絶縁膜を形成する工程と、前記第2の絶縁膜及び前記第1の導電材上に不純物が導入されていない第2の電極材を形成する工程と、前記第1及び第2の電極材、前記第1の導電層、前記第2の絶縁膜を除去し、第1の間隔を有して配置される前記第1のゲート電極のパターンと、前記第1の間隔より広い第2の間隔を有して配置される前記第2のゲート電極のパターンとを形成する工程と、前記第1のゲート電極を挟んで前記半導体基板内に第1の拡散層を形成する工程と、前記第1の拡散層上及び前記第2のゲート電極の側面に第3の絶縁膜を形成する工程と、イオン注入及び熱処理を行うことにより、前記第1の導電層上に前記第2の導電層を形成し、前記第3及び第4の導電層を形成し、前記半導体基板内に第2の拡散層を形成する工程と、前記第2の導電層、前記第4の導電層及び前記第2の拡散層上にシリサイド膜を形成する工程とを含む。

30

40

【0018】

本発明の第2の視点による半導体記憶装置の製造方法は、第1及び第2の導電層からなる第1のゲート電極を有するメモリセル領域と、第3及び第4の導電層からなる第2のゲート電極と第5及び第6の導電層からなる第3のゲート電極とを有する周辺回路領域とを備えた半導体記憶装置の製造方法であって、半導体基板上に第1の絶縁膜を形成する工程と、前記第1の絶縁膜上に不純物が導入されていない第1の電極材を形成する工程と、前記第1の電極材、第1の絶縁膜及び半導体基板内に素子分離用絶縁膜からなる素子分離領域

50

を形成する工程と、前記メモリセル領域の前記第1の電極材に対してイオン注入及び熱処理を行うことにより、前記第1の導電層を形成する工程と、前記第1の導電層上に第2の絶縁膜を形成する工程と、前記第2の絶縁膜及び前記第1の導電材上に不純物が導入されていない第2の電極材を形成する工程と、前記第1及び第2の電極材、前記第1の導電層、前記第2の絶縁膜を除去し、第1の間隔を有して配置される前記第1のゲート電極パターンと、前記第1の間隔より広い第2の間隔を有して配置される前記第2及び第3のゲート電極パターンとを形成する工程と、前記第1のゲート電極を挟んで前記半導体基板内に第1の拡散層を形成する工程と、前記第1の拡散層上及び前記第2及び第3のゲート電極の側面に第3の絶縁膜を形成する工程と、イオン注入及び熱処理を行うことにより、前記第1の導電層上に前記第2の導電層を形成し、前記第3及び第4の導電層を形成し、前記半導体基板内に第2の拡散層を形成する工程と、イオン注入及び熱処理を行うことにより、前記第5及び第6の導電層を形成するとともに、前記半導体基板内に第3の拡散層を形成する工程と、前記第2の導電層、前記第4の導電層、前記第6の導電層、前記第2の拡散層及び第3の拡散層上にシリサイド膜を形成する工程とを含む。

10

【0019】

【発明の実施の形態】

本発明の実施の形態を以下に図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【0020】

〔第1の実施形態〕

20

第1の実施形態は、メモリトランジスタの拡散層上にシリサイド膜を形成せずに、かつ周辺トランジスタのゲートを構成する第1及び第2の導電層間の絶縁膜を全て除去した構造の例である。また、第1の実施形態では、NAND型フラッシュメモリを例にあげて説明するが、例えばAND型等、メモリセルが一行に並ぶ構造のものであればその他のメモリにも適用することは可能である。

【0021】

図1は、本発明の第1の実施形態に係る半導体記憶装置の断面図を示す。図1において、断面Aは、メモリセル領域の素子分離領域に対して垂直な断面図を示し、断面Bは、メモリセル領域のゲート電極に対して垂直な断面図を示す。

【0022】

30

図1に示すように、第1の実施形態に係る半導体記憶装置は、メモリセル領域と、NMOS領域及びPMOS領域からなる周辺回路領域とを備える。メモリセル領域には、第1の間隔Xを有するメモリトランジスタ28のゲートが形成され、周辺回路領域には、第1の間隔Xより広い第2の間隔Yを有するNMOS及びPMOSの周辺トランジスタ29、30のゲートが形成される。メモリトランジスタ28のゲートは、浮遊ゲートとなる第1の導電層13aと制御ゲートとなる第2の導電層18aとからなり、第1及び第2の導電層13a、18a間に絶縁膜17が形成される。一方、周辺トランジスタ29、30のゲートは、第1の導電層13b、13cと第2の導電層18b、18cとからなり、第1及び第2の導電層13b、13c、18b、18c間に絶縁膜は形成されない。メモリトランジスタ28のゲート間は絶縁膜22aで埋め込まれ、周辺トランジスタ29、30のゲート側面には絶縁膜22bがそれぞれ形成される。絶縁膜22aと絶縁膜22bとは、同一の材料で同時に形成される。メモリトランジスタ28のゲート下の半導体基板11内に第1の拡散層21が形成され、周辺トランジスタ29、30のゲート下の半導体基板11内に第2の拡散層24、26がそれぞれ形成される。メモリトランジスタ28のゲート、周辺トランジスタ29、30のゲート及び第2の拡散層24、26上には、シリサイド(SALICIDE: Self Aligned Silicide)膜27a、27b、27cが形成され、メモリトランジスタ28の拡散層21上にはシリサイド膜が形成されない。

40

【0023】

尚、メモリトランジスタ28のゲート間は絶縁膜22aで埋め込まれるが、完全に埋め込まれる場合のみに限定されず、拡散層21上にシリサイド膜が形成されないのであれば、

50

絶縁膜 22a 内に微少な空洞（例えばボイド）が存在していてもよい。また、図 1 に示す絶縁膜 22a は、メモリトランジスタのゲート表面まで堆積されているが、拡散層 21 の表面を覆うのであれば、メモリトランジスタのゲート表面まで堆積されていなくてもよい。また、メモリトランジスタ 28 のゲートと周辺トランジスタ 29 のゲートとは、例えば第 2 の間隔 Y を有して配置してもよい。

【0024】

図 2 乃至図 14 は、本発明の第 1 の実施形態に係る半導体記憶装置の製造工程の断面図を示す。以下に、第 1 の実施形態に係る半導体記憶装置の製造方法について説明する。

【0025】

まず、図 2 に示すように、半導体基板 11 上にゲート絶縁膜となる第 1 の絶縁膜 12 が形成される。この第 1 の絶縁膜 12 は、例えば 100 Å 程度の膜厚を有する。次に、第 1 の絶縁膜 12 上に第 1 の電極材 13 が形成される。この第 1 の電極材 13 は、不純物が導入されていないポリシリコンからなる。次に、第 1 の電極材 13 上にシリコン窒化膜からなる第 2 の絶縁膜 14 が堆積される。尚、メモリトランジスタ及び周辺トランジスタにおけるチャンネルの制御のために、第 1 の絶縁膜 12 が形成される前にチャンネルのイオン注入及びウェルのイオン注入が行われている。

10

【0026】

次に、図 3 に示すように、第 2 の絶縁膜 14、第 1 の電極材 13、第 1 の絶縁膜 12 及び半導体基板 11 が選択的に除去され、素子分離用溝が形成される。この素子分離用溝内に例えばシリコン酸化膜からなる素子分離用絶縁膜 15 が堆積され、この素子分離用絶縁膜 15 が第 2 の絶縁膜 14 の表面が露出するまで平坦化される。つまり、第 2 の絶縁膜 14 は、素子分離用絶縁膜 15 の平坦化の際、ストッパー膜として機能する。このようにして、素子分離用絶縁膜 15 からなる S T I (Shallow Trench Isolation) 構造の素子分離領域が形成される。

20

【0027】

次に、図 4 に示すように、素子分離絶縁膜 15 の表面が第 1 の電極材 13 の表面より下に位置するように、素子分離絶縁膜 15 の一部がエッチングされる。その後、第 2 の絶縁膜 14 が剥離される。

【0028】

次に、図 5 に示すように、第 1 の電極材 13 上にレジスト 16 が形成され、このレジスト 16 が周辺回路領域上にのみ残るようにパターニングされる。このパターニングされたレジスト 16 をマスクとして、メモリセル領域の第 1 の電極材 13 に対してイオン注入及び熱処理が行われ、第 1 の導電層 13a が形成される。ここで、メモリトランジスタが N M O S トランジスタの場合は不純物として例えば P (リン) が用いられ、第 1 の導電層 13a の不純物濃度が例えば $2 \times 10^{20} \text{ cm}^{-3}$ 程度になるような条件でイオン注入が行われる。尚、N 型不純物としては、P の代わりに A s (砒素) を用いる場合も考えられる。上記のように形成された第 1 の導電層 13a は、メモリトランジスタの浮遊ゲートとして機能する。この第 1 の導電層 13a が形成された後に、レジスト 16 が除去される。

30

【0029】

次に、図 6 に示すように、第 1 の電極材 13、第 1 の導電層 13a 及び素子分離絶縁膜 15 上に、例えば O N O (Oxide Nitride Oxide) 膜からなる第 3 の絶縁膜 17 が堆積される。次に、周辺回路領域の第 3 の絶縁膜 17 が除去され、メモリセル領域にのみ第 3 の絶縁膜 17 が残存される。

40

【0030】

次に、図 7 に示すように、第 3 の絶縁膜 17、第 1 の電極材 13 及び素子分離絶縁膜 15 上に、第 2 の電極材 18 が堆積される。ここで、第 2 の電極材 18 は、不純物が導入されていないポリシリコンからなる。

【0031】

次に、図 8 に示すように、第 2 の電極材 18 上にレジスト 19 が形成され、このレジスト 19 がパターニングされる。このパターニングされたレジスト 19 をマスクとして、第 1

50

及び第2の電極材13、18、第1の導電層13a、第3の絶縁膜17が除去される。これにより、メモリトランジスタ及び周辺トランジスタのゲートパターンが形成される。

【0032】

次に、図9に示すように、レジスト19が除去される。次に、後酸化が行われ、ゲート上に酸化膜（図示せず）が形成される。

【0033】

次に、図10に示すように、第1の絶縁膜12及び第2の電極材18上にレジスト20が形成され、このレジスト20が周辺回路領域にのみ残るようにパターンニングされる。このパターンニングされたレジスト20をマスクとしてイオン注入が行われ、メモリセル領域の半導体基板11内にソース／ドレイン拡散層21が形成される。ここで、メモリトランジスタがNMOSTランジスタの場合は不純物として例えばP又はAsが用いられる。その後、レジスト20が除去される。

10

【0034】

次に、図11に示すように、第1の絶縁膜12及び第2の電極材18上に第4の絶縁膜22が形成される。この際、第4の絶縁膜22は、メモリセル領域のゲート間を完全に埋め込み、周辺回路領域のゲート間は埋め込まないようにする。つまり、メモリセル領域のゲート間の距離をX、周辺回路領域のゲート間の距離をY、第4の絶縁膜22の膜厚をAとすると、以下の式(1)の関係を満たす。

【0035】

$$X/2 \leq A < Y/2 \cdots (1)$$

20

例えば、メモリセル領域のゲート間の距離XをF（最小加工寸法）、周辺回路領域のゲート間の距離Yを2F～3Fとする場合、第4の絶縁膜22の膜厚Aは、以下の式(2)の関係を満たすように設定される。

【0036】

$$F/2 \leq A < F \sim 3F/2 \cdots (2)$$

尚、周辺回路領域のゲート間の距離Yは、メモリセル領域のゲート間の距離Xの1.3倍乃至5.0倍にしてもよい。この場合、周辺回路領域のゲートの中に、選択トランジスタのゲートを含めてもよい。

【0037】

また、第4の絶縁膜22は、酸化膜からなることが望ましい。つまり、第4の絶縁膜22は、例えば、シリコン酸化膜(SiO_x)、TEOS(Tetra Ethyl Ortho Silicate)膜、オゾンTEOS膜、HTO(High Temperature Oxide)膜、SOG(Spin On Glass)膜、塗布型の有機系酸化膜、SA-CVD(Semi Atmospheric - Chemical Vapor Deposition)膜、プラズマCVD膜、又はPSG(Phosphorous Silicate Glass)膜等である。

30

【0038】

次に、図12に示すように、第4の絶縁膜22がエッチバックされ、第2の電極材18と第1の絶縁膜12又は周辺トランジスタの拡散層領域の表面が露出される。このようにして、メモリセル領域においてはゲート間に埋め込み絶縁膜22aが形成され、周辺回路領域においてはゲートの側面に側壁絶縁膜22bが形成される。

【0039】

40

次に、図13に示すように、第1の絶縁膜12及び第2の電極材18上にレジスト23が形成され、このレジスト23がPMOS領域にのみ残るようにパターンニングされる。このパターンニングされたレジスト23をマスクとして、例えばAs（砒素）を不純物として、加速電圧が約数十KeV、ドーズ量が約10¹⁵cm⁻²の条件でイオン注入が行われる。つまり、メモリセル領域の第2の電極材18、NMOS領域の第2の電極材18及び半導体基板11内に不純物が導入される。そして、導入された不純物を熱処理で拡散させることによって、メモリセル領域においては第2の導電層18aが形成され、NMOS領域においては第1及び第2の導電層13b、18b、N⁺型のソース／ドレイン拡散層24が形成される。ここで、NMOS領域の第1の導電層13bは、NMOS領域の第2の電極材18に導入された不純物をNMOS領域の第1の電極材13に拡散させることによって形

50

成される。上記工程の後、レジスト 23 が除去される。

【0040】

次に、図 14 に示すように、第 1 の絶縁膜 12 及び第 2 の電極材 18 上にレジスト 25 が形成され、このレジスト 25 がメモリセル領域及び NMOS 領域にのみ残るようにパターニングされる。このパターニングされたレジスト 25 をマスクとして、例えば B (ボロン) を不純物として、加速電圧が約十数 KeV、ドーズ量が約 10^{15} cm^{-2} の条件でイオン注入が行われる。つまり、PMOS 領域の第 2 の電極材 18 及び半導体基板 11 内に不純物が導入される。そして、導入された不純物を熱処理で拡散させることによって、PMOS 領域においては、第 1 及び第 2 の導電層 13c、18c、P⁺型のソース／ドレイン拡散層 26 が形成される。ここで、PMOS 領域の第 1 の導電層 13c は、PMOS 領域の第 2 の電極材 18 に導入された不純物を PMOS 領域の第 1 の電極材 13 に拡散させることによって形成される。上記工程の後、レジスト 25 が除去される。

10

【0041】

次に、図 1 に示すように、ゲートの表面が露出するようにゲート上の酸化膜が除去されるとともに、周辺トランジスタのソース／ドレイン拡散層 24、26 が露出するように第 1 の絶縁膜 12 が除去される。次に、第 2 の導電層 18a、18b、18c、埋め込み絶縁膜 22a、側壁絶縁膜 22b、ソース／ドレイン拡散層 24、26 上に、例えば、Co (コバルト) 又は Ti (チタン) 等からなる高融点金属膜が堆積される。次に、熱処理が行われ、高融点金属とシリコンとを反応させる。これにより、メモリセル領域の第 2 の導電層 18a 上、周辺回路領域の第 2 の導電層 18b、18c 及びソース／ドレイン拡散層 24、26 上に、サリサイド膜 27a、27b、27c がそれぞれ形成される。その後、未反応の高融点金属膜が除去される。このようにして、メモリセル領域では拡散層 21 上にサリサイド膜が存在しないメモリトランジスタ 28 が形成され、周辺回路領域では拡散層 24、26 上にサリサイド膜 27c が存在する NMOS トランジスタ 29 及び PMOS トランジスタ 30 が形成される。

20

【0042】

尚、上記のような素子形成工程の後、公知の技術を用いて、ゲート電極上に層間絶縁膜 (図示せず) が堆積され、この層間絶縁膜内に例えば W (タングステン) からなるコンタクト (図示せず) が形成され、このコンタクトに接続する配線層 (図示せず) が形成される。

30

【0043】

また、メモリトランジスタ 28 は P 型であってもよい。この場合、例えば、PMOS トランジスタ 30 の第 1 及び第 2 の電極材 13、18 に不純物を導入する際に、メモリトランジスタ 28 の第 1 及び第 2 の電極材 13、18 にも不純物を同時に導入すればよい。

【0044】

また、周辺トランジスタ 29、30 の拡散層 24、26 は、LDD (Lightly Doped Drain) 構造であってもよい。つまり、第 4 の絶縁膜 22 を堆積する前に、NMOS 及び PMOS 領域の所定の半導体基板 11 内に N⁻型、P⁻型の拡散層を形成し、その後、上述するように N⁺型、P⁺型の拡散層 24、26 を形成すればよい。

【0045】

また、図 12 に示す工程において、第 4 の絶縁膜 22 をエッチバックすることによって、周辺トランジスタの拡散層領域の半導体基板 11 の表面及び第 2 の電極材 18 の表面が露出するので、これらの表面の上に保護膜を形成しておいてもよい。つまり、エッチバック工程後、これらの表面を薄く酸化させるか又は酸化膜を堆積させることにより保護膜を形成し、図 13 及び図 14 に示すイオン注入及び活性化工程後でサリサイド膜 27a、27b、27c を形成する前に、この保護膜を除去すればよい。

40

【0046】

また、図 12 に示すエッチバック工程を省略してもよい。この場合、図 11 に示す第 4 の絶縁膜 22 を堆積した後、図 13 及び図 14 に示すイオン注入及び活性化工程が行われる。ここで、イオン注入の際、第 2 の電極材 18 と第 1 の絶縁膜 12 上に堆積した第 4 の絶

50

縁膜 22 を通過して、第 2 の電極材 18 と半導体基板 11 内にイオンが届くような加速エネルギーに調整する必要がある。

【0047】

上記第 1 の実施形態によれば、メモリトランジスタ 28 のゲート間に埋め込み絶縁膜 22a を形成するため、メモリトランジスタ 28 の拡散層 21 及び浮遊ゲート上にはサリサイド膜が形成されない。従って、メモリセル領域のフラッシュメモリとしての特性を殆ど変えずに済むため、メモリトランジスタ 28 のデバイス特性の信頼性が低下することを防止できる。同時に、周辺トランジスタ 29、30 においてはゲート及び拡散層 24、26 上にサリサイド膜 27b、27c が形成されるとともに、メモリトランジスタ 28 においては制御ゲート上にはのみサリサイド膜 27a が形成される。このため、周辺トランジスタ 29、30 のゲート及び拡散層 24、26 の低抵抗化を図ることができるとともに、メモリトランジスタ 28 の制御ゲートの低抵抗化を図ることができる。従って、周辺トランジスタ 29、30 のゲート及び拡散層 24、26 の低抵抗化は、素子の高性能化に寄与し、メモリトランジスタ 28 の制御ゲートの低抵抗化は、メモリセルアレイの大容量化した場合に、アレイの分割数が少なくて済むためチップ面積の縮小に大きく貢献できる。

10

【0048】

また、メモリセル領域のソース／ドレイン拡散層 21 上にサリサイド膜 27d が形成されない。このため、電極材形成とデバイス動作を両立させる場合であっても、メモリセルデバイスの設計上の自由度が著しく制限されるという問題を回避できる。

20

【0049】

また、第 1 の電極層 13 の分離は、図 3 に示す素子分離領域の形成と自己整合的に行われるため、セルサイズの微細化を図ることが可能である。

【0050】

また、システム LSI で標準的に使用されることが多いサリサイド技術を用いて、NAND 型フラッシュメモリの製造を可能としている。つまり、第 1 の実施形態は、高速動作性、低消費電力化、低電圧駆動といった素子の高性能化・高機能化が要求されるフラッシュメモリとシステム LSI の混載チップの製造などに対しても、非常に有効な製造方法である。

【0051】

また、周辺回路領域の拡散層 24、26 上にサリサイド膜 27c が形成されるため、メモリセルの特性劣化をせずに、拡散層 24、26 に接続するコンタクトの抵抗を低減することができる。従って、コンタクト抵抗による電圧降下によって、周辺トランジスタ 29、30 のドライブ電流の減少を抑制できる。

30

【0052】

[第 2 の実施形態]

第 2 の実施形態は、上記第 1 の実施形態における周辺トランジスタの第 1 及び第 2 の導電層間に、開口部を有する絶縁膜を設けた例である。

【0053】

図 15 は、本発明の第 2 の実施形態に係る半導体記憶装置の断面図を示す。図 15 に示すように、第 2 の実施形態に係る半導体記憶装置において、第 1 の実施形態と異なる点は、周辺トランジスタ 29、30 の第 1 及び第 2 の導電層 13b、18b、13c、18c 間に、開口部 31 を有する絶縁膜 17 を設けることである。この絶縁膜 17 は、メモリトランジスタ 28 の第 1 及び第 2 の導電層 13a、18a 間に設けた絶縁膜 17 と同じ材料で同時に形成される。また、絶縁膜 17 の開口部 31 は、第 1 及び第 2 の導電層 13b、18b、13c、18c 間の中央に配置されることが望ましい。また、絶縁膜 17 の開口部 31 は、第 1 の導電層 13b、13c と第 2 の導電層 18b、18c とを導通させるために設けたものであるため、導通可能であれば開口部 31 の数や形状は何でもよく、また開口部 31 は複数個設けてもよい。

40

【0054】

図 16 乃至図 21 は、本発明の第 2 の実施形態に係る半導体記憶装置の製造工程の断面図

50

を示す。以下に、第2の実施形態に係る半導体記憶装置の製造方法について説明する。この第2の実施形態に係る半導体記憶装置の製造方法では、上記第1の実施形態に係る半導体記憶装置の製造方法と同様の工程は説明を簡略し、異なる工程のみ説明する。

【0055】

まず、図2乃至図5に示すように、第1の実施形態と同様に、メモリセル領域に第1の導電層13aが形成される。

【0056】

次に、図16に示すように、第1の電極材13、第1の導電層13a及び素子分離絶縁膜15上に、例えばONO膜からなる第3の絶縁膜17が堆積される。次に、周辺回路領域の第3の絶縁膜17が選択的に除去され、開口部31が形成される。

10

【0057】

次に、図17に示すように、第3の絶縁膜17、第1の電極材13、第1の導電層13b及び素子分離絶縁膜15上に、第2の電極材18が堆積される。ここで、第2の電極材18は、不純物が導入されていないポリシリコンからなる。

【0058】

次に、図18に示すように、第2の電極材18上にレジスト19が形成されてパターニングされる。このパターニングされたレジスト19をマスクとして、第1及び第2の電極材13、18、第3の絶縁膜17及び第1の導電層13aが除去される。これにより、メモリトランジスタ及び周辺トランジスタのゲートパターンが形成される。

【0059】

20

次に、図19に示すように、レジスト19が除去される。次に、後酸化が行われ、ゲート上に酸化膜（図示せず）が形成される。

【0060】

次に、図20に示すように、第1の絶縁膜12及び第2の電極材18上にレジスト20が形成されてパターニングされる。このパターニングされたレジスト20をマスクとしてイオン注入が行われ、メモリセル領域の半導体基板11内にN⁺型のソース／ドレイン拡散層21が形成される。その後、レジスト20が除去される。

【0061】

次に、図21に示すように、第1の絶縁膜12及び第2の電極材18上に、式(1)の関係を満たすように第4の絶縁膜22が形成される。

30

【0062】

次に、図22に示すように、第4の絶縁膜22がエッチバックされ、第2の電極材18と第1の絶縁膜12又は周辺トランジスタの拡散層領域の表面が露出される。このようにして、メモリセル領域においてはゲート電極間に埋め込み絶縁膜22aが形成され、周辺回路領域においてはゲート電極の側面に側壁絶縁膜22bが形成される。

【0063】

次に、図23に示すように、第1の絶縁膜12及び第2の電極材18上にレジスト23が形成されてパターニングされる。このパターニングされたレジスト23をマスクとして、例えばAsを不純物としてイオン注入が行われる。そして、導入された不純物を熱処理で拡散させることによって、メモリセル領域においては第2の導電層18aが形成され、NMOS領域においては第1及び第2の導電層13b、18b、N⁺型のソース／ドレイン拡散層24が形成される。ここで、NMOS領域の第1の導電層13bは、NMOS領域の第2の電極材18に導入された不純物を第3の絶縁膜17の開口部31からNMOS領域の第1の電極材13に拡散させることによって形成される。上記工程の後、レジスト23が除去される。

40

【0064】

次に、図24に示すように、第1の絶縁膜12及び第2の電極材18上にレジスト25が形成されてパターニングされる。このパターニングされたレジスト25をマスクとして、例えばBを不純物としてイオン注入が行われる。そして、導入された不純物を熱処理で拡散させることによって、PMOS領域においては、第1及び第2の導電層13c、18c

50

、 P^+ 型のソース／ドレイン拡散層26が形成される。ここで、PMOS領域の第1の導電層13cは、PMOS領域の第2の電極材18に導入された不純物を第3の絶縁膜17の開口部31からPMOS領域の第1の電極材13に拡散させることによって形成される。上記工程の後、レジスト25が除去される。

【0065】

次に、図15に示すように、メモリセル領域の第2の導電層18a上、周辺回路領域の第2の導電層18b、18c上、周辺回路領域のソース／ドレイン拡散層24、26上に、サリサイド膜27a、27b、27cがそれぞれ形成される。

【0066】

上記第2の実施形態によれば、第1の実施形態と同様の効果を得ることができる。

10

【0067】

さらに、周辺トランジスタ29、30では、第1及び第2の導電層13b、18b、13c、18c間に、開口部31を有する第3の絶縁膜17を設けている。このため、ゲート電極の端部では第1及び第2の導電層13b、18b、13c、18c間に第3の絶縁膜17が介在した3層構造となっている。一方、メモリトランジスタでは、第1及び第2の導電層13a、18a間の全面に第3の絶縁膜17が介在した3層構造となっている。従って、ゲート加工が行われるゲート電極の端部に関しては、周辺トランジスタ29、30及びメモリトランジスタ28におけるゲートの積層構造が同じになっている。このため、メモリトランジスタ28と周辺トランジスタ29、30とでエッチング条件を変えることなく、同時にゲート加工を行うことが可能となる。

20

【0068】

〔第3の実施形態〕

第3の実施形態は、上記第2の実施形態の構造と同じであるが、メモリトランジスタとこのメモリトランジスタと同じ導電型の周辺トランジスタにおける第1の電極材を同時に導電化する点異なる。

【0069】

図25乃至図35は、本発明の第3の実施形態に係る半導体記憶装置の製造工程の断面図を示す。以下に、第3の実施形態に係る半導体記憶装置の製造方法について説明する。この第3の実施形態に係る半導体記憶装置の製造方法では、上記第1及び第2の実施形態に係る半導体記憶装置の製造方法と同様の工程は説明を省略し、異なる工程のみ説明する。

30

【0070】

まず、図2乃至図4に示すように、第1の実施形態と同様に、第1の絶縁膜12上に第1の電極材13が形成された後、素子分離絶縁膜15からなる素子分離領域が形成される。

【0071】

次に、図25に示すように、第1の電極材13上にレジスト16aが形成され、このレジスト16aがPMOS領域上にもみ残るようにパターニングされる。このパターニングされたレジスト16aをマスクとして、メモリセル領域及びNMOS領域の第1の電極材13に対してイオン注入及び熱処理が行われ、第1の導電層13a、13bが形成される。この際、N型不純物として例えばPが用いられ、加速電圧が約数十KeV、ドーズ量が約 10^{15} cm^{-2} の条件でイオン注入が行われる。また、符号13aはメモリセル領域の第1の導電層を示し、符号13bはNMOS領域の第1の導電層を示す。その後、レジスト16aが除去される。

40

【0072】

次に、図26に示すように、第1の電極材13及び第1の導電層13a、13b上にレジスト16bが形成され、このレジスト16bがメモリセル領域及びNMOS領域上にもみ残るようにパターニングされる。このパターニングされたレジスト16bをマスクとして、PMOS領域の第1の電極材13に対してイオン注入及び熱処理が行われ、第1の導電層13cが形成される。この際、P型不純物として例えばBが用いられ、加速電圧が約数十KeV、ドーズ量が約 10^{15} cm^{-2} の条件でイオン注入が行われる。その後、レジスト

50

16bが除去される。

【0073】

次に、図27に示すように、第1の導電層13a、13b、13c及び素子分離絶縁膜15上に、例えばONO膜からなる第3の絶縁膜17が堆積される。次に、周辺回路領域の第3の絶縁膜17が選択的に除去され、開口部31が形成される。

【0074】

次に、図28に示すように、第3の絶縁膜17、第1の導電層13b、13c及び素子分離絶縁膜15上に、第2の電極材18が堆積される。ここで、第2の電極材18は、不純物が導入されていないポリシリコンからなる。

【0075】

次に、図29に示すように、第2の電極材18上にレジスト19が形成されてパターニングされる。このパターニングされたレジスト19をマスクとして、第2の電極材18、第3の絶縁膜17及び第1の導電層13a、13b、13cが除去される。これにより、メモリトランジスタ及び周辺トランジスタのゲートパターンが形成される。

【0076】

次に、図30に示すように、レジスト19が除去される。次に、後酸化が行われ、ゲート上に酸化膜（図示せず）が形成される。

【0077】

次に、図31に示すように、第1の絶縁膜12及び第2の電極材18上にレジスト20が形成されてパターニングされる。このパターニングされたレジスト20をマスクとしてイオン注入が行われ、メモリセル領域の半導体基板11内にN⁺型のソース／ドレイン拡散層21が形成される。その後、レジスト20が除去される。

【0078】

次に、図32に示すように、第1の絶縁膜12及び第2の電極材18上に、式(1)の関係を満たすように第4の絶縁膜22が形成される。

【0079】

次に、図33に示すように、第4の絶縁膜22がエッチバックされ、第2の電極材18と第1の絶縁膜12又は周辺トランジスタの拡散層領域の表面が露出される。このようにして、メモリセル領域においてはゲート電極間に埋め込み絶縁膜22aが形成され、周辺回路領域においてはゲート電極の側面に側壁絶縁膜22bが形成される。

【0080】

次に、図34に示すように、第1の絶縁膜12及び第2の電極材18上にレジスト23が形成され、このレジスト23がPMOS領域上に残るようにパターニングされる。このパターニングされたレジスト23をマスクとして、例えばAsを不純物としてイオン注入が行われる。そして、導入された不純物を熱処理で拡散させることによって、メモリセル領域においては第2の導電層18aが形成され、NMOS領域においては第2の導電層18b、N⁺型のソース／ドレイン拡散層24が形成される。その後、レジスト23が除去される。

【0081】

次に、図35に示すように、第1の絶縁膜12及び第2の電極材18上にレジスト25が形成され、このレジスト25がメモリセル領域及びNMOS領域上に残るようにパターニングされる。このパターニングされたレジスト25をマスクとして、例えばBを不純物としてイオン注入が行われる。そして、導入された不純物を熱処理で拡散させることによって、PMOS領域においては、第2の導電層18c、P⁺型のソース／ドレイン拡散層26が形成される。その後、レジスト25が除去される。

【0082】

次に、図15に示すように、第2の実施形態と同様に、メモリセル領域の第2の導電層18a上、周辺回路領域の第2の導電層18b、18c上、周辺回路領域のソース／ドレイン拡散層24、26上に、サリサイド膜27a、27b、27cがそれぞれ形成される。

【0083】

上記第 3 の実施形態によれば、第 1 及び第 2 の実施形態と同様の効果を得ることができる。

【0084】

さらに、メモリトランジスタ 28 及び周辺トランジスタ 29 における第 1 の電極材 13 を同時に導電化する。このため、製造工程数の減少及び製造の容易化を図ることができる。

【0085】

尚、メモリトランジスタ 28 が P 型である場合は、メモリセル領域における第 1 の電極材 13 は PMOS 領域における第 1 の電極材 13 と同時に導電化すればよい。

【0086】

[第 4 の実施形態]

第 4 の実施形態は、上記第 3 の実施形態の構造と同じであるが、はじめから導電性を有する第 1 の電極材を用いる点異なる。

【0087】

図 36 乃至図 39 は、本発明の第 4 の実施形態に係る半導体記憶装置の製造工程の断面図を示す。以下に、第 4 の実施形態に係る半導体記憶装置の製造方法について説明する。この第 4 の実施形態に係る半導体記憶装置の製造方法では、上記第 3 の実施形態に係る半導体記憶装置の製造方法と同様の工程は説明を省略し、異なる工程のみ説明する。

【0088】

まず、図 36 に示すように、半導体基板 11 上にゲート絶縁膜となる第 1 の絶縁膜 12 が形成される。次に、第 1 の絶縁膜 12 上に不純物が導入されている N⁺型の第 1 の導電層 41 が形成され、この第 1 の導電層 41 上にシリコン窒化膜からなる第 2 の絶縁膜 14 が堆積される。

【0089】

次に、図 37 に示すように、第 2 の絶縁膜 14、第 1 の導電層 41、第 1 の絶縁膜 12 及び半導体基板 11 が選択的に除去され、素子分離用溝が形成される。この素子分離用溝内にシリコン酸化膜からなる素子分離用絶縁膜 15 が堆積され、この素子分離用絶縁膜 15 が第 2 の絶縁膜 14 の表面が露出するまで平坦化される。このようにして、素子分離用絶縁膜 15 からなる STI 構造の素子分離領域が形成される。

【0090】

次に、図 38 に示すように、素子分離絶縁膜 15 の表面が第 1 の導電層 41 の表面より下に位置するように、素子分離絶縁膜 15 の一部がエッチングされる。その後、第 2 の絶縁膜 14 が剥離される。

【0091】

次に、図 39 に示すように、第 1 の導電層 41 上にレジスト 16 が形成され、このレジスト 16 がメモリセル領域及び NMOS 領域上にのみ残るようにパターニングされる。このパターニングされたレジスト 16 をマスクとして、PMOS 領域の第 1 の導電層 41 に対してイオン注入及び熱処理が行われ、P⁺型の第 1 の導電層 42 が形成される。この際、P 型不純物として例えば B が用いられ、加速電圧が約十数 KeV、ドーズ量が約 10^{15} cm^{-2} の条件でイオン注入が行われる。この図 39 に示す工程での不純物のドーズ量は、第 1 の導電層 41 における不純物のドーズ量の約 2 倍程度である。次に、レジスト 16 が除

【0092】

その後は、第 3 の実施形態と同様に図 27 乃至図 35 に示す工程を経て、図 15 に示すような半導体記憶装置が形成される。

【0093】

上記第 4 の実施形態によれば、第 1 及び第 2 の実施形態と同様の効果を得ることができる。

【0094】

さらに、メモリセル領域及び NMOS 領域における第 1 の電極材 13 を導電化する工程を省略できる。このため、製造工程数の減少及び製造の容易化を図ることができる。

【0095】

[第5の実施形態]

第5の実施形態は、メモリトランジスタの近隣に、メモリトランジスタを制御する選択トランジスタが配置されている半導体記憶装置の例である。

【0096】

図40、図41は、本発明の第5の実施形態に係る半導体記憶装置の断面図を示す。ここで、図40は選択トランジスタの第1及び第2の導電層間に絶縁膜が形成されない構造であり、図41は選択トランジスタの第1及び第2の導電層間に開口部を有する絶縁膜が形成される構造である。以下に、第5の実施形態に係る半導体記憶装置について説明する。この第5の実施形態に係る半導体記憶装置では、上記第1乃至第4の実施形態に係る半導体記憶装置と同様の構造は説明を省略し、異なる構造のみ説明する。

10

【0097】

図40、図41に示すように、第5の実施形態に係る半導体記憶装置は、メモリトランジスタの近隣に選択トランジスタが配置されている。これらメモリトランジスタ及び選択トランジスタにおいて、ゲート間に絶縁膜22aが形成され、この絶縁膜22aで拡散層21の表面を被覆している。このため、ゲート上にはサリサイド膜27aがそれぞれ形成されるが、拡散層21上にはサリサイド膜が形成されない。また、メモリトランジスタのゲートと選択トランジスタのゲートは、上述した第1の間隔Xを有して配置されるとよい。

【0098】

上記第5の実施形態によれば、第1及び第2の実施形態と同様の効果を得ることができる。

20

【0099】

その他、本発明は、上記各実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で、種々に変形することが可能である。さらに、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。例えば、実施形態に示される全構成要件から幾つかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題が解決でき、発明の効果の欄で述べられている効果が得られる場合には、この構成要件が削除された構成が発明として抽出され得る。

【0100】

30

【発明の効果】

以上説明したように本発明によれば、デバイス特性の信頼性の低下を防止するとともに、メモリセルデバイスの設計の自由度を向上することが可能な半導体記憶装置の製造方法を提供できる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係わる半導体記憶装置を示す断面図。

【図2】本発明の第1の実施形態に係わる半導体記憶装置の製造工程を示す断面図。

【図3】図2に続く、本発明の第1の実施形態に係わる半導体記憶装置の製造工程を示す断面図。

【図4】図3に続く、本発明の第1の実施形態に係わる半導体記憶装置の製造工程を示す断面図。

40

【図5】図4に続く、本発明の第1の実施形態に係わる半導体記憶装置の製造工程を示す断面図。

【図6】図5に続く、本発明の第1の実施形態に係わる半導体記憶装置の製造工程を示す断面図。

【図7】図6に続く、本発明の第1の実施形態に係わる半導体記憶装置の製造工程を示す断面図。

【図8】図7に続く、本発明の第1の実施形態に係わる半導体記憶装置の製造工程を示す断面図。

【図9】図8に続く、本発明の第1の実施形態に係わる半導体記憶装置の製造工程を示す

50

断面図。

【図 1 0】図 9 に続く、本発明の第 1 の実施形態に係わる半導体記憶装置の製造工程を示す断面図。

【図 1 1】図 1 0 に続く、本発明の第 1 の実施形態に係わる半導体記憶装置を示す断面図。

【図 1 2】図 1 1 に続く、本発明の第 1 の実施形態に係わる半導体記憶装置の製造工程を示す断面図。

【図 1 3】図 1 2 に続く、本発明の第 1 の実施形態に係わる半導体記憶装置の製造工程を示す断面図。

【図 1 4】図 1 3 に続く、本発明の第 1 の実施形態に係わる半導体記憶装置の製造工程を示す断面図。

10

【図 1 5】本発明の第 2 の実施形態に係わる半導体記憶装置を示す断面図。

【図 1 6】図 5 に続く、本発明の第 2 の実施形態に係わる半導体記憶装置の製造工程を示す断面図。

【図 1 7】図 1 6 に続く、本発明の第 2 の実施形態に係わる半導体記憶装置の製造工程を示す断面図。

【図 1 8】図 1 7 に続く、本発明の第 2 の実施形態に係わる半導体記憶装置の製造工程を示す断面図。

【図 1 9】図 1 8 に続く、本発明の第 2 の実施形態に係わる半導体記憶装置の製造工程を示す断面図。

20

【図 2 0】図 1 9 に続く、本発明の第 2 の実施形態に係わる半導体記憶装置の製造工程を示す断面図。

【図 2 1】図 2 0 に続く、本発明の第 2 の実施形態に係わる半導体記憶装置を示す断面図。

【図 2 2】図 2 1 に続く、本発明の第 2 の実施形態に係わる半導体記憶装置の製造工程を示す断面図。

【図 2 3】図 2 2 に続く、本発明の第 2 の実施形態に係わる半導体記憶装置の製造工程を示す断面図。

【図 2 4】図 2 3 に続く、本発明の第 2 の実施形態に係わる半導体記憶装置の製造工程を示す断面図。

30

【図 2 5】図 4 に続く、本発明の第 3 の実施形態に係わる半導体記憶装置の製造工程を示す断面図。

【図 2 6】図 2 5 に続く、本発明の第 3 の実施形態に係わる半導体記憶装置の製造工程を示す断面図。

【図 2 7】図 2 6 に続く、本発明の第 3 の実施形態に係わる半導体記憶装置の製造工程を示す断面図。

【図 2 8】図 2 7 に続く、本発明の第 3 の実施形態に係わる半導体記憶装置の製造工程を示す断面図。

【図 2 9】図 2 8 に続く、本発明の第 3 の実施形態に係わる半導体記憶装置の製造工程を示す断面図。

40

【図 3 0】図 2 9 に続く、本発明の第 3 の実施形態に係わる半導体記憶装置の製造工程を示す断面図。

【図 3 1】図 3 0 に続く、本発明の第 3 の実施形態に係わる半導体記憶装置を示す断面図。

【図 3 2】図 3 1 に続く、本発明の第 3 の実施形態に係わる半導体記憶装置の製造工程を示す断面図。

【図 3 3】図 3 2 に続く、本発明の第 3 の実施形態に係わる半導体記憶装置の製造工程を示す断面図。

【図 3 4】図 3 3 に続く、本発明の第 3 の実施形態に係わる半導体記憶装置の製造工程を示す断面図。

50

【図 3 5】図 3 4 に続く、本発明の第 3 の実施形態に係わる半導体記憶装置の製造工程を示す断面図。

【図 3 6】本発明の第 4 の実施形態に係わる半導体記憶装置の製造工程を示す断面図。

【図 3 7】図 3 6 に続く、本発明の第 4 の実施形態に係わる半導体記憶装置の製造工程を示す断面図。

【図 3 8】図 3 7 に続く、本発明の第 4 の実施形態に係わる半導体記憶装置の製造工程を示す断面図。

【図 3 9】図 3 8 に続く、本発明の第 4 の実施形態に係わる半導体記憶装置の製造工程を示す断面図。

【図 4 0】本発明の第 5 の実施形態に係わる半導体記憶装置を示す断面図。

10

【図 4 1】本発明の第 5 の実施形態に係わる他の半導体記憶装置を示す断面図。

【図 4 2】従来技術による半導体記憶装置の製造工程を示す断面図。

【図 4 3】図 4 2 に続く、従来技術による半導体記憶装置の製造工程を示す断面図。

【図 4 4】図 4 3 に続く、従来技術による半導体記憶装置の製造工程を示す断面図。

【図 4 5】図 4 4 に続く、従来技術による半導体記憶装置の製造工程を示す断面図。

【図 4 6】図 4 5 に続く、従来技術による半導体記憶装置の製造工程を示す断面図。

【図 4 7】図 4 6 に続く、従来技術による半導体記憶装置の製造工程を示す断面図。

【図 4 8】図 4 7 に続く、従来技術による半導体記憶装置の製造工程を示す断面図。

【図 4 9】図 4 8 に続く、従来技術による半導体記憶装置の製造工程を示す断面図。

【図 5 0】図 4 9 に続く、従来技術による半導体記憶装置の製造工程を示す断面図。

20

【符号の説明】

1 1 …半導体基板、

1 2 …第 1 の絶縁膜、

1 3 …第 1 の電極材、

1 3 a、1 3 b、1 3 c、4 1、4 2 …第 1 の導電層、

1 4 …第 2 の絶縁膜、

1 5 …素子分離絶縁膜、

1 6、1 6 a、1 6 b、1 9、2 0、2 3、2 5 …レジスト、

1 7 …第 3 の絶縁膜、

1 8 …第 2 の電極材、

30

1 8 a、1 8 b、1 8 c …第 2 の導電層、

2 1、2 4 …N⁺型のソース／ドレイン拡散層、

2 2 …第 4 の絶縁膜、

2 2 a …埋め込み絶縁膜、

2 2 b …側壁絶縁膜、

2 6 …P⁺型のソース／ドレイン拡散層、

2 7 a、2 7 b、2 7 c、2 7 d …サリサイド膜、

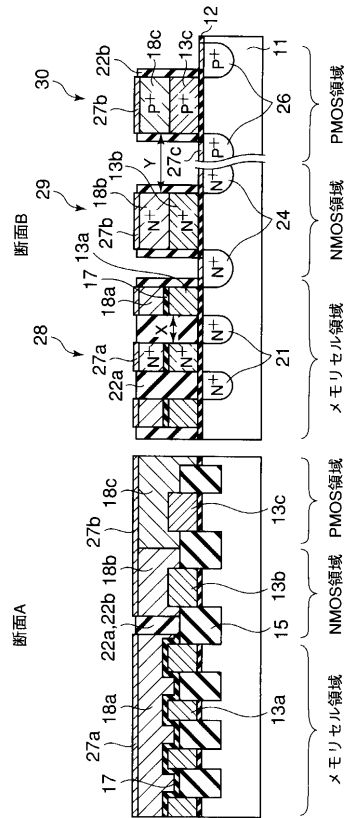
2 8 …メモリトランジスタ、

2 9、3 0 …周辺トランジスタ、

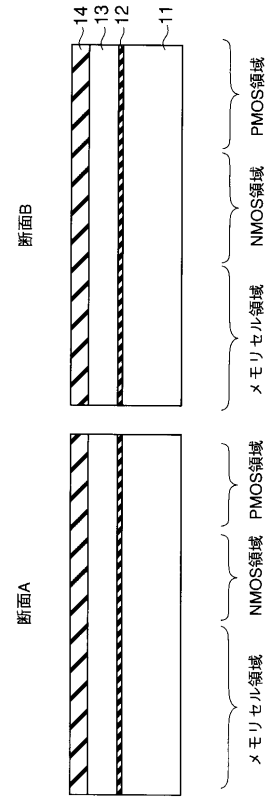
3 1 …開口部。

40

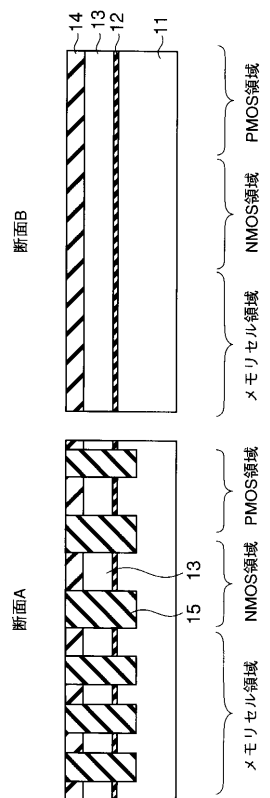
【図 1】



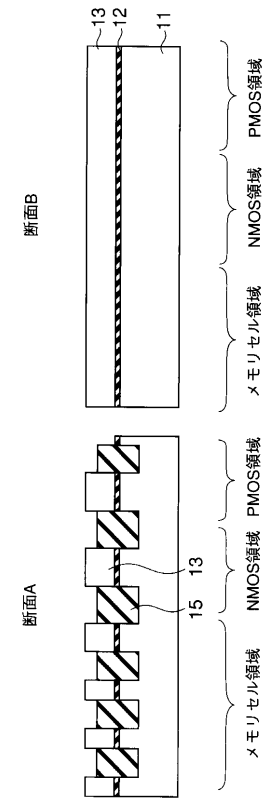
【図 2】



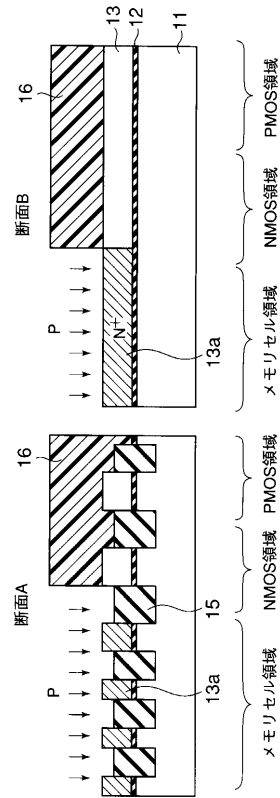
【図 3】



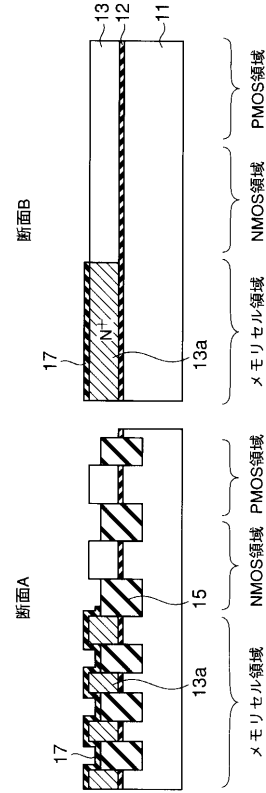
【図 4】



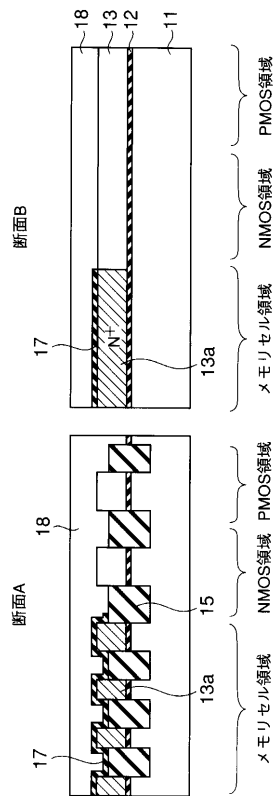
【図 5】



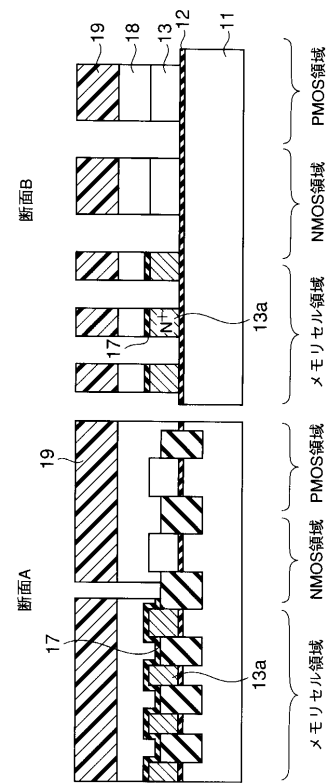
【図 6】



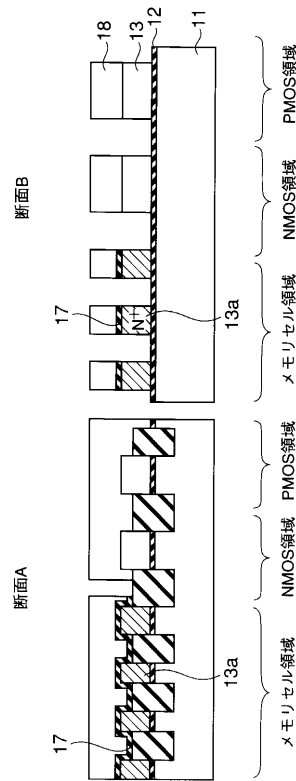
【図 7】



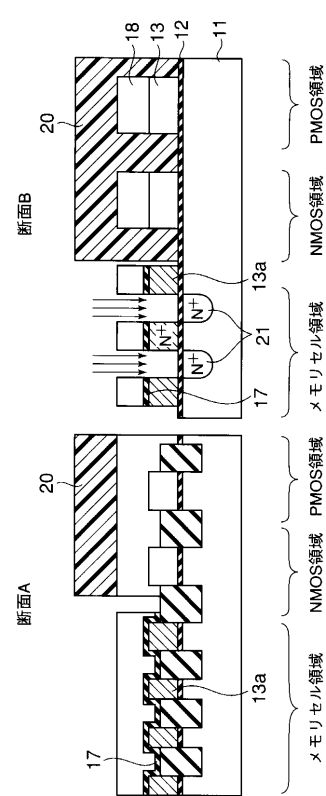
【図 8】



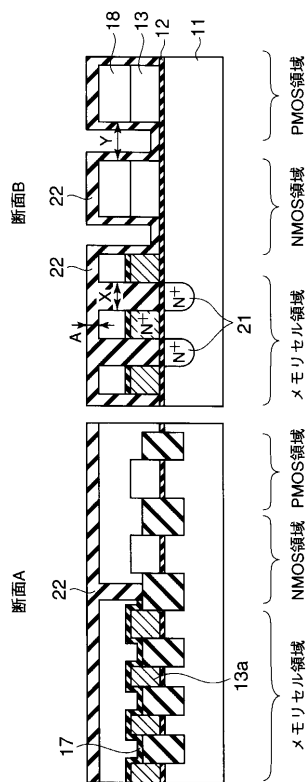
【図 9】



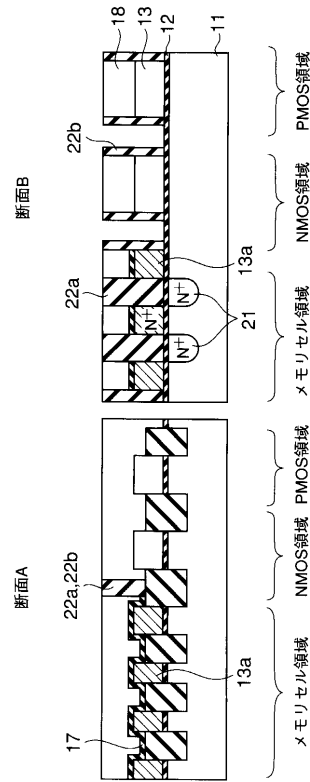
【図 10】



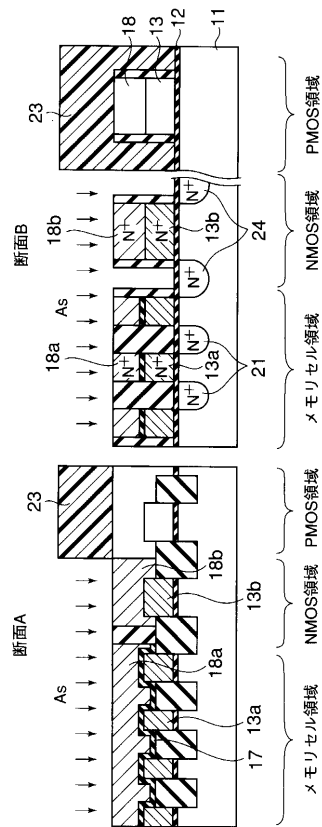
【図 11】



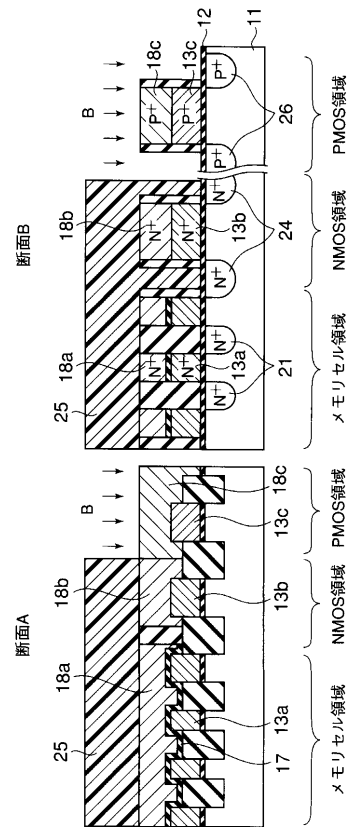
【図 12】



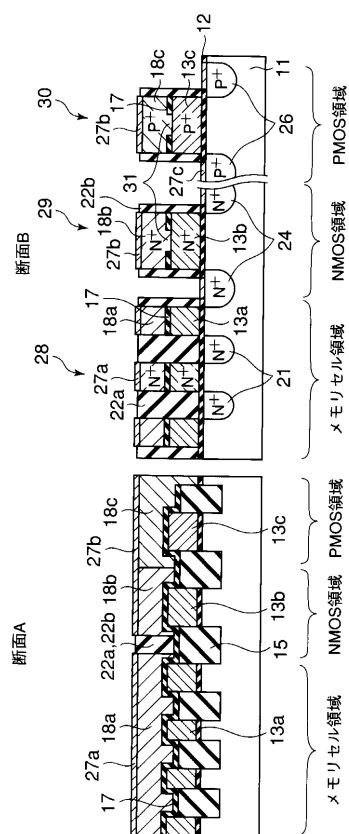
【図 1 3】



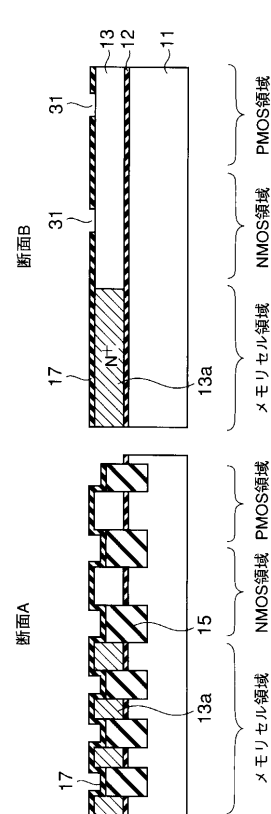
【図 14】



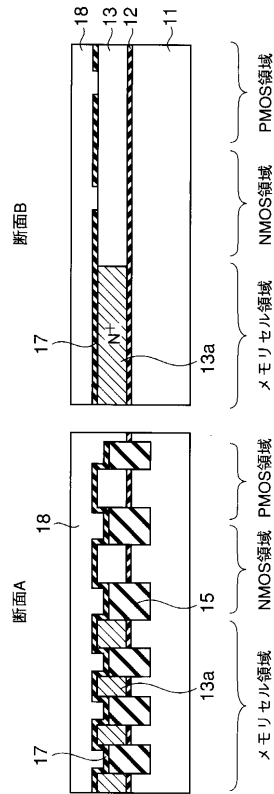
【図 15】



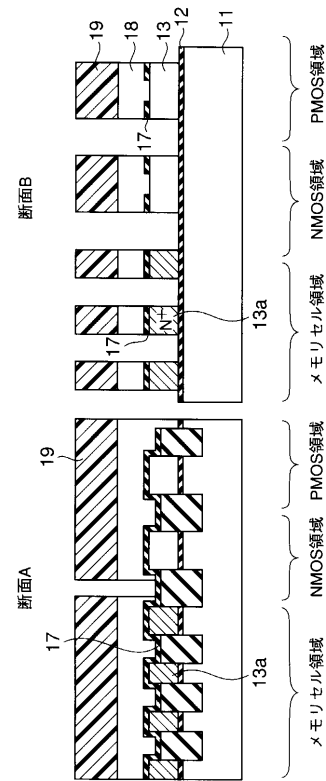
【図 16】



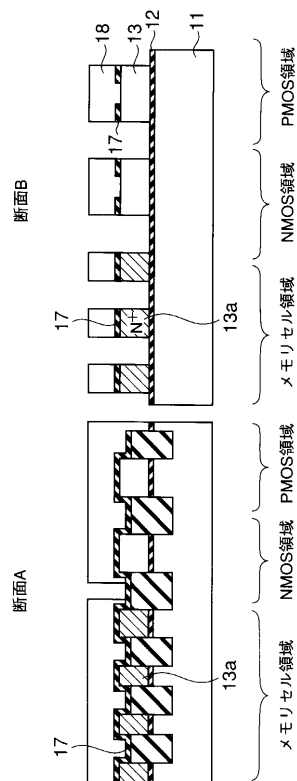
【図 17】



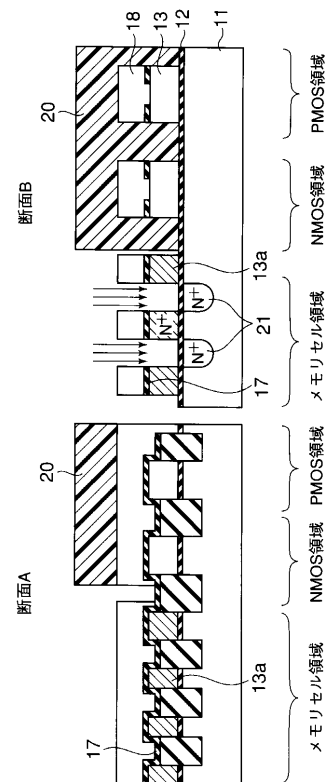
【図 18】



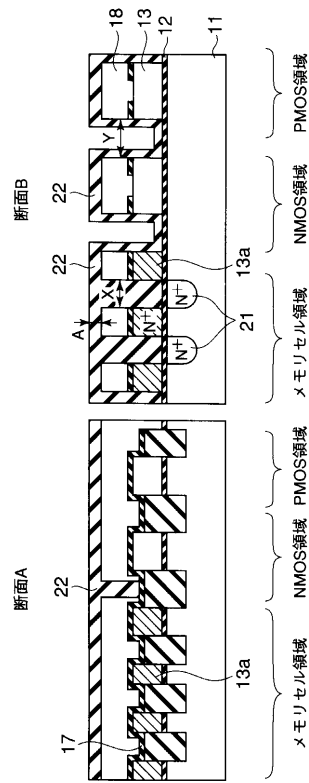
【図 19】



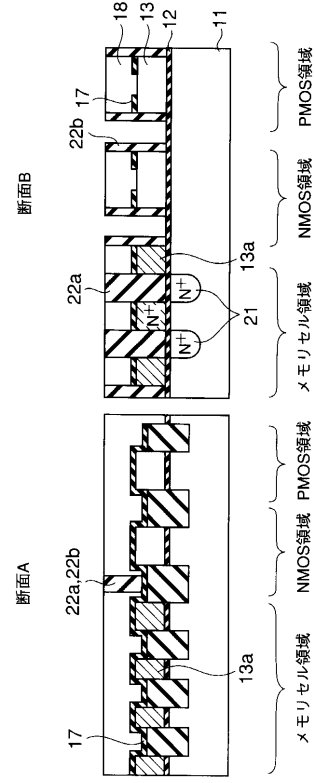
【図 20】



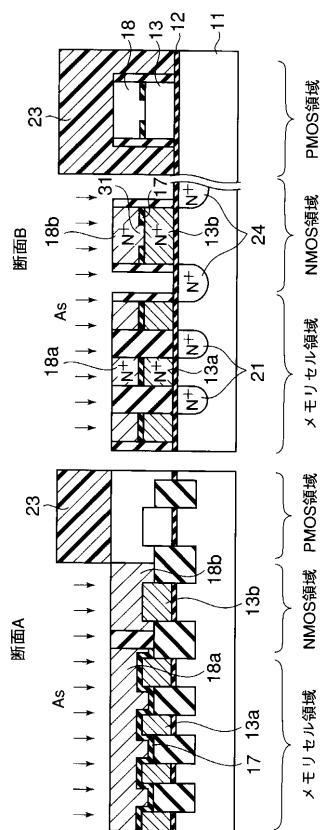
【図 2 1】



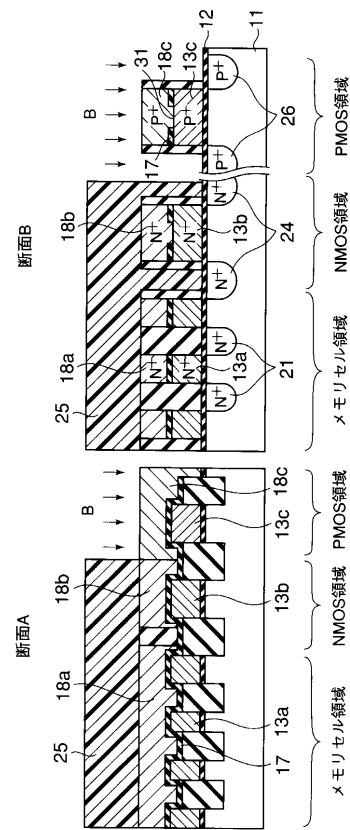
【図 2 2】



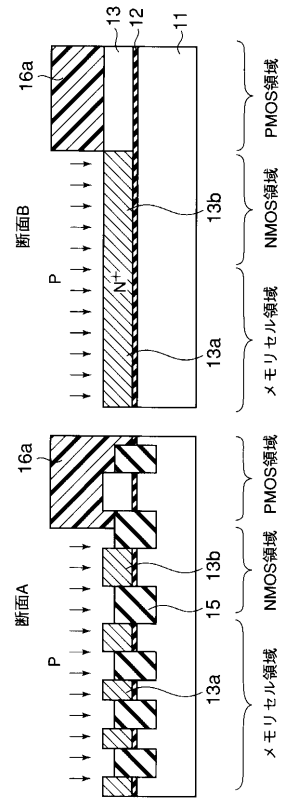
【図 2 3】



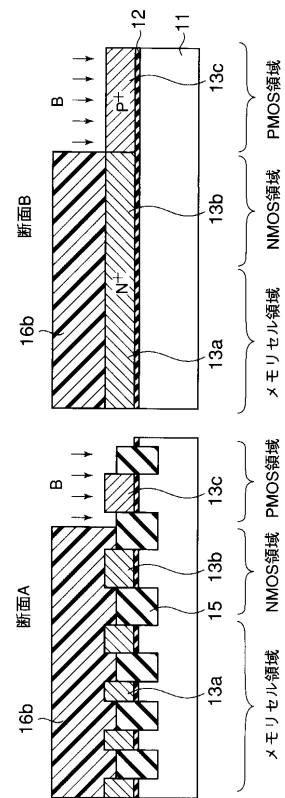
【図 2 4】



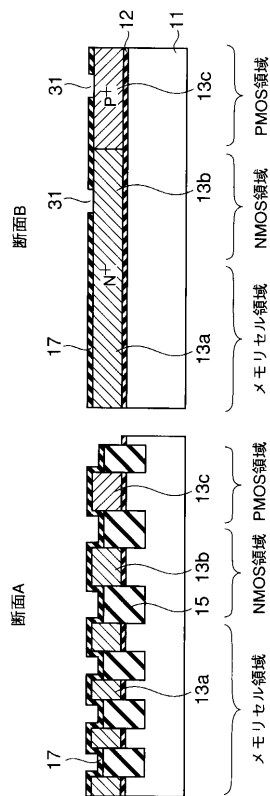
【図 25】



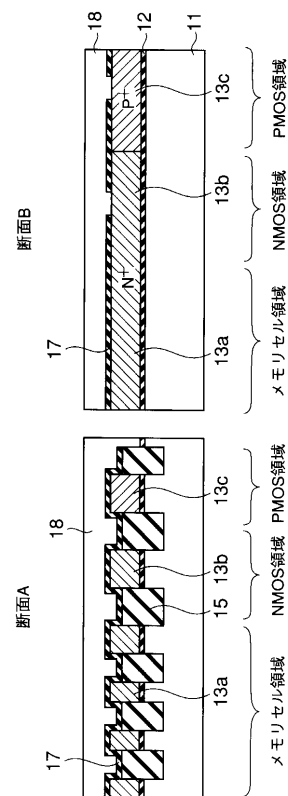
【図 26】



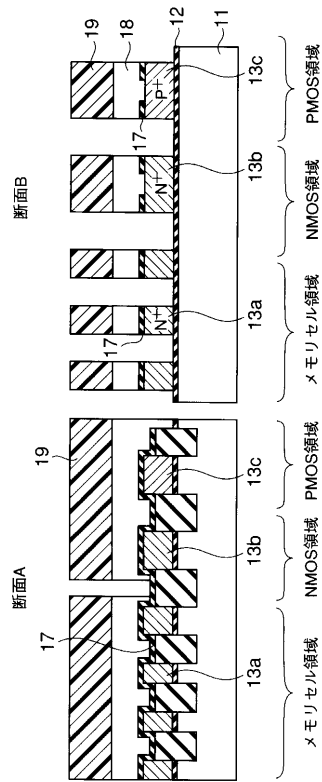
【図 27】



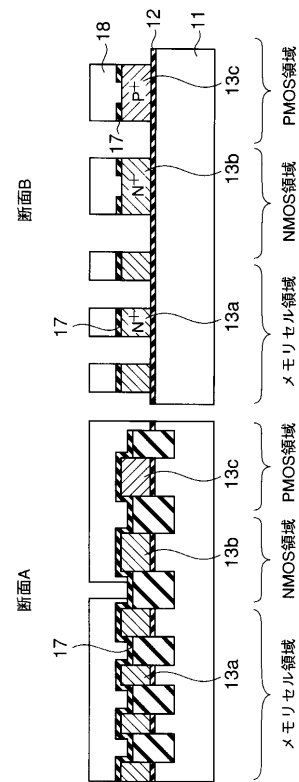
【図 28】



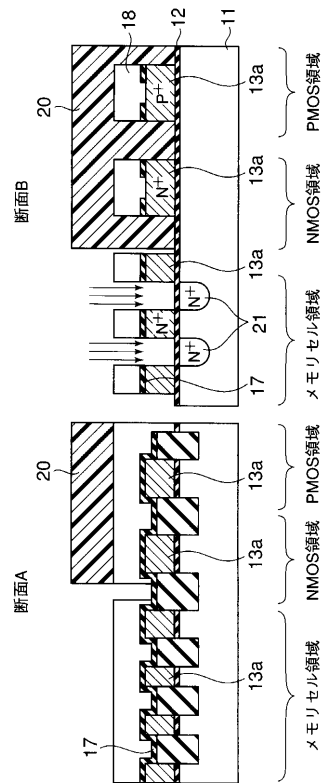
【図 29】



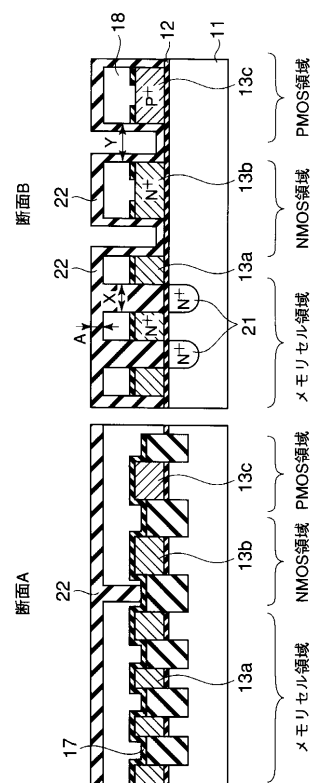
【図 30】



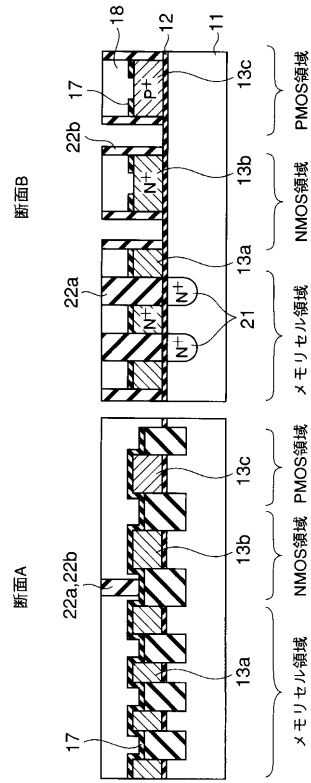
【図 31】



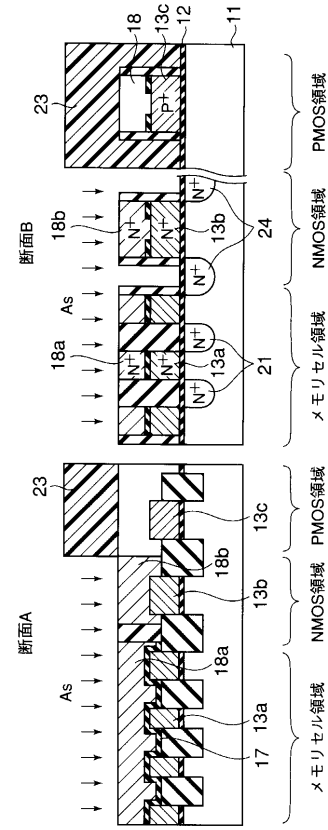
【図 32】



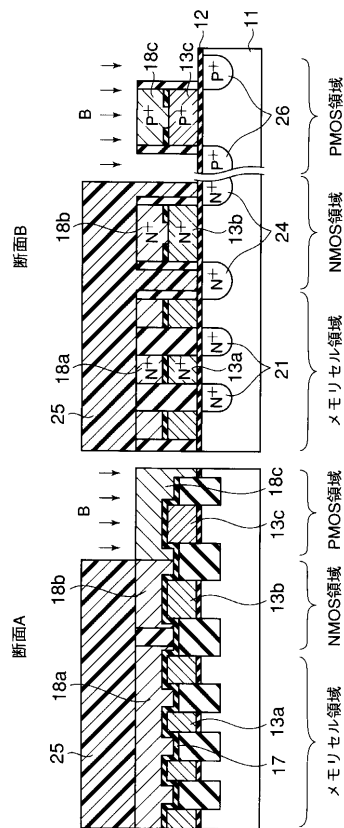
【図 3 3】



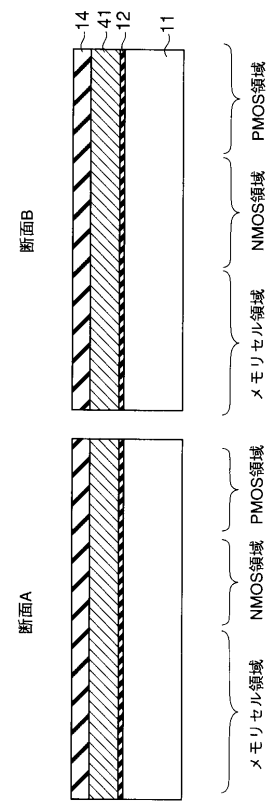
【図 3 4】



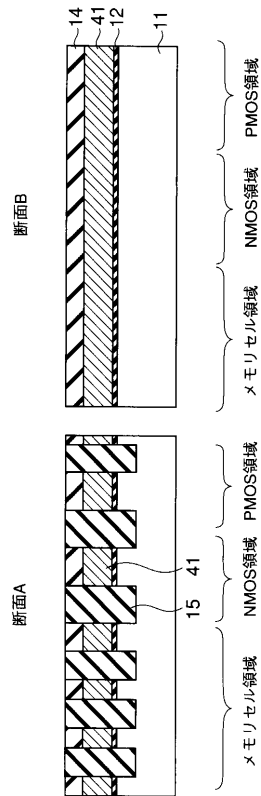
【図 3 5】



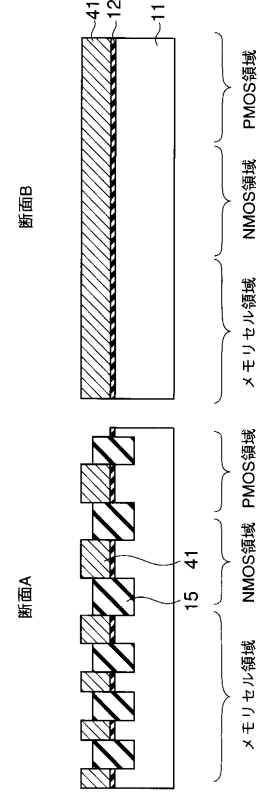
【図 3 6】



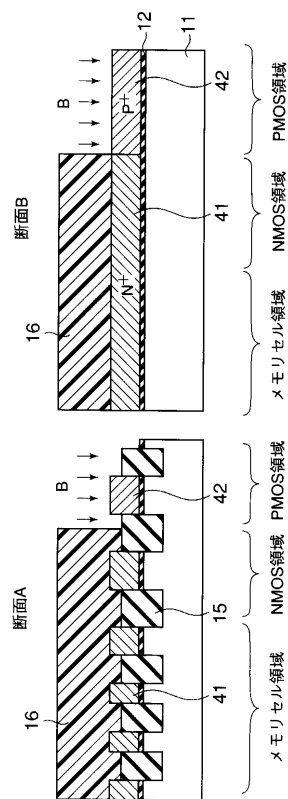
【図 37】



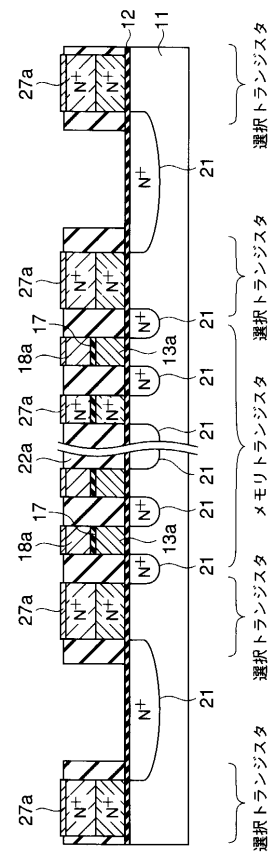
【図 38】



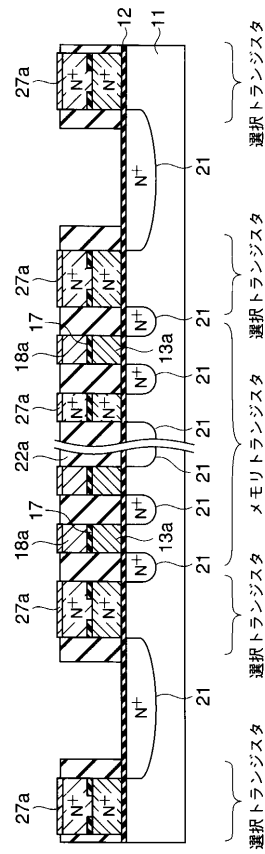
【図 39】



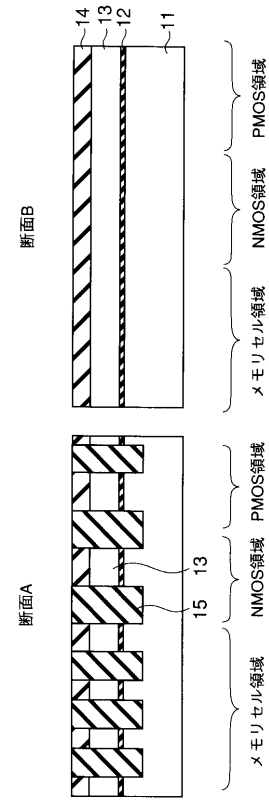
【図 40】



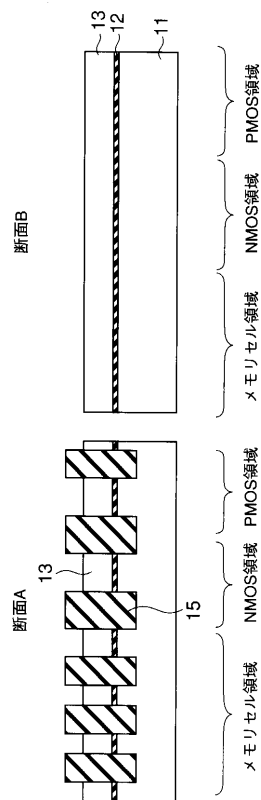
【図 4 1】



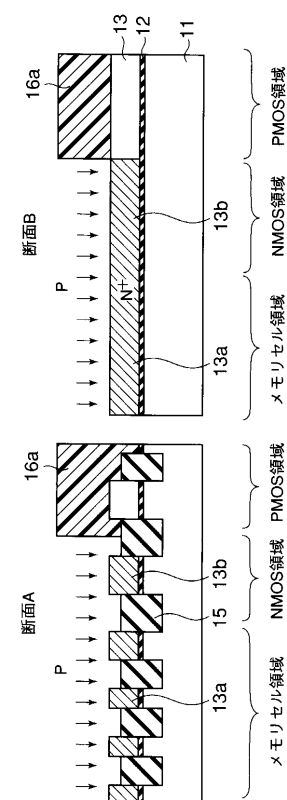
【図 4 2】



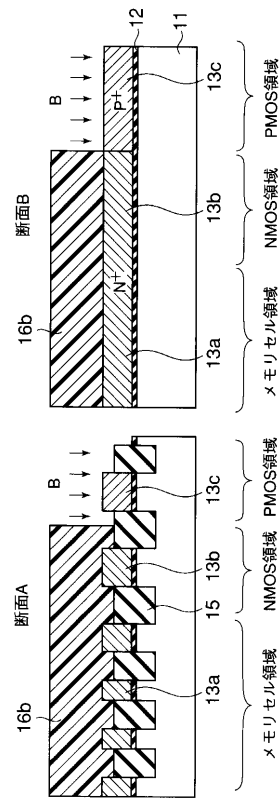
【図 4 3】



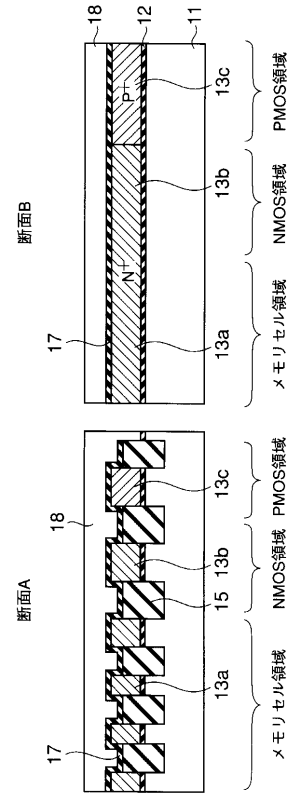
【図 4 4】



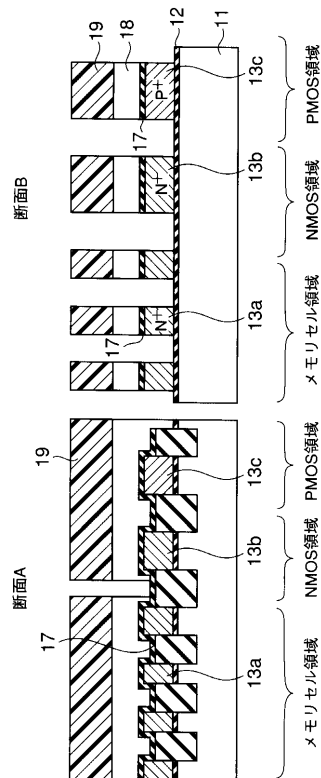
【図 4 5】



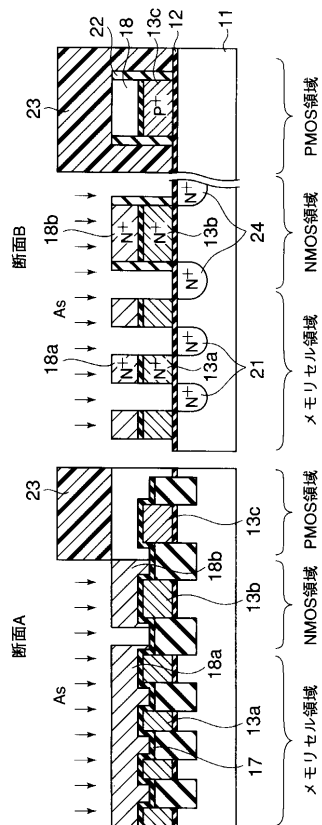
【図 4 6】



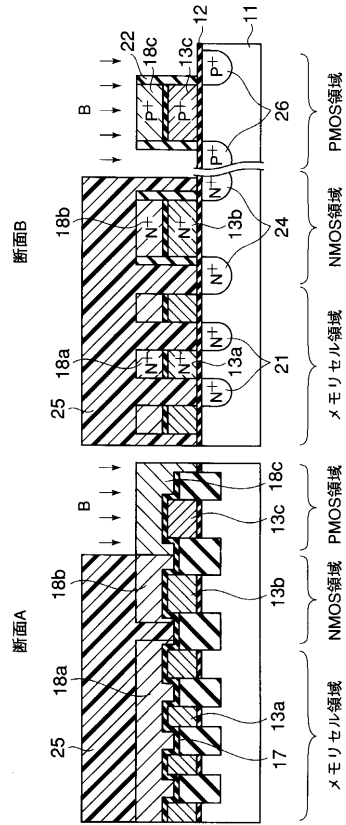
【図 4 7】



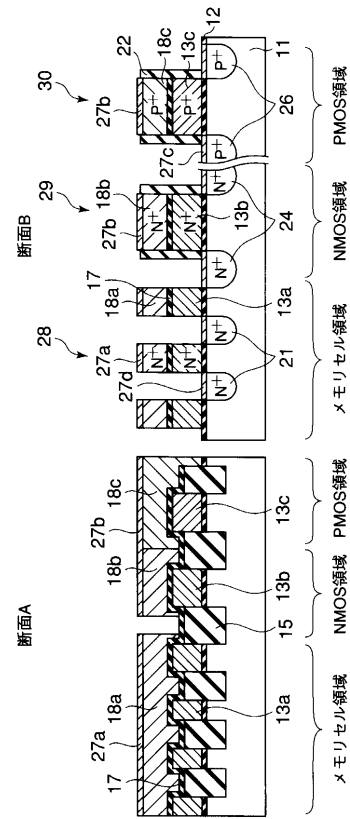
【図 4 8】



【図 49】



【図 50】



フロントページの続き

(51)Int.Cl. F I

H 0 1 L 27/092 (2006.01)

H 0 1 L 27/10 (2006.01)

(72)発明者 市毛 正之

神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

(72)発明者 杉前 紀久子

神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

(72)発明者 白田 理一郎

神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

審査官 井原 純

(56)参考文献 特開 2 0 0 0 - 3 0 7 0 8 6 (J P , A)

特開 2 0 0 0 - 1 8 8 3 7 8 (J P , A)

特開 2 0 0 1 - 2 1 0 8 0 9 (J P , A)

特開 2 0 0 0 - 2 6 9 4 6 8 (J P , A)

特開平 1 1 - 1 6 3 1 7 3 (J P , A)

(58)調査した分野(Int.Cl., D B 名)

H01L 21/8247

H01L 21/8238

H01L 27/092

H01L 27/10

H01L 27/115

H01L 29/788

H01L 29/792