

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7320910号
(P7320910)

(45)発行日 令和5年8月4日(2023.8.4)

(24)登録日 令和5年7月27日(2023.7.27)

(51)国際特許分類

F I

H 0 1 L	29/78	(2006.01)	H 0 1 L	29/78	6 5 4 A
H 0 1 L	29/739	(2006.01)	H 0 1 L	29/78	6 5 5 A
H 0 1 L	29/06	(2006.01)	H 0 1 L	29/78	6 5 3 C
			H 0 1 L	29/78	6 5 2 P
			H 0 1 L	29/06	3 0 1 F

請求項の数 5 (全10頁) 最終頁に続く

(21)出願番号 特願2020-157529(P2020-157529)
 (22)出願日 令和2年9月18日(2020.9.18)
 (65)公開番号 特開2022-51189(P2022-51189A)
 (43)公開日 令和4年3月31日(2022.3.31)
 審査請求日 令和4年6月23日(2022.6.23)

(73)特許権者 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号
 (73)特許権者 317011920
東芝デバイス&ストレージ株式会社
東京都港区芝浦一丁目1番1号
 (74)代理人 110004026
弁理士法人 i X
 (72)発明者 諏訪 剛史
東京都港区芝浦一丁目1番1号 東芝デ
バイス&ストレージ株式会社内
 (72)発明者 末代 知子
東京都港区芝浦一丁目1番1号 東芝デ
バイス&ストレージ株式会社内
 (72)発明者 岩鍛治 陽子

最終頁に続く

(54)【発明の名称】 半導体装置およびその制御方法

(57)【特許請求の範囲】

【請求項1】

第1導電形の第1半導体層と、
 前記第1半導体層上に設けられた第2導電形の第2半導体層と、
 前記第2半導体層上に選択的に設けられた前記第1導電形の第3半導体層と、
 前記第2半導体層上に選択的に設けられ、前記第3半導体層に並ぶ前記第2導電形の第4半導体層であって、前記第2半導体層の上面に平行な平面内において、前記第4半導体層の面積は、前記第3半導体層の面積よりも広い、第4半導体層と、
 第2導電形の第5半導体層であって、前記第1半導体層は、前記第2半導体層と前記第5半導体層との間に位置する、第5半導体層と、
 前記第3半導体層の上面から前記第1半導体層中に至る深さのトレンチの内部に設けられた制御電極であって、前記第1半導体層、前記第2半導体層および前記第3半導体層から第1絶縁膜により電氣的に絶縁され、前記第2半導体層は、前記第1絶縁膜を介して前記制御電極に向き合い、前記第3半導体層は、前記第1絶縁膜に接した、制御電極と、
 前記第3半導体層に電氣的に接続された第1電極と、
 前記第4半導体層に電氣的に接続された第2電極と、
 前記第5半導体層に電氣的に接続された第3電極と、
 前記制御電極に電氣的接続された制御端子と、
 を備えた半導体装置。

【請求項2】

請求項 1 に記載の半導体装置の制御方法であって、

前記第 2 電極を介して前記第 4 半導体層に接続される電位を、前記第 1 電極を介して前記第 3 半導体層に接続される電位よりも低くする半導体装置の制御方法。

【請求項 3】

請求項 1 に記載の半導体装置の制御方法であって、

前記第 1 電極と前記第 3 電極との間の電圧が所定の値を超えた時、前記第 2 電極を介して前記第 4 半導体層に接続される電位を、前記第 1 電極を介して前記第 3 半導体層に接続される電位よりも低くする半導体装置の制御方法。

【請求項 4】

前記制御端子と前記第 1 電極との間に、前記制御電極のしきい値電圧よりも高い電圧を印加している間に、前記第 4 半導体層に接続される電位を、前記第 1 電極を介して前記第 3 半導体層に接続される電位よりも低くする請求項 3 に記載の半導体装置の制御方法。

10

【請求項 5】

前記第 2 電極を介して前記第 4 半導体層に接続される電位を、前記第 1 電極を介して前記第 3 半導体層に接続される電位よりも低くする前に、前記第 3 半導体層と同じ電位を前記第 2 電極を介して前記第 4 半導体層に供給する請求項 3 または 4 に記載の半導体装置の制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

実施形態は、半導体装置およびその制御方法に関する。

20

【背景技術】

【0002】

インバータなどの電力変換器を構成する半導体装置には、短絡電流などに対する破壊耐量を向上させることが求められる。

【先行技術文献】

【特許文献】

【0003】

【文献】平 0 1 - 1 8 1 5 7 1 号公報

【非特許文献】

30

【0004】

【文献】T. Hoshii et al., "Verification of the injection enhancement effect in IGBTs by measuring the electron and hole currents separately", 2018 48th European Solid-State Device Research Conference, ESSDERC 2018, p26-29 (Oct 8, 2018)

【発明の概要】

【発明が解決しようとする課題】

【0005】

実施形態は、破壊耐量を向上させた半導体装置およびその制御方法を提供する。

【課題を解決するための手段】

40

【0006】

実施形態に係る半導体装置は、第 1 導電形の第 1 半導体層と、前記第 1 半導体層上に設けられた第 2 導電形の第 2 半導体層と、前記第 2 半導体層上に選択的に設けられた前記第 1 導電形の第 3 半導体層と、前記第 2 半導体層上に選択的に設けられ、前記第 3 半導体層と並ぶ前記第 2 導電形の第 4 半導体層と、第 2 導電形の第 5 半導体層と、を備える。前記第 1 半導体層は、前記第 2 半導体層と前記第 5 半導体層との間に位置する。前記第 4 半導体層は、前記第 2 半導体層の上面に平行な平面内において、前記第 4 半導体層の面積は、前記第 3 半導体層の面積よりも広い面積を有する。前記半導体装置は、前記第 3 半導体層の上面から前記第 1 半導体層中に至る深さのトレンチの内部に設けられた制御電極と、前記第 3 半導体層に電氣的に接続された第 1 電極と、前記第 4 半導体層に電氣的に接続され

50

た第2電極と、前記第5半導体層に電氣的に接続された第3電極と、前記制御電極に電氣的接続された制御端子と、をさらに備える。前記制御電極は、前記第1半導体層、前記第2半導体層および前記第3半導体層から第1絶縁膜により電氣的に絶縁される。前記第2半導体層は、前記第1絶縁膜を介して前記制御電極に向き合い、前記第3半導体層は、前記第1絶縁膜に接する。

【0007】

前記半導体装置の制御方法は、前記第2電極を介して前記第4半導体層に接続される電位を、前記第1電極を介して前記第3半導体層に接続される電位よりも低くする。

【図面の簡単な説明】

【0008】

【図1】実施形態に係る半導体装置を示す模式断面図である。

【図2】実施形態に係る半導体装置を示す模式平面図である。

【図3】実施形態に係る半導体装置の特性を示すグラフである。

【図4】実施形態に係る半導体装置の制御方法を示すタイミングチャートである。

【図5】実施形態の変形例に係る半導体装置の制御方法を示すタイミングチャートである。

【図6】比較例に係る電力変換器を示す模式図である。

【発明を実施するための形態】

【0009】

以下、実施の形態について図面を参照しながら説明する。図面中の同一部分には、同一番号を付してその詳しい説明は適宜省略し、異なる部分について説明する。なお、図面は模式的または概念的なものであり、各部分の厚みと幅との関係、部分間の大きさの比率などは、必ずしも現実のものと同じとは限らない。また、同じ部分を表す場合であっても、図面により互いの寸法や比率が異なって表される場合もある。

【0010】

さらに、各図中に示すX軸、Y軸およびZ軸を用いて各部分の配置および構成を説明する。X軸、Y軸、Z軸は、相互に直交し、それぞれX方向、Y方向、Z方向を表す。また、Z方向を上方、その反対方向を下方として説明する場合がある。

【0011】

図1は、実施形態に係る半導体装置1を示す模式断面図である。半導体装置1は、例えば、IGBT (Insulated Gate Bipolar Transistor) である。

【0012】

図1に示すように、半導体装置1は、第1導電形の第1半導体層11と、第2導電形の第2半導体層13と、第1導電形の第3半導体層15と、第2導電形の第4半導体層17と、第2導電形の第5半導体層19と、第1制御電極20と、第2制御電極30と、を備える。以下、第1導電形をn形、第2導電形をp形として説明する。

【0013】

第1～第5半導体層は、例えば、シリコンである。第1半導体層11は、例えば、n形ベース層である。第2半導体層13は、例えば、p形ベース層である。第2半導体層13は、第1半導体層11の上に設けられる。

【0014】

第3半導体層15は、例えば、n形エミッタ層である。第3半導体層15は、第2半導体層13の上に選択的に設けられる。第3半導体層15は、例えば、第1半導体層11の第1導電形不純物よりも高濃度の第1導電形不純物を含む。

【0015】

第4半導体層17は、例えば、p形エミッタ層である。第4半導体層17は、第2半導体層13の上に選択的に設けられる。第4半導体層17は、例えば、第2半導体層13の第2導電形不純物よりも高濃度の第2導電形不純物を含む。第3半導体層15および第4半導体層17は、第2半導体層13上に並ぶ。

【0016】

第5半導体層19は、例えば、p形コレクタ層である。第1半導体層11は、第2半導

10

20

30

40

50

体層 13 と第 5 半導体層 19 との間に設けられる。

【0017】

第 1 制御電極 20 は、例えば、ゲート電極である。第 1 制御電極 20 は、例えば、導電性のポリシリコンであり、トレンチ GT1 の内部に設けられる。トレンチ GT1 は、例えば、Z 方向に延在し、第 3 半導体層 15 の上面から第 1 半導体層 11 中に至る深さを有する。また、トレンチ GT1 は、例えば、Y 方向にも延在する。第 1 制御電極 20 は、トレンチ GT1 の内部において、例えば、X 方向および Y 方向に延在し、第 1 絶縁膜 23 により第 1 半導体層 11、第 2 半導体層 13 および第 3 半導体層 15 から電氣的に絶縁される。第 1 絶縁膜 23 は、例えば、ゲート絶縁膜である。第 1 絶縁膜 23 は、例えば、シリコン酸化膜である。

10

【0018】

第 1 制御電極 20 は、第 1 半導体層 11 中に延在する部分を有する。第 1 半導体層 11 は、第 1 絶縁膜 23 を介して、第 1 制御電極 20 に向き合う。また、第 2 半導体層 13 は、第 1 絶縁膜 23 を介して、第 1 制御電極 20 に向き合う。第 3 半導体層 15 は、第 1 絶縁膜 23 に接する。

【0019】

第 2 制御電極 30 は、例えば、フィールドプレートである。第 2 制御電極 30 は、例えば、導電性のポリシリコンであり、トレンチ GT2 の内部に設けられる。トレンチ GT2 は、例えば、Z 方向に延在し、第 4 半導体層 17 の上面から第 1 半導体層 11 中に至る深さを有する。また、トレンチ GT2 は、例えば、Y 方向にも延在する。第 2 制御電極 30 は、トレンチ GT2 の内部において、例えば、X 方向および Y 方向に延在し、第 2 絶縁膜 33 により第 1 半導体層 11、第 2 半導体層 13 および第 4 半導体層 17 から電氣的に絶縁される。第 2 絶縁膜 33 は、例えば、シリコン酸化膜である。

20

【0020】

第 2 制御電極 30 は、第 1 半導体層 11 中に延在する部分を有する。第 1 半導体層 11 は、第 2 絶縁膜 33 を介して、第 2 制御電極 30 に向き合う。また、第 2 半導体層 13 は、第 2 絶縁膜 33 を介して、第 2 制御電極 30 に向き合う。第 4 半導体層 17 は、例えば、第 2 絶縁膜 33 に接する。

【0021】

半導体装置 1 は、例えば、第 1 電極 ET1 と、第 2 電極 ET2 と、第 3 電極 CT と、制御端子 GTE と、をさらに備える。

30

【0022】

第 1 電極 ET1 は、第 3 半導体層 15 に電氣的に接続される。第 2 電極 ET2 は、第 4 半導体層 17 に電氣的に接続される。第 3 電極 CT は、第 5 半導体層 19 に電氣的に接続される。

【0023】

制御端子 GTE は、第 1 制御電極 20 に電氣的に接続される。制御端子 GTE は、例えば、第 1 制御電極 20 の上端を覆う絶縁膜 25 に設けられたコンタクトホールを介して、第 1 制御電極 20 に電氣的に接続される。絶縁膜 25 は、例えば、シリコン酸化膜である。

【0024】

また、第 1 制御電極 20 は、例えば、Y 方向の端において、トレンチ GT1 の外側に延在するコンタクト部（図示しない）を有し、制御端子 GTE は、第 1 制御電極 20 のコンタクト部に電氣的に接続される。

40

【0025】

第 2 制御電極 30 は、第 1 制御電極 20 とは独立に制御される。第 2 制御電極 30 は、例えば、第 1 電極 ET1 と同電位になるように制御される。第 2 制御電極 30 は、その上端を覆う絶縁膜 35 に設けられたコンタクトホール（図示しない）を介して、例えば、第 1 電極 ET1 に電氣的に接続される。絶縁膜 35 は、例えば、シリコン酸化膜である。

【0026】

また、第 2 制御電極 30 は、第 1 電極 ET1 および第 1 制御電極 20 とは異なる電位に

50

なるように制御されても良い。

【 0 0 2 7 】

図 2 (a) ~ (d) は、実施形態に係る半導体装置 1 を示す模式平面図である。図 2 (a) ~ (d) は、第 3 半導体層 1 5 および第 4 半導体層 1 7 の配置を表す模式図である。各図に示す C H 1 および C H 2 は、図示しない層間絶縁膜に設けられるコンタクトホールを示している。

【 0 0 2 8 】

図 2 (a) ~ (d) に示すように、第 3 半導体層 1 5 および第 4 半導体層 1 7 は、X - Y 平面内において、並べて配置される。X - Y 平面内において、第 4 半導体層 1 7 の面積は、第 3 半導体層 1 5 の面積よりも広く設けられる。

10

【 0 0 2 9 】

第 1 電極 E T 1 は、コンタクトホール C H 1 を介して、第 3 半導体層 1 5 に電氣的に接続される。第 2 電極 E T 2 は、コンタクトホール C H 2 を介して、第 4 半導体層 1 7 に電氣的に接続される。

【 0 0 3 0 】

図 3 は、実施形態に係る半導体装置 1 の特性を示すグラフである。横軸は、第 1 電極 E T 1 と第 3 電極 C T との間に印加されるコレクタ電圧 V_{ce} である。縦軸は、第 1 電極 E T 1 と第 3 電極 C T との間に流れるコレクタ電流 I_c である。

【 0 0 3 1 】

この例では、第 1 電極 E T 1 の電位 V_{e1} を 0 V、第 1 制御電極 2 0 と第 1 電極 E T 1 とに間に印加されるゲート電圧 V_{g1} を 1.5 V、第 2 制御電極 3 0 と第 1 電極 E T 1 とに間に印加される電圧を 0 V としている。この場合、第 1 制御電極 2 0 の閾値電圧は、1.5 V よりも低い。

20

【 0 0 3 2 】

図 3 は、第 1 電極 E T 1 の電位 V_{e1} に対して、第 2 電極 E T 2 の電位 V_{e2} を変化させた場合のコレクタ電流 I_c を表している。例えば、第 2 電極 E T 2 の電位 V_{e2} を 0 V とした時、図 3 に示すコレクタ電流 I_c は、第 3 半導体層 1 5 および第 4 半導体層 1 7 の両方に電氣的に接続されたエミッタ電極を有する通常の I G B T の特性を表す。

【 0 0 3 3 】

図 3 に示すように、第 2 電極 E T 2 の電位 V_{c2} を、第 1 電極 E T 1 の電位 V_{c1} (= 0 V) に対して、- 0.5 V、- 2 V および - 4 V と低下させるにつれて、コレクタ電流 I_c は小さくなる。また、第 2 電極 E T 2 の電位 V_{c2} を 0.5 V にすると、コレクタ電流 I_c は大きくなる。

30

【 0 0 3 4 】

図 4 は、実施形態に係る半導体装置 1 の制御方法を表すタイミングチャートである。図 4 は、コレクタ電圧 V_{ce} 、コレクタ電流 I_c 、ゲート電圧 V_{g1} 、第 1 電極 E T 1 の電位 V_{e1} および第 2 電極 E T 2 の電位 V_{e2} の時間変化を表している。

【 0 0 3 5 】

ここで、コレクタ電圧 V_{ce} は、第 1 電極 E T 1 と第 3 電極 C T との間に印加される電圧である。コレクタ電流 I_c は、第 1 電極 E T 1 と第 3 電極 C T とに間に流れる電流である。また、ゲート電圧 V_{g1} は、第 1 電極 E T 1 と第 1 制御電極 2 0 との間に印加される電圧である。

40

【 0 0 3 6 】

例えば、時間 t_1 において、第 1 電極 E T 1 と第 3 電極 C T との間に所定のコレクタ電圧 V_{ce} が印加された状態で、第 1 電極 E T 1 と第 1 制御電極 2 0 との間のゲート電圧 V_{g1} をマイナス電圧からしきい値電圧よりも高い + 1.5 V へ変化させる。この時、第 1 電極 E T 1 の電位 V_{e1} および第 2 電極 E T 2 の電位 V_{e2} は、共に 0 V である。

【 0 0 3 7 】

第 1 制御電極 2 0 の電位により、第 1 絶縁膜 2 3 と第 2 半導体層 1 3 との界面に第 1 導電形の反転層が誘起され、コレクタ電流 I_c は、所定のオン電流のレベルに上昇する。

50

【 0 0 3 8 】

続いて、時間 t_1 よりも後の時間 t_2 において、例えば、短絡故障（図 6 参照）によるコレクタ電圧 V_{ce} の上昇が検出されると、第 2 電極 E_{T2} の電位 V_{e2} を第 1 電極 E_{T1} の電位 V_{e1} よりも低いレベル、例えば、 $-4V$ に低下させる。これにより、コレクタ電流 I_c は減少する（図 3 参照）。例えば、短絡故障は、コレクタ電圧 V_{ce} が所定のしきい値を超えた時に検知される。

【 0 0 3 9 】

図 6 (a) および (b) は、比較例に係る電力変換器 2 を示す模式図である。図 6 (a) は、電力変換器 2 の回路図である。図 6 (b) は、電力変換器 2 の故障時の動作を例示するタイミングチャートである。

10

【 0 0 4 0 】

図 6 (a) に示すように、電力変換器 2 は、例えば、単相インバータである。電力変換器 2 は、半導体装置 1 A ~ 1 D を含む。半導体装置 1 A ~ 1 D は、例えば、 n 形エミッタ層および p 形エミッタ層の両方にエミッタ電極が電気的に接続された、通常の IGBT である。

【 0 0 4 1 】

図 6 (b) は、半導体装置 1 B のコレクタ電圧 V_{ce} 、コレクタ電流 I_c およびゲート電圧 V_g の時間変化を表している。

【 0 0 4 2 】

電力変換器 2 は、例えば、時間 t_1 において、半導体装置 1 B および半導体装置 1 C がオン状態となり、半導体装置 1 A および半導体装置 1 D がオフ状態となるように制御される。半導体装置 1 B のゲート電圧 V_g は、オフレベルからオンレベル、例えば、 $15V$ に上昇する。これに伴い、コレクタ電流 I_c は、オン電流のレベルに上昇し、コレクタ電圧は、オン電圧のレベルに低下する。

20

【 0 0 4 3 】

例えば、時間 t_2 において、半導体装置 1 A が短絡故障したとすれば、コレクタ電圧 V_{ce} は、例えば、電源電圧 V_{cc} のレベルまで上昇する。これに伴い、コレクタ電流 I_c も上昇し、所謂、熱暴走の状態に突入する。この結果、半導体装置 1 B も破壊され、電力変換器 2 が爆発的破壊に至る場合がある。

【 0 0 4 4 】

これに対し、半導体装置 1 A ~ 1 D として、実施形態に係る半導体装置 1 を用いるとすれば、例えば、半導体装置 1 A の短絡故障を検知した場合、半導体装置 1 B において、第 2 電極 E_{T2} の電位 V_{e2} を第 1 電極 E_{T1} の電位 V_{e1} よりも低いレベルに低下させる。これにより、コレクタ電流 I_c の増加を抑制し、熱暴走を防ぐことが可能となる。

30

【 0 0 4 5 】

なお、上記の実施形態では、半導体装置 1 のオン状態において、第 2 電極 E_{T2} の電位 V_{e2} を低下させる例を示したが、これに限定される訳ではない。例えば、半導体装置 1 がオフ状態にある時、コレクタ電圧 V_{ce} の上昇を検知し、第 2 電極 E_{T2} の電位 V_{e2} を低下させても良い。これにより、半導体装置 1 がオン状態となった時のコレクタ電流 I_c のレベルを抑制し、熱暴走を回避することができる。また、第 2 電極 E_{T2} の電位 V_{e2} を低下させるタイミングの検出は、コレクタ電圧 V_{ce} の上昇に限定される訳ではなく、例えば、電力変換器 2 における他のパラメータの変化を検出し、第 2 電極 E_{T2} の電位 V_{e2} を低下させても良い。

40

【 0 0 4 6 】

図 5 は、実施形態の変形例に係る半導体装置 1 の制御方法を示すタイミングチャートである。図 5 は、コレクタ電圧 V_{ce} 、コレクタ電流 I_c 、ゲート電圧 V_{g1} 、第 1 電極 E_{T1} の電位 V_{e1} および第 2 電極 E_{T2} の電位 V_{e2} の時間変化を表している。

【 0 0 4 7 】

この例では、第 2 電極 E_{T2} の電位 V_{e2} は、常に、第 1 電極 E_{T1} の電位 V_{e1} よりも低いレベル、例えば、 $-4V$ に維持される。これにより、時間 t_1 において、ゲート電

50

圧 V_{g1} をマイナス電圧から閾値電圧よりも高い 1.5 V に上昇させ、第 2 半導体層 13 と第 1 絶縁膜 23 との界面に第 1 導電形の反転層を誘起するとしても、コレクタ電流 I_c は、本来のオン電流のレベルまで上昇することはない。すなわち、第 2 電極 $ET2$ の電位 V_{e2} を制御することにより、定常的にオン電流を抑制することができる。

【0048】

このような制御方法によれば、例えば、半導体装置 1 の本来のオン電流のレベルが高過ぎる場合に、所望のレベルに抑制することができる。また、オン電流の増加により、ゲート電圧 V_{g1} に振動が生じる場合がある（図 6 (b) 参照）。このような振動は、熱暴走に限らず、通常の動作時におけるオン電流のレベルが高過ぎる場合にも生じる。このため、図 5 に示す制御方法を用いることにより、ゲート電圧 V_{g1} の振動を抑制することも可能となる。

10

【0049】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【符号の説明】

【0050】

1、1A ~ 1D ... 半導体装置、 2 ... 電力変換器、 11 ... 第 1 半導体層、 13 ... 第 2 半導体層、 15 ... 第 3 半導体層、 17 ... 第 4 半導体層、 19 ... 第 5 半導体層、 20 ... 第 1 制御電極、 23 ... 第 1 絶縁膜、 25、35 ... 絶縁膜、 30 ... 第 2 制御電極、 33 ... 第 2 絶縁膜、 CH1、CH2 ... コンタクトホール、 ET1 ... 第 1 電極、 ET2 ... 第 2 電極、 CT ... 第 3 電極、 GTE ... 制御端子、 GT1、GT2 ... トレンチ

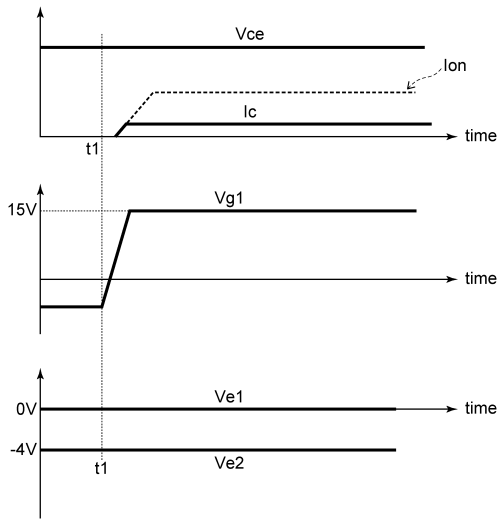
20

30

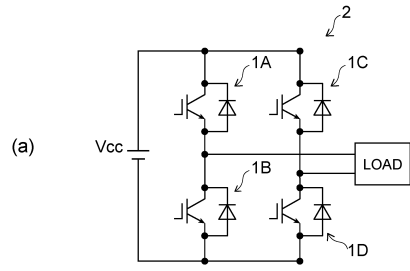
40

50

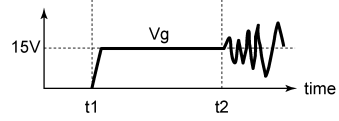
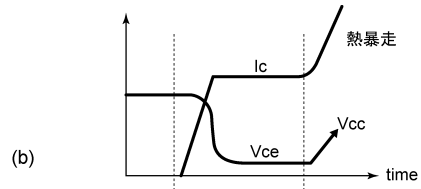
【 図 5 】



【 図 6 】



10



20

30

40

50

フロントページの続き

(51)国際特許分類

F I

H 0 1 L 29/06 3 0 1 V
H 0 1 L 29/78 6 5 5 G

東京都港区芝浦一丁目1番1号 東芝デバイス&ストレージ株式会社内

(72)発明者 系数 裕子

東京都港区芝浦一丁目1番1号 東芝デバイス&ストレージ株式会社内

(72)発明者 もたい 貴子

東京都港区芝浦一丁目1番1号 東芝デバイス&ストレージ株式会社内

審査官 恩田 和彦

(56)参考文献

特開平11-345969(JP,A)

特開2012-114321(JP,A)

特開2008-112936(JP,A)

特開2016-167539(JP,A)

特開2008-227251(JP,A)

特開2017-054935(JP,A)

米国特許出願公開第2012/0086045(US,A1)

(58)調査した分野 (Int.Cl., DB名)

H 0 1 L 2 9 / 7 8

H 0 1 L 2 9 / 7 3 9

H 0 1 L 2 9 / 0 6

H 0 1 L 2 1 / 3 3 6