



(12) 发明专利

(10) 授权公告号 CN 103135438 B

(45) 授权公告日 2015. 07. 01

(21) 申请号 201210510254. 9

(22) 申请日 2012. 12. 03

(30) 优先权数据

2011-266124 2011. 12. 05 JP

(73) 专利权人 精工爱普生株式会社

地址 日本东京

(72) 发明人 竹村诚 白鸟透

(74) 专利代理机构 北京金信知识产权代理有限公司

公司 11225

代理人 黄威 苏萌萌

(51) Int. Cl.

G04F 5/00(2006. 01)

G04F 5/14(2006. 01)

G04F 10/00(2006. 01)

审查员 孙建强

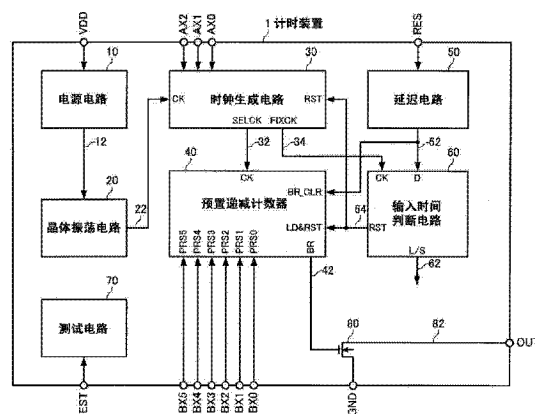
权利要求书1页 说明书16页 附图9页

(54) 发明名称

计时装置以及电子设备

(57) 摘要

本发明涉及一种计时装置及电子设备,其课题在于,提供一种能够在不设置专用的外部端子的条件下,进行单一模式和重复模式的选择的计时装置及电子设备。计时装置包括:RES 输入端子;OUT 输出端子;延迟电路,其使被输入至 RES 输入端子的信号延迟;预置递减计数器,其对给予的设定值进行计数,且在结束设定值的计数时,经由输出端子而输出计测结束信号。预置递减计数器在输出计测结束信号后,当输入端子中被输入预定的信号时,根据通过延迟电路而将该预定的信号延迟后的延迟信号,来结束计测结束信号的输出。



1. 一种计时装置,包括:

第一外部端子;

第二外部端子;

延迟电路,其使被输入至所述第一外部端子的信号延迟;

计数电路,其对给予的设定值进行计数,且在结束所述设定值的计数时,经由所述第二外部端子而输出计测结束信号,

所述计数电路在输出所述计测结束信号后,当所述第一外部端子中被输入预定的信号时,根据通过所述延迟电路而将所述预定的信号延迟后的信号,来结束所述计测结束信号的输出,

所述计数电路在每次结束所述设定值的计数时,重新对所述设定值进行计数,

所述计时装置还包括输入时间判断电路,所述输入时间判断电路根据通过所述延迟电路而使被输入至所述第一外部端子的所述预定的信号延迟后的信号,来对所述预定的信号的输入时间与所给予的判断时间之间的大小关系进行判断,

所述计数电路根据所述输入时间判断电路的判断结果,来选择是否对计数值进行初始化。

2. 如权利要求 1 所述的计时装置,其中,

还包括第三~第 n 外部端子,其中, $n \geq 3$,

所述计数电路包括对所述设定值进行存储的缓冲器,

并且所述计数电路根据所述输入时间判断电路的判断结果,来选择是否将被存储于所述缓冲器中的所述设定值更新为,与被输入至所述第三~第 n 外部端子的信号相对应的设定值。

3. 如权利要求 1 或 2 所述的计时装置,其中,

所述输入时间判断电路将第一时钟信号的预定周期的时间作为所述判断时间,而对所述预定的信号的输入时间与该判断时间之间的大小关系进行判断。

4. 如权利要求 1 或 2 所述的计时装置,其中,

还包括第 $n+1$ ~ 第 m 外部端子,其中, $m \geq n+1$, $n \geq 3$,

所述计数电路根据与被输入至所述第 $n+1$ ~ 第 m 外部端子的信号相对应的频率的第二时钟信号,来对所述设定值进行计数。

5. 一种电子设备,包括权利要求 1 或 2 所述的计时装置。

计时装置以及电子设备

技术领域

[0001] 本发明涉及一种计时装置及电子设备。

背景技术

[0002] 计时 IC (Integrated Circuit: 集成电路) 为, 对预先设定的时间进行计测, 并在结束计测时输出计测结束信号的 IC, 其被应用于各种用途。例如, 可以构成如下的系统, 即, 在为了削减消耗电力而将 CPU (Central Processing Unit: 中央处理器) 设定为休眠模式后, 在欲经过预定时间后唤醒该 CPU 并实施预定的计算处理时, 计时 IC 对该预定时间进行计测而将所输出的计测结束信号作为中断信号而向 CPU 输入, CPU 接收中断信号并实施预定的计算处理。

[0003] 作为计时 IC 的计测时间的设定方法, 可以考虑两种方法。一种设定方法为, 经由计时 IC 的串行接口用的外部端子 (串行时钟端子与串行数据端子等), 而将计测时间的设定值写入内部寄存器中的方法, 另一种设定方法为, 对计时 IC 的多个外部端子直接设定计测时间的方法。关于前者的设定方法, 由于计时 IC 的设定用的端子数较少即可, 从而能够选择廉价的封装件, 因此有利于低成本化。但是, 在例如被搭载于车辆中的情况下, 虽然要求高可靠性, 但是因为由发动机等所产生的噪声的影响、或者因为设定值的写入用的程序的缺陷, 而有可能写入错误的设定值, 并且有时会缺乏可靠性。因此, 在要求较高的可靠性时, 虽然后者的设定方法有效, 但是必须确保较多的端子以用于计时 IC 的设定。因此, 在要求低成本化的情况下, 需要尽可能地削减设定用的端子以外的端子, 以便能够使用廉价的封装件。

[0004] 另一方面, 作为计时 IC 的使用方法, 可以考虑仅实施一次计测的单一模式和以固定周期重复地实施计测的重复模式, 并且要求计时 IC 能够应对单一模式和重复模式中的任意一个模式。对于该要求, 虽然只需在计时 IC 上设置用于选择单一模式或重复模式的专用的外部端子即可, 但是如上所述有时会有端子数不富余的情况, 且有时会无法分配专用的外部端子。

[0005] 专利文献 1: 日本特开平 3-250226 号公报

发明内容

[0006] 本发明是鉴于以上这种问题点而完成的发明, 根据本发明的几种方式, 能够提供一种计时装置及电子设备, 其能够在不设置专用的外部端子的条件下, 实施单一模式和重复模式的选择。

[0007] 本发明是为了解决上述的课题中的至少一部分而完成的发明, 并且能够作为以下方式或应用例来实现。

[0008] 【应用例 1】

[0009] 本应用例所涉及的计时装置包括: 第一外部端子; 第二外部端子; 延迟电路, 其使被输入至所述第一外部端子的信号延迟; 计数电路, 其对给予的设定值进行计数, 且在结束

所述设定值的计数时,经由所述第二外部端子而输出计测结束信号,所述计数电路在所述计测结束信号的输出后,当所述第一外部端子中被输入预定的信号时,根据通过所述延迟电路而将所述预定的信号延迟后的信号,来结束所述计测结束信号的输出。

[0010] 设定值既可以为预先决定的固定值,也可以为可变。

[0011] 预定的信号例如既可以为持续低电平的信号,也可以为持续高电平的信号。

[0012] 根据该计时装置,由于在计数电路结束设定值的计数时,会输出计测结束信号,因此能够实现单一模式。此外,根据该计时装置,由于通过向第一外部端子输入预定的信号从而结束计测结束信号的输出,因此通过与计测结束信号同步地输入预定的信号,从而能够实现周期性地输出计测结束信号的重复模式。即,通过直接地或经由给予的电路而对第一外部端子和第二外部端子进行连接与否,从而即使不设置专用的外部端子,也能够选择重复模式和单一模式中的任意一个。

[0013] 此外,根据该计时装置,由于即使在开始计测结束信号的输出的同时向第一外部端子输入预定的信号,也会根据通过延迟电路而将该预定的信号延迟后的信号来结束计测结束信号的输出,因此能够根据延迟电路的延迟时间来充分地确保计测结束信号的输出时间。即,即使在重复模式的情况下,CPU 等的外部装置也能够对计测结束信号可靠地进行识别。

[0014] 【应用例 2】

[0015] 在上述应用例所涉及的计时装置中,可以采用如下方式,即,所述计数电路在每次结束所述设定值的计数时,重新对所述设定值进行计数。

[0016] 如果以这种方式进行设定,则通过与从第二端子输出的计测结束信号同步地从第一外部端子输入预定的信号,从而能够使计时装置以固定周期而重复地输出计测结束信号。

[0017] 【应用例 3】

[0018] 在上述应用例所涉及的计时装置中,可以采用如下方式,即,还包括输入时间判断电路,所述输入时间判断电路根据通过所述延迟电路而使被输入至所述第一外部端子的所述预定的信号延迟后的信号,来对所述预定的信号的输入时间与给予的判断时间之间的大小关系进行判断,所述计数电路根据所述输入时间判断电路的判断结果,来选择是否对计数值进行初始化。

[0019] 如果以这种方式进行设定,则能够通过对被输入至第一外部端子的预定的信号的输入时间进行变更,从而在不设置专用的外部端子的条件下,选择是否对计数电路的计数值进行初始化。

[0020] 例如,还可以采用如下方式,即,使延迟电路的延迟时间短于判断时间,且计数电路在预定的信号的输入时间长于判断时间时对计数值进行初始化,而在预定的信号的输入时间短于判断时间时不对计数值进行初始化。

[0021] 如果以这种方式进行设定,则能够在与从第二端子输出的计测结束信号同步地从第一外部端子输入了预定的信号的情况下,使计数电路的计数值不被初始化。

[0022] 【应用例 4】

[0023] 在上述应用例所涉及的计时装置中,可以采用如下方式,即,还包括第三~第 n ($n \geq 3$) 外部端子,所述计数电路包括对所述设定值进行存储的缓冲器,并且根据所述输入

时间判断电路的判断结果,来选择是否将被存储于所述缓冲器中的所述设定值更新为与被输入至所述第三~第 n 外部端子的信号相对应的设定值。

[0024] 如果以这种方式进行设定,则通过对被输入至第一外部端子的预定的信号的输入时间进行变更,从而能够选择是否将计数电路的设定值更新为与被输入至第三~第 n 外部端子的信号相对应的设定值。因此,由于不需要通过程序来对计数电路的设定值进行变更,从而能够提高可靠性。

[0025] 例如,可以采用如下方式,即,使延迟电路的延迟时间短于判断时间,且计数电路包含对设定值进行存储的缓冲器,并且在预定的信号的输入时间长于判断时间时,将被存储于缓冲器中的设定值更新为,与被输入至第三~第 n 外部端子的信号相对应的设定值。

[0026] 如果以这种方式进行设定,则能够在与从第二端子输出的计测结束信号同步地从第一外部端子输入了预定的信号的情况下,使被存储于缓冲器中的设定值不被更新。

[0027] 【应用例 5】

[0028] 在上述应用例所涉及的计时装置中,可以采用如下方式,即,所述输入时间判断电路将第一时钟信号的预定周期的时间作为所述判断时间,而对所述预定的信号的输入时间与该判断时间之间的大小关系进行判断。

[0029] 如果以这种方式进行设定,则能够通过对预定的信号的输入时间中的第一时钟信号的数量进行计数,从而容易地判断预定的信号的输入时间与判断时间之间的大小关系。

[0030] 【应用例 6】

[0031] 在上述应用例所涉及的计时装置中,可以采用如下方式,即,还包括第 $n+1$ ~第 m ($m \geq n+1$) 外部端子,且所述计数电路根据与被输入至所述第 $n+1$ ~第 m 外部端子的信号相对应的频率的第二时钟信号,来对所述设定值进行计数。

[0032] 如果以这种方式进行设定,则由于计时装置的计测时间根据第二时钟信号的周期与设定值的乘积来决定,因此能够通过将第二时钟信号的频率设定为可变,从而扩大计测时间的选择范围。

[0033] 【应用例 7】

[0034] 本应用例所涉及的电子设备包含上述的任意一个计时装置。

附图说明

[0035] 图 1 为表示本实施方式的计时装置的结构例的图。

[0036] 图 2 为表示时钟生成电路的结构例的图。

[0037] 图 3 为表示预置递减计数器的结构例的图。

[0038] 图 4 为表示输入时间判断电路的结构例的图。

[0039] 图 5 为表示本实施方式的计时装置的外部连接例的图。

[0040] 图 6 为表示本实施方式的计时装置的外部连接例的图。

[0041] 图 7 (A) 为表示假设没有延迟电路的情况下的重复模式时的计测结束信号的生成正时的图,图 7 (B) 为表示本实施方式的计时装置中的重复模式时的计测结束信号的生成正时的图。

[0042] 图 8 (A) 为表示在输入与判断时间相比较长的输入时间的信号时的、输入时间判断电路的处理的正时的图,图 8 (B) 为表示在输入与判断时间相比较短的输入时间的信号

时的、输入时间判断电路的处理的正时的图。

[0043] 图 9 为表示本实施方式的计时装置的单一模式时的动作正时的图。

[0044] 图 10 为表示本实施方式的计时装置的重复模式时的动作正时的图。

[0045] 图 11 为本实施方式的电子设备的功能框图。

具体实施方式

[0046] 下面,利用附图,来对本发明的优选的实施方式详细地进行说明。另外,以下所说明的实施方式并不是对权利要求所记载的本发明的内容不合理地进行限定的方式。此外,在下文中所说明的全部结构并不一定都是本发明的必要构成要件。

[0047] 1. 计时装置

[0048] 1-1. 计时装置的结构以及功能

[0049] 图 1 为,表示本实施方式的计时装置的结构例的图。本实施方式的计时装置 1 以包括如下部件的方式而构成,即包括:电源电路 10、晶体振荡电路 20、时钟生成电路 30、预置递减计数器 40、延迟电路 50、输入时间判断电路 60、测试电路 70、NMOS (Negative channel Mental Oxide Semiconductor :N 型金属氧化物半导体) 晶体管 80。此外,本实施方式的计时装置 1 设置有 14 个外部端子(VDD (漏极)端子、AX2 输入端子、AX1 输入端子、AX0 输入端子、RES (复位) 输入端子、TEST 输入端子、BX5 输入端子、BX4 输入端子、BX3 输入端子、BX2 输入端子、BX1 输入端子、BX0 输入端子、GND (接地) 端子, OUT 输出端子)。但是,本实施方式的计时装置 1 也可以采用如下的结构,即,省略或变更这些要素的一部分、或者增加其他的要素的结构。

[0050] 电源电路 10 使从 VDD 端子供给的电源电压低电压化,并生成水晶振荡电路 20 的电源电压 12 以及其他的电路的电源电压。

[0051] 晶体振荡电路 20 由未图示的水晶振子和振荡电路构成,并且生成以与水晶振子的谐振频率相对应的预定的频率(例如,32.768kHz)进行振荡的原子钟信号 22。

[0052] 时钟生成电路 30 生成将原子钟信号 22 分频了的多个分频时钟信号,并且从原子钟信号 22 及多个分频时钟信号中选择与 AX2 输入端子、AX1 输入端子、AX0 输入端子的电压相对应的一个时钟信号,作为选择时钟信号 32 而进行输出。此外,时钟生成电路 30 将原子钟信号 22 及多个分频时钟信号中的预先决定的一个时钟信号,作为固定时钟信号 34 而进行输出。

[0053] 图 2 为,表示时钟生成电路 30 的结构例的图。图 2 所示的时钟生成电路 30 以包括分频电路 310、选择电路 320 以及缓冲元件 330 的方式而构成。

[0054] 分频电路 310 生成对原子钟信号 22 (32.768kHz)分别进行了 2 分频、4 ($= 2^2$)分频、8 ($= 2^3$)分频、16 ($= 2^4$)分频、32 ($= 2^5$)分频、64 ($= 2^6$)分频、128 ($= 2^7$)分频、256 ($= 2^8$)分频、512 ($= 2^9$)分频、1024 ($= 2^{10}$)分频、2048 ($= 2^{11}$)分频、4096 ($= 2^{12}$)分频、8192 ($= 2^{13}$)分频、16384 ($= 2^{14}$)分频、32768 ($= 2^{15}$)的时钟信号。这些分频时钟通过构成 15 个使用了触发器的波进型的分频电路,从而能够简单地生成所述时钟信号。另外,对 32.768kHz 的原子钟信号 22 进行了 32768 分频的时钟信号的一个周期相当于 1 秒。

[0055] 而且,分频电路 310 生成如下的时钟信号,即,对该一个周期相当于 1 秒的时钟信号(32768 分频时钟信号)进行了 60 分频的时钟信号(一个周期相当于 1 分钟)、对该一个周

期相当于 1 分钟的时钟信号进行了 60 分频的时钟信号(一个周期相当于 1 小时)、对该一个周期相当于 1 小时的时钟信号进行了 24 分频的时钟信号(一个周期相当于 1 天)、以及对该一个周期相当于 1 天的时钟信号进行了 365 分频的时钟信号(一个周期相当于 1 年)。

[0056] 选择电路 320 从原子钟信号 22 及分频电路 310 所生成的 19 个种类的分频时钟信号中的、在设计阶段预先决定的 8 个种类的时钟信号(例如, 2 分频时钟信号、8 分频时钟信号、128 分频时钟信号、512 分频时钟信号、1 秒时钟信号、1 分钟时钟信号、1 小时时钟信号、1 天时钟信号)中, 选择与从 AX2 输入端子、AX1 输入端子、AX0 输入端子输入的信号(电压)相对应的一个时钟信号, 以作为选择时钟信号 32 而进行输出。

[0057] 此外, 图 2 所示的时钟生成电路 30 将原子钟信号 22 经由缓冲元件 330 作为固定时钟信号 34 而进行输出。

[0058] 另外, 分频电路 310 通过复位信号 64 (低频度) 而被复位, 由此, 使选择时钟信号 32 的相位被初始化。

[0059] 返回至图 1, 预置递减计数器 40 在被初始化为所设定的预置值之后, 以与选择时钟信号 32 同步的方式实施递减计数, 且当计数值成为 0 时, 输出高电平的退位信号(借位信号) 42。

[0060] 图 3 为, 表示预置递减计数器 40 的结构例的图。图 3 所示的预置递减计数器 40 以包括六位递减计数器 410 和预置缓冲器 420 而构成。

[0061] 六位递减计数器 410 根据复位信号 64 (低频度), 而非同步地设置被存储于预置缓冲器 420 中的六位的预置值, 并在复位信号 64 解除后, 以与选择时钟信号 32 的上升沿同步的方式实施递减计数。并且, 六位递减计数器 410 在计数值从 1 变为 0 时, 输出高电平的退位信号 42。该退位信号 42 在输入低电平的延迟信号 52 之前不被消除而维持高电平。而且, 六位递减计数器 410 以与计数值变为 0 之后的接下来的选择时钟信号 32 的上升沿同步的方式, 对被存储于预置缓冲器 420 中的六位的预置值非同步地进行设置, 并且再次实施递减计数。即, 如果复位信号 64 为高电平, 则六位递减计数器 410 以固定周期重复地实施从预置值起到 0 为止的递减计数, 而在复位信号 64 变为低电平时, 强制性地被初始化为预置值。

[0062] 预置缓冲器 420 根据复位信号 64 (低频度), 而非同步地载入从 BX5 输入端子、BX4 输入端子、BX3 输入端子、BX2 输入端子、BX1 输入端子以及 BX0 输入端子输入的信号(电压), 并且对六位的预置值进行存储。

[0063] 因此, 在复位信号 64 为低电平时, 预置缓冲器 420 被更新为对 BX5 ~ BX0 的输入端子所设定的预置值, 并且六位递减计数器 410 被初始化为被存储于预置缓冲器 420 中的更新后的预置值(即、对 BX5 ~ BX0 的输入端子所设定的预置值)。并且, 在复位信号 64 成为高电平之后, 六位递减计数器 410 实施递减计数。

[0064] 返回至图 1, 延迟电路 50 输出使从 RES 输入端子输入的信号仅延迟预定时间(例如 100ns)的延迟信号 52。延迟电路 50 例如可以为串联连接了多个缓冲元件的结构, 也可以通过使用了电阻和电容器的 CR 电路而构成。

[0065] 输入时间判断电路 60 根据延迟信号 52, 来对从 RES 输入端子输入的信号(电压)的输入时间与预定的判断时间之间的大小关系进行判断。尤其是, 本实施方式中的输入时间判断电路 60 通过对延迟信号 52 的低电平的时间和固定时钟信号 34 的一个周期的时间(该一个周

期的时间相当于判断时间)进行比较,从而实施从 RES 输入端子输入的低电平的信号的输入时间与判断时间相比是较长还是较短的判断。

[0066] 图 4 为,表示输入时间判断电路 60 的结构例的图。图 4 所示的输入时间判断电路 60 以包括两个 D 触发器 610、620 的方式而构成,所述 D 触发器 610、620 具有非同步设置以及非同步复位功能。

[0067] D 触发器 610 中,在数据输入端子(D)和非同步设置输入端子(S)中输入有延迟信号 52,在时钟输入端子中输入有固定时钟信号 34,且非同步复位输入端子(R)被接地。

[0068] D 触发器 620 中,数据输入端子(D)与 D 触发器 610 的数据输出端子(Q)连接,在时钟输入端子中输入有固定时钟信号 34,在非同步设置输入端子(S)中输入有延迟信号 52,且非同步复位输入端子(R)被接地。

[0069] 从 D 触发器 620 的数据输出端子(Q)输出的信号作为复位信号 64 而被供给至时钟生成电路 30 以及预置递减计数器 40。此外,从 D 触发器 620 的反转数据输出端子(/Q)输出的信号为输入时间判断信号 62。

[0070] 返回至图 1,测试电路 70 为用于实施各个电路的测试的电路,例如,能够通过对预置递减计数器 40 的计数动作进行加速并实施输出值的测试。

[0071] 在 NMOS 晶体管 80 中,在栅极端子中输入有退位信号 42,且源极端子经由 GND 端子而被接地,漏极端子与 OUT 输出端子连接。因此,当预置递减计数器 40 进行递减计数直至为 0,从而退位信号 42 从低电平变化为高电平时,NMOS 晶体管 80 从断开变为导通且漏极端子从高阻抗状态变化为低电平。从 NMOS 晶体管 80 的漏极端子输出的信号作为计测结束信号 82 而从 OUT 输出端子被输出至外部。因此,OUT 输出端子为如下的开漏输出端子,且在计时装置 1 的外部被提升至电源电压,所述开漏输出端子通常为高阻抗状态,而当预置递减计数器 40 对预先设定的预置值进行计数时(即,当计时装置 1 对设定时间进行计测时)成为低电平。

[0072] 另外,图 1 中的预置递减计数器 40、延迟电路 50、输入时间判断电路 60 分别对应于本发明中的“计数电路”、“延迟电路”、“输入时间判断电路”。此外,预置缓冲器 420 对应于本发明中的“缓冲器”。此外,RES 输入端子和 OUT 输出端子分别对应于本发明中的“第一外部端子”和“第二外部端子”,BX0 ~ BX5 输入端子对应于本发明中的“第三~第 n 外部端子”(n = 8 的情况),AX0 ~ AX2 输入端子对应于本发明中的“第 n + 1 ~ 第 m 外部端子”(n = 8、m = 11 的情况)。此外,固定时钟信号 34 和选择时钟信号 32 分别对应于本发明中的“第一时钟信号”和“第二时钟信号”相对应。此外,从 RES 输入端子输入的低电平的信号为,本发明中的“被输入至第一外部端子的预定的信号”的一个示例。

[0073] 1-2. 计时装置的外部连接方法

[0074] 如图 1 所示,本实施方式的计时装置 1 使用 14 个外部端子,当用 14 管脚的封装件来进行安装时,将用尽全部的管脚。因此,无法分配用于选择单一模式和重复模式中的任意一个的外部端子,其中,所述单一模式为预置递减计数器 40 对所设定的计数值仅进行一次计数(计时装置 1 对设定时间仅进行一次计测)的模式,所述重复模式为预置递减计数器 40 以固定的周期对所设定的计数值重复地进行计数(计时装置 1 以固定周期对设定时间重复地进行计测)的模式。因此,本实施方式的计时装置 1 被设定为,能够通过从外部向 RES 输入端子输入启动信号来实现单一模式,并且通过对 RES 输入端子和 OUT 输出端子进行连接

来实现重复模式。

[0075] 图 5 为,表示本实施方式的计时装置 1 的外部连接例的图。在图 5 的例中,在计时装置 1 的 VDD 端子中供给有电源电压 VDD1,且 GND 端子被接地。此外,计时装置 1 的 TEST 端子通过机械式的开关 SW1 的开关设定,从而在通常动作时被接地,而在测试工作时被供给电源电压 VDD1。

[0076] 计时装置 1 的 AX2、AX1、AX0 端子与双列直插式开关 DP1 连接,并且被输入与双列直插式开关 DP1 的开关设定相对应的三位数据。同样,计时装置 1 的 BX5、BX4、BX3、BX2、BX1、BX0 端子与双列直插式开关 DP2 连接,并且被输入有与双列直插式开关 DP2 的开关设定相对应的六位数据。

[0077] 计时装置 1 的 OUT 输出端子与 CPU2 的 IRQ 输入端子(低频度的中断输入端子)连接,并且经由上拉电阻 R1 而被提升至电源电压 VDD2(与 CPU2 的电源电压相同的电源电压)。另外,计时装置 1 的 RES 输入端子经由机械式的开关 SW2 而与 OUT 输出端子连接,并且经由机械式的开关 SW3 而与输入用端子 IN 连接。

[0078] 根据这种连接,通过使开关 SW2 断开(切断)并且使开关 SW3 导通(连接),从而能够以单一模式使计时装置 1 动作。即,当从输入用端子 IN 输入指示计测开始的低电平的启动信号时,该启动信号将被输入至计时装置 1 的 RES 输入端子中,从而计时装置 1 开始设定时间的计测,并且在结束计测时从 OUT 输出端子输出低电平的计测结束信号 82。由此,计时装置 1 的 OUT 输出端子(即,CPU2 的 IRQ 输入端子)从高电平变化为低电平,CPU2 实施必要的中断处理。计时装置 1 在从输入用端子 IN 输入了新的启动信号时,结束计测结束信号 82(中断信号)的输出并实施设定时间的计测,并且重新输出计测结束信号 82(中断信号)。

[0079] 以这种方式,能够实现对于一次的启动信号仅产生一次计测结束信号 82(中断信号)的单一模式。

[0080] 另一方面,在通过使开关 SW2 断开(切断)且使开关 SW3 导通(连接),从而使计时装置 1 开始了设定时间的计测之后,通过将开关 SW2 变更为导通(连接),将开关 SW3 变更为断开(切断),从而能够以重复模式使计时装置 1 动作。即,当使开关 SW2 断开(切断)、将开关 SW3 导通(连接),并从输入用端子 IN 输入指示计测开始的启动信号时,该启动信号将被输入至计时装置 1 的 RES 输入端子中,从而计时装置 1 开始设定时间的计测。此后,将开关 SW2 变更为导通(连接),将开关 SW3 变更为断开(切断)。由于当计时装置 1 结束计测时,从 OUT 输出端子输出低电平的计测结束信号 82,因此 CPU2 实施必要的中断处理。此时,由于开关 SW2 处于导通(连接),开关 SW3 处于断开(切断),因此从计时装置 1 的 OUT 输出端子输出的计测结束信号 82 作为重新启动信号而被输入至 RES 输入端子。通过该重新启动信号,从而结束计测结束信号 82(中断信号)的输出。但是,因为重新启动信号的输入时间较短,所以不产生复位信号 64,且六位递减计数器 410 以与选择时钟信号 32 的上升沿同步的方式继续进行递减计数。并且,由于计时装置 1 在结束第二次的计测时从 OUT 输出端子再次输出计测结束信号 82,因此 CPU2 再次实施必要的中断处理。在此之后,同样地,每当从计时装置 1 的 OUT 输出端子输出计测结束信号 82 时,该信号作为接下来的重新启动信号而被输入至 RES 输入端子从而结束计测结束信号 82 的输出,并且以固定周期反复进行由计时装置 1 实施的设定时间的计测。

[0081] 以这种方式,能够实现对于一次的启动信号以固定周期反复产生计测结束信号 82

(CPU2 的中断信号)的重复模式。

[0082] 另外,无论单一模式还是重复模式,都可以使开关 SW3 常时导通(连接)、或者可以去除开关 SW3,而使输入用端子 IN 与计时装置 1 的 RES 输入端子连接。此外,还可以设定为,代替开关 SW3 而设置两个输入 AND 电路,并且将两个输入 AND 电路中的一个输入端子与输入用端子 IN 连接,且将两个输入 AND 电路中的另一个输入端子与开关 SW2 的端子(未与计时装置 1 的 OUT 输出端子连接的一侧的端子)连接,且将两个输入 AND 电路的输出端子与计时装置 1 的 RES 输入端子连接。

[0083] 如果采用这种方式,则通过将开关 SW2 固定为断开或导通,从而能够在不实施开关控制的条件下,选择单一模式和重复模式中的任意一个。另外,在将开关 SW2 置于导通从而选择重复模式的情况下,只需从输入用端子 IN 仅输入最初的启动信号即可。

[0084] 图 6 为,表示本实施方式的计时装置 1 的外部连接的另一示例的图。图 6 的外部连接例与图 5 的示例相比,计时装置 1 的 RES 输入端子和 OUT 输出端子的连接方法有所不同。由于图 6 中的计时装置 1 的其他外部端子的连接与图 5 相同,因此省略其说明。

[0085] 在图 6 的示例中,计时装置 1 的 RES 输入端子经由三态缓冲器 TB1 而与 OUT 输出端子连接,并且经由三态缓冲器 TB2 而与 CPU2 的输入 / 输出端口 IO2 连接。此外,计时装置 1 的 RES 输入端子经由上拉电阻 R2 而被提升至电源电压 VDD1。

[0086] 三态缓冲器 TB1 的控制输入端子(低频度)与 CPU2 的输入 / 输出端口 IO1 连接,并且在输入 / 输出端口 IO1 为低电平时作为缓冲器而发挥功能,且在输入 / 输出端口 IO1 为高电平时数据输出端子处于高阻抗状态。此外,三态缓冲器 TB2 的控制输入端子(高频度)与 CPU2 的输入 / 输出端口 IO1 连接,并且在输入 / 输出端口 IO1 为高电平时作为缓冲器而发挥功能,且在输入 / 输出端口 IO1 为低电平时数据输出端子成为高阻抗状态。

[0087] 通过这种连接,在计时装置 1 的 RES 输入端子中,在 CPU2 的输入 / 输出端口 IO1 为高电平时被输入与 CPU2 的输入 / 输出端口 IO2 相同的逻辑电平(高电平 / 低电平)的信号,而在 CPU2 的输入 / 输出端口 IO1 为低电平时被输入与计时装置 1 的 OUT 输出端子相同的逻辑电平(高电平 / 低电平)的信号。

[0088] 因此,通过 CPU2 将输入 / 输出端口 IO1 设定为高电平,从而能够使计时装置 1 单一模式动作。即,在 CPU2 将输入 / 输出端口 IO1 设定为高电平,且从输入 / 输出端口 IO2 输入了指示计测开始的启动信号时,该启动信号将被输入至计时装置 1 的 RES 输入端子中,从而计时装置 1 开始设定时间的计测,并且在结束计测时,从 OUT 输出端子输出低电平的计测结束信号 82。由此,计时装置 1 的 OUT 输出端子(即,CPU2 的 IRQ 输入端子)从高电平变化为低电平,从而 CPU2 实施必要的中断处理。计时装置 1 在每次从 CPU2 的输入 / 输出端口 IO2 输入了新的启动信号时,结束计测结束信号 82 的输出,且实施设定时间的计测。

[0089] 以这种方式,能够实现对于一次的启动信号仅产生一次计测结束信号 82(CPU2 的中断信号)的单一模式。

[0090] 另一方面,在通过 CPU2 将输入 / 输出端口 IO1 设定为高电平从而使计时装置 1 开始了设定时间的计测之后,通过将输入 / 输出端口 IO1 变更为低电平,从而能够使计时装置 1 以重复模式动作。即,在 CPU2 将输入 / 输出端口 IO1 设定为高电平,且从输入 / 输出端口 IO2 输入了指示计测开始的启动信号时,该启动信号将被输入至计时装置 1 的 RES 输入端子中,从而计时装置 1 开始设定时间的计测。此后,CPU2 将输入 / 输出端口 IO1 变更为

低电平。由于在计时装置 1 结束计测时,从 OUT 输出端子输出低电平的计测结束信号 82,因此 CPU2 实施必要的中断处理。此时,由于 CPU2 的输入 / 输出端口 IO1 成为低电平,因此从计时装置 1 的 OUT 输出端子输出的计测结束信号 82 作为重新启动信号而被输入至 RES 输入端子。根据该重新启动信号,从而结束计测结束信号 82 (中断信号)的输出,并且继续进行设定时间的计测。并且,由于计时装置 1 在结束第二次的计测时,从 OUT 输出端子再次输出计测结束信号 82,因此 CPU2 再次实施必要的中断处理。在此之后,同样地,每当从计时装置 1 的 OUT 输出端子输出计测结束信号 82 时,该信号作为接下来的重新启动信号而被输入至 RES 输入端子,且结束计测结束信号 82 的输出,并且以固定周期重复进行由计时装置 1 实施的设定时间的计测。

[0091] 以这种方式,能够实现对于一次的启动信号以固定周期反复产生计测结束信号 82 (CPU2 的中断信号)的重复模式。

[0092] 根据图 6 的示例, CPU 经由输入 / 输出端口 IO1 而对三态缓冲器 TB1、TB2 的动作进行控制,从而能够在任意的正时对单一模式和重复模式自由地进行切换。

[0093] 1-3. 计时装置的动作正时

[0094] 但是,本实施方式的计时装置 1 如图 1 所示设置有延迟电路 50,并且通过该延迟电路 50 对被输入至 RES 输入端子的信号进行延迟,从而即使在连接了 OUT 输出端子和 RES 输入端子的重复模式时,也能够充分地确保计测结束信号 82 (CPU2 的中断信号)的脉冲宽度,并且使 CPU2 能够可靠地识别中断信号的产生。

[0095] 图 7(A)为,表示假设没有延迟电路 50 的情况下的、计时装置 1 中的重复模式时的计测结束信号 82 的生成正时的图,图 7 (B) 为,表示设置有延迟电路 50 的本实施方式的、计时装置 1 中的重复模式时的计测结束信号 82 的生成正时的图。

[0096] 如图 7 (A) 所示,在六位递减计数器 410 实施递减计数,且退位信号 42 从低电平变化为高电平时,受其影响 OUT 输出端子从高电平变化为低电平。

[0097] 当 OUT 输出端子从高电平变化为低电平时,在经过了从 OUT 输出端子至 RES 输入端子的信号路径的信号传播延迟时间 $Td1$ 之后, RES 输入端子从高电平变化为低电平。

[0098] 由于没有延迟电路 50,因此代替延迟信号 52,而通过从 RES 输入端子输入的低电平的信号来清除退位信号 42。即,在 RES 输入端子从高电平变化为低电平起经过了清零电路的信号传播延迟时间 $Td2$ 之后,退位信号 42 从高电平变化为低电平。

[0099] 当退位信号 42 从高电平变化为低电平时,在经过了 NMOS 晶体管 80 的信号传播时间 $Td3$ 之后, OUT 输出端子从低电平变化为高电平。以这种方式,虽然在计时装置 1 的 OUT 输出端子中产生了计测结束信号 82 的低脉冲,但是该低脉冲的宽度通过 $Td1+Td2+Td3$ 而决定(实际上还加上配线延迟等的时间),且成为 $10ns \sim 20ns$ 左右的较短的宽度。因此,在 CPU2 经由低通滤波器而接收计测结束信号 82 (中断信号)的这种情况下,存在计测结束信号 82 的宽度过短而被低通滤波器去除,从而 CPU2 无法识别中断信号的可能性。

[0100] 相对于此,如图 7 (B) 所示,在本实施方式的计时装置 1 中,当计时装置 1 的 OUT 输出端子从高电平变化为低电平时,在经过了信号传播延迟时间 $Td1$ 之后, RES 输入端子从高电平变化为低电平,而且在经过了预定的延迟时间 $Td0$ 之后,延迟电路 50 所输出的延迟信号 52 从高电平变化为低电平。

[0101] 当延迟信号 52 从高电平变化为低电平时,在经过了信号传播延迟时间 $Td2$ 之后,

复位信号 42 从高电平被清除为低电平。

[0102] 当复位信号 42 从高电平变化为低电平时,在经过了信号传播时间 $Td3$ 之后,OUT 输出端子从低电平变化为高电平。以这种方式,虽然在计时装置 1 的 OUT 输出端子中产生了计测结束信号 82 的低脉冲,但是该低脉冲的宽度通过 $Td0+Td1+Td2+Td3$ 而决定(实际上还加上配线延迟等的时间)。因此,如果将延迟电路 50 的延迟时间 $Td0$ 设定为例如 100ns,则计测结束信号 82 的低脉冲宽度成为 100ns 左右,即使在 CPU2 经由低通滤波器而接收计测结束信号 82 (中断信号)的这种情况下,也不会被低通滤波器所去除,从而能够使 CPU2 可靠地识别分割信号。

[0103] 另外,本实施方式的计时装置 1 至少实施如下处理(以下,称为“输出解除和复位处理”),即,在电源接通后,对于从 RES 输入端子最初输入的启动信号,结束计测结束信号 82 的输出(将 OUT 输出端子设定为高电平),并且根据被输入至 $BX5 \sim BX0$ 输入端子的信号来对被存储于预置缓冲器 420 中的预置值进行更新,且将预置递减计数器 40 的计数值初始化为被存储于预置缓冲器 420 中的更新后的预置值。

[0104] 另一方面,至少在从 RES 输入端子被输入了重新启动信号的情况下,本实施方式的计时装置 1 实施结束计测结束信号 82 的输出的处理(以下,称为“输出解除处理”),而不实施预置缓冲器 420 的更新与预置递减计数器 40 的初始化。

[0105] 如此,关于预置递减计数器 40,要求能够选择上述两个处理中的任意一个。但是,如前文所述,本实施方式的计时装置 1 使用了 14 个外部端子,并且当使用 14 管脚的封装件来进行安装时,会用尽全部的管脚。因此,无法分配用于选择上述两个处理中的任意一个的外部端子。因此,本实施方式的计时装置 1 被设定为,能够通过改变被输入至 RES 输入端子的信号的脉冲宽度(输入时间),从而选择输出解除和复位处理、与输出解除处理中的任意一个。具体而言设定为,计时装置 1 的输入时间判断电路 60 对被输入至 RES 输入端子的信号的输入时间与预先设定的判断时间(固定时钟信号 34 的一个周期的时间)相比是较长还是较短进行判断,并且在较长的情况下产生复位信号 64,在较短的情况下不产生复位信号 64。并且,预置递减计数器 40 通过输入低电平的延迟信号 52 和复位信号 64,从而实施输出解除和复位处理,并且通过仅输入低电平的延迟信号 52 (不输入复位信号 64),从而实施输出解除处理。

[0106] 图 8 (A) 为,表示在从 RES 输入端子输入与判断时间相比而较长的输入时间的信号时的、输入时间判断电路 60 的处理正时的图,图 8 (B) 为,表示在从 RES 输入端子输入与判断时间相比而较短的输入时间的信号时的、输入时间判断电路 60 的处理正时的图。

[0107] 如图 8 (A) 所示,当计时装置 1 的 RES 输入端子从高电平变化为低电平时,在经过了预定的延迟时间后,延迟电路 50 所输出的延迟信号 52 也从高电平变化为低电平。

[0108] 当延迟信号 52 从高电平变化为低电平时,D 触发器 610、620 的非同步设置被解除,并且在延迟信号 52 从高电平变化为低电平之后的最初的固定时钟信号 34 的上升沿处,延迟信号 52 的低电平被读入 D 触发器 610,且 D 触发器 610 的数据输出端子(Q)的高电平被读入 D 触发器 620 中。由此,D 触发器 610 的数据输出端子(Q)从高电平变化为低电平。此外,从 D 触发器 620 的数据输出端子(Q)中输出的复位信号 64 保持为高电平,且从反转数据输出端子($\bar{Q}$)中输出的输入时间判断信号 62 保持为低电平。

[0109] 由于在下一个固定时钟信号 34 的上升沿之前延迟信号 52 保持为低电平,因此 D

触发器 610、620 的非同步设置仍旧被解除,并且在该固定时钟信号 34 的上升沿处,把延迟信号 52 的低电平被读入 D 触发器 610 中,且 D 触发器 610 的数据输出端子(Q)的低电平被读入 D 触发器 620 中。由此,D 触发器 610 的数据输出端子(Q)保持为低电平。此外,从 D 触发器 620 的数据输出端子(Q)输出的复位信号 64 从高电平变化为低电平,且从反转数据输出端子(/Q)输出的输入时间判断信号 62 从低电平变化为高电平。

[0110] 并且,当 RES 输入端子从低电平变化为高电平时,在经过了预定的延迟时间之后,延迟电路 50 所输出的延迟信号 52 也从低电平变化为高电平。

[0111] 当延迟信号 52 从低电平变化为高电平时,D 触发器 610、620 受到非同步设置的影响,从而 D 触发器 610 的数据输出端子(Q)从低电平变化为高电平。此外,从 D 触发器 620 的数据输出端子(Q)输出的复位信号 64 从低电平变化为高电平,且从反转数据输出端子(/Q)输出的输入时间判断信号 62 从高电平变化为低电平。

[0112] 如此,由于如果在延迟信号 52 为低电平的期间内固定时钟信号 34 的上升沿存在两次以上,则会与低电平的延迟信号 52 一同产生复位信号 64 的低脉冲,因此预置递减计数器 40 实施输出解除和复位处理。

[0113] 另一方面,如图 8 (B)所示,如果在延迟信号 52 从高电平变化为低电平之后,在第二个固定时钟信号 34 的上升沿之前,延迟信号 52 从低电平变化为高电平,则在复位信号 64 从高电平变化为低电平之前,D 触发器 610、620 受到非同步设置的影响。因此,不产生复位信号 64 的低脉冲。

[0114] 如此,由于如果在延迟信号 52 为低电平的期间内,固定时钟信号 34 的上升沿不存在两次以上,虽然产生低电平的延迟信号 52,但是不产生复位信号 64 的低脉冲,因此预置递减计数器 40 实施输出解除处理。

[0115] 另外,虽然 RES 输入端子和固定时钟信号 34 处于非同步的关系,但是如果 RES 输入端子的低脉冲的长度(输入时间)为固定时钟信号 34 的两个周期以上,则在 RES 输入端子的低脉冲期间,固定时钟信号 34 的上升沿一定存在两次以上。另一方面,如果 RES 输入端子的低脉冲的长度(输入时间)小于固定时钟信号 34 的一周期,则存在于 RES 输入端子的低脉冲期间的固定时钟信号 34 的上升沿为一次以下。因此,只需以如下的方式决定方法即可,即,将用于使预置递减计数器 40 实施输出解除和复位处理的输入时间的最小值作为固定时钟信号 34 的两个周期以上的第一预定时间而进行规定,且将用于使预置递减计数器 40 实施输出解除处理的输入时间的最大值作为小于固定时钟信号 34 的一个周期的第二预定时间而进行规定,并且禁止第二预定时间和第一预定时间之间的输入时间。

[0116] 在本实施方式中,通过向 RES 输入端子输入与判断时间相比而较长的输入时间的启动信号,从而实现了单一模式。

[0117] 图 9 为,表示单一模式时的计时装置 1 的动作正时的时序图。

[0118] 当在时刻 t_1 处,从输入用端子 IN (在图 5 的示例的情况下)或者 CPU2 的输入 / 输出端口 I02 (在图 6 的示例的情况下)输入启动信号,且 RES 输入端子从高电平变化为低电平时,在经过了预定的延迟时间的时刻 t_2 处,延迟信号 52 从高电平变化为低电平。由此,复位信号 42 被清除。

[0119] 当继续实施启动信号的输入,且 RES 输入端子维持低电平时,对应于此延迟信号 52 也维持低电平。并且,因为在延迟信号 52 从高电平变化为低电平后的第二个固定时钟信

号 34 的上升沿的正时(时刻 t_3)处,延迟信号 52 仍维持低电平,所以通过输入时间判断电路 60 而判断为,启动信号的输入时间长于判断时间。其结果为,输入判断信号 62 从低电平变化为高电平,且复位信号 64 从高电平变化为低电平。因为在时刻 t_3 处,复位信号 64 从高电平变化为低电平,所以 BX5 ~ BX0 输入端子的设定值 3 被存储于预置缓冲器 420 中。此外,六位递减计数器 410 的初始值被更新为,被存储于预置缓冲器 420 中的预置值 3。而且,分频电路 310 受到复位的影响,从而停止选择时钟信号 32。

[0120] 当在时刻 t_4 处,结束启动信号的输入,且 RES 输入端子从低电平变化为高电平时,在经过了预定的延迟时间的时刻 t_5 处,延迟信号 52 从低电平变化为高电平。因为在时刻 t_5 处,延迟信号 52 从低电平变化为高电平,所以输入判断信号 62 从高电平变化为低电平,且复位信号 64 从低电平变化为高电平。

[0121] 因为在时刻 t_5 处,复位信号 64 从低电平变化为高电平,所以分频电路 310 被解除复位,从而开始实施原子钟信号 22 的分频时钟信号的生成。并且,通过选择电路 320,来选择与 AX2 ~ AX0 输入端子的设定值 2 相对应的选择时钟信号 32,并被供给至六位递减计数器 410。

[0122] 六位递减计数器 410 以与时刻 t_6 、 t_7 、 t_8 处的选择时钟信号 32 的上升沿同步的方式而实施递减计数,且其计数值以 $3 \rightarrow 2 \rightarrow 1 \rightarrow 0$ 的方式进行变化。并且,与六位递减计数器 410 的计数值成为 0 的选择时钟信号 32 的上升沿的正时(时刻 t_8)同步,复位信号 42 从低电平变化为高电平。其结果为,OUT 输出端子从高电平变化为低电平,并且输出计测结束信号 82 (CPU2 的中断信号)。

[0123] 另外,分频电路 310 还可以采用如下方式,即,当从时刻 t_5 处复位被解除起经过了与各个分频时钟信号的一个周期相对应的时间时,产生各个分频时钟信号的最初的上升沿。如果采用这种方式,则计时装置 1 能够对设定时间(BX5 ~ BX0 输入端子的设定值)无误差地进行计测。

[0124] 而且,六位递减计数器 410 以与时刻 t_9 处的选择时钟信号 32 的上升沿同步的方式,使其计数值从 0 被初始化为被存储于预置缓冲器 420 中的预置值 3。并且,六位递减计数器 410 以与时刻 t_{10} 、 t_{13} 处的选择时钟信号 32 的上升沿同步的方式,再次实施递减计数,且其计数值以 $3 \rightarrow 2 \rightarrow 1$ 的方式进行变化。

[0125] 当在时刻 t_{11} 处,再次输入启动信号,且 RES 输入端子从高电平变化为低电平时,在经过了预定的延迟时间的时刻 t_{12} 处,延迟信号 52 从高电平变化为低电平。由此,复位信号 42 被清除,且从高电平变化为低电平。其结果为,OUT 输出端子从低电平变化为高电平,从而结束计测结束信号 82 (CPU2 的中断信号)的输出。

[0126] 并且,在延迟信号 52 从高电平变化为低电平之后的第二个固定时钟信号 34 的上升沿的正时(时刻 t_{14})处,输入判断信号 62 从低电平变化为高电平,且复位信号 64 从高电平变化为低电平。因为在时刻 t_{14} 处,复位信号 64 从高电平变化为了低电平,所以 BX5 ~ BX0 输入端子的设定值 4 被存储于预置缓冲器 420 中。此外,六位递减计数器 410 的计数值被更新为,被存储于预置缓冲器 420 中的预置值 4。而且,分频电路 310 受到复位的影响,从而停止选择时钟信号 32。

[0127] 当在时刻 t_{15} 处,结束启动信号的输入,且 RES 输入端子从低电平变化为高电平时,在经过了预定的延迟时间的时刻 t_{16} 处,延迟信号 52 从低电平变化为高电平。因为在时刻

t_{16} 处,延迟信号 52 从低电平变化为高电平,所以输入判断信号 62 从高电平变化为低电平,且复位信号 64 从低电平变化为高电平。

[0128] 因为在时刻 t_{16} 处,复位信号 64 从低电平变化为高电平,所以分频电路 310 被解除复位,从而开始实施原子钟信号 22 的分频时钟信号的生成。并且,通过选择电路 320,从而选择与 AX2 ~ AX0 输入端子的设定值 2 相对应的选择时钟信号 32,并被供给至六位递减计数器 410。

[0129] 六位递减计数器 410 以与时刻 t_{17} 、 t_{18} 、 t_{19} 、 t_{20} 处的选择时钟信号 32 的上升沿同步的方式实施递减计数,且其计数值以 $4 \rightarrow 3 \rightarrow 2 \rightarrow 1 \rightarrow 0$ 的方式进行变化。并且,与六位递减计数器 410 的计数值成为 0 的选择时钟信号 32 的上升沿的正时(时刻 t_{20})同步,退位信号 42 从低电平变化为高电平。其结果为,OUT 输出端子从高电平变化为低电平,且输出计测结束信号 82 (CPU2 的中断信号)。

[0130] 本实施方式的计时装置 1 在如图 7 (B) 中所说明的那样,对 OUT 输出端子和 RES 输入端子进行了连接的情况下,输出与延迟电路 50 的延迟时间相对应的脉冲宽度(例如 100ns 左右)的计测结束信号 82,且计测结束信号 82 作为重新启动信号而被输入至 RES 输入端子。相对于此,由于固定时钟信号 32 的频率例如为 32.768kHz,且其一个周期的时间为约 30.5 μ s,因此重新启动信号的输入时间短于判断时间。因此,因为在重新启动信号中不产生复位信号 64,且分频电路 310 不受复位的影响,所以六位递减计数器 410 被设定为,以固定周期继续进行预置值的递减计数。由此,实现了重复模式。

[0131] 图 10 为,表示重复模式时的计时装置 1 的动作正时的时序图。

[0132] 当在时刻 t_1 处,从输入用端子 IN (在图 5 的例的情况下)或者 CPU2 的输入 / 输出端口 I02 (在图 6 的例的情况下)输入启动信号,且 RES 输入端子从高电平变化为低电平时,计时装置 1 实施设定时间的计测,并且与时刻 t_8 时的选择时钟信号 32 的上升沿的正时同步,OUT 输出端子从高电平变化为低电平,且输出计测结束信号 82 (CPU2 的中断信号)。另外,因为时刻 t_1 至时刻 t_8 的动作正时与图 9 完全相同,所以省略详细的说明。

[0133] 当 OUT 输出端子从高电平变化为低电平时,与 OUT 输出端子连接的 RES 输入端子也从高电平变化为低电平,且自动地开始重新启动信号的输入。并且,在从 RES 输入端子从高电平变化为低电平之后起经过了预定的延迟时间的时刻 t_9 处,延迟信号 52 从高电平变化为低电平。由此,退位信号 42 被消除,从而从高电平变化为低电平。其结果为,OUT 输出端子从低电平变化为高电平,并且结束计测结束信号 82 (CPU2 的中断信号)的输出。

[0134] 当在时刻 t_9 处,OUT 输出端子从低电平变化为高电平时,RES 输入端子也从高电平变化为低电平,且结束重新启动信号的输入。并且,在从 RES 输入端子从低电平变化为高电平起经过了预定的延迟时间的时刻 t_{10} 处,延迟信号 52 从低电平变化为高电平。在此,由于在延迟信号 52 从高电平变化为低电平之后的第二个固定时钟信号 34 的上升沿的正时(时刻 t_{11})之前,结束了重新启动信号的输入,因此输入判断信号 62 保持为低电平,且复位信号 64 保持为高电平而并未发生变化。因此,BX5 ~ BX0 输入端子的设定值 4 不被存储于预置缓冲器 420 中。此外,由于分频电路 310 没有受到复位的影响,因此不停止选择时钟信号 32,从而六位递减计数器 410 与选择时钟信号 32 的上升沿同步地继续实施递减计数。

[0135] 并且,六位递减计数器 410 以与时刻 t_{11} 、 t_{12} 、 t_{13} 、 t_{14} 处的选择时钟信号 32 的上升沿同步的方式而实施递减计数,其计数值以 $0 \rightarrow 3 \rightarrow 2 \rightarrow 1 \rightarrow 0$ 的方式进行变化。并且,与

六位递减计数器 410 的计数值成为 0 的选择时钟信号 32 的上升沿的正时(时刻 t_{14}) 同步, 退位信号 42 从低电平变化为高电平。其结果为, OUT 输出端子从高电平变化为低电平, 且输出计测结束信号 82 (CPU2 的中断信号)。

[0136] 计时装置 1 在时刻 t_{14} 以后, 在与时刻 $t_8 \sim t_{14}$ 相同的正时, 反复实施如下的处理, 即, 实施设定时间的计测, 且每当结束计测时输出计测结束信号 82 (CPU2 的中断信号), 并将该计测结束信号 82 作为下一个重新启动信号而开始计测。

[0137] 如上述说明中所述, 本实施方式的计时装置对被输入至 RES 输入端子的低电平的信号的输入时间、与相当于固定时钟信号 34 的一个周期的时间的判断时间之间的大小关系进行判断, 并且根据判断结果来对预置递减计数器 40 的计数处理进行变更。因此, 根据本实施方式的计时装置, 能够通过对被输入至 RES 输入端子的低电平的信号的输入时间进行变更, 从而即使不设置专用的外部端子也能够对计测处理进行变更。

[0138] 尤其是, 根据本实施方式的计时装置, 能够通过从 RES 输入端子输入与判断时间相比而较长的脉冲宽度的启动信号, 从而实现从结束启动信号的输入的正时起对设定时间进行计测的单一模式。此外, 通过对 RES 输入端子和 OUT 输出端子进行连接, 还能够将与判断时间相比而较短的脉冲宽度的计测结束信号 82 作为下一个重新启动信号而实现重复模式。即, 由于能够根据是否对 RES 输入端子和 OUT 输出端子进行连接, 来选择是作为固定周期计时器而动作还是作为通用的计时器而动作, 因此不需要另外设置选择用的外部端子。

[0139] 而且, 在将本实施方式的计时装置作为固定周期计时器而动作时, 也能够通过延迟电路 50 的延迟时间来充分地确保计测结束信号 82 的输出时间。因此, 由于外部的 CPU 能够将计测结束信号 82 作为中断信号来进行识别, 因此能够正常地实施中断处理。

[0140] 此外, 根据本实施方式的计时装置, 通过使被输入至 RES 输入端子的低电平的信号的输入时间长于判断时间, 从而能够将六位递减计数器的预置值更新为 BX5 ~ BX0 输入端子的设定值。因此, 由于不需要通过程序来对预置值进行变更, 因此能够提高可靠性。

[0141] 此外, 根据本实施方式的计时装置, 由于计测时间等于选择时钟信号 32 的周期和预置值的乘积, 因此能够通过根据 AX2 ~ AX0 输入端子的设定值来选择选择时钟信号 32 的频率, 从而扩大计测时间的选择范围。

[0142] 2. 电子设备

[0143] 图 11 为, 本实施方式的电子设备的功能框图。本实施方式的电子设备 100 以包括如下部件的方式而构成, 即包括: 计时装置 110、CPU120、操作部 130、显示部 140、ROM (Read Only Memory: 只读存储器) 150、RAM (Random Access Memory: 随机存取存储器) 160、通信部 170。另外, 本实施方式的电子设备可以设定为如下的结构, 即, 省略或变更了图 11 的构成要素(各个部分)的一部分、或者增加了其他的构成要素的结构。

[0144] 计时装置 110 对所设定的时间进行计测, 且在结束计测时生成时间结束信号。

[0145] CPU120 按照被存储于 ROM150 等中的程序, 而实施各种计算处理与控制处理。具体而言, CPU120 接收来自计时装置 110 的计测结束信号, 并实施预定的计算处理。CPU120 可以设定为, 向计时装置 110 发送启动信号以及重新启动信号, 也可以设定为实施计时装置 110 的各种控制。此外, CPU120 还实施如下的处理, 即, 与来自操作部 130 的操作信号相对应的各种处理、对用于在显示部 140 上显示各种信息的显示信号进行发送的处理、以及为了与外部进行数据通信而对通信部 170 进行控制的处理等。

[0146] 操作部 130 为,由操作键以及按钮开关等构成的输入装置,并且向 CPU120 输出与使用者实施的操作相对应的操作信号。

[0147] 显示部 140 为,由 LCD(LiquidCrystal Display :液晶显示器)等构成的显示装置,并且根据从 CPU120 输入的显示信号来显示各种信息。

[0148] ROM150 存储了用于 CPU120 实施各种计算处理与控制处理的程序与数据等。

[0149] RAM160 被用作 CPU120 的操作区域,并且临时地存储从 ROM150 读取的程序与数据、从操作部 130 输入的数据、以及 CPU120 按照各种程序执行的运算结果等。

[0150] 通信部 170 实施用于使 CPU120 与外部装置之间的数据通信的各种控制。

[0151] 通过作为计时装置 110 而将本实施方式的计时装置 1 安装到电子设备 100 中,从而能够在维持高可靠性的同时实现低成本化。

[0152] 另外,作为电子设备 100 可以考虑使用了计时装置的各种电子设备,例如,可以列举如下的装置为例,即,实时时钟装置、个人计算机(例如,便携式个人计算机、膝上型个人计算机、平板式个人计算机)、移动电话等的移动体终端、数码摄像机、喷墨式喷出装置(例如,喷墨打印机)、路由器以及接线器等的存储区域网络设备、局域网设备、电视、摄像机、录像机、汽车导航装置、寻呼机、电子记事本(也包括附带通信功能的制品)、电子词典、计算器、电子游戏设备、游戏用控制器、文字处理器、工作站、可视电话、防盗用监视器、电子望远镜、POS(point of sale:销售点)终端、医疗设备(例如,电子体温计、血压计、血糖仪、心电图测量装置、超声波诊断装置、电子内窥镜)、鱼群探测器、各种测量设备、计量仪器类(例如,车辆、飞机、船舶的计量仪器类)、飞行模拟器、头戴式显示器、运动轨迹装置、运动跟踪装置、运动控制器、PDR(步行者航位测量)等。

[0153] 另外,本发明并不限于本实施方式,而能够在本发明的要旨的范围内进行各种改变。

[0154] 例如,虽然在本实施方式中,作为本发明中的“计数电路”的一个示例而例举了预置递减计数器 40,但是本发明中的“计数电路”也可以为递增计数器等。

[0155] 此外,例如,虽然在本实施方式中,时钟生成电路 30 通过分频电路 310 来对原子钟信号 22 进行分频,从而产生多个种类的分频时钟信号,但是也可以采用如下方式,即,代替分频电路 310 或者与分频电路 310 一起,设置倍增电路,且通过该倍增电路来对原子钟信号 22 进行倍增,从而产生多个种类的倍增时钟信号。并且,可以以如下的方式进行改变,即,通过选择电路 320 而将多个种类的倍增时钟信号中的任意一个作为时钟信号 32 来进行选择。

[0156] 此外,例如,虽然在本实施方式中,输入时间判断电路 60 将输入时间和根据固定频率的固定时钟信号 32 而设定的固定的判断时间进行了比较,但是也可以以如下的方式进行改变,即,例如根据外部端子与内部寄存器的设定值,从而能够以可变的方式来设定判断时间。

[0157] 此外,例如,虽然在本实施方式中,通过对计时装置 1 的 OUT 输出端子和 RES 输入端子进行连接,来实现了重复模式,但是即使没有对 OUT 输出端子和 RES 输入端子进行连接,只要在每次 CPU 将计测结束信号 82 作为中断信号而进行接收时,向 RES 输入端子输入与判断时间相比而较短的低脉冲的信号,则能够实现重复模式。

[0158] 本发明包括,与在实施方式中说明的结构实质上相同的结构(例如,功能、方法及结果相同的结构,或者目的及效果相同的结构)。此外,本发明包括,将在实施方式中说明的

结构的非本质的部分进行了替换的结构。此外,本发明包括,与在实施方式中说明的结构起到相同的作用效果的结构,或者能够实现相同的目的的结构。此外,本发明包括,在实施方式中所说明的结构上附加了公知技术的结构。

[0159] 符号说明

- [0160] 1 计时装置; 2CPU; 10 电源电路; 12 电源电压;
[0161] 20 晶体振荡电路; 22 原子钟信号; 30 时钟生成电路;
[0162] 32 选择时钟信号; 34 固定时钟信号; 40 预置递减计数器;
[0163] 42 退位信号; 50 延迟电路; 52 延迟信号;
[0164] 60 输入时间判断电路; 62 输入时间判断信号; 64 复位信号;
[0165] 70 测试电路; 80 NMOS 晶体管; 82 计测结束信号;
[0166] 100 电子设备; 110 计时装置; 120 CPU; 130 操作部;
[0167] 140 显示部; 150 ROM; 160 RAM; 170 通信部;
[0168] 310 分频电路; 320 选择电路; 330 缓冲器元件;
[0169] 410 六位递减计数; 420 预置缓冲器; 610 D 触发器;
[0170] 620 D 触发器; DP1、DP2 双列直插式开关;
[0171] SW1、SW2、SW3 开关; IN 输入用端子; R1、R2 上拉电阻;
[0172] TB1、TB2 三态缓冲器。

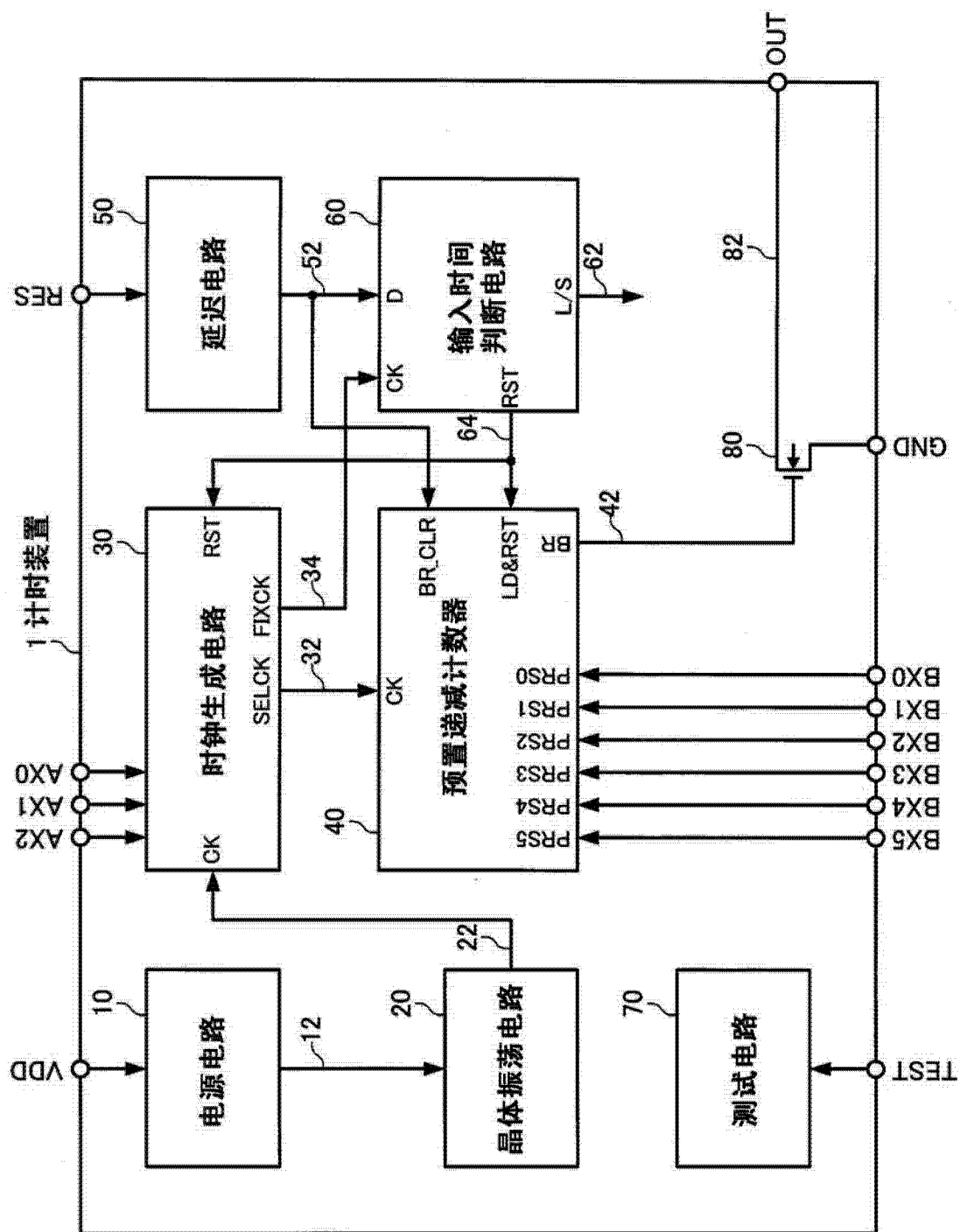


图 1

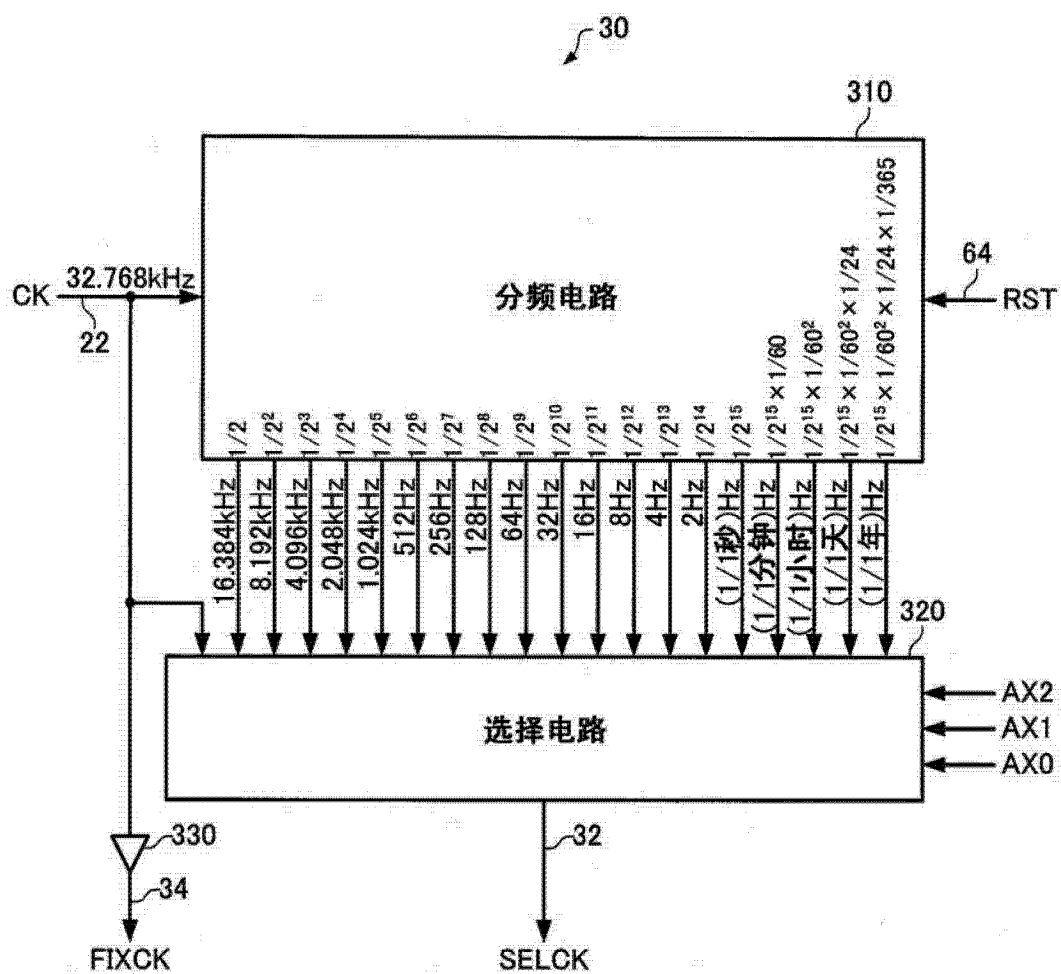


图 2

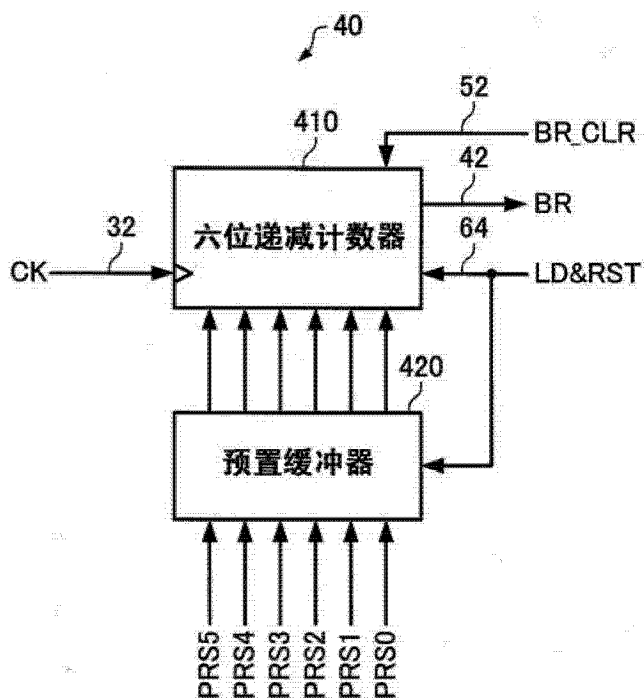


图 3

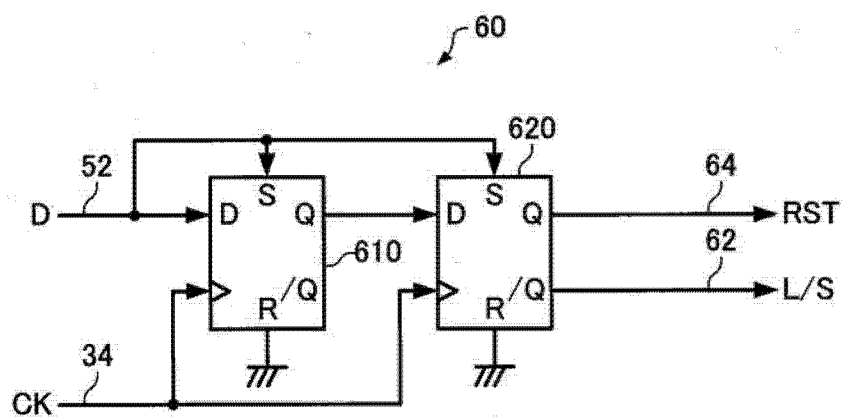


图 4

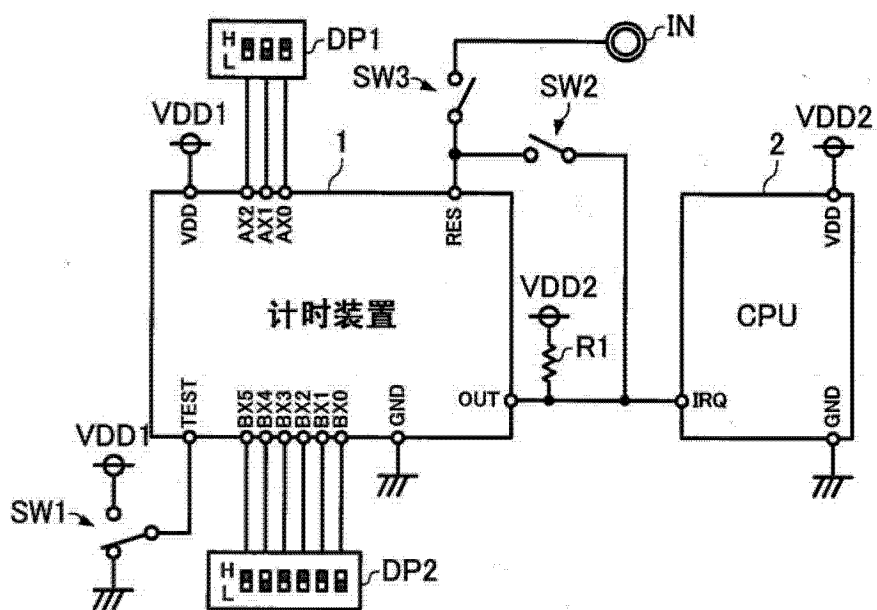


图 5

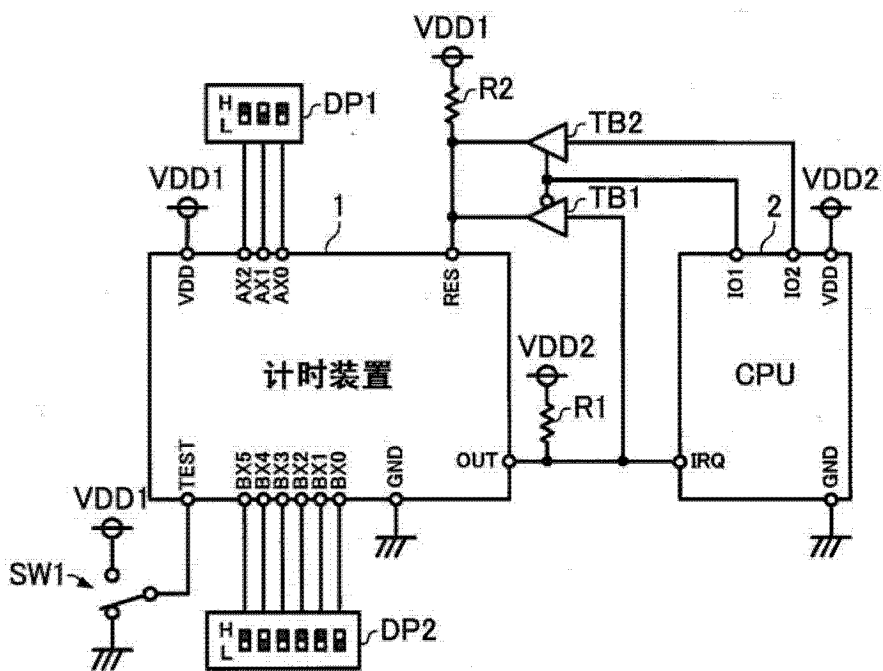


图 6

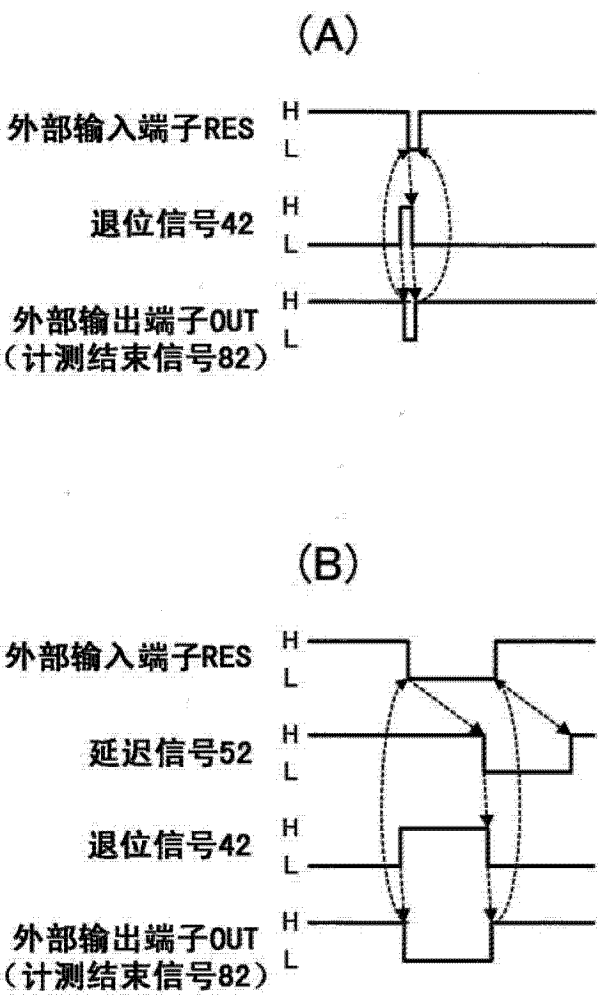


图 7

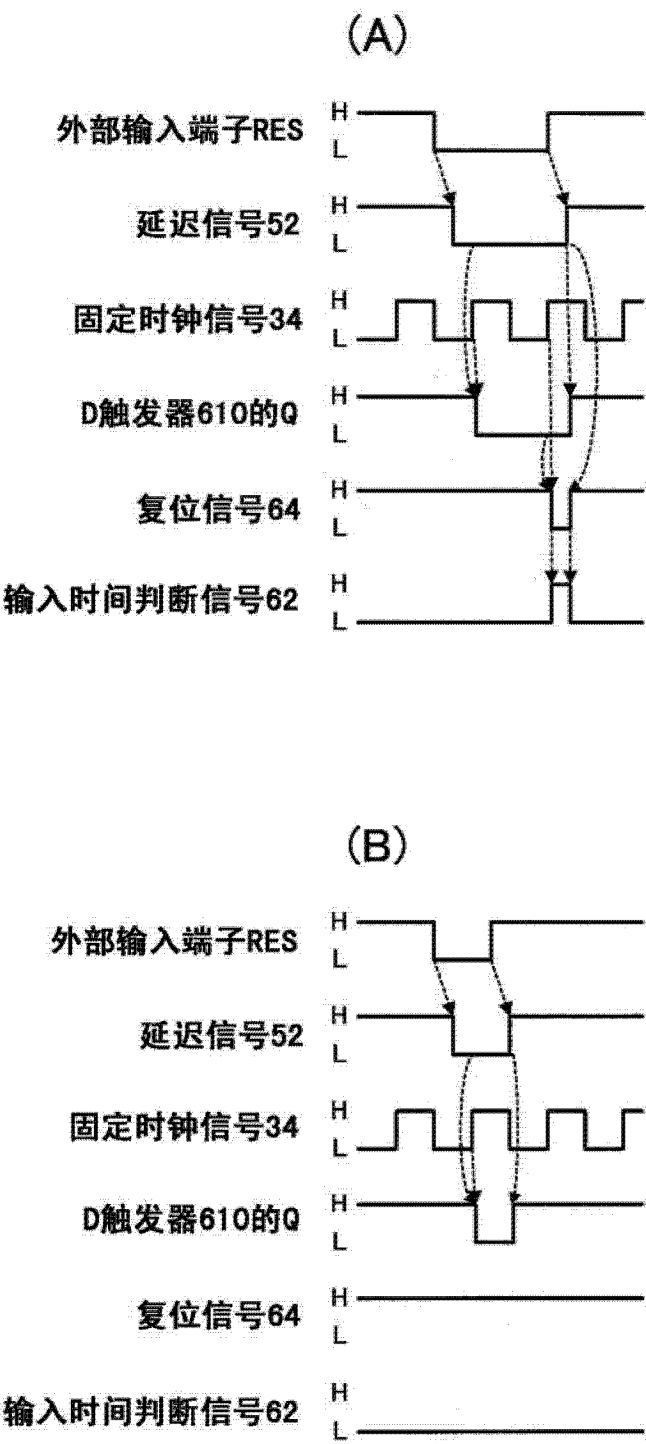


图 8

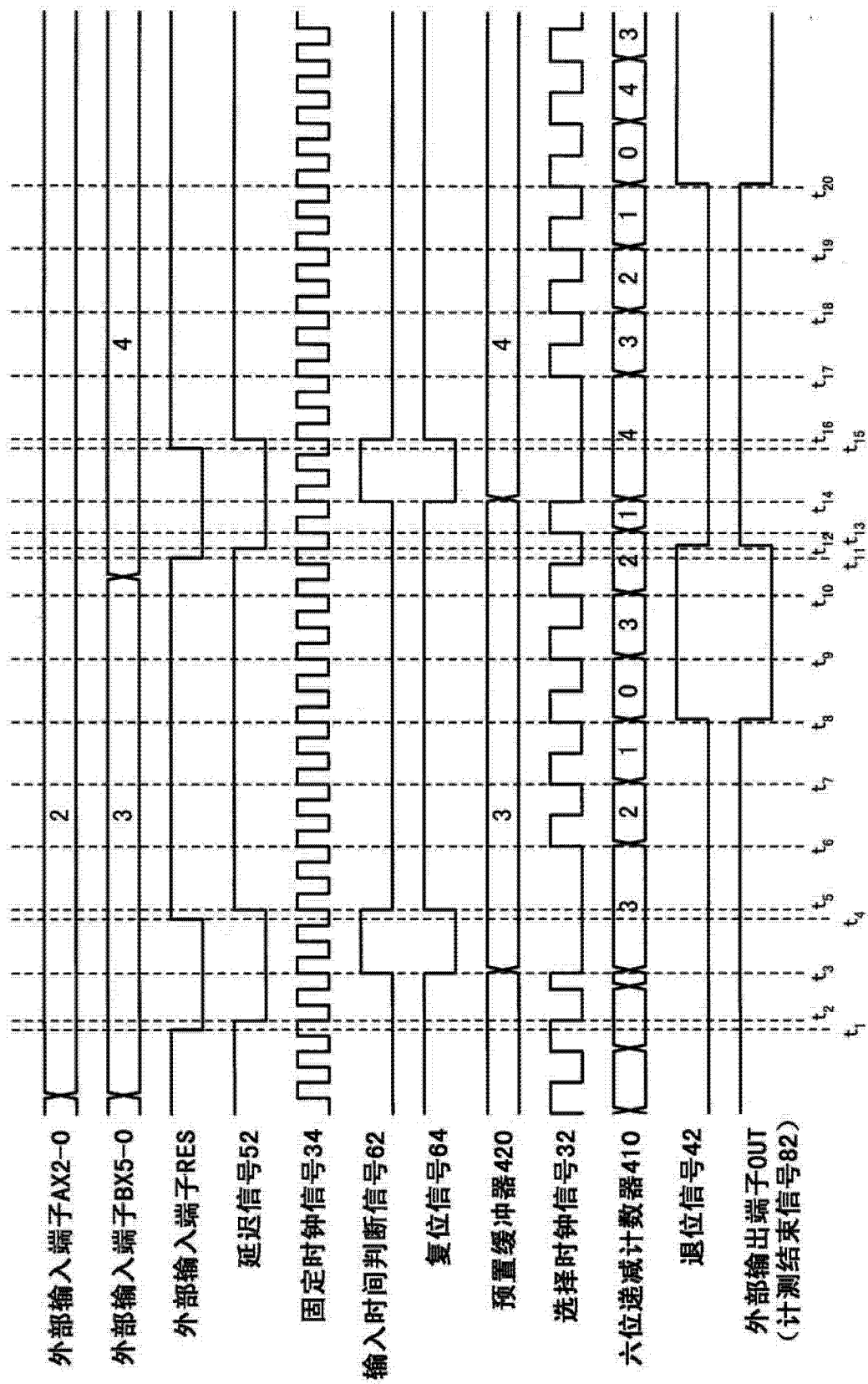


图 9

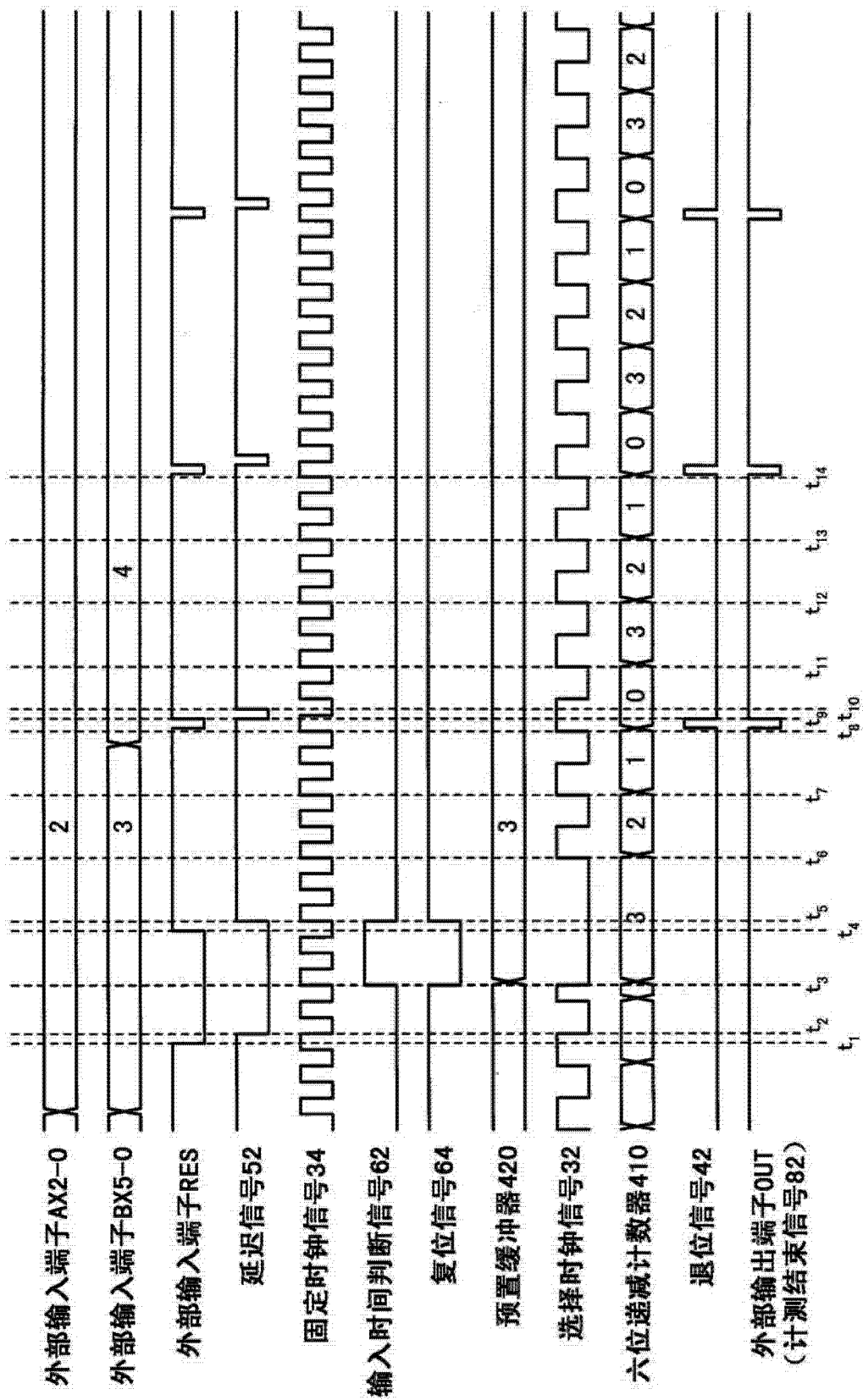


图 10

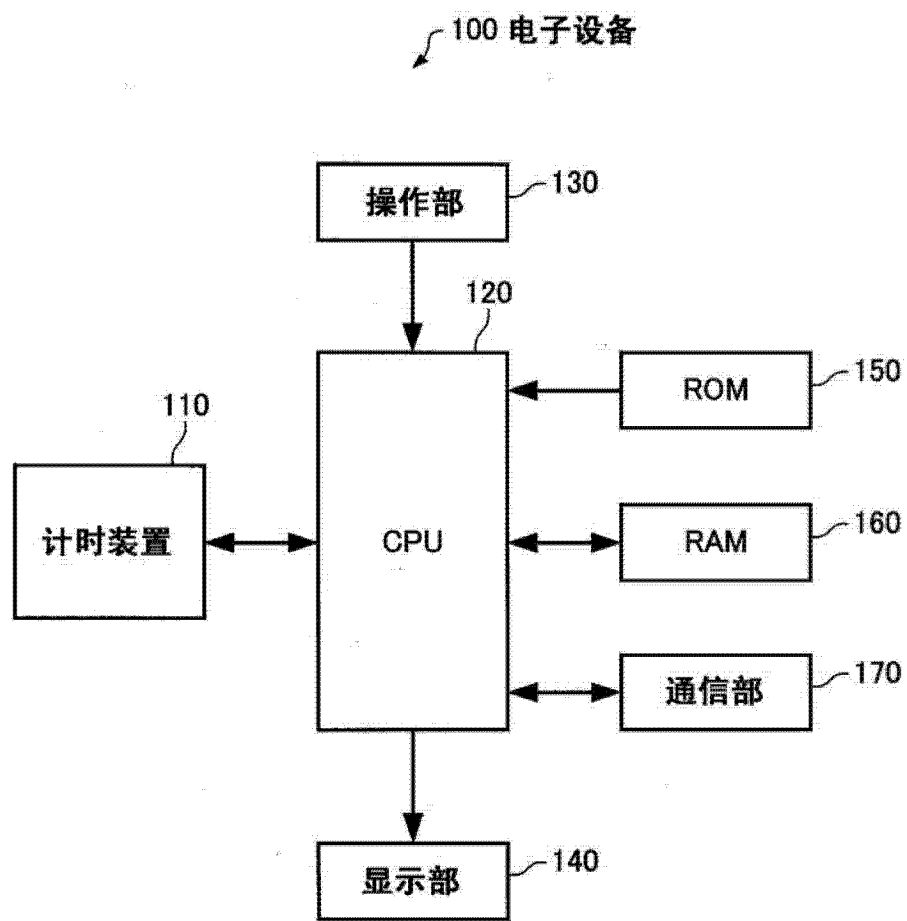


图 11