(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [7]
H01L 21/00

(45) 공고일자 2002년11월22일
(11) 등록번호 10-0331999
(24) 등록일자 2002년03월27일

(21) 출원번호 10-1995-0000242
(22) 출원일자 1995년01월09일

(65) 공개번호 특1995-0034401
(43) 공개일자 1995년12월28일

(30) 우선권주장 94-002575 1994년01월14일 일본(JP)

(73) 특허권자 가부시끼가이샤 히다치 세이사꾸쇼
일본국 도쿄도 지요다구 간다 스루가다이 4-6

(72) 발명자 고이께아쯔요시
일본국도꾜도고꾸분지시혼다2-12-23-307

(74) 대리인 백남기

심사관 : 서태준

(54) 처리장치및처리방법

요약

피처리물을 여러 공정에 걸쳐서 처리하는 처리기술에 관한 것으로서, 양산되는 피처리물을 처리하는 라인을 구성하는 여러 종류의 처리부를 시작품의 피처리물을 처리하는 처리부로서 공용한 시작라인을 갖게 하기 위해서, 각각 여러매의 주피 처리물을 일괄해서 처리하는 여러개의 주일괄 처리부와 각각 최소단위 매수의 피처리물을 처리하는 여러개의 주낱장 처리부에 의해 구성되고, 주일괄 처리부와 주낱장 처리부로 소정의 순서로 반송해서 주피처리물에 소정의 처리를 실행하는 주처리라인 및 각각의 주일괄 처리부에 대응한 처리를 최소단위 매수의 부피처리물에 대해서 실시하는 여러개의 부처리부와 주낱장 치리부에 의해 구성되고, 부처리부와 주낱장 처리부로 소정의 순서로 부피처리물을 반송해서 주피처리물에 대응한 처리를 부피처리물에 대해서 실행하는 부처리라인을 갖는 구성으로 하였다.

이와 같이 하는 것에 의해서, 시작품을 최종적으로 처리하기 위해 소요되는 시간을 대폭으로 감소시킬 수 있고 또 피처리물의 처리효율을 대폭으로 향상시킬 수가 있다.

대표도
도 1

명세서

도면의 간단한 설명

도 1은 본 발명의 1실시예의 처리장치에 의한 처리공정의 일부를 도시한 공정도,

도 2는 본 발명의 다른 실시예의 처리공정의 일부를 도시한 공정도,

도 3은 본 발명의 1실시예의 처리장치의 레이아웃을 도시한 평면도,

도 4는 본 발명의 다른 실시예의 처리장치의 레이아웃을 도시한 평면도,

도 5는 본 발명의 기본적 특징을 도시한 공정도,

도 6은 종래의 배치 프로세스 라인을 설명하기 위한 도면.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 피처리물을 여러 공정에 걸쳐서 처리하는 처리기술에 관한 것으로서, 특히 반도체 웨이퍼를 피처리물로 해서 이것을 처리하는 처리 기술에 관한 것이다.

로직 IC, 메모리 IC 및 원칩 마이크로 컴퓨터 등의 반도체 집적회로 장치는 확산공정이나 배선공정 등의 공정을 거쳐서 반도체 소자가 만들어 넣어진 실리콘의 반도체 웨이퍼를 1개의 반도체 집적회로장치(반도체 칩)마다 분할하는 것에 의해 형성되어 있다.

도 6에 따라서 종래의 배치 프로세스 라인(배치처리를 주체로 하는 웨이퍼 프로세스 라인)을 설명한다. 반도체 웨이퍼에 반도체 소자를 만들어 넣기 위한 웨이퍼 처리공정은 기본적으로는 웨이퍼의 표면을 세정하는 세정처리 공정, 표면에 균일한 산화막을 형성하기 위한 산화처리공정, 실리콘 기판에 불순물 원자를 확산하는 확산처리공정, 포토레지스트에 필요한 디바이스 패턴을 전사한 후에 에칭처리를 실시해서 목적으로 하는 패턴을 형성하는 포토에칭 처리공정 등으로 구성되어 있고, 반도체 소자가 완성될 때까지는 이들 공정이 반도체 웨이퍼에 대해서 다수회 반복되게 된다.

이와 같은 배치라인에서는 특정 웨이퍼를 단시간에 처리해서 웨이퍼 프로세스를 완료시키도록 하더라도, 열처리 등의 대부분을 담당하는 배치형 처리장치군이 실질적인 율속(control)공정으로 된다. 즉, 아무리 리도그래피나 에칭 등의 낱장공정을 단시간에 통과시켜도 나머지 산화, CVD 등의 주요 열처리 공정이 배치처리로 인해 전체적인 처리시간을 대폭으로 단축할 수가 없다.

반도체 집적회로의 회로패턴의 설계가 완료한 후에 그 회로패턴에 따라서 반도체 집적회로 장치를 제조하기 위해서는 세정장치, 산화처리장치, 저압CVD장치, 그리고 포토에칭장치 등의 상술한 각 공정을 구성하는 장치를 실제의 양상라인과 동일한 구조로 우선 구축하고 있다. 그러고, 이 양산라인을 사용해서 반도체 웨이퍼의 시작품(試作品)을 제조하고, 회로동작 등의 시험을 실행해서 웨이퍼의 적합여부를 검사한 후에 그 라인을 사용해서 반도체 웨이퍼의 양산이 착수되게 되지만, 검사에 의해서 원하는 제품이 얻어지지 않는다고 판단된 경우에는 처리공정에 있어서의 프로세스 조건 등이 조정된 후에 재차 시작이 실행된다.

양산라인을 구축할 때에는 상술한 각 공정에 있어서의 1매의 웨이퍼당의 처리시간이 대략 균형을 이루도록 각 공정의 레이아웃을 설정하는 것이 바람직하다. 예를 들면, 양상라인에 사용되는 저압CVD장치에 있어서는 100매의 웨이퍼를 일괄해서 처리 즉 배치(batch)처리하고 있고, 이 처리가 완료할 때까지는 4시간 정도 소요되고 있다. 따라서, 1매당의 처리시간은 2분 반(2분 30초) 정도로 된다.

또, 포토레지스트에 디바이스 패턴을 전사하는 리도그래피 장치에서는 예를들면 25매 정도의 웨이퍼를 장치에 세트해서 1매씩의 처리 즉 낱장처리가 실행되고 있어 웨이퍼 1매당 2~3분 정도의 처리시간으로 되고 있다.

시작품을 제조할 때에는 상술한 바와 같이 양산라인을 구축한 후에, 양산품의 제조와 동일한 조건에서 라인을 가동시켜 시작품을 제조하고, 그것을 검사하고 있다. 따라서, 시작품으로서는 1매의 반도체웨이퍼가 얻어지면 그것의 검사를 실행하는 것이 가능하지만, 양산품의 웨이퍼를 처리하는 경우와 동일한 조건을 재현하기 위해서는 실제의 양산라인과 동일한 매수의 웨이퍼를 처리해서 시작품의 웨이퍼를 처리하고 있으며, 웨이퍼 100매의 처리를 실행하기 위한 시간을 들여 검사를 위한 시작품을 제조하고 있다.

이 때문에, 시작품과 같이 아주 적은 매수만 입수할 수 있으면 좋고, 신속하게 처리해서 검사를 하고자 하는 경우라도 아무리해도 처리가 완료할 때까지는 시간이 걸리게 된다.

한편, 산화처리나 저압CVD 처리 등과 같이 배치처리가 가능한 처리라도 이들 처리를 웨이퍼 1매씩 낱장 처리하는 것도 가능하다. 예를 들면, 저압CVD처리를 낱장 처리한 경우에는 15분 정도로 처리를 완료할 수 있지만, 배치처리한 경우에 있어서의 웨치퍼 1매당의 처리시간에 비해서 긴 처리시간이 필요하게 된다.

그런데, 본 발명자는 반도체 웨이퍼의 처리라인에 대해서 검토하였다. 이하는 본 발명자에 의해서 검토된 기술로서, 그 개요는 다음과 같다.

즉, 양산품에 대해서 배치처리가 실행되고 있는 처리공정을 시작품을 위해 낱장처리로 변경하면, 웨이퍼 1매당의 처리시간은 각 공정에서는 길어지지만 최종적으로 웨이퍼의 처리를 완료시키기 위한 전체 처리시간을 짧게 할 수 있다는 것이 판명되었다. 따라서, 양산라인과 아울러 시작용의 라인을 구축하고, 양산라인을 구성하는 낱장처리를 실행하는 장치를 시작품에 대해서도 공용하는 것에 의해 시작품의 처리시간을 대폭으로 감축시킬 수가 있다.

또, 실제로 양산라인이 가동되고 있는 상태에서 이 양산라인을 구성하는 낱장처리공정을 겸용하여 양산품과는 다른 종류의 웨이퍼를 시작할 수도 있고, 또 양산라인과 아울러 마련된 시작품용의 라인을 게이트어레이나 표준셀 등의 ASIC용의 웨이퍼의 제조라인으로서도 사용하는 것에 의해, 다른 종류의 웨이퍼를 혼류시킨 상태에서 흐르게 하면서 각각을 제조할 수 있도록 하는 것이 가능하다는 것이 판명되었다.

본 발명의 목적은 양산되는 피처리물을 처리하는 라인을 구성하는 여러 가지 처리부를 시작품의 피처리물을 처리하는 처리부로서 공용한 시작라인을 갖는 처리 장치 및 처리방법을 제공하는 것이다.

본 발명의 다른 목적은 임의의 종류의 피처리물을 처리하는 라인과 이것을 구성하는 처리부를 공용해서 다른 종류의 피처리물을 처리하는 라인을 갖고, 종류가 상이한 피처리물을 혼류시킨 상태에서 처리하는 처리장치 및 처리방법을 제공하는 것이다.

본원에 있어서 개시되는 발명중 대표적인 것의 개요를 간단하게 설명하면 다음과 같다.

즉, 주피처리물을 처리하는 주처리라인과 부피처리물을 처리하는 부처리라인을 갖고, 주처리라인은 각각 여러매의 주피처리물을 처리하는 여러매의 주일괄 처리부와 각각 최소단위 매수의 피처리물을 처리하는 여러개의 주낱장 처리부에 의해 구성되고, 주피처리물은 상기 주일괄 처리부와 상기 주낱장 처리부로 소정의 순서로 반송되어 소정의 처리가 실행된다. 부처리라인은 상기 각각의 주일괄 처리부에 대응한 처리를 최소단위 매수의 부피처리물에 대해서 실시하는 여러

개의 부처리부와 상기 주낱장 처리부에 의해 구성되고, 주피처리물은 상기 부처리부와 상기 주낱장 처리부로 소정의 순서로 반송되어 소정의 처리가 실행된다.

또, 주처리라인은 각각 여러매의 주피처리물을 일괄해서 처리하는 여러개의 주피처리물 전용 처리부와 상기 주피처리물을 최소단위 매수마다 구분해서 처리함과 동시에 최소단위 매수의 상기 부피처리물을 처리하는 공용 낱장 처리부에 의해 구성되고, 주피처리물이 주처리라인에 있어서 소정의 순서로 반송되어 처리된다. 부처리라인은 상기 주피처리 전용 처리부에 대응한 처리를 각각 최소단위 매수의 부피처리물에 대해서 실시하는 부피처리물 전용 처리부와 상기 공용 낱장 처리부에 의해 구성되고, 부피처리물은 상기 부피처리물 전용 처리부와 상기 공용 낱장 처리부로 소정의 순서로 반송되어 처리된다.

주처리라인을 구성하는 여러개의 주낱장 처리부와 여러개의 부낱장 처리부에 의해 구성되는 부처리라인은 모두 낱장처리가 실행되는 처리부로 구성되어 있고, 이 부처리라인에 있어서는 주처리라인에서 처리되는 양산품을 시작하기 위한 시작품이 처리된다. 이 부처리라인에서 처리된 시작품의 시작결과에 따라서 양산품의 처리를 위한 조건을 주처리라인을 구성하는 각각의 처리부에 대해서 피드백시킬 수가 있다. 또, 모두 낱장처리가 실행되는 처리부로 이루어지는 부처리라인에 의해서 시작품을 처리할 수 있으므로, 시작품을 최종적으로 처리하기 위해서 소요되는 시간을 대폭으로 감소시킬 수가 있다.

또, 주피처리물 전용 처리부와 공용 낱장 처리부로 구성되는 주처리라인에 있어서 양산품을 처리하면서 주처리라인을 구성하는 공용 낱장처리부와 부처리 전용 처리부에 의해 구성되는 부처리라인에 있어서 주처리라인에서 처리되는 것과는 종류가 상이한 다른 시작품 또는 다른 종류의 제품을 처리할 수 있고, 동일한 처리장치로 여러종류의 퍼처리물을 혼류시킨 상태에서 처리할 수 있기 때문에 피처리물의 처리효율을 대폭으로 향상시킬 수가 있다.

또, 도 5(본 발명의 기본적인 특징을 도시한 공정도)에 도시하는 바와 같이 주요한 처리를 모두 배치처리로 했기 때문에, 거시적인 처리능력은 저하하지만 특정 웨이퍼의 전체공정 통과에 필요한 시간을 대폭으로 감소시킬 수 있다.

이하, 본 발명의 실시예를 도면에 따라서 상세하게 설명한다.

도 1은 본 발명의 처리장치에 의한 기본적인 처리공정을 도시한 공정도로서, 도시한 바와 같이 처리공정은 주피처리물를 처리하는 주처리라인(10)과 부피처리물을 처리하는 부처리라인(30)을 갖고 있다. 미리 도시하지 않은 웨이퍼 제조공정에 있어서는 단결정공정에서 끌어올려진 원통형상의 실리콘 잉곳으로부터 슬라이싱 공정에 의해 웨이퍼를 잘라낸 후에 랩핑이나 폴리싱 공정을 거쳐서 반도체 웨이퍼가 제조되고, 그 반도체 웨이퍼가 주피처리물과 부피처리물로 된다.

주처리라인(10)은 웨이퍼 제조공정에서 제조된 반도체 웨이퍼를 세정하는 세정처리공정(11)을 갖고 있다. 이 세정처리공정(11)은 다음의 산화처리공정(12)의 전처리로서의 세정을 실행하는 공정으로서, 그 세정에 최적한 세정액이 선택되어 다수매의 웨이퍼가 일괄해서 세정처리된다. 즉, 배치처리에 의해 세정처리가 실행된다.

세정처리공정(11)이 종료한 후의 웨이퍼는 산화처리공정(12)로 반송되고, 웨이퍼의 표면에 산화막을 형성하기 위해 산화처리가 배치처리에 의해 다수매 일괄해서 처리된다. 이 산화처리공정에 사용하기 위한 산화처리장치로서는 도시한 바와 같은 경우에는 웨트 O_2 (산소) 산화에 의한 산화처리장치가 사용되고 있지만, 이 이외에 예를 들면 드라이 O_2 산화, 스팀산화, 수소연소산화, 고압산화, 산소분압산화, 할로겐산화, 플라즈마산화, 양극산화 등의 산화방법을 구체화한 장치를 사용하도록 하여도 좋다.

이 산화처리공정(12)가 종료한 후의 웨이퍼는 기상성장법에 의한 저압 CVD 처리공정(13)으로 반송되고, 여기에서 배치처리에 의해 일괄해서 웨이퍼의 표면에 절연막이 형성된다. 도시한 바와 같은 경우에는 질화실리콘막을 형성하기 위해 저압 CVD장치가 사용되고 있지만, 형성할 절연막의 성질에 따라서 반응가스의 종류, 반응형식, 반응온도나 압력이 설정된다.

이와 같이 해서 저압 CVD처리가 종료한 후의 반도체 웨이퍼는 디바이스 패턴의 형성을 위해 포토에칭 처리공정으로 반송된다. 이 포토에칭 처리공정은 웨이퍼의 표면에 도포된 포토레지스트로 마스크패턴을 전사하는 리도그래피 처리공정(14)와 레지스트의 패턴을 이용해서 그 하지의 막을 가공한 후에 불필요한 레지스트를 제거하는 에칭처리공정(15)로 구성되어 있고, 각각의 처리공정(14),(15)에서는 낱장처리에 의해 최소단위 매수마다 처리된다.

리도그래피 처리공정(14)를 구성하는 노출묘화장치에 있어서는 이것으로 수10매정도의 웨이퍼가 반입되어 1매의 웨이퍼마다 가시광이나 자외선 또는 전자빔을 사용해서 마스크 블랭크상에 원화패턴이 묘화된다. 이 노출묘화장치로시는 축소 노출장치, 콘택트 프록시미티 장치, 전자빔 묘화장치, 레이저 묘화장치 등이 있으며, 임의의 형태의 묘화장치가 선택된다.

에칭처리 공정(15)를 구성하는 에칭장치로서는 플라즈마 에칭장치, 반응성 이온에칭 장치 및 반응성 스퍼터 에칭장치 등의 드라이 에칭장치나 침지식 에칭 등의 웨트 에칭장치가 사용된다. 에칭처리 공정(15)가 종료한 후의 웨이퍼는 재차 절연막 형성을 위해 저압 CVD 처리공정(16)으로 반송되어 절연막이 형성되고, 다음에 리도그래피 처리공정(17)로 반송된다.

웨이퍼의 처리공정은 상술한 바와 같이 산화처리, 절연막 형성처리 및 포토에칭 처리의 공정을 필수로 하고 있고, 이들 처리가 다수회 반복되어 웨이퍼의 처리가 종료한다. 따라서, 세정처리공정(11)~리도그레피 처리공정(17)이 주처리라인(10)을 구성하고 있지만, 필수의 공정을 포함해서 다수의 공정에 의해 주처리라인(10)이 구성되게 된다.

한편, 부피처리물을 처리하는 부처리라인(30)은 세정처리공정(11)에 대응해서 웨이퍼를 세정하기 위한 세정처리공정(31), 산화처리공정(12)에 대응해서 웨이퍼의 표면을 산화처리하는 산화처리공정(32) 및 저압 CVD 처리공정(13)에 대응해서 웨이퍼의 표면에 절연막을 형성하는 저압 CVD 처리공정(33)을 갖고 있다. 이들 공정(31)~(33)을 종료한 웨이퍼는 주처리라인(10)을 구성하는 리도그래피 처리공정(14)로 반송된 후에 에칭처리공정(15)로 반송되어 포토에칭처리가 실행된다. 그리고, 에칭처리공정(15)가 종료한 후의 웨이퍼는 저압 CVD 처리공정(16)에 대응해서 마련된 저압 CVD 처리공정(34)로 반입된다.

이와 같이, 부처리라인(30)은 부피처리물만을 처리하는 처리공정(31)~(34)와 주처리라인(10)을 구성하는 공정(14), (15), (17)에 의해 구성되어 있고, 주처리라인(10)의 리도그래피 처리공정(14), (17)과 에칭처리공정(15)는 부처리라인(30)으로서도 공용되고 있다.

부처리라인(30)을 구성하는 각각의 공정(31)~(34)에 있어서는 통상 최소단위 매수로서는 웨이퍼 1매만을 처리하고 있지만, 각각 낱장처리를 실행하는 공정에서는 2매정도의 웨이퍼를 처리하도록 하여도 좋다.

상술한 주처리라인(10)을 예를 들면 양산품 등의 완성품의 웨이퍼를 제조하기 위한 라인으로서 사용하는 경우에는 부처리라인(30)은 그 완성품의 웨이퍼를 시작하는 시작품 웨이퍼의 제조를 위한 라인으로서 사용된다. 즉, 주처리라인(10)에서는 완성품 웨이퍼를 주피처리물로서 이것을 처리하고, 부처리라인(30)에서는 이시작품을 부피처리물로서 이것을 처리한다.

이 경우에는 주처리라인(10)을 구성하는 세정공정(11), 산화처리공정(12), 저압 CVD 처리공정(13), (16)은 각각 여러매의 완성품 웨이퍼 즉 주피처리물을 일괄해서 처리하는 배치식의 주일괄 처리부로 되어 있고, 리도그래피 처리공정(14), (17)과 에칭처리공정(15)는 웨이퍼를 1매씩 처리하는 주낱장 처리부로 되어 있다.

한편, 부처리라인(30)만을 구성하는 세정처리공정(31), 산화처리공정(32) 및 저압 CVD 처리공정(33), (34)는 각각 낱장식의 부처리부로 되어 있고, 주처리라인(10) 및 부처리라인(30)에 공용되는 주낱장 처리부에 있어서는 주피처리물 즉 완성품 웨이퍼와 부피처리물 즉 시작품 웨이퍼가 처리된다.

이와 같이, 부처리라인(30)을 시작품 웨이퍼의 제조에 사용하는 경우에는 부처리라인(30)을 구축하거나 또는 주처리라인(10) 및 부처리라인(30)을 구축한 상태에서 1매의 시작용품의 웨이퍼 즉 부피처리물을 부처리라인(30)에 투입하고, 공정(14), (15), (17)을 포함해서 부처리라인(30)을 구성하는 각 공정(31)~(34)에 있어서 각각 낱장식으로 소정의 처리를 실행한다.

부처리라인(30)을 통과시켜서 완성된 시작품 웨이퍼를 검사하여 그 양호여부를 판단하고, 각각의 처리공정에 있어서의 처리가스의 종류, 온도 그리고 압력 등의 조건을 변화시키면서 최량의 조건을 구한다. 이와 같이 해서 얻어진 조건을 완성품의 웨이퍼를 제조하기 위한 주처리라인(10)에 있어서의 각각의 처리공정으로 피드백하여 최적조건에서 완성품을 능률좋게 처리할 수가 있다.

이와 같이 시작품의 웨이퍼를 처리하기 위해서 주처리라인(10)을 사용하여 시작품의 웨이퍼를 제조하고 있던 것에서는 웨이퍼의 처리를 위해 상당한 시간이 소요되게 되지만, 부처리라인(30)을 사용하여 처리한 경우에는 최종적으로 시작품 웨이퍼를 처리하기 위한 처리시간이 비약적으로 단축된다. 즉, 예를 들면 배치식의 저압 CVD처리공정(13)에 있어서 시작품의 웨이퍼를 처리하는 경우에는 최소 1매의 시작품을 처리하기 위해서도 배치식의 저압 CVD 처리장치를 최적한 조건에서 작동시키기 때문에 100매 정도의 웨이퍼를 처리하는 것과 마찬가지 처리가 필요하게 되고, 그 처리에는 4시간이 소요되게 된다. 그러나, 저압 CVD 처리공정(33)에 있어서 낱장처리를 실행하면, 15분 정도로 시작품의 웨이퍼를 처리할 수가 있다. 따라서, 시작품 웨이퍼를 몇회나 처리해서 시행착오에 의해 완성품 웨이퍼의 처리조건을 탐구할 때에 그 시간이 대폭으로 단축되게 된다.

시작품의 웨이퍼를 부처리라인(30)을 사용해서 처리하는 작업을 이 시작품 웨이퍼와는 종류가 상이한 완성품 웨이퍼를 주처리라인(10)에서 처 리하면서 실행하도록 하여도 좋다. 즉, 주처리라인(10)과 부처리라인(30)을 동시에 작동시켜서 주처리라인(10)에서 완성품의 웨이퍼를 처리하면서 부처리라인(30)에서 이 웨이퍼와는 다른 종류의 웨이퍼의 시작을 실행하도록 하여도 좋다.

그 경우에는 주처리라인(10)만을 구성하는 세정처리공정(11), 산화처리공정(12) 및 저압 CVD 처리공정(13), (16)은 완성품의 웨이퍼를 여러매 일괄해서 처리하는 주퍼처리물 전용처리부로 되고, 리도그래피 처리공정(14), (17) 및 에칭처리공정(15)는 공용 낱장 처리부로 된다. 한편, 부처리라인(30)만를 구성하는 세정처리공정(31), 산화처리공정(32), 저압 CVD 처리공정(33),(34)는 부피처리물 전용 처리부로 된다.

따라서, 주처리라인(10)에서는 이미 시작이 완료해서 양산품 예를 들면 메모리 등의 범용품용의 웨이퍼를 처리하면서 다른 종류의 웨이퍼의 시작품을 부처리라인(30)에서 처리할 수가 있다. 이 경우에는 주부(主副) 양쪽의 처리라인(10), (30)이 동시에 가동한 상태로 되고, 양쪽의 처리라인(10), (30)에 공통하는 공용 낱장 처리부에서는 시작품의 웨이퍼와 메모리 등의 범용품의 웨이퍼가 혼류한 상태에서 처리된다.

또, 주처리라인(10)과 부처리라인(30)에 의해 모두 이미 시작이 종료한 완성품의 웨이퍼를 처리할 수도 있다. 예를 들면, 주처리라인(10)에서는 메모리 등의 범용품의 웨이퍼를 처리하면서 부처리라인(30)에서는 게이트어레이 등의 주문품 또는 부주문품(semi-custom)용의 웨이퍼를 처리할 수가 있다. 따라서, 이 경우에는 양쪽의 처리라인(10), (30)에 공통하는 공용 낱장 처리부에서는 메모리 등의 범용품용의 웨이퍼와 게이트어레이 등의 주문품용의 웨이퍼 모두가 처리되고, 이들이 혼류한 상태에서 처리되게 된다.

이와 같이, 주처리라인(10)과 부처리라인(30)을 모두 작동시키는 경우에는 양쪽의 라인(10), (30)의 합류점 A에서는 주처리라인(10)의 저압 CVD 처리공정(13)을 종료한 웨이퍼를 리도그래피 처리공정(14)로 반입할지 부처리라인(30)의 저압 CVD 처리공정(33)을 종료한 웨이퍼를 리도그래피 처리공정(14)로 반입할지를 선택하게된다. 그 때문에, 이 합류점 A에는 한쪽의 저압 CVD 처리공정(13) 또는 (33)에서 반출된 웨이퍼를 일시적으로 저 장(저류)해 두기 위한 저장부(storage section)를 마련하도록 한다. 또, 양쪽의 처리라인(10), (30)의 분기점 B에서는 애칭처리 공정(15)

를 종료한 웨이퍼를 다음의 2가지의 저압 CVD 처리공정(16)과 (34)중의 어느 1개의 처리공정으로 반송할지가 웨이퍼의 종류에 따라서 지정된다.

또한, 주처리라인(10)과 부처리라인(30)에 있어서의 각 처리공정의 순서는 반드시 일치해야 하는 것은 아니다.

도 2는 본 발명의 다른 실시예의 처리공정을 도시한 공정도로서, 이 경우의 주처리라인(10)의 에칭처리공정(15)까지는 도 1에 도시한 처리공정과 마찬가지이지만, 에칭처리공정(15) 다음은 세정처리공정(18)로 되어 있다. 이 세정처리공정(18)에서는 여러매의 주피처리물을 일괄해서 처리하는 배치처리가 실행되도록 되어 있고, 이 세정처리로서는 산청정법, 알칼리세정법, 수세법, 에칭법 등의 화학적 처리방법과 초음파법 등의 물리적 처리법이 있고, 처리할 표면오염에 따라서 임의로 선택할 수가 있다.

이 공정 다음에 웨이퍼는 이것의 내부로 불순물을 도입하기 위한 이온주입(implantation) 처리공정(19)로 반송된다. 이 이온주입 처리공정(19)는 여러매의 웨이퍼를 일괄해서 처리하는 배치처리로 되어 있다.

이 이온주입 처리공정(19) 다음은 어닐처리공정(20)으로서, 이 어닐처리공정(20)에서는 이온주입이 종료한 후의 웨이퍼의 열처리가 실행된다. 어닐처리장치로서는 레이저 어닐처리장치, 전자빔 어닐처리장치, 플래쉬 램프 어닐처리장치, 열방사 어닐처리장치, 전기로 어닐처리장치 등이 있고, 임의의 형태의 처리장치가 사용된다. 이 어닐처리공정(20) 다음에 웨이퍼는 저압 CVD 처리공정(21)로 반송된다. 이 저압 CVD 처리공정(21)은 저압 CVD 처리공정(13)과 마찬가지로 배치처리에 의한 절연막 형성을 위한 처리공정이며, 이 처리공정 다음의 리도그래피 처리공정(22)와 에칭처리공정(23)에서는 상술한 처리공정(14), (15)와 마찬가지의 처리가 실행된다.

이 에칭처리 공정(23)의 다음 공정은 PVD법 즉 물리적 증착법으로서의 스퍼터링 처리공정(24)로 되어 있고, 이 스퍼터링 처리공정(24)에서는 주처리라인(10)을 따라 반송되는 웨이퍼와 부처리라인(30)을 따라 반송되는 웨이퍼에 대해서 낱장처리에 의해서 스퍼터링 처리가 실행된다. 따라서, 이 처리공정은 주낱장 처리부 및 공용 낱장 처리부를 구성하고 있다. 이 스퍼터링 처리공정(24)에 의해 웨이퍼에는 알루미늄 또는 그의 합금 등으로 이루어지는 도전막에 의한 배선이 형성된다. 이 스퍼터링 처리방법으로서는 마그네트론 스퍼터링법, 반응성 스퍼터링법이 사용된다.

이 처리공정(24) 다음에는 재차 리도그래피 처리공정(25)와 에칭처리공정(26)이 낱장처리에 의해 실행되고, 다음에 세정처리공정(27)이 배치처리에 의해 실행된다. 이 세정처리공정(27) 다음의 플라즈마 CVD 처리공정(28)에서는 상술한 저압 CVD 처리공정(13), (20)과 마찬가지로 절연막의 형성을 위한 처리가 실행되지만, 이 플라즈마 CVD 처리공정(28)에서는 감압하에서 반응성 가스의 플라즈마 방전분해에 의해서 박막을 낱장처리에 의해 형성하도록 하고 있다, 이 플라즈마 CVD 장치로서는 고주파 플라즈마, 마이크로파 플라즈마, ECR 플라즈마 등의 장치가 있고, 이들 중 어느 1개가 사용된다. 따라서, 이 플라즈마 CVD 처리공정(28)도 주낱장 처리부 및 공용 낱장 처리부를 구성하고 있다.

상술한 처리공정(11)~(28)은 주피처리물을 처리하기 위한 주처리라인(10)을 구성하고 있지만, 이들 처리공정이 다수회 각종 순서로 반복되어 웨이퍼의 처리가 실행된다.

한편, 도2에 도시한 부처리라인(30)을 구성하는 처리공정(31)~(33)은 도1에 도시한 경우와 마찬가지의 처리를 실행하고 있고, 포토에칭 처리공정을 구성함과 동시에 부처리라인(30)도 구성하는 리도그래피 처리공정(14)와 에칭처리공정(15)가 종료한 후의 웨이퍼는 세정처리공정(35)로 반송되어 여기에서 낱장처리에 의해 세정처리된다.

이 세정처리공정(35)가 종료한 후의 부피처리물로서의 웨이퍼는 배치식의 세정처리공정(18)에 대응하는 낱장식의 세정처리공정으로 반입되어 여기에서 세정처리가 실행된 후, 배치처리에 의한 이온주입 처리공정(19)에 대응하는 낱장식의 이온주입 처리공정(36)으로 반송되어 여기에서 이온주입이 실행된다. 다음에, 웨이퍼는 배치처리되는 어닐처리공정(20)에 대응하는 낱장식의 어닐처리공정(37)로 반송되어 여기에서 어닐처리가 실행되며, 또 배치식의 저압 CVD 처리공정(21)에 대응하는 낱장식의 저압 CVD 처리공정(38)로 반송되어 여기에서 낱장처리에 의해 절연막의 형성이 실행된다.

또, 이 저압 CVD 처리공정(38)을 종료한 웨이퍼는 주낱장 처리부 및 공용 낱장 처리부로서의 리도그래피 처리공정(22)~에칭처리공정(26)을 종료한 후, 세정처리공정(26)에 대응하는 세정처리공정(39)에 있어서 웨이퍼는 세정처리가 실행된다.

이와 같이, 처리공정(31)~(39), 리도그래피 처리공정(14), (22), (25), 에칭처리공정(15), (23), (26) 및 플라즈마 CVD 처리공정(28)에 의해 부처리라인(30)이 구성되어 있고, 이 부처리라인(30)을 구성하는 여러개의 처리 공정이 다수회 반복되는 것에 의해서 이 부처리라인(30)을 따라서 반송되는 웨이퍼에 대한 처리가 완료된다.

도 2에 도시한 처리공정을 갖는 처리장치에 있어서도 도 1에 도시한 경우와 마찬가지로 주처리라인(10)을 완성품의 웨이퍼를 양산하기 위한 라인으로서 구축하고, 부처리라인(30)을 그의 완성품의 웨이퍼를 시작하기 위한 처리라인으로서 사용할 수가 있다.

또, 주처리라인(10)에서 완성품의 웨이퍼의 처리를 실행하면서 부처리라인(30)에서는 이 완성품의 웨이퍼와는 상이한 종류의 시작품의 웨이퍼를 처리하도록 하여도 좋고, 주처리라인(10)에서 메모리 등의 범용품용의 웨이퍼를 처리하는 한편 부처리라인(30)에서 로직 또는 게이트어레이 등의 주문품 내지 부주문품용의 웨이퍼를 혼류시켜서 동시에 처리하도록 하여도 좋다.

도 3은 도 1 및 도 2에 도시한 웨이퍼 처리공정을 실행하기 위해서 크린룸내에 레이아웃된 숍의 구체적인 예를 도시한 도면이다.

크린룸내에는 산화 처리영역(41), 저압 CVD 처리영역(42), 어닐처리영역(43), 리도그래피 처리영역(44), 에칭처리영역(45), 세정처리영역(46), 스퍼터링 처리영역(47), 플라즈마 CVD 처리영역(48), 이온주입 처리영역(49)가 배치되어 있다.

산화처리영역(41)에는 여러대의 배치식 산화처리장치(41a)와 1대의 낱장식 산화처리장치(41b)가 마련되고, 저압 CVD 처리영역(42)에는 여러대의 배치식 저압 CVD 처리장치(42a)와 1대의 낱장식 저압 CVD 처리장치(42b)가 마련되고, 또 어닐처리영역(43)에는 여러대의 어닐처리장치(43a)와 낱장식 어닐처리장치(43b)가 마련도어 있다.

리도그래피 처리영역(44)에는 모두가 낱장식으로 된 여러대의 리도그레피 처리장치(44b)가 마련되고, 마찬가지로 에칭처리영역(45)에는 모두가 낱장식으로 된 여러대의 애칭처리장치(45b)가 마련되어 있으며, 또 세정처리 영역(46)에는 여러대의 배치식 세정처리장치(46a)와 낱장식 세정처리장치(46b)가 마련되어 있다.

그리고, 스퍼터링 처리영역(47)에는 모두가 낱장식으로 된 여러대의 스퍼터링 처리장치(47b)가 마련되고, 플라즈마 CVD 처리 영역(48)에는 마찬가지로 모두가 낱장식으로 된 여러대의 플라즈마 CVD 처리장치(48b)가 마련되고, 이온주입 처리영역(49)에는 배치식 이온주입장치(49a)와 낱장식 이온주입장치(49b)가 마련되어 있다. 각각의 처리영역에 있어서 여러대의 배치식의 장치와 여러대의 낱장식의 장치가 마련되어 있지만, 이것은 처리능력을 고려했기 때문이며 1대씩 마련하도록 하여도 좋다.

이들 각 영역(41)~(49)에는 도시하지 않은 반송로봇 내지 작업자에 의해 웨이퍼가 반송되도록 되어 있고, 도 1 및 도 2에 도시한 주처리라인(10)과 부처리라인(30)이 구성되어 있다. 따라서, 도 2에 도시한 주처리라인(10)의 공정순으로 웨이퍼를 처리하는 경우 즉 범용품용의 웨이퍼를 처리하는 경우에는 도 2에 도시한 순서로 웨이퍼를 반송한다. 이 웨이퍼에 대해서는 각 처리영역(41)~(49)중 배치 처리에 의해 처리하는 처리장치를 갖는 영역에서는 반드시 배치처리에 의해 처리하는 장치로 반송한다. 또한, 도 3에 있어서는 도 1에 도시한 처리라인중 주처리라인(10)만이 도면 작성의 편의상 도시되어 있다.

한편, 부처리라인(30)의 공정순으로 웨이퍼를 처리하는 경우 즉 시작품용의 웨이퍼 또는 주문품용의 웨이퍼를 처리하는 경우에는 도시한 바와 같이 순차 웨이퍼를 반송하게 되지만, 그 경우에는 낱장처리가 실행되는 장치로 웨이퍼를 반송하게 된다.

도 1 및 도 2에 도시한 처리공정에서는 주처리라인(10)과 부처리라인(30)은 각각 동일한 순서로 웨이퍼에 대한 처리를 실행하고 있지만, 반송경로를 달리하는 것에 의해서 주처리라인(10)과 부처리라인(30)을 서로 다르게 한 순서로 처리를 실행하도록 하여도 좋다. 이 처리방식은 특히 주처리라인(10)과 부처리라인(30)을 모두 작동시켜서 혼류처리를 실행하는 경우에 적용된다.

산화처리영역(41)과 같이 1개의 처리영역에 주처리라인(10)을 구성하는 배치식의 처리장치와 부처리라인(30)을 구성하는 낱장식의 처리장치가 모두 마련되어 있는 영역에는 반입단부에 웨이퍼를 구분하는 분기스테이지(41s)~(43s), (46s), (49s)가 마련되어 있다. 또, 각각의 처리영역에 있어서 반입된 웨이퍼를 어떤 장치에 의해서 처리할지는 도시하지 않은 호스트 컴퓨터로부터의 명령 등에 의해 지시된다.

도 4는 크린룸내에 레이아웃된 숍의 다른 구체예를 도시한 도면으로서, 도 3에 도시된 부위와 공통하는 부위에는 동일 부호가 부가되어 있다.

도시하는 바와 같이, 각각 낱장식의 처리장치만으로 이루어지는 리도그래피처리영역(44), 에칭처리영역(45), 스퍼터링 처리영역(47), 플라즈마 CVD 처리영역(48)을 내측으로 해서 배열되어 있다. 그리고, 이들 여역을 둘러싸도록 산화처리영역(41), 저압 CVD 처리영역(42), 어닐처리영역(43), 세정처리영역(46), 이온주입 처리영역(49)가 배치되어 있다. 이들 영역은 모두 배치식의 처리장치가 마련되어 있고, 각각의 영역에 인접해서 낱장식의 처리장치(41b)~(43b), (46b), (49b)가 배치되어 있다.

이상, 본 발명자에 의해서 이루어진 발명을 실시예에 따라서 구체적으로 설명하였지만, 본 발명은 상기 실시예에 한정되는 것은 아니고 그 요지를 이탈하지 않는 범위에서 여러 가지로 변경가능한 것은 물론이다.

예를 들면, 피처리물의 치리순서는 도시한 처리순서에 한정되는 것이 아니라 임의의 순서로 설정하는 것이 가능하고, 주피처리물과 부피처리물에서 처리순서를 다르게 하여도 좋다.

이상의 설명에서는 주로 본 발명자에 의해서 이루어진 발명을 그 이용분야인 반도체 웨이퍼의 처리공정 즉 전처리공정에 적용한 경우에 대해서 설명하였지만 이것에 한정되는 것은 아니고, 동일한 처리를 배치처리와 낱장처리로 구분할 수 있는 처리기술에 대해서라면 어떠한 피처리물에 대해서도 적용할 수가 있다.

발명의 효과

본원에 있어서 개시되는 발명중 대표적인 것에 의해서 얻어지는 효과를 간단하게 설명하면, 다음과 같다.

[1] 양산되는 피처리물을 처리하는 주처리라인을 구성하는 낱장식의 여러개의 처리부를 이용해서 시작품의 피처리물을 처리할 수 있으므로, 시작품을 모두 낱장식의 처리부로 이루어지는 처리부에서 처리하도록 하였기 때문에 신속하게 단시간에 시작품을 처리할 수가 있다.

[2] 따라서, 부처리 라인에서의 시작결과의 데이타를 신속하게 주처리라인으로 피드백시킬 수 있어 주처리라인의 상승을 신속화시킬 수가 있다.

[3] 주처리라인에 있어서 완성품의 피처라물을 처리하면서 부처리라인에서 그 완성품과는 종류가 다른 시작품을 처리할 수 있으므로, 완성품과 이것과는 종류가 다른 시작품을 동시에 처리할 수 있게 되어 처리능률이 대폭으로 향상된다.

[4] 주처리라인과 부처리라인에 있어서 각각 종류가 다른 별개의 완성품을 동시에 혼류시켜서 처리할 수 있고, 동일한 처리장치를 최대한 이용해서 효율좋게 여러개의 제품을 처리할 수가 있다.

(57) 청구의 범위

청구항 1.

각각 여러매의 주피처리물을 일괄해서 처리하는 여러개의 주일괄 처리부와 각각 최소단위 매수의 피처리물을 처리하는 여러개의 주낱장 처리부에 의해 구성되고, 상기 주일괄 처리부와 상기 주낱장 처리부로 소정의 순서로 반송해서 주피처리물에 소정의 처리를 실행하는 주처리라인 및

상기 각각의 주일괄 처리부에 대응한 처리를 최소단위 매수의 부피처리물에 대해서 실시하는 여러개의 부처리부와 상기 주낱장 처리부에 의해 구성되고, 상기 부처리부와 상기 주낱장 처리부로 소정의 순서로 부피처리물을 반송해서 상기 주피처리물에 대응한 처리를 상기 부피처리물에 대해서 실행하는 부처리라인을 갖는 것을 특징으로 하는 처리장치.

청구항 2.

주피처리물과 이것과 상이한 종류의 부피처리물을 혼류시켜서 처리하는 처리장치로서,

각각 여러매의 주피처리물을 일괄해서 처리하는 여러개의 주피처리물 전용처리부와 상기 주피처리물을 최소단위 매수마다 구분해서 처리함과 동시에 최소단위 매수의 상기 부피처리물을 처리하는 공용낱장 처리부에 의해 구성되고, 상기 주피처리물 전용 처리부와 상기 공용 낱장 처리부로 상기 주피처리물을 소정의 순서로 반송해서 상기 주피처리물에 소정의 처리를 실행하는 주처리라인 및

각각 최소단위 매수의 부피처리물에 대해서 소정의 처리를 실시하는 부피처리물 전용 처리부와 상기 공용 낱장 처러부에 의해 구성되고, 상기 부피처리물 전용처리부와 상기 공용 낱장 처리부로 상기 부피처리물을 소정의 순서로 반송해서 상기 부피처리물에 소정의 처리를 실행하는 부처리라인을 갖고,

상기 주피처리물과 상기 부피처리물을 혼류시켜서 처리를 실행하도록 한 것을 특징으로 하는 처리장치.

청구항 3.

제 1항에 있어서,

상기 주피처리물은 양산되는 반도체 웨이퍼이고,

상기 부피처리물은 양산되는 상기 반도체 웨이퍼의 시작단계의 반도체 웨이퍼인 것을 특징으로 하는 처리장치.

청구항 4.

제2항에 있어서,

상기 주피처리물은 메모리 등의 범용품용의 반도체 웨이퍼이고,

상기 부피처리물은 로직 또는 게이트어레이 등의 주문품용의 반도체 웨이퍼 또는 상기 범용품용의 반도체 웨이퍼 이외의 종류의 시작용 반도체 웨이퍼인 것을 특징으로 하는 처리장치.

청구항 5.

제 1항에 있어서,

상기 주일괄 처리부 및 주피처리물 전용 처리부는 반도체 웨이퍼의 표면을 산화하는 산화처리부 및 반도체 웨이퍼의 표면에 박막을 형성하는 저압 CVD 처리부 등의 성막처리를 실행하고,

상기 부처리부 및 상기 부피처리물 전용 처리부는 반도체 웨이퍼의 표면에 리도그래피 처리 및 에칭처리를 실행하는 것을 특징으로 하는 처리장치.

청구항 6.

각각 여러매의 피처리물을 일괄해서 처리하는 배치식의 여러개의 일괄처리장치, 각각 최소단위 매수의 피처리물을 처리하는 낱장식의 여러개의 낱장 처리장치 및 상기 배치식의 일괄처리장치에 대응해서 동일한 처리를 실행하는 낱장식의 부처리장치를 갖는 처리장치에 대해서, 상기 낱장 처리장치와 상기 부처리장치로 소정의 순서로 피처리물을 반송해서 모두 낱장식의 처리장치에 있어서 피처리물을 처리하는 처리공정을 갖는 것을 특징으로 하는 처리방법.

청구항 7.

각각 여러매의 주피처리물을 일괄해서 처리하는 여러개의 주피처리물 전용 처리장치와 상기 주피처리물을 최소단위 매수마다 구분해서 처리함과 동시에 최소단위 매수의 부피처리물을 처리하는 공용낱장 처리장치와에 의해 구성되는 주처리라인에 대해서 주피처리물을 반송해서 소정의 순서로 상기 주피처리물을 처리하는 주피처리물의 주피처리물 처리공정 및

상기 주피처리물 전용 처리장치에 대응한 처리를 최소단위 매수의 부피처리물에 대해서 실시하는 부피처리물 전용 처리장치와 상기 공용 낱장 처리장치와에 의해 구성되는 부처리라인에 대해서 부피처리물을 반송해서 소정의 순서로 상기 부피처리물을 처리하는 부피처리물 처리공정을 갖고,

상기 주피처리물과 상기 부피처리물을 혼류시켜서 처리를 실행하도록 한 것을 특징으로 하는 처리방법.

청구항 8.

제2항에 있어서,

상기 주일괄 처리부 및 주피처리물 전용 처리부는 반도체 웨이퍼의 표면을 산화하는 산화처리부 및 반도체 웨이퍼의 표면에 박막을 형성하는 저압CVD 처리부등의 성막처리를 실행하고,

상기 부처리부 및 상기 부피처리물 전용 처리부는 반도체 웨이퍼의 표면에 리도그래피 처리 및 에칭처리를 실행하는 것을 특징으로 하는 처리장치.

청구항 9.

각각 여러매의 주피처리물을 일괄해서 처리하는 여러개의 주일괄 처리부와 각각 최소단위 매수의 피처리물을 처리하는 여러개의 주낱장 처리부를 반송경로에 의해 연결해서 구성되는 주처리라인 및

상기 각각의 주일괄 처리부에 대응한 처리를 최소단위 매수의 부피처리물에 대해서 실시하는 여러개의 부처리부와 상기 여러개의 주낱장 처리부를 반송경로에 의해 연결해서 구성되는 부처리 라인을 사용해서,

상기 주처리라인의 상기 주일괄 처리부와 상기 주낱장 처리부에 의해 소정의 순서로 상기 주피처리물에 소정의 처리를 실행하고,

상기 부처리라인의 상기 부처리부와 상기 주낱장 처리부에 의해 소정의 순서로 상기 부피처리물에 소정의 처리를 실행하고,

상기 여러개의 주낱장 처리부가 상기 주피처리물과 상기 부피처리물을 공통해서 처리를 실행하는 것을 특징으로 하는 반도체 집적회로의 제조방법.

청구항 10.

각각 여러매의 피처리물을 일괄해서 처리하는 배치식의 여러개의 일괄처리장치, 각각 최소단위 매수의 피처리물을 처리하는 낱장식의 여러개의 낱장처리장치 및 상기 배치식의 일괄처리장치에 대응해서 마찬가지의 처리를 실행하는 낱장식의 부처리장치를 크린룸내에 레이아웃할 때 상기 배치식의 일괄처리장치와 그것에 대응하는 상기 낱장식의 부처리장치를 인접해서 배치하고,

양산을 실행하는 주피처리물과 혼류시켜서 부피처리물을 상기 낱장처리장치와 상기 부처리장치로 소정의 순서로 반송해서 낱장식의 처리를 실시하는 것을 특징으로 하는 반도체 집적회로의 제조방법.

청구항 11.

제9항 또는 제10항에 있어서,

상기 주피처리물은 양산되는 반도체 웨이퍼이고,

상기 부피처리물은 상기 반도체 웨이퍼와는 종류가 상이한 반도체 웨이퍼 또는 시작단계의 반도체 웨이퍼인 것을 특징으로 하는 반도체 집적회로의 제조방법.

청구항 12.

제9항 또는 제10항에 있어서,

상기 주피처리물은 메모리 등의 범용품용의 반도체 웨이퍼이고,

상기 부피처리물은 로직 또는 게이트어레이 등의 주문품용의 반도체 웨이퍼 또는 시작용의 반도체 웨이퍼인 것을 특징으로 하는 반도체 집적회로의 제조방법.

청구항 13.

제9항에 있어서,

상기 주일괄 처리부 및 상기 부처리부는 반도체 웨이퍼의 표면을 산화하는 산화처리 또는 반도체 웨이퍼의 표면에 박막을 형성하는 저압 CVD 처리 등을 실행하고,

상기 주낱장 처리부는 반도체 웨이퍼 표면에 리도그래피 처리 또는 에칭처리 등을 실행하는 것을 특징으로 하는 반도체 집적회로의 제조방법.

청구항 14.

(a) 제1 배치처리부군과 제2 낱장처리부군을 갖는 제1 처리라인에 있어서 제1 웨이퍼군에 대해서 처리를 실시하는 공정과;

(b) 제3 낱장처리부군을 갖는 제2 처리라인에 있어서 제2 웨이퍼군에 대해서 처리를 실시하는 공정을 갖고,

상기 제2 처리라인은 상기 제2 낱장처리부군을 상기 제1 처리라인과의 사이에서 공유하고 있는 것을 특징으로 하는 반도체 집적회로 장치의 제조방법.

청구항 15.

제14항에 있어서,

상기 제1 배치처리부군 및 제3 낱장처리부군은 각각 제1 막피착 처리부 및 제2 막피착 처리부를 포함하는 것을 특징으로 하는 반도체 집적회로 장치의 제조방법.

청구항 16.

제14항에 있어서,

상기 제1 웨이퍼군의 매수는 상기 제2 웨이퍼군의 매수보다 많은 것을 특징으로 하는 반도체 집적회로 장치의 제조방법.

청구항 17.

제14항에 있어서,

상기 제1 웨이퍼군은 메모리계의 반도체 집적회로 장치를 만들기 위한 것이고,

상기 제2 웨이퍼군은 주문품계 또는 게이트어레이계의 반도체 집적회로 장치를 만들기 위한 것인 것을 특징으로 하는 반도체 집적회로 장치의 제조방법.

청구항 18.

(a) 반도체 집적회로가 형성될 웨이퍼의 제1 주면에 대해서 낱장방식에 의해서 세정처리를 실시하는 공정;

(b) 상기 세정처리가 실시된 상기 웨이퍼의 상기 제1 주면에 대해서 낱장방식에 의해서 산화처리를 실시하는 공정;

(c) 상기 산화처리가 실시된 상기 웨이퍼의 상기 제1 주면에 대해서 낱장방식에 의해서 화학기상 성장처리를 실시하는 공정;

(d) 상기 화학기상 성장처리가 실시된 상기 웨이퍼의 상기 제1 주면에 대해서 낱장방식에 의해서 포토레지스트막을 형성하는 공정 및;

(e) 상기 포토레지스트막이 형성된 상기 웨이퍼의 상기 제1 주면에 대해서 낱장방식에 의해서 패턴을 전사하기 위한 노출처리를 실시하는 공정을 포함하는 것을 특징으로 하는 반도체 집적회로 장치의 제조방법.

청구항 19.

제18항에 있어서,

상기 세정처리는 세정액을 사용해서 실행되는 것을 특징으로 하는 반도체 집적회로 장치의 제조방법.

청구항 20.

제19항에 있어서,

상기 산화처리는 웨트산소 분위기하에서 실행되는 것을 특징으로 하는 반도체 집적회로 장치의 제조방법.

청구항 21.

제20항에 있어서,

상기 화학기상 성장처리는 저압분위기하에서 실행되는 것을 특징으로 하는 반도체 집적회로 장치의 제조방법.

청구항 22.

제21항에 있어서,

상기 노출처리는 자외선을 사용해서 실행되는 것을 특징으로 하는 반도체 집적회로 장치의 제조방법.

청구항 23.

(a) 반도체 집적회로가 형성될 웨이퍼의 제1 주면에 대해서 낱장방식에 의해서 세정처리를 실시하는 공정;

(b) 상기 세정처리가 실시된 상기 웨이퍼의 상기 제1 주면에 대해서 낱장방식에 의해서 이온주입처리를 실시하는 공정;

(c) 상기 이온주입처리가 실시된 상기 웨이퍼의 상기 제1 주면에 대해서 낱장방식에 의해서 화학기상 성장처리를 실시하는 공정;

(d) 상기 화학기상 성장처리가 실시된 상기 웨이퍼의 상기 제1 주면에 대해서 낱장방식에 의해서 포토레지스트막을 형성하는 공정 및;

(e)상기 포토레지스트막이 형성된 상기 웨이퍼의 상기 제1주면에 대해서 낱장방식에 의해서 패턴을 전사하기 위한 노출처리를 실시하는 공정을 포함하는 것을 특징으로 하는 반도체 집적회로 장치의 제조방법.

청구항 24.

제23항에 있어서,

상기 세정처리는 세정액을 사용해서 실행되는 것을 특징으로 하는 반도체 집적회로 장치의 제조방법.

청구항 25.

제24항에 있어서,

상기 화학기상 성장처리는 저압분위기하에서 실행되는 것을 특징으로 하는 반도체 집적회로 장치의 제조방법.

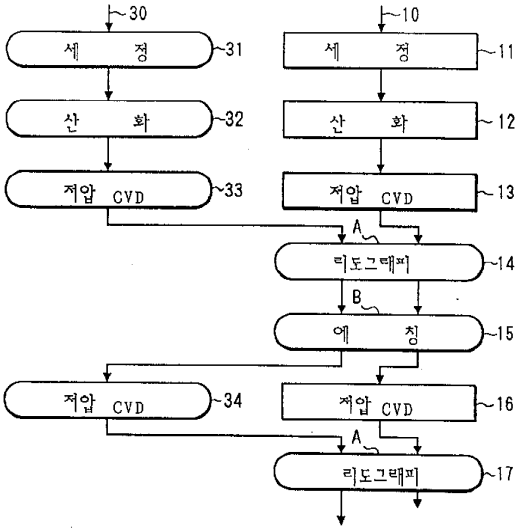
청구항 26.

제25항에 있어서,

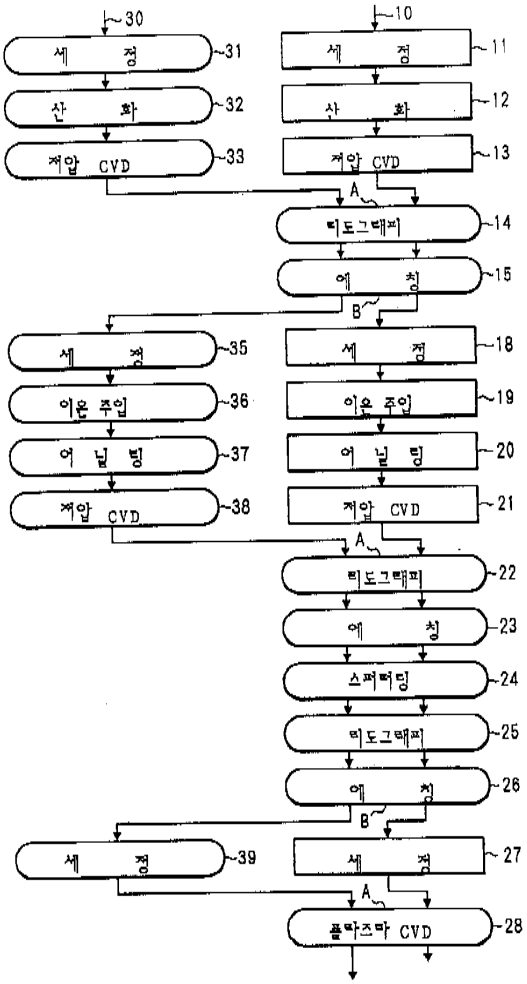
상기 노출처리는 자외선을 사용해서 실행되는 것을 특징으로 하는 반도에 집적회로 장치의 제조방법.

도면

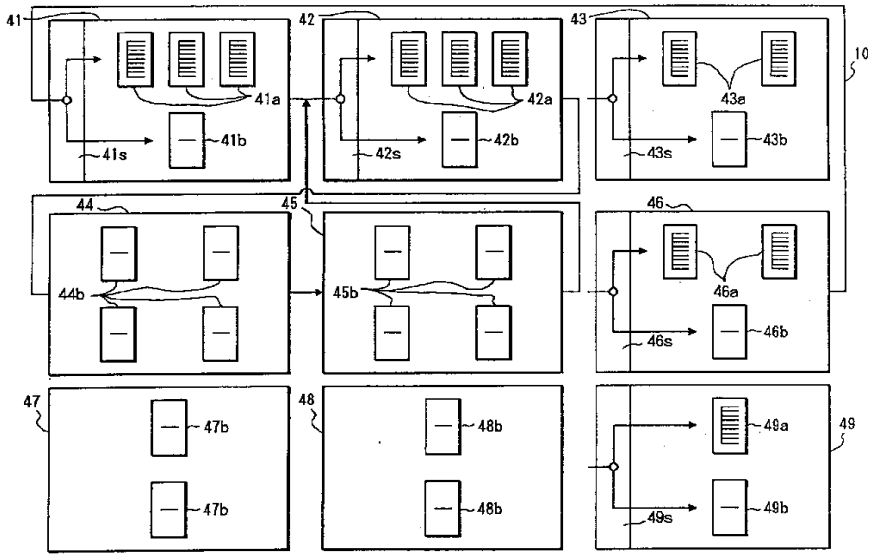
도면 1


30
세 정
31
산 화
32
저압 CVD
33
10
세 정
11
산 화
12
저압 CVD
13
A
리도그래피
14
B
에 칭
15
저압 CVD
34
저압 CVD
16
A
리도그래피
17

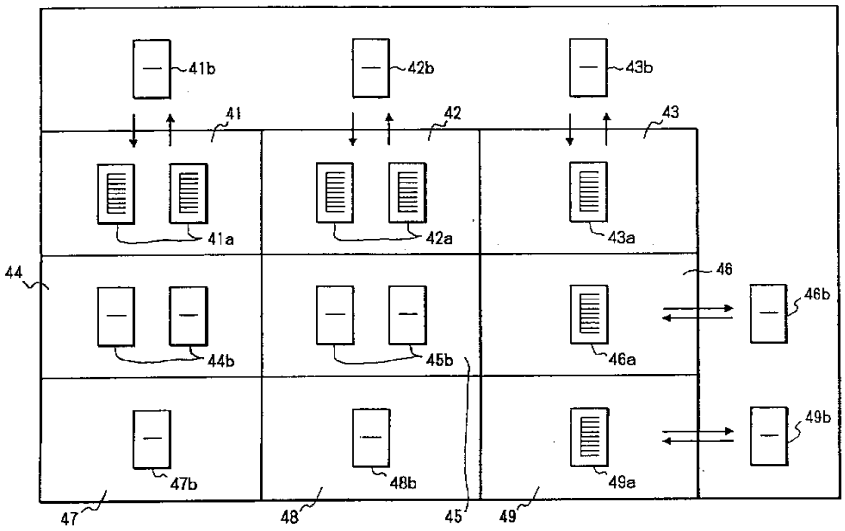
도면 2


10
세 정
11
산 화
12
저압 CVD
13
A
리도그래피
14
에 칭
15
B
30
세 정
31
산 화
32
저압 CVD
33
세 정
18
이온 주입
19
어 닐 링
20
저압 CVD
21
A
리도그래피
22
에 칭
23
스퍼터링
24
리도그래피
25
에 칭
26
B
세 정
27
세 정
35
이온 주입
36
어 닐 링
37
저압 CVD
38
세 정
39
A
플라즈마 CVD
28

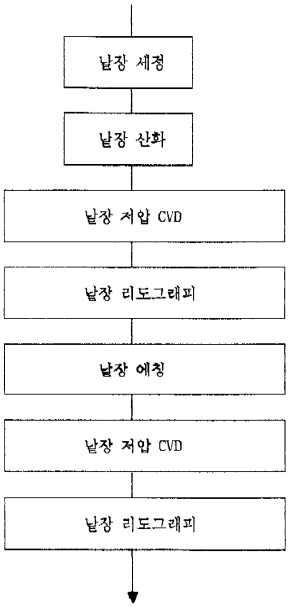
도면 3


41
42
43
10
41a
41b
41s
42a
42b
42s
43a
43b
43s
44
45
46
44b
45b
46a
46b
46s
47
48
49
47b
48b
49a
49b
49s

도면 4

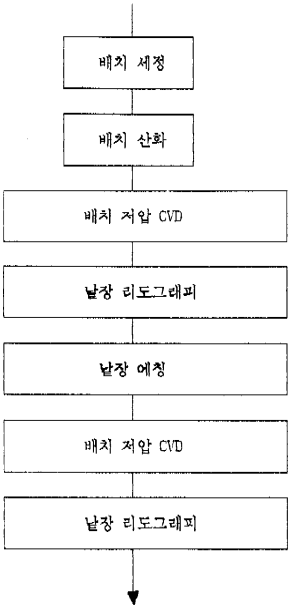

41b
42b
43b
41
42
43
41a
42a
43a
44
46
46b
44b
45b
46a
49b
47b
48b
49a
47
48
45
49

도면 5


날장 세정
날장 산화
날장 저압 CVD
날장 리도그래피
날장 에칭
날장 저압 CVD
날장 리도그래피

도면 6

<종래기술>


배치 세정
배치 산화
배치 저압 CVD
날장 리도그래피
날장 에칭
배치 저압 CVD
날장 리도그래피