

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4226971号
(P4226971)

(45) 発行日 平成21年2月18日(2009.2.18)

(24) 登録日 平成20年12月5日(2008.12.5)

(51) Int. Cl. F I
H03K 17/22 (2006.01) H03K 17/22 E
G06F 1/24 (2006.01) G06F 1/00 351

請求項の数 37 (全 15 頁)

(21) 出願番号	特願2003-281985 (P2003-281985)	(73) 特許権者	390019839
(22) 出願日	平成15年7月29日 (2003.7.29)		三星電子株式会社
(65) 公開番号	特開2004-80772 (P2004-80772A)		SAMSUNG ELECTRONICS
(43) 公開日	平成16年3月11日 (2004.3.11)		CO., LTD.
審査請求日	平成18年1月16日 (2006.1.16)		大韓民国京畿道水原市靈通区梅灘洞416
(31) 優先権主張番号	2002-049136		416, Maetan-dong, Yeongtong-gu, Suwon-si,
(32) 優先日	平成14年8月20日 (2002.8.20)		Gyeonggi-do 442-742
(33) 優先権主張国	韓国 (KR)		(KR)
前置審査		(74) 代理人	100064908
			弁理士 志賀 正武
		(74) 代理人	100089037
			弁理士 渡邊 隆
		(74) 代理人	100108453
			弁理士 村山 靖彦

最終頁に続く

(54) 【発明の名称】 パワーオンリセット回路とその方法

(57) 【特許請求の範囲】

【請求項1】

パワーオンリセット回路において、
 電源供給電圧の増加に应答して第1信号電圧を発生する第1信号発生器と、
 前記電源供給電圧の増加に应答して第2信号電圧を発生する第2信号発生器と、
 前記第1信号電圧と前記第2信号電圧とを比較してパワーオンリセット信号を活性化させる比較器とを具備し、

前記第1信号電圧は前記電源供給電圧が第1しきい値電圧以上に増加した後に接地電圧から増加し、前記第2信号電圧は前記電源供給電圧が第2しきい値電圧以上に増加するまで前記電源供給電圧とともに増加した後に前記電源供給電圧が続けて増加することによって減少し、

前記第1信号電圧の増加の傾きは前記電源供給電圧の増加の傾きより大きいことを特徴とするパワーオンリセット回路。

【請求項2】

前記第1信号電圧の増加の傾きを前記電源供給電圧の増加の傾きより大きくするために、前記パワーオンリセット回路は、

前記第1信号電圧が出力される第1ノードと、
 前記第1ノードと第2ノードとの間に連結された第1抵抗と、
 前記第2ノードと接地との間に連結された第2抵抗と、

前記電源供給電圧が供給されるソース、前記第2ノードに連結されたドレイン及び前記

第 1 ノードに連結されたゲートを有するトランジスタとを含むことを特徴とする請求項 1 に記載のパワーオンリセット回路。

【請求項 3】

前記比較器が、前記第 1 信号電圧を入力する第 1 入力ターミナルと、前記第 2 信号電圧を入力する第 2 入力ターミナルとを具備することを特徴とする請求項 1 に記載のパワーオンリセット回路。

【請求項 4】

前記第 1 入力ターミナルが非反転入力ターミナルであり、前記第 2 入力ターミナルが反転入力ターミナルであることを特徴とする請求項 3 に記載のパワーオンリセット回路。

【請求項 5】

前記第 1 信号発生器が、前記電源供給電圧と前記第 1 入力ターミナルとの間に直列連結された複数個の P M O S トランジスタを具備することを特徴とする請求項 3 に記載のパワーオンリセット回路。

【請求項 6】

前記第 1 信号発生器が、前記第 1 入力ターミナルと接地との間に直列連結された複数個の抵抗を具備することを特徴とする請求項 3 に記載のパワーオンリセット回路。

【請求項 7】

前記第 1 信号発生器は、

前記第 1 入力ターミナルに接続されたゲートと、前記電源供給電圧に連結された第 1 ソース/ドレインと、前記第 1 入力ターミナルと接地との間に直列連結された 2 個の前記抵抗の連結点に接続された第 2 ソース/ドレインとを有する N M O S トランジスタ、
を具備することを特徴とする請求項 6 に記載のパワーオンリセット回路。

【請求項 8】

前記第 2 信号発生器は、前記第 2 入力ターミナルと接地との間に直列連結された複数個の N M O S トランジスタを具備することを特徴とする請求項 3 に記載のパワーオンリセット回路。

【請求項 9】

前記第 2 信号発生器は、前記電源供給電圧と前記第 2 入力ターミナルとの間に直列連結された複数個の抵抗を具備することを特徴とする請求項 3 に記載のパワーオンリセット回路。

【請求項 10】

前記第 2 信号発生器は、

前記第 2 入力ターミナルに接続されたゲートと、前記電源供給電圧と前記第 2 入力ターミナルとの間に直列連結された 2 個の前記抵抗の連結点に接続された第 1 ソース/ドレインと、接地に連結された第 1 ソース/ドレインとを有する P M O S トランジスタ、
を具備することを特徴とする請求項 3 に記載のパワーオンリセット回路。

【請求項 11】

前記パワーオンリセット信号の活性化にตอบสนองして前記第 1 及び第 2 信号発生器を非活性化させる非活性化回路をさらに具備することを特徴とする請求項 1 に記載のパワーオンリセット回路。

【請求項 12】

前記非活性化回路が前記パワーオンリセット回路の活性化にตอบสนองして前記活性化されたパワーオンリセット信号をラッチすることを特徴とする請求項 11 に記載のパワーオンリセット回路。

【請求項 13】

制御回路において、

電源供給電圧の増加にตอบสนองしてパワーオンリセット信号を活性化させるパワーオンリセット回路と、

前記パワーオンリセット信号の活性化にตอบสนองして前記活性化されたパワーオンリセット信号を保存するラッチと、

10

20

30

40

50

前記パワーオンリセット信号の活性化にตอบสนองして前記パワーオンリセット回路を非活性化させる非活性化回路とを具備し、

前記パワーオンリセット回路は、

電源供給電圧の増加にตอบสนองして第1信号電圧を発生する第1信号発生器と、

前記電源供給電圧の増加にตอบสนองして第2信号電圧を発生する第2信号発生器と、

前記第1信号電圧と前記第2信号電圧とを比較してパワーオンリセット回路を活性化させる比較器とを具備し、

前記第1信号電圧は前記電源供給電圧が第1しきい値電圧以上に増加した後に接地電圧から増加し、前記第2信号電圧は前記電源供給電圧が第2しきい値電圧以上に増加するまで前記電源供給電圧とともに増加した後に前記電源供給電圧が続けて増加することによって減少し、

10

前記パワーオンリセット信号は、前記第1信号電圧が増加するとともに前記第2信号電圧が減少して前記第1信号電圧が前記第2信号電圧よりも高くなったことに応じて活性化され、

前記第1信号電圧の増加の傾きは前記電源供給電圧の増加の傾きより大きいことを特徴とする制御回路。

【請求項14】

パワーオンリセット信号を発生するパワーオンリセット回路において、

第1信号電圧を発生する第1信号発生器と、

第2信号電圧を発生する第2信号発生器と、

20

前記第1信号電圧と前記第2信号電圧との比較結果にตอบสนองして前記パワーオンリセット信号を活性化させる比較器とを具備し、

前記第1信号電圧は電源供給電圧が第1しきい値電圧に到達した時に接地電圧から増加し、前記第2信号電圧は前記電源供給電圧が第2しきい値電圧に到達した時に前記電源供給電圧から減少し、

前記第1信号電圧の増加の傾きは前記電源供給電圧の増加の傾きより大きいことを特徴とするパワーオンリセット回路。

【請求項15】

前記第1信号電圧の増加の傾きを前記電源供給電圧の増加の傾きより大きくするために、前記パワーオンリセット回路は、

30

前記第1信号電圧が出力される第1ノードと、

前記第1ノードと第2ノードとの間に連結された第1抵抗と、

前記第2ノードと接地との間に連結された第2抵抗と、

前記電源供給電圧が供給されるソース、前記第2ノードに連結されたドレイン及び前記第1ノードに連結されたゲートを有するトランジスタとを含むことを特徴とする請求項14に記載のパワーオンリセット回路。

【請求項16】

前記第1信号電圧は、前記電源供給電圧が第1しきい値電圧に到達した後に前記電源供給電圧より大きい傾きで変化することを特徴とする請求項14に記載のパワーオンリセット回路。

40

【請求項17】

前記比較器は、前記第1信号電圧を入力する非反転入力ターミナルと、前記第2信号電圧を入力する反転入力ターミナルと、前記パワーオンリセット信号を発生する出力ターミナルとを具備することを特徴とする請求項14に記載のパワーオンリセット回路。

【請求項18】

出力ノードを通じてパワーオンリセット信号を出力するパワーオンリセット回路において、

非反転入力ターミナルと、反転入力ターミナルと、前記出力ノードに連結された出力ターミナルを有する比較器と、

電源供給電圧と前記比較器の前記非反転入力ターミナルと間に連結され、前記電源供給

50

電圧が第 1 しきい値電圧より高い時に前記非反転入力ターミナルに印加される電圧を増加させる第 1 しきい値手段と、

前記比較器の前記非反転入力ターミナルに連結され、前記非反転入力ターミナルの電圧が第 2 しきい値電圧に到達した時に前記非反転入力ターミナルに印加される電圧の増加率を向上させる第 2 しきい値装置と、

前記電源供給電圧と前記比較器の前記反転入力ターミナルに連結されて、前記電源供給電圧の増加に応じて前記反転入力ターミナルの電圧を増加させる電圧増加手段と、

前記比較器の反転入力ターミナルに連結されて、前記反転入力ターミナルの電圧が第 3 しきい値電圧に到達した時に前記反転入力ターミナルの電圧上昇率を反転させる第 3 しきい値手段とを具備し、

前記非反転入力ターミナルに印加される電圧の増加率は前記電源供給電圧の増加率より大きいことを特徴とするパワーオンリセット回路。

【請求項 19】

前記第 1 信号電圧の増加の傾きを前記電源供給電圧の増加の傾きより大きくするために、前記パワーオンリセット回路は、

前記第 1 信号電圧が出力される第 1 ノードと、

前記第 1 ノードと第 2 ノードとの間に連結された第 1 抵抗と、

前記第 2 ノードと接地との間に連結された第 2 抵抗と、

前記電源供給電圧が供給されるソース、前記第 2 ノードに連結されたドレイン及び前記第 1 ノードに連結されたゲートを有するトランジスタとを含むことを特徴とする請求項 18 に記載のパワーオンリセット回路。

【請求項 20】

前記第 1 しきい値電圧が前記 PMOS トランジスタのしきい値電圧であることを特徴とする請求項 18 に記載のパワーオンリセット回路。

【請求項 21】

前記第 2 しきい値装置は、

前記比較器の前記反転入力ターミナルと接地電圧との間に直列連結された二つの抵抗と

、前記電源供給電圧に連結されたドレインと、前記抵抗の連結点に連結されたソースと、前記非反転入力ターミナルに連結されたゲートとを有する NMOS トランジスタと、

を具備することを特徴とする請求項 18 に記載のパワーオンリセット回路。

【請求項 22】

前記第 2 しきい値電圧は、前記第 2 しきい値装置にある前記 NMOS トランジスタのしきい値電圧であることを特徴とする請求項 21 に記載のパワーオンリセット回路。

【請求項 23】

前記電圧増加装置は、前記電源供給電圧と前記比較器の反転入力ターミナルとの間に連結された二つの抵抗を具備することを特徴とする請求項 18 に記載のパワーオンリセット回路。

【請求項 24】

前記第 3 しきい値装置は、

前記比較器の反転入力ターミナルと接地電圧との間に直列連結され、ゲートが前記反転入力ターミナルに共通に接続された複数個の NMOS トランジスタと、

前記抵抗の連結点に接続されたソースと、接地されたドレインと、前記比較器の反転入力ターミナルに連結されたゲートとを有する PMOS トランジスタと、

を具備することを特徴とする請求項 23 に記載のパワーオンリセット回路。

【請求項 25】

前記第 3 しきい値電圧が前記 NMOS トランジスタのしきい値電圧であることを特徴とする請求項 18 に記載のパワーオンリセット回路。

【請求項 26】

前記第 1 及び第 2 しきい値装置は第 1 信号電圧上の第 1 信号を共に出力し、前記電圧増

10

20

30

40

50

加装置及び前記第 3 しきい値装置は第 2 信号電圧上の第 2 信号を共に出力し、前記比較器の非反転入力ターミナルは前記第 1 信号電圧を入力し、前記反転入力ターミナルは前記第 2 信号電圧を入力することを特徴とする請求項 18 に記載のパワーオンリセット回路。

【請求項 27】

出力ノードを通じてパワーオンリセット信号を出力するパワーオンリセット回路において、

電源供給電圧が第 1 しきい値電圧に到達した時に接地電圧から増加する第 1 信号電圧を発生する第 1 信号発生器と、

前記電源供給電圧が第 2 しきい値電圧に到達した時に前記電源供給電圧から減少する第 2 信号電圧を発生する第 2 信号発生器と、

前記第 1 信号電圧が前記第 2 信号電圧より高い時に比較信号を活性化させる比較器と、前記比較信号の活性化にตอบสนองして前記パワーオンリセット信号を活性化させて前記第 1 及び第 2 信号発生器と前記比較器とを非活性化させる非活性化回路とを具備し、

前記第 1 信号電圧の増加の傾きは前記電源供給電圧の増加の傾きより大きいことを特徴とするパワーオンリセット回路。

【請求項 28】

前記第 1 信号電圧の増加の傾きを前記電源供給電圧の増加の傾きより大きくするために、前記パワーオンリセット回路は、

前記第 1 信号電圧が出力される第 1 ノードと、

前記第 1 ノードと第 2 ノードとの間に連結された第 1 抵抗と、

前記第 2 ノードと接地との間に連結された第 2 抵抗と、

前記電源供給電圧が供給されるソース、前記第 2 ノードに連結されたドレイン及び前記第 1 ノードに連結されたゲートを有するトランジスタを含むことを特徴とする請求項 27 に記載のパワーオンリセット回路。

【請求項 29】

前記非活性化回路は、

前記比較器から前記比較信号をラッチし、非活性化信号を出力するラッチと、

前記比較器と前記ラッチとの間に連結され、前記非活性化信号にตอบสนองして前記比較信号を前記ラッチに伝送する第 1 スイッチと、

前記ラッチから前記非活性化信号を入力して前記パワーオンリセット信号を出力するインバータとを具備することを特徴とする請求項 27 に記載のパワーオンリセット回路。

【請求項 30】

前記比較器は、前記第 1 信号電圧を入力する非反転入力ターミナルと、前記第 2 信号電圧を入力する反転ターミナルと、前記比較信号を出力する出力ターミナルとを有することを特徴とする請求項 29 に記載のパワーオンリセット回路。

【請求項 31】

前記非活性化信号にตอบสนองして前記電源供給電圧を前記比較器に供給する第 2 スイッチと、前記非活性化信号にตอบสนองして前記接地電圧を前記比較器に供給する第 3 スイッチとをさらに具備することを特徴とする請求項 30 に記載のパワーオンリセット回路。

【請求項 32】

前記第 1 信号発生器は、

前記電源供給電圧に連結されたソースと、ドレインと、前記パワーオンリセット信号に連結されたゲートとを有する第 1 非活性化トランジスタと、

前記第 1 非活性化トランジスタの前記ドレインと前記比較器の非反転入力ターミナルとの間に直列連結され、ゲートが前記比較器の非反転入力ターミナルに共通に接続された複数の PMOS トランジスタと、

前記非反転入力ターミナルと前記接地電圧との間に連結された複数の抵抗と、

前記抵抗の連結点と前記電源供給電圧との間に連結され、ゲートが前記比較器の非反転入力ターミナルに接続された NMOS トランジスタとを具備することを特徴とする請求項 29 に記載のパワーオンリセット回路。

10

20

30

40

50

【請求項 33】

前記第 2 信号発生器は、

前記電源供給電圧と前記比較器の前記反転入力ターミナルとの間に連結された複数の抵抗と、

前記接地電圧に連結されたソースと、前記パワーオンリセット信号に連結されたゲートと、ドレインとを有する第 2 非活性化トランジスタと、

前記比較器の反転入力ターミナルと前記非活性化トランジスタの前記ドレインとの間に直列連結され、ゲートが前記反転入力ターミナルに共通に接続された複数の NMOS トランジスタと、

前記抵抗の連結点と前記接地電圧との間に連結され、ゲートが前記反転入力ターミナルに接続された PMOS トランジスタとを具備することを特徴とする請求項 29 に記載のパワーオンリセット回路。

10

【請求項 34】

前記非活性化回路は前記比較器からの前記比較信号が活性化された時に活性化されることを特徴とする請求項 31 に記載のパワーオンリセット回路。

【請求項 35】

前記非活性化信号を遅延させて前記第 2 及び第 3 スイッチに出力する第 1 遅延回路と、前記パワーオンリセット信号を遅延させて前記第 1 及び第 2 非活性化トランジスタに出力する第 2 遅延回路とをさらに具備することを特徴とする請求項 33 に記載のパワーオンリセット回路。

20

【請求項 36】

パワーオンリセット信号を発生する方法において、

電源供給電圧の増加にตอบสนองして第 1 信号電圧を発生する段階と、

前記電源供給電圧の増加にตอบสนองして第 2 信号電圧を発生する段階と、

前記第 1 信号電圧と前記第 2 信号電圧との比較結果にตอบสนองして前記パワーオンリセット信号を活性化させる段階とを具備し、

前記第 1 信号電圧は前記電源供給電圧が第 1 しきい値電圧以上に増加した時に接地電圧から増加し、前記第 2 信号電圧は前記電源供給電圧が第 2 しきい値電圧以上に増加するまで前記電源供給電圧に従って増加した後に前記電源供給電圧が続けて増加することによって減少し、

30

前記第 1 信号電圧の増加の傾きは前記電源供給電圧の増加の傾きより大きいことを特徴とする方法。

【請求項 37】

パワーオンリセット信号を発生する方法において、

電源供給電圧の増加にตอบสนองしてパワーオンリセット信号を活性化させる段階と、

前記パワーオンリセット信号の活性化にตอบสนองして前記活性化されたパワーオンリセット信号をラッチする段階と、

前記パワーオンリセット信号の活性化にตอบสนองして前記パワーオンリセット信号を非活性化させる段階とを具備し、

前記パワーオンリセット信号を活性化させる段階は、

電源供給電圧の増加にตอบสนองして第 1 信号電圧を発生する段階と、

前記電源供給電圧の増加にตอบสนองして第 2 信号電圧を発生する段階と、

前記第 1 信号電圧と前記第 2 信号電圧との比較結果にตอบสนองして前記パワーオンリセット信号を活性化させる段階とを具備し、

40

前記第 1 信号電圧は前記電源供給電圧が第 1 しきい値電圧以上に増加した時に接地電圧から増加し、前記第 2 信号電圧は前記電源供給電圧が第 2 しきい値電圧以上に増加するまで前記電源供給電圧に従って増加した後に前記電源供給電圧が続けて増加することによって減少し、

前記パワーオンリセット信号は、前記第 1 信号電圧が増加するとともに前記第 2 信号電圧が減少して前記第 1 信号電圧が前記第 2 信号電圧よりも高くなったことに応じて活性化

50

され、

前記第1信号電圧の増加の傾きは前記電源供給電圧の増加の傾きより大きいことを特徴とする方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体集積回路装置に関するものであり、特に、パワーオンリセット回路とその方法に関するものである。

【背景技術】

【0002】

半導体集積回路装置の内部回路に使用される電源供給電圧はターンオンされれば、一定時間の間増加するが、所定のしきい値電圧以下では不安定な状態になり得る。電源供給電圧が所定のしきい値電圧以下で増加することによって、回路短絡(short circuit)または待機電流(standby current)が集積回路装置の内部回路(例えば、CMOS回路)で発生しうる。

【0003】

回路短絡電流を減らすために、通常の方法では、電源供給電圧が安定するまで内部回路を非活性化させる回路を使用する。そのような回路を“パワーオンリセット回路”という。パワーオンリセット回路は不安定な電源供給電圧が内部回路に供給されることを抑制する。すなわち、電源供給電圧が所定の電圧以下にある時には、内部回路に供給されない。電源供給電圧が所定の電圧以上である時には内部回路に供給される。このようなパワーオンリセット回路は温度変化に対して不安定な特性を有している。

【0004】

図1は一般的なパワーオンリセット回路の一例を示す。図示したパワーオンリセット回路は、電源供給電圧VCCとノードN1との間に直列連結された複数個のPMOSトランジスタMP1~MPm、ノードN1と接地電圧との間に連結された抵抗R1、電源供給電圧VCCとノードN2との間に連結された抵抗R2、ノードN2と接地電圧との間に直列に連結された複数個のNMOSトランジスタMN1~MNn、及びノードN2に連結されてパワーオンリセット信号PORを出力するインバータIV1を含む。PMOSトランジスタMP1~MPmのゲートはノードN1に共通に接続され、NMOSトランジスタMN1~MNnのゲートもまたノードN1に共通に接続される。

【0005】

図2は図1で使用される信号の波形を示す。図2において下付きの添字“H”は周辺温度が集積回路装置の内部より相対的に高い状態での信号または電圧を示す。したがって、信号POR_H、POUT_H及びVTN_Hは周辺温度が相対的に高い時に得られる信号である。一方、下付きの添字“L”は周辺温度が集積回路装置の内部より相対的に低いことを示す。したがって、信号POR_L、POUT_L及びVTN_Lは周辺温度が相対的に低い時に得られる信号である。パワーオンリセット回路の低温及び高温特性を図1及び図2を参照して説明する。

【0006】

電源が供給された後に、電源供給電圧VCCがPMOSトランジスタのしきい値電圧VTP_Lより低い時には、ノードN1の電圧POUT_Lは接地電圧状態である。電源供給電圧VCCがしきい値電圧VTP_Lと同一またはそれより高ければ、ノードN1の電圧POUT_Lは電源供給電圧VCCの増加に比例して増加する。電圧POUT_Lと電源供給電圧VCCとの電圧差はPMOSトランジスタのしきい値電圧VTP_Lと同一である。

【0007】

ノードN1の電圧POUT_LがNMOSトランジスタのしきい値電圧VTN_Lより高くなる時に、NMOSトランジスタMN1~MNnはターンオンされる。トランジスタMN1~MNnがターンオンされることによって、インバータIV1はローレベルのパワーオンリセット信号POR_Lを出力する。

10

20

30

40

50

【 0 0 0 8 】

周辺温度が集積回路装置の内部より相対的にさらに高く上昇すると、PMOSトランジスタのしきい値電圧 V_{TPH} は低くなる。その結果、ノードN1の電圧 $POUT_H$ は $POUT_L$ に比べて高くなる。一方、周辺温度が相対的に高ければ、NMOSトランジスタのしきい値電圧 V_{TNH} は低くなる。NMOSトランジスタMN1~MNnは周辺温度が相対的に低い時に、さらに早くターンオンされる。したがって、パワーオンリセット信号 POR_H の動作時点は POR_L の場合よりT1時間だけ早い。

【 0 0 0 9 】

待機電流を減らすために、パワーオンリセット回路のレジスタR1及びR2の抵抗値は非常に大きく設定される。パワーオンリセット信号PORの遷移時点はPMOS及びNMOSトランジスタのしきい値電圧に依存する。図2に示したように、パワーオンリセット信号PORの遷移時点はノードN1の電圧 $POUT$ がNMOSトランジスタのしきい値電圧と接する点で決められる。低温状態のパワーオンリセット信号 POR_L の遷移時点と比べる時に、高温状態のパワーオンリセット信号 POR_H の遷移時点が時間T1だけ早い。しかし、このようなパワーオンリセット信号は電源供給電圧VCCが内部回路を動作させるために十分に上昇する前に活性化される場合がある。

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 1 0 】

本発明の目的は、温度依存性が低いパワーオンリセット回路を提供することにある。

【 課題を解決するための手段 】

【 0 0 1 1 】

本発明の実施の形態はパワーオンリセット回路を提供する。第1信号発生器は電源供給電圧の増加にตอบสนองして第1信号電圧を発生する。前記第1信号電圧は前記電源供給電圧が第1しきい値電圧以上に増加した後に、接地電圧から増加する。第2信号発生器は前記電源電圧の増加にตอบสนองして第2信号電圧を発生する。前記第2信号電圧は前記電源供給電圧が第2しきい値電圧以上に増加するまで前記電源供給電圧とともに増加した後に、前記電源供給電圧が続けて増加することによって減少する。比較器は前記第1及び第2信号電圧の比較結果によってパワーオンリセット信号を活性化させる。

【 0 0 1 2 】

他の実施の形態において、制御回路は電源供給電圧の上昇にตอบสนองして第1信号電圧を発生する。前記第1信号電圧は前記電源供給電圧が第1しきい値電圧以上に増加した時に、接地電圧から増加し、前記第2信号電圧は前記電源供給電圧が第2しきい値電圧以上に増加するまで前記電源供給電圧に従って増加した後に、前記電源供給電圧が続けて増加することによって減少する。比較器は、前記第1及び第1信号電圧の比較結果にตอบสนองして前記パワーオンリセット信号を発生化させる。

【 発明の効果 】

【 0 0 1 3 】

後述の本発明の実施の形態によると、温度に対するパワーオンリセット回路の鈍感度(*insensitivity*)が増加する。一部の実施の形態では、パワーオンリセット信号の活性化の以後にパワーオンリセット回路への電源供給電圧の供給を遮断することによって、パワーオンリセット回路での電力消耗が減少する。また、パワーオンリセット回路の内部電圧がパワーオンリセット信号の活性化の以後に変わっても、パワーオンリセット信号がノイズに影響を小さく受ける。

【 発明を実施するための最良の形態 】

【 0 0 1 4 】

以下、本発明の実施の形態を添付図面を参照して詳細に説明する。

【 0 0 1 5 】

図3は本発明の実施の形態によるパワーオンリセット回路を示す。パワーオンリセット回路1000は、第1信号発生器100、第2信号発生器200及び比較器300を含む

10

20

30

40

50

。第1信号発生器100は電源供給電圧VCCにตอบสนองして第1信号電圧VS1を発生する。図3に示したように、第1信号電圧VS1は電源供給電圧VCCが第1しきい値電圧VTH1より低い領域で接地電圧と同一である。しかし、電源供給電圧VCCが第1しきい値電圧VTH1より高い領域では第1信号電圧VS1は接地電圧から増加し、この時の上昇の傾き(slope)は電源供給電圧VCCの傾きより大きい。

【0016】

第2信号発生器300は電源供給電圧VCCにตอบสนองして第2信号電圧VS2を発生する。第2信号電圧VS2は電源供給電圧VCCが第2しきい値電圧VTH2より低い領域で電源供給電圧VCCに従う。電源供給電圧VCCが第2しきい値電圧VTH2に到達すると、第2信号電圧VS2は所定の傾きでその電圧レベルが低くなる。

10

【0017】

比較器300は第1及び第2信号電圧VS1及びVS2を入力して、第1信号電圧VS1が第2信号電圧VS2より高い時に、パワーオンリセット信号PORをハイレベルに活性化させる。

【0018】

図4は図3に示したパワーオンリセット回路の動作特性を示す。第1信号電圧VS1は、電源供給電圧VCCが第1しきい値電圧VTH1に到達した時に、電源供給電圧VCCより大きい傾きで増加する。第2信号電圧VS2は第2しきい値電圧VTH2より低い領域では電源供給電圧VCCに従って増加する。しかし、第2信号電圧VS2が第2しきい値電圧VTH2より高くなれば、第2信号電圧VS2は所定の傾きで低くなる。パワーオンリセット信号PORは第1信号電圧VS1が第2信号電圧VS2より高い時にハイレベルに活性化される。第1及び第2しきい値電圧VTH1及びVTH2は、例えば第1及び第2信号発生器100及び200のトランジスタの数を調整することによって変更することができる。したがって、パワーオンリセット信号PORの動作時点も調整することができる。

20

【0019】

本発明の実施の形態によるパワーオンリセット回路は、集積回路装置の周辺の温度変化があっても、パワーオンリセット信号の遷移時点の変動幅を比較的狭くすることができる。

【0020】

図5は図3に示した第1及び第2信号発生器の実施の形態を示す。図5を参照すると、第1信号発生器100は、複数のPMOSTランジスタ101~103、二つの抵抗104及び105、及びNMOSTランジスタ106を含む。PMOSTランジスタ101~103は電源供給電圧VCCとノードN10との間に直列に連結される。PMOSTランジスタ101のゲートは接地され、残りのPMOSTランジスタ102及び103のゲートはノードN10に共通に連結される。抵抗104及び105はノードN10と接地電圧との間に直列に連結される。NMOSTランジスタ106のゲートはノードN10に接続され、その電流通路は電源供給電圧VCCと抵抗104及び105の連結点との間に形成される。第1しきい値電圧VTH1はPMOSTランジスタ101~103のしきい値電圧である。

30

40

【0021】

よく知られたように、PMOSTランジスタのしきい値電圧は、body effectによって変わりうる。すなわち、PMOSTランジスタのソース電圧が減少することによって、そのしきい値電圧が増加する。したがって、第1しきい値電圧VTH1は、body effectが考慮された場合、またはそうではない場合のPMOSTランジスタのしきい値電圧と見なすことができる。本実施の形態では、第1しきい値電圧VTH1を本体効果が考慮されない場合のPMOSTランジスタのしきい値電圧と見なす。

【0022】

第2信号発生器200は、二つの抵抗201及び202、複数のNMOSTランジスタ203~205、及びPMOSTランジスタ206を含む。抵抗201及び202は電源

50

供給電圧VCCとノードN20との間に直列に連結され、NMOSトランジスタ203～205はノードN20と接地電圧との間に直列に連結される。トランジスタ203及び204のゲートはノードN20に共通に接続され、トランジスタ205のゲートは電源供給電圧VCCに接続される。PMOSトランジスタ206のゲートはノードN20に接続され、その電流通路は抵抗201及び202の連結点と接地電圧との間に形成される。第2しきい値電圧VTH2はNMOSトランジスタ203及び204をターンオンさせるのに必要な電圧である。

【0023】

比較器300は、第1信号電圧VS1を入力する非反転入力ターミナル(+)、第2信号電圧VS2を入力する反転入力ターミナル(-)、及びパワーオンリセット信号PORを出力する出力ターミナルを有する。

10

【0024】

図5に示したパワーオンリセット回路の動作は次の通りである。電源が供給された後に、電源供給電圧VCCは増加し始める。第1信号電圧VS1は電源供給電圧VCCが第1しきい値電圧VTH1に到達するまで接地電圧を維持する。第1信号電圧VS1は電源供給電圧VCCが第1しきい値電圧VTH1と同一またはそれより高い時に、電源供給電圧VCCより大きい傾きで増加する。もし第1信号電圧VS1がNMOSトランジスタ106のしきい値電圧より高ければ、NMOSトランジスタ106はターンオンされる。NMOSトランジスタ106がターンオンされれば、抵抗104及び105の連結点の電圧は増加し(第1信号電圧VS1がさらに早く増加するようにする)、接地電圧の近辺にあった第1信号電圧VS1は電源供給電圧VCCよりさらに早く増加する。

20

【0025】

一方、抵抗201及び202を通じて電源供給電圧VCCに連結された第2信号電圧VS2は電源供給電圧VCCに従う。第2信号電圧VS2が第2しきい値電圧VTH2より高い領域では、第2信号発生器200のNMOSトランジスタ203及び204がターンオンされる。トランジスタ203及び204がターンオンされることによって、第2信号電圧VS2が接地電圧に減少する。PMOSトランジスタ206は第2信号電圧VS2がPMOSトランジスタ206をターンオンさせるのに十分な電圧に減少した時にターンオンされる。PMOSトランジスタ206がターンオンされた後に、第2信号電圧VS2は電源供給電圧VCCが続けて増加しても、増加しない。

30

【0026】

本発明の実施の形態によると、パワーオンリセット回路が晒される環境の温度が変わると、第1及び第2しきい値電圧VTH1及びVTH2もまた変わる。例えば、温度が高くなれば、しきい値電圧VTH1及びVTH2は低くなる。これはパワーオンリセット信号PORが早く活性化されるようにする。温度変化に従って第1及び第2しきい値電圧VTH1及びVTH2が変わっても、第1電圧信号VS1が第2信号電圧VS2と接する遷移時点は一般的な場合よりその変動の程度が小さい。

【0027】

図6を参照すると、信号POR_L、VS_{1L}及びVS_{2L}は温度が相対的に低い時に発生し、信号POR_H、VS_{1H}及びVS_{2H}は相対的に温度が高い時に発生する。第1及び第2しきい値電圧VTH1及びVTH2が図6に示したように温度変化によって変わっても、パワーオンリセット信号POR_L及びPOR_Hの間の活性化時点の差T2は一般的なパワーオンリセット回路(図2)での差T1に比べて減少する。時間差T2は、第1信号電圧VS1が電源供給電圧VCCより大きい傾きで増加し、また電源供給電圧VCCより大きい傾きで減少する第2信号電圧VS2と接するので、減る。したがって、本発明によるパワーオンリセット回路が温度に対してより敏感ではないこと(すなわち、より鈍感であること)を理解することができる。

40

【0028】

図7は本発明によるパワーオンリセット回路の他の実施の形態を示しており、図5の構成要素と同一の構成要素は同一の参照符号で示されている。

50

【 0 0 2 9 】

図7に示したパワーオンリセット回路2000は、スイッチSW1及びSW2と制御器400をさらに有する。制御器400は非活性化回路を構成し、スイッチSW3、二つのインバータ402及び403で構成されたラッチ410、及びインバータ403を含む。スイッチSW3はパワーオンリセット信号の反転された信号/PORにตอบสนองして比較器300の出力信号OUTをラッチ410に伝送する。インバータ403はラッチ410の出力/PORを入力してパワーオンリセット信号PORを出力する。

【 0 0 3 0 】

第1信号発生器100のPMOSトランジスタ101は制御器400から提供されるパワーオンリセット信号PORによって制御され、NMOSトランジスタ205は制御器400から提供される反転されたパワーオンリセット信号/PORによって制御される。スイッチSW1及びSW2は反転されたパワーオンリセット信号/PORによって制御される。すなわち、スイッチSW1及びSW2がターンオンされれば、比較器300には電源供給電圧VCCと接地電圧が供給される。スイッチSW1及びSW2がターンオフされれば、電源供給電圧VCCと接地電圧は比較器300に供給されない。

【 0 0 3 1 】

初期には、ラッチ410から提供される反転されたパワーオンリセット信号/PORがハイレベルにあることによって、電源供給電圧VCCと接地電圧がスイッチSW1及びSW2を通じて比較器300に供給される。電源供給電圧VCCが増加し、第1信号電圧VS1が第2信号電圧VS2より高い時には、比較器300の出力信号OUTがハイレベルに活性化される。出力信号OUTはスイッチSW3を通じてラッチ410に保存される。この時、反転されたパワーオンリセット信号/PORはハイレベルからローレベルに遷移し、第2信号発生器200のNMOSトランジスタ205とスイッチSW1及びSW2がターンオフされる。これと同時に、パワーオンリセット信号PORがローレベルからハイレベルに遷移し、第1信号発生器100のPMOSトランジスタ101がターンオフされる。

【 0 0 3 2 】

したがって、本発明の他の実施の形態は、パワーオンリセット信号PORがハイレベルに遷移された後に第1及び第2信号発生器100及び200と比較器300によって消耗する電流を減らすことができる。第1及び第2信号発生器100及び200と比較器300が非活性化されても、検出結果である比較器300の出力信号はラッチ410に保存される。第1及び第2信号発生器100及び200と比較器300の非活性化により、パワーオンリセット回路の安定した動作が保障される。パワーオンリセット信号PORは、ノイズによって第1及び第2信号電圧VS1及びVS2の変動したとしても、そのようなノイズによる影響を殆ど受けない。

【 0 0 3 3 】

図8は本発明によるパワーオンリセット回路の更に他の実施の形態を示しており、遅延回路404及び405を除いては図7と同一である。遅延回路404及び405は比較器300の出力信号OUTがラッチ410に安定に保存されるようにするために提供される。

【 0 0 3 4 】

上述の実施の形態で示した本発明の手段または方法に準じて、本発明の技術分野で通常の知識を持つ者は本発明の範囲内で種々の変形及び応用が可能である。

【 産業上の利用可能性 】

【 0 0 3 5 】

本発明は、温度依存性が低いパワーオンリセット回路を提供する。

【 図面の簡単な説明 】

【 0 0 3 6 】

【 図 1 】 一般的なパワーオンリセット回路の一例を示す回路図である。

【 図 2 】 図 1 に示したパワーオンリセット回路で発生する信号の時間的な電圧変動を示す

10

20

30

40

50

グラフである。

【図3】本発明の実施の形態によるパワーオンリセット回路の構成を示すブロック図である。

【図4】図3に示した本発明の実施の形態によるパワーオンリセット回路の動作特性を示すタイミング図である。

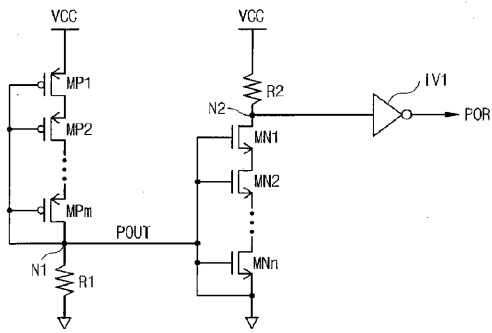
【図5】本発明の他の実施の形態によるパワーオンリセット回路の回路図である。

【図6】温度変化に従って図5のパワーオンリセット回路で発生する信号の時間的な電圧変動を示すグラフである。

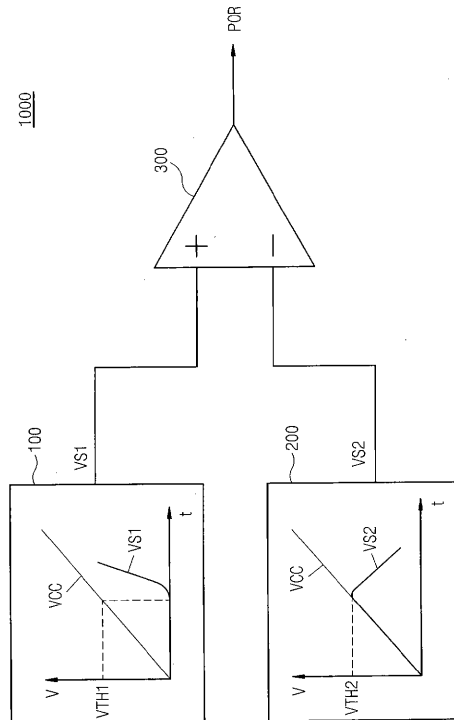
【図7】本発明の他の実施の形態によるパワーオンリセット回路の回路図である。

【図8】本発明の他の実施の形態によるパワーオンリセット回路の回路図である。

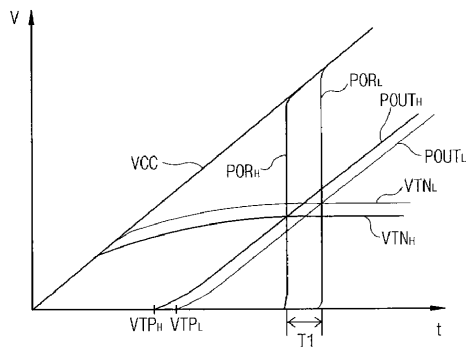
【図1】



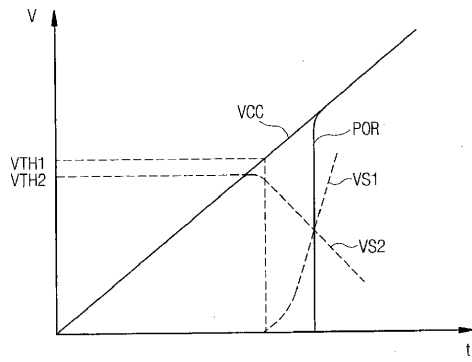
【図3】



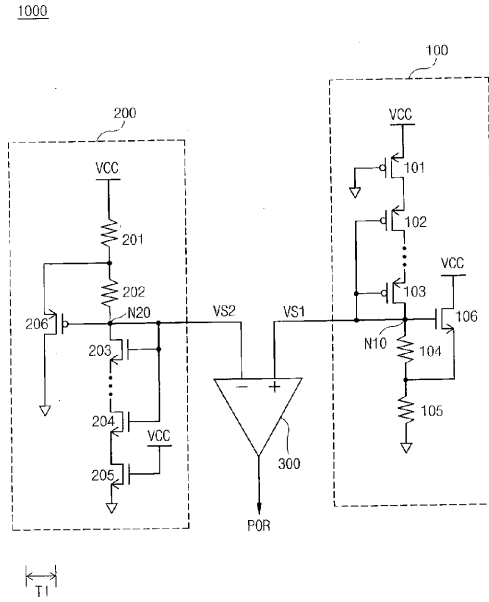
【図2】



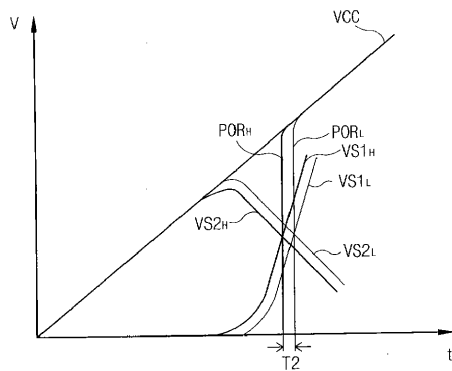
【図4】



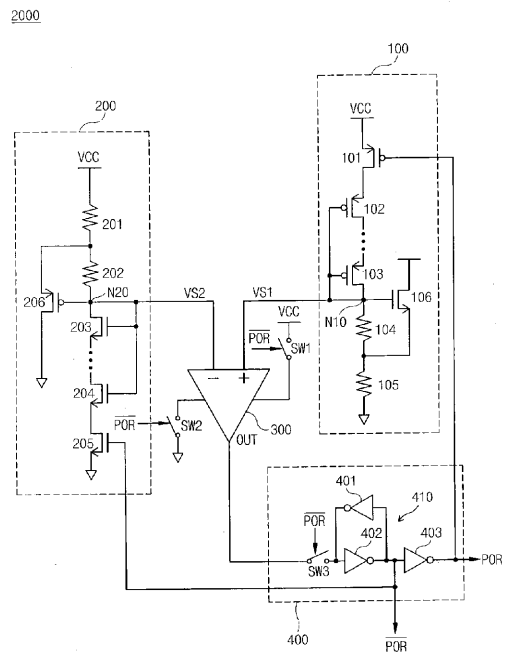
【図5】



【図6】

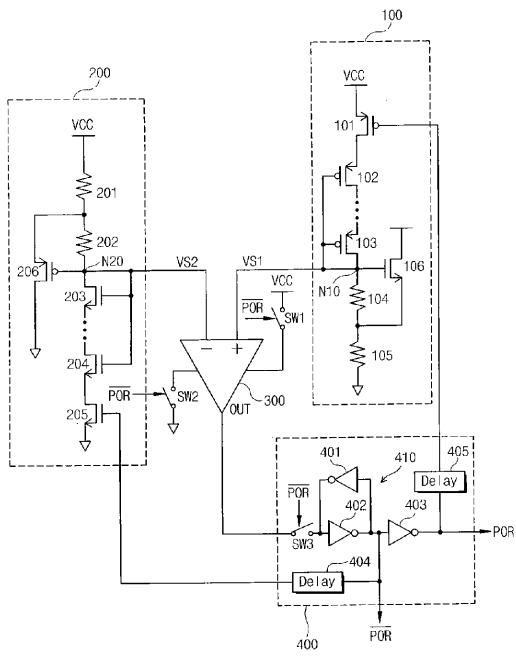


【図7】



【 図 8 】

3000



フロントページの続き

(74)代理人 100110364

弁理士 実広 信哉

(72)発明者 権奇元

大韓民国京畿道城南市盆唐区美金洞ガッチタウンシンウォンアパート304棟201号

審査官 石田 勝

(56)参考文献 特開平03 - 154116 (JP, A)

特開平04 - 003513 (JP, A)

特開平02 - 007615 (JP, A)

特開平11 - 136110 (JP, A)

特開2000 - 036732 (JP, A)

特開2000 - 031807 (JP, A)

特開平11 - 031956 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H03K 17/22

G06F 1/24