

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2020-202003

(P2020-202003A)

(43) 公開日 令和2年12月17日 (2020. 12. 17)

(51) Int.Cl.		F I			テーマコード (参考)
G 1 1 C 29/44	(2006.01)	G 1 1 C 29/44	1 1 O		5 B 2 2 5
G 1 1 C 16/04	(2006.01)	G 1 1 C 16/04	1 7 O		5 L 2 0 6

審査請求 有 請求項の数 8 O L (全 19 頁)

(21) 出願番号	特願2019-109833 (P2019-109833)	(71) 出願人	519213274
(22) 出願日	令和1年6月12日 (2019. 6. 12)		力晶積成電子製造股▲フン▼有限公司
(11) 特許番号	特許第6757447号 (P6757447)		Powerchip Semiconductor Manufacturing Corporation
(45) 特許公報発行日	令和2年9月16日 (2020. 9. 16)		台湾新竹科学工業園區新竹市力行一路18號
			NO. 18, LI-HSIN RD. 1, HSINCHU SCIENCE PARK, HSINCHU, TAIWAN
		(74) 代理人	100101454
			弁理士 山田 卓二
		(74) 代理人	100132241
			弁理士 岡部 博史

最終頁に続く

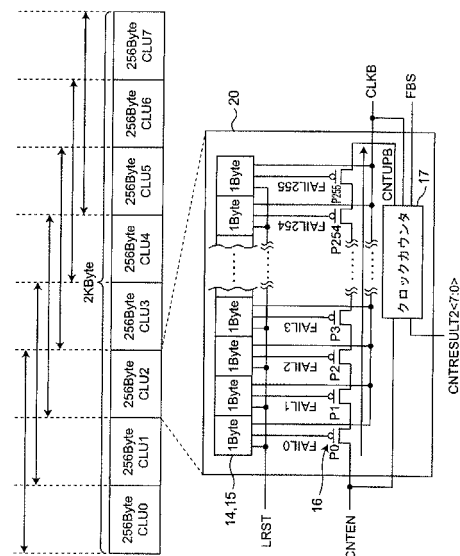
(54) 【発明の名称】 フェイルビット数計数回路及び不揮発性半導体記憶装置

(57) 【要約】

【課題】 従来技術に比較して高精度でかつ高速に動作することができるフェイルビット数計数回路を提供する。

【解決手段】 各ページバッファ部からのパスビットを示す計算結果データに対してオンとなり、フェイルビットを示す計算結果データに対してオフとなる複数のスイッチ素子を直列に接続して直列回路で構成されたデータ転送回路を備え、制御回路は、データ転送回路の一方の入力端子に計数イネーブル信号を入力し、所定周期のクロックに応じて計数イネーブル信号を次段のオフのスイッチ素子まで直列回路を介して順次転送し、データ転送回路の一方の入力端子に計数イネーブル信号を入力した後、データ転送回路の他方の出力端子に計数イネーブル信号が到達するまでのクロックの数をフェイルビット数として計数するクロックカウンタを備える。

【選択図】 図 3 A



【特許請求の範囲】

【請求項 1】

複数のメモリセルからなる不揮発性のメモリセルアレイと、複数のセグメントからなるデータを上記メモリセルアレイに対してページバッファを介して書き込み及び上記メモリセルアレイから前記ページバッファを介して読み出しを制御し、書き込み又は読み出し時に発生するフェイルビット数を計数する制御回路とを備えた、不揮発性半導体記憶装置のためのフェイルビット数計数回路であって、

前記ページバッファは、パスビット又はフェイルビットを示す計算結果データを出力する所定容量の複数のページバッファ部に分割され、

前記各ページバッファ部からのパスビットを示す計算結果データに対してオンとなり、フェイルビットを示す計算結果データに対してオフとなる複数のスイッチ素子を直列に接続して直列回路で構成されたデータ転送回路を備え、

前記制御回路は、前記データ転送回路の一方の入力端子に計数イネーブル信号を入力し、所定周期のクロックに応じて前記計数イネーブル信号を次段のオフの前記スイッチ素子まで前記直列回路を介して順次転送し、

前記データ転送回路の一方の入力端子に計数イネーブル信号を入力した後、前記データ転送回路の他方の出力端子に前記計数イネーブル信号が到達するまでの前記クロックの数をフェイルビット数として計数するクロックカウンタを備えたことを特徴とする、不揮発性半導体記憶装置のためのフェイルビット数計数回路。

【請求項 2】

前記クロックカウンタは、前記不揮発性半導体記憶装置のチップの動作を制御する演算回路に内蔵されることを特徴とする、請求項 1 記載のフェイルビット数計数回路。

【請求項 3】

前記データ転送回路は、前段のデータ転送回路からの転送データがフェイルビットのときでかつ前記計算結果データがフェイルビットを示すときに、前記ページバッファのデータに対応するデータを次段のデータ転送回路に送信することを特徴とする請求項 1 又は 2 記載のフェイルビット数計数回路。

【請求項 4】

前記各ページバッファ部からのパスビットを示す計算結果データを一時的にラッチした後、前記各スイッチ素子の制御端子に転送する計算結果データラッチをさらに備えたことを特徴とする請求項 1～3 のうちのいずれか 1 つに記載のフェイルビット数計数回路。

【請求項 5】

複数のページバッファにそれぞれ対応する複数のクロックカウンタを備え、

前記制御回路は、前記複数のクロックカウンタからのフェイルビット数を加算することで、前記複数のページバッファの全体のフェイルビット数を計算することを特徴とする、請求項 1～4 のうちのいずれか 1 つに記載のフェイルビット数計数回路。

【請求項 6】

前記各スイッチ素子は、PチャネルMOSトランジスタであることを特徴とする請求項 1～5 のうちのいずれか 1 つに記載のフェイルビット数計数回路。

【請求項 7】

前記データ転送回路は、前記複数のスイッチ素子のオン抵抗の増大により伝送速度の低下が発生しないように、前記計算結果データを転送する前記直列回路に所定の電圧を印加する電源回路をさらに備えたことを特徴とする請求項 1～6 のうちのいずれか 1 つに記載のフェイルビット数計数回路。

【請求項 8】

請求項 1～7 のうちのいずれか 1 つに記載のフェイルビット数計数回路を備えたことを特徴とする不揮発性半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、例えばフラッシュメモリなどの電氣的書き換え可能な不揮発性半導体記憶装置（E E P R O M）のためのフェイルビット数計数回路と、当該フェイルビット数計数回路を備えた不揮発性半導体記憶装置とに関する。

【背景技術】

【0002】

ビット線とソース線との間に複数のメモリセルトランジスタ（以下、メモリセルという）を直列に接続してN A N Dストリングを構成し、高集積化を実現したN A N D型不揮発性半導体記憶装置が知られている（例えば、非特許文献1～4参照。）。

【0003】

E E P R O Mフラッシュメモリ、特にN A N D型フラッシュメモリにおいては、通常ページ単位でデータ書き込み及び読み出しが行われ、これにより実効的に高速のデータ書き込み及び読み出しを行うことができ、データ消去は通常複数ページを含むブロック単位で行われ、これにより高速のデータ消去を行うことができる。当該N A N D型フラッシュメモリにおいては、エラー訂正コード（E C C）回路が搭載されているために、読み出し及び書き込み動作の時、エラーが発生しても、搭載されたエラー訂正コード回路によってエラーを補正でき、そのため、補正可能なフェイルビット数を含む。

【0004】

当該N A N D型フラッシュメモリは複数のアレイブロック又はメモリブロックからなるアレイを含み、一般に、アレイは許容可能な不良ブロックを含み、そのような不良ブロックは実質的に使用されない。パッケージされた又は完成したN A N D型フラッシュメモリ装置について出荷の前にテスト動作を実行する時、アレイの正常なアレイブロックのうち少なくとも1つがフェイルビットを含むものとして判別される場合、そのようなメモリ装置は廃棄される。テスト動作で発見されたアレイブロックのフェイルビット数が訂正可能なフェイルビット数を超過しないと、テスト動作で判別された不良ブロックを含むN A N D型フラッシュメモリはエラー訂正コード回路を使用でき、これにより、歩留まりを向上できる。

【0005】

これに対して、ページバッファに接続されるフェイルビットカウンタ回路を備えて、より短時間でフェイルビット数を計数する方法が提案されている（例えば、特許文献5参照）。

【0006】

また、特許文献6において、不揮発性半導体メモリ装置にデータをプログラムし、もしくはデータを読み出す過程で発生するフェイルビット数を正確にカウントし、歩留まりを向上させるためのフェイルビット数の計数方法が提案されている。このフェイルビット数の計数方法では、フェイルビット検出ブロックはフェイルビット検出命令信号に応じて動作し、列選択回路によって選択されたデータビットがフェイルビットを含むかを判別し、判別結果に従うフェイルフラグ信号を出力する。フェイルビットカウンタ及びラッチブロックは前記フェイルフラグ信号に応じて選択された行のメモリセルに格納されたデータビットに対するフェイルビット数をカウントして、カウントされたフェイルビット数を示すフェイルコードを格納する。データ出力バッファブロックはフェイルビット読み出し命令信号の活性化区間の間、前記フェイルコードを読み出しイネーブル信号に同期して、入出力ピンを通じて外部に出力する。

【0007】

図1は従来例に係るN A N D型フラッシュメモリで用いるページバッファ201とフェイルビット検出回路の構成を示すブロック図である。

【0008】

図1の回路は、M O SトランジスタQ 2 0 1～Q 2 0 6及びフェイル判定回路であるインバータ202と、しきい値電流である基準電流 $i_{R e f}(n+0.5)$ を流す電流源203とを備える。ここで、 n は擬似判定設定値（自然数）である。ページバッファ201からのデータに対応する電圧がM O SトランジスタQ 2 0 3のゲートに印加され、所定の

10

20

30

40

50

バイアス電圧 J D G が M O S トランジスタ Q 2 0 4 のゲートに印加される。M O S トランジスタ Q 2 0 1、Q 2 0 2 はカレントミラー回路を構成し、ページバッファ回路 2 0 のデータに対応する検出電流 i_{PB} が M O S トランジスタ Q 2 0 1 から M O S トランジスタ Q 2 0 3、Q 2 0 4 に向かって流れ、当該検出電流 i_{PB} に対応する電流が M O S トランジスタ Q 2 0 2 に流れる。一方、M O S トランジスタ Q 2 0 6 に流れる基準電流 i_{Ref} ($n+0.5$) に対応する電流が M O S トランジスタ Q 2 0 5 に流れ、M O S トランジスタ Q 2 0 2 から M O S トランジスタ Q 2 0 5 に向かって流れる電流に基づく発生する、検出点 T 1 の電圧に基づいて、判定回路であるインバータ 2 0 2 は、パスビット又はフェイルビットを示す計算結果 (C a l c u l a t i o n R e s u l t) データ (以下、C R データという。) R E S U L T を出力する。

10

【0009】

ここで、例えばページバッファ 2 0 1 の周辺の M O S トランジスタ Q 2 0 4 はチップサイズに影響を与えるため、可能な限り小型に設計され、M O S トランジスタ Q 2 0 2 のサイズは仕様に依存して決定される。

【先行技術文献】

【特許文献】

【0010】

【特許文献 1】特開平 9-147582 号公報。

【特許文献 2】特開 2000-285692 号公報。

【特許文献 3】特開 2003-346485 号公報。

【特許文献 4】特開 2001-028575 号公報。

【特許文献 5】特開 2002-140899 号公報。

【特許文献 6】特開 2002-197898 号公報。

【発明の概要】

【発明が解決しようとする課題】

【0011】

すべてのページバッファのデータ (図 1 のページバッファ 2 0 1 の出力) を通常の読み出し動作により確認すると多くの時間がかかり、それを処理するデータバスに接続されたカウンタ回路も必要となるため、通常のすべてのページバッファを共通に接続した配線を使用したアナログ動作方式で構成されている。この場合において、当該アナログ動作はノイズや素子のバラツキの影響を受ける。また、ページバッファ 2 0 1 の数が非常に多く、トランジスタサイズが非常に小さいため、その変動による現在の影響をチェックする必要がある。そしてこの方法はノイズの影響を受けるため、他の操作は同じタイミングで並行して行われることはなく、それによって動作時間は増大するという課題があった。さらに、フェイルビット検出回路がアナログ回路のために、検出精度が仕様に対して十分でない場合が多いという課題があった。

20

30

【0012】

本発明の目的は以上の問題点を解決し、従来技術に比較して高精度でかつ高速に動作することができるフェイルビット数計数回路と、当該フェイルビット数計数回路を備えた不揮発性半導体記憶装置を提供することにある。

40

【課題を解決するための手段】

【0013】

本発明の一態様に係る不揮発性半導体記憶装置のためのフェイルビット数計数回路は、複数のメモリセルからなる不揮発性のメモリセルアレイと、複数のセグメントからなるデータを上記メモリセルアレイに対してページバッファを介して書き込み及び上記メモリセルアレイから前記ページバッファを介して読み出しを制御し、書き込み又は読み出し時に発生するフェイルビット数を計数する制御回路とを備えた、不揮発性半導体記憶装置のためのフェイルビット数計数回路であって、

前記ページバッファは、パスビット又はフェイルビットを示す C R データを出力する所定容量の複数のページバッファ部に分割され、

50

前記各ページバッファ部からのパスビットを示すC Rデータに対してオンとなり、フェイルビットを示すC Rデータに対してオフとなる複数のスイッチ素子を直列に接続して直列回路で構成されたデータ転送回路を備え、

前記制御回路は、前記データ転送回路の一方の入力端子に計数イネーブル信号を入力し、所定周期のクロックに応じて前記計数イネーブル信号を次段のオフの前記スイッチ素子まで前記直列回路を介して順次転送し、

前記データ転送回路の一方の入力端子に計数イネーブル信号を入力した後、前記データ転送回路の他方の出力端子に前記計数イネーブル信号が到達するまでの前記クロックの数をフェイルビット数として計数するクロックカウンタを備えたことを特徴とする。

【発明の効果】

10

【0014】

従って、本発明に係るフェイルビット数計数回路によれば、従来技術に比較して高精度でかつ高速に動作することができるフェイルビット数計数回路を提供できる。

【図面の簡単な説明】

【0015】

【図1】従来例に係るNAND型フラッシュメモリで用いるページバッファとフェイルビット検出回路の構成を示すブロック図である。

【図2】実施形態に係るNAND型フラッシュメモリの構成例を示すブロック図である。

【図3A】図2のページバッファ回路20の構成例を示す回路図である。

【図3B】図3Aのページバッファ回路20の動作を示す各信号のタイミングチャートである。

20

【図3C】変形例に係るページバッファ回路20を含む回路の構成例を示す回路図である。

【図4】図3のページバッファ回路20の動作を示す図であって、データラッチリセットからクロックカウンタ17への前段からの転送データの転送期間を示すタイミングチャートである。

【図5】図3の3個のクロックカウンタ17-0～17-2からのフェイルビット数のデータを転送する回路を示すブロック図である。

【図6】図3のページバッファ回路20の構成例及び動作例を示す回路図である。

【図7】図6のページバッファ回路20の動作例を示すタイミングチャートである。

30

【図8】図3のページバッファ回路20の構成において、C Rデタリセット時の初期状態の各信号レベルを示す回路図である。

【図9】図3のページバッファ回路20の構成において、自段のC Rデータがパスビットでかつ前段からの転送データがLレベルであるときの各信号レベルを示す回路図である。

【図10】図3のページバッファ回路20の構成において、自段のC Rデータがパスビットでかつ前段からの転送データがHレベルであるときの各信号レベルを示す回路図である。

【図11】図3のページバッファ回路20の構成において、自段のC Rデータがフェイルビットでかつ前段からの転送データがLレベルであるときの各信号レベルを示す回路図である。

40

【図12】図3のページバッファ回路20の構成において、前段からの転送データがHレベルでかつ自段のC Rデータがフェイルビットからパスビットに変化するときの各信号レベルを示す回路図である。

【図13】図3のページバッファ回路20のデータ転送回路16の各動作例を示す回路図である。

【図14】図13のデータ転送回路16においてデータ転送期間T_{tr}を示すタイミングチャートである。

【図15】変形例に係るページバッファ回路20Aの構成例を示す回路図である。

【発明を実施するための形態】

【0016】

50

以下、本発明にかかる実施形態について図面を参照して説明する。なお、同一又は同様の構成要素については同一の符号を付している。

【0017】

図2は実施形態に係るNAND型フラッシュメモリの構成を示すブロック図である。

【0018】

図2において、本実施形態に係るNAND型フラッシュメモリは、そのチップ動作を制御するチップ動作制御回路30と、メモリセルアレイ10と、その動作を制御するCPU（中央演算回路）により構成されるチップ動作制御回路18及びロウ制御回路12と、プログラム電圧等を発生する高電圧発生回路13と、データ書き換え及び読み出し並びにラッチを含むページバッファ回路20と、入出力端子21を介して入出力されるデータを一時的に格納するデータ入出力バッファ22と、メモリセルアレイ10内のヒューズ領域のデータの制御を行うヒューズ制御回路（図示せず）と、ヒューズ領域のデータを一時的に格納するヒューズレジスタ（図示せず）とを備えて構成される。ここで、ページバッファ回路20は、ページバッファ14と、カラム制御回路30と、CRデータラッチ15と、データ転送回路16と、クロックカウンタ17とを備えて構成される。なお、CRデータラッチ15とデータ転送回路16とクロックカウンタ17により、フェイルビット数計数回路19を構成する。

【0019】

メモリセルアレイ10は、スタックト・ゲート構造の電氣的書き換え可能な複数の不揮発性メモリセルを直列接続してNANDセルユニットが構成される。1本のワード線により選択されるメモリセルの範囲が書き込み及び読み出しの単位となる1ページである。1ページ又はその整数倍の範囲の複数のNANDセルユニットの範囲がデータ消去の単位である1ブロックとなる。ページバッファ14は書き換え及び読み出し回路であり、ページ単位のデータ書き込み及び読み出しを行うために、ビット線毎に設けられたセンスアンプ回路及びラッチ回路を含む。

【0020】

ここで、メモリセルアレイ10は、簡略化した構成を有し、複数のビット線でページバッファを共有してもよい。この場合は、データ書き込み又は読み出し動作時にページバッファに選択的に接続されるビット線数が1ページの単位となる。また、1個の入出力端子21との間でデータの入出力が行われるセルアレイの範囲を示している。メモリセルアレイ10のワード線及びビット線の選択を行うために、それぞれロウデコーダを含むロウ制御回路12及びカラムデコーダを含むカラム制御回路30が設けられている。カラム制御回路30はCPUからなるチップ動作制御回路18により制御され、カラム制御回路30には、所定のデータ長の各領域でフェイルビット数を計数するフェイルビット数計数回路19が接続され、カラム制御回路30は、データ入出力バッファ22からのデータの書き込み、消去及び、データ入出力バッファ22への読み出しのシーケンス制御を行う。また、高電圧発生回路13は、データ書き換え、消去、読み出しに用いられる昇圧された高電圧や中間電圧を発生する。

【0021】

図2において、入出力バッファ22は、データの入出力及びアドレス信号の入力に用いられる。すなわち、入出力バッファ22及びデータ線並びにカラム制御回路30を介して、入出力端子21とページバッファ14の間でデータの転送が行われる。入出力端子21から入力されるアドレス信号は、カラム制御回路30内のアドレスレジスタに保持され、ロウ制御回路12及びカラム制御回路30内のカラムデコーダに送られてデコードされる。入出力端子21からは動作制御のコマンドも入力される。入力されたコマンドはデコードされて所定のコマンドレジスタに保持され、これによりカラム制御回路30が制御される。また、種々の外部制御信号はチップ動作制御回路18に取り込まれ、動作モードに応じて内部制御信号が発生される。内部制御信号は、データ入出力バッファ22でのデータラッチ、転送等の制御に用いられ、さらにカラム制御回路30に送られて、動作制御が行われる。

【0022】

図2において、ページバッファ14はCRデータラッチ15に接続される。ページバッファ14により判定された、メモリセルアレイ10の各メモリセルにおけるパスビット又はフェイルビットを示すページバッファのデータ(以下、PBデータという。)は、CRデータラッチ15においてクロックCLB毎に初期値として一時的に格納され、それ以降は、格納されたCRデータが前段からの転送データに基づいて変化する。自段のデータ転送回路16は、表1を参照して詳細後述するように、前段からの転送データ転送回路16からの転送データ又はPBCデータ(PBデータに対応しかつPBデータの値と同一の値を有するデータをいう。なお、自段のデータ転送回路16から次段のデータ転送回路16に送信するデータは、前段からの転送データ転送回路16からの転送データ又は自段のPBCデータであるが、説明の便宜上、総称して「転送データ」という。)と、CRデータラッチ15に格納されたCRデータに基づいて、次段に送信するデータ(転送データ又はPBCデータのいずれか)を演算し決定して次段のデータ転送回路16に送信する。次いで、データ転送回路16によりフェイル数に対応する数のクロックCLKBの後に、計数アップ信号CNTUPBがクロックカウンタ17に転送されて、クロックカウンタ17が計数したクロック数によりフェイルビット数が示される。当該フェイルビット数はCPUであるチップ動作制御回路18に転送されて合計のフェイルビット数が計数される。なお、クロックCLKBは所定周期で繰り返されるクロック信号である。

10

【0023】

図3Aは図2のページバッファ回路20の構成例を示す回路図であり、図3Bは図3Aのページバッファ回路20の動作を示す各信号のタイミングチャートである。また、図4は図3Aのページバッファ回路20の動作を示す図であって、データラッチリセットからクロックカウンタ17への前段からの転送データの転送期間を示すタイミングチャートである。図3Aは、2Kバイトのページバッファ回路20であって、ECC32ビット/512バイトの構成例を示す。この例では、ページバッファ回路20は、フェイルビット計数のために8つのセグメントに分割されている。

20

【0024】

図3Aにおいて、1バイト毎にページバッファ14、CRデータラッチ15及びデータ転送回路16のPチャンネルMOSトランジスタPnが設けられ、パスビット又はフェイルビットを示すCRデータFAIL0~FAIL255はページバッファ14からCRデータラッチ15を介してMOSトランジスタPnの各ゲートに印加される。ここで、CRデータFAIL0~FAIL255は、パスビットのときLレベルであり対応するPチャンネルMOSトランジスタPnをオンにする一方、フェイルビットのときHレベルであり対応するPチャンネルMOSトランジスタPnをオフする。データ転送回路16において、例えば255個のMOSトランジスタPn(n=0, 1, 2, ..., 255)が直列に接続され、当該直列回路の一方側から、計数イネーブル信号CNTENが印加され、他方側からフェイル数に対応する数のクロックCLKBの後に計数アップ信号CNTUPBのパルスが出力される。すなわち、計数アップ信号CNTUPBがLレベルからHレベルになったときに、クロックカウンタ17が計数したクロックCLKBのクロック数がフェイル数を示す。ここで、図4に示すように、クロックCLKBに基づく前段からの転送データチェックの後、CRデータラッチ15によるデータラッチリセットから次のクロックCLKBまでの間に、1個のクロックCLKBが1個のフェイルビット(図3Aでは、1バイトのページバッファ14に対するフェイル)に対応し、クロックカウンタ17が計数するクロック数に基づいてフェイル数を得ることができる。なお、データ転送回路16の詳細動作については、図6~図14を参照して詳述する。

30

40

【0025】

図3Aにおいて、例えばクロックカウンタ17にはテスト用のフェイルビット設定値FBS(フェイル許容値)が入力され、フェイル計数値が当該フェイルビット設定値FBS以上となったときにクロックカウンタ17の計数データCNTRESULT2<7:0>はチップ動作制御回路18に出力される一方、フェイル計数値が当該フェイルビット設定

50

値 F B S 未満のとき当該クロックカウンタ 1 7 の動作が停止される。このことは、通常、仕様値の最大フェイル数を設定することで不必要なカウントを抑え動作時間の増加を防止することができる。一方、テスト時には当該制限を解除し、対象エリア内のフェイルビットを全て検出するまでカウンタは動作し続ける。すなわち、本実施形態で 2 5 6 個のページバッファ 1 4 が接続されている場合においてすべてのビットの P B データがフェイルのときは、最大 2 5 6 回クロックする。

【0026】

図 3 B は図 3 A のページバッファ回路 2 0 の動作を示す各信号のタイミングチャートである。以下、フェイルビット設定値 F B S について以下に説明する。

【0027】

当該フェイルビット設定値 F B S は、設定されたクロック C L K のパルス回数 + 1 でマスク信号が C P U から出力され、次のクロック C L K はカウントの有無に関わらず、計数データ N T R E S U L T 0 ~ 2 < 7 : 0 > から情報信号が出力される。後述する図 8 の場合、2 5 6 ビットのフェイル表現が必要なので、当該計数データ N T R E S U L T 0 ~ 2 < 7 : 0 > は例えば 8 ビットバスで伝送される。ここで、バス幅は、不揮発性半導体記憶装置の仕様によって決定される。例えば 3 2 ビットまでしか計数しないときは、5 ビットのバス幅でもよい。従って、フェイルビット設定値 F B S はその範囲内で設定される。

【0028】

図 3 B の例 1 は、フェイル数がフェイルビット設定値 F B S 以下であった場合であり、例 2 はフェイルビット設定値 F B S を超えた場合を示す。ここで、例 1 は 3 クロックなので 3 ビットのフェイル情報信号が出力される。また、例 2 は 4 ビットのフェイルの場合であり、フェイルビット設定値 F B S を 3 ビットにした場合、フェイルビット設定値 F B S が (n + 1) の 4 クロック目で H レベルになる。このとき、まだ C N T U P B が L レベルの場合、計数データ C N T R E S U L T n < 3 : 0 > の出力値がすべて「1」になり、チップ動作制御回路 (C P U) 1 8 が持つ現在のクロック数を追い越した場合、フェイルビット設定値 F B S の許容範囲又は許容値を超えたと判定する。すべてのセクターがどちらになれば、クロック C L K の発生を停止して次の動作に移る。なお、ここで、フェイルビット設定値 F B S は、各セクター毎に設定することもできるが、バス幅が増加する。

【0029】

なお、さらに、計数データ C N T R E S U L T n < 3 : 0 > の出力値がすべて「1」になることは一例であって、この場合、専用線で伝送してもよい。

【0030】

図 3 C は、変形例に係るページバッファ回路 2 0 を含む回路の構成例を示す回路図である。図 3 A では、クロックカウンタ 1 7 をフェイルビット数計数回路 1 9 内に設けているが、本発明はこれに限らず、図 3 C に示すように、C P U で構成されるチップ動作制御回路 1 8 内に設けてもよい。図 3 C において、フェイルビット設定値 F B S はチップ動作制御回路 (C P U) 1 8 内にクロックカウンタ 1 7 A として内蔵してもよい。クロックカウンタ 1 7 A は、すべてのセクターの動作が終了するまで動作し、各計数データ C N T U P B < 7 : 0 > が出力されたタイミングで当該値をストアする。後の動作は図 3 A の回路と同様である。

【0031】

なお、図 2 ~ 図 1 4 の実施形態において、1 段当たりのページバッファ 1 4 は 8 ビットの P B データを処理し、2 5 6 個のデータ転送回路 1 6 を直列に接続して 2 5 6 バイト分の P B データを処理しているが、これらの数値は一例であって、本発明はこれに限らず、別の数値であってもよい。また、実施形態では、1 段の C R データラッチ 1 5 でラッチされて、データ転送回路 1 6 で演算するのは前記 8 ビット中 1 ビットのみであり、一連のフェイルビットカウント動作を 8 回繰り返すことで初めて 8 ビットの P B データについてのフェイル数を判別することができる。

【0032】

図 5 は図 3 A の 3 個のクロックカウンタ 1 7 - 0 ~ 1 7 - 2 からのフェイルビット数の

10

20

30

40

50

データを転送する回路を示すブロック図である。図5において、各クロックカウンタ17-0~17-2からのフェイルビット数のデータCNTRESULT0~2<7:0>がチップ動作制御回路18に転送されて、それらの合計のフェイルビット数が計算される。図3A及び図5から明らかなように、連続する3個のブロック(3個のクロックカウンタ17-0~17-2)のフェイル数の総和を計算することで、許容フェイル数を増大できる。メモリコントローラが示すスタートアドレスがフレキシブルの場合、スペックである512バイト単位がどこに当たるかわからない。そのため従来は全てのブロックでスペック(例えば32ビット)数を下回る設定をしている(すなわち、上述のように、すべてのページバッファを共通に接続した配線を使用したアナログ動作方式で構成している)。

【0033】

図6は図3Aのページバッファ回路20の構成例及び動作例を示す回路図である。図6の動作例では、MOSトランジスタP1, P2, P254の各ゲートに対してHレベルのフェイル信号(すなわち、3ビットのフェイルビット)が印加されている場合であり、ターゲットPB14はMOSトランジスタP254に接続されるページバッファとする。

【0034】

図6において、計数イネーブル信号CNTENが入力される前の初期状態では、MOSトランジスタP1, P2, P254がオフとなっており、一方、他のMOSトランジスタP0, P3~P253, P255はオンとなっている。すなわち、この状態で計数イネーブル信号CNTENを入力すると、MOSトランジスタP0を通過して、最初のオフ状態であるMOSトランジスタP1のソースまで到達する。以下詳述するように、繰り返されるクロックCLKB毎に、計数イネーブル信号CNTENのパルスがオフ状態のMOSトランジスタPnで停止した後、最後には、データ転送回路16の全体の出力端子に出力されることになる。ここで、当該出力端子がL(初期)レベルからH(転送済)レベルになったとき、すなわち、Hレベルの計数アップ信号CNTUPBが出力されたときのクロック計数値がフェイル数を示すことになる。

【0035】

図7は図6のページバッファ回路20の動作例の場合における動作を示すタイミングチャートである。ここで、ターゲットPB14はMOSトランジスタP254に接続されるページバッファであり、3ビットフェイルビットの場合である。

【0036】

図7の時刻t1~t2の間では、CRデータがページバッファ14からCRデータラッチ15にラッチされる。次いで、時刻t2~t3の間では、MOSトランジスタP1のCRデータが転送され、時刻t3~t4の間では、MOSトランジスタP2のCRデータが転送される。なお、転送遅延期間Tdは、CRデータ転送による遅延期間を示しており、これは、1つ前のフェイルビットのMOSトランジスタPnが遠い場合(図6及び図7の動作例では、MOSトランジスタP3~P253までオン状態)に発生する。従って、クロックCLKBのレートはこれに基づいて設定される。次いで、時刻t4以降において、ターゲットPBのCRデータラッチ15のリセットが実行され、最終的には、当該データ転送回路16の出力端子には、3個のクロックCLKBでその出力信号であるHレベルの計数アップ信号CNTUPBが出力される。すなわち、Hレベルの計数アップ信号CNTUPBが出力されたときのクロックカウンタ17のクロック計数値がフェイル数を示すことになる。

【0037】

図8は図3Aのページバッファ回路20の構成において、CRデータリセット時の初期状態の各信号レベルを示す回路図である。なお、図8~図12においては、1バイト(8ビット)のページバッファ14に対する、CRデータラッチ15及びデータ転送回路16の部分を示す。

【0038】

図8において、ページバッファ14は、カラムアドレス共通の8個のページバッファ部が並列に接続されて構成された1バイト部分のページバッファである。ページバッファ1

10

20

30

40

50

4はMOSトランジスタQ101～Q172を備えて構成され、1バイトから選択されたページバッファ14の1ビットのPBデータを初期値としてCRデータラッチ15に転送して一時的に格納され、それ以降は、格納されたCRデータが前段からの転送データに基づいて変化する。CRデータラッチ15はMOSトランジスタQ1～Q6を備えて構成され、ここで、MOSトランジスタQ1～Q4がCRデータを一時的にラッチするラッチ回路を構成し、ラッチされたCRデータはデータ転送回路16のMOSトランジスタPnのゲートに及びMOSトランジスタQ17のゲートに印加される。

【0039】

データ転送回路16はMOSトランジスタQ11～Q17と、ナンドゲートN1～N3とを備えて構成される。ここで、MOSトランジスタQ11、Q12はCRデータリセット回路16Rを構成する。ナンドゲートN1は、FAIL、JDn-1及びCLKの入力信号がすべてHレベルになったときにのみ状態が変化する。ナンドゲートN1、N2はラッチ回路を構成し、クロックCLKB等に基づいて、前段からの転送データJDn-1をラッチする。なお、MOSトランジスタQ11、Q12は当該ラッチ回路をリセットするとき、もしくはデータ処理した結果を当該ラッチ回路に反映させるときに動作する。

【0040】

図8においてJDn-1は前段からの転送データを示しており、当該端子は前段からの転送データ転送回路16に接続され、なお、データ転送回路16の初段は計数イネーブル信号CNTENの信号源に接続される。また、JDnは、後述する表1に示すように、前段からの転送データJDn-1と、自段のCRデータとに基づいて演算された、次段への転送データ（上述のように、前段からの転送データ又は自段からのPBCデータ（図11））を示しており、当該端子は次段のデータ転送回路16に接続される。なお、当該データ転送回路16が最終段（P255）のときはクロックカウンタ17に接続される。MOSトランジスタQ15は転送データJnのノードの初期リセットのために設けられ、Q13、Q14及びQ16は転送用電圧供給回路を構成し、複数のデータ転送回路16の各PチャネルMOSトランジスタPnが直列に接続されているので、それらのオン抵抗の増大により転送速度の低下が発生しないようにパスビットのCRデータによってHレベルの計数イネーブル信号CNTENが転送された後は、この回路から所定の電圧のHレベルを供給することで当該問題点を回避することができ、高速にデータ転送できる。

【0041】

PチャネルMOSトランジスタPnは、自段のCRデータラッチ15でラッチされたCRデータに応じてオン又はオフされるスイッチ素子であり、CRデータがパスビット（Lレベル）のときオンになる一方、CRデータがフェイルビット（Hレベル）のときにオフになる。ここで、フェイルビットのCRデータが存在する段でデータ転送が停止するように構成され、すべての段でパスビットのCRデータのときはデータ転送回路16の出力端子まで計数イネーブル信号が一度に転送される。なお、リセット信号SRST（SRSTBは反転信号）はMOSトランジスタPnのストリング内をリセットするための信号であり、PチャネルMOSトランジスタPnをオンするための上部ラッチ回路はリセット信号LRSTに基づいてCRデータリセット回路16Rによりリセットされる。

ここで、図8のデータ転送回路16の動作を以下の表1に示す。

【0042】

10

20

30

40

【表 1】

バリエーション (対応図)	前段からの 転送データ JDn-1 (JDn-1 のレベル)	自段のCRデータ (CRデータラッチ15 のCRラッチデータの PASS/FAIL のレベル)	前段からの転送データ JDn-1 及び 自段のCRデータに基づく 出力データ等に係る動作 (次段への転送データ JDn のレベル)
1 (図8～図9)	フェイル (Lレベル)	パス (Hレベル/Lレベル)	CRデータリセットにより 初期値のPBデータを保持し、 前段の転送データを転送 (Lレベル)
2 (図11)		フェイル (Lレベル/Hレベル)	Pnをオフし、 PBCデータを送信 (Lレベル)
3 (図10)	パス (Hレベル)	パス (Hレベル/Lレベル)	前段の転送データを転送 (Hレベル)
4 (図12)		フェイル (Lレベル/Hレベル)	Pnをオフする (Lレベル)

10

20

【0043】

なお、バリエーション4は図12の遷移前の状態を示す。また、図8のページバッファ回路20の各信号の意義は以下の通りである。

【0044】

DATAB<7:0>: ページバッファ14の読み出しデータ(PBデータ)を反転したデータ(パスビット=L, フェイルビット=H)

JDG<7:0>: CRデータを出力するロジック(制御)信号であり、当該信号の動作は1つのページバッファ毎行われ、対象のページバッファは1回の動作で1つのみである

30

RDEN: PBデータをCRデータラッチ15に取り込む信号であり、基本的には、JDG<7:0>信号の論理和のロジックで生成される。

LRST: ラッチリセット時と、前段の転送データJDn-1をラッチ(N1, N2による)に取り込むときに動作する信号である。

SRST, SRSTB: PチャンネルMOSトランジスタPnのストリングをリセットするための信号である。

CLKB: ローイネーブルのクロックであり、フェイル数を計数するために用いる。

JDn-1: 前段からの転送データである。

JDn: 前段からの転送データ及び自段のCRデータに基づく転送データであり、初期状態と、パスビットのときは、JDn-1がそのままJDnになる。

40

【0045】

図9は図3のページバッファ回路20の構成において、自段のCRデータがパスビットでかつ前段からの転送データがLレベルであるときの各信号レベルを示す回路図である。また、図10は図3のページバッファ回路20の構成において、自段のCRデータがパスビットでかつ前段からの転送データがHレベルであるときの各信号レベルを示す回路図である。

【0046】

図9及び図10に示すように、自段のCRデータがパスビットの場合、前段のCRデータの状態、クロックCLKの状態に関わらず、前段の転送データをそのまま次段に転送す

50

る。例えばすべてのラッチされたP Bデータがパスビットの場合、計数イネーブル信号C N T E NがHレベルになったときにクロックC L Kの信号レベルに関わらず、最終段まで一気にデータ転送が完了する。そのときに転送用電圧供給回路（電源回路）を構成するM O SトランジスタQ 1 5, Q 1 6も順次オンするので電圧降下による転送スピード低下を発生させない。

【0047】

図11は図3Aのページバッファ回路20の構成において、自段のC Rデータがフェイルビットでかつ前段からの転送データがLレベルであるときの各信号レベルを示す回路図である。また、図12は図3Aのページバッファ回路20の構成において、前段からの転送データがHレベルでかつ自段のC Rデータがフェイルビットからパスビットに変化する

10

【0048】

図11に示すように、自段のC Rデータがフェイルビットの場合は当該C Rデータを転送データに書き換える一方、自段のC Rデータがフェイルビットで前段からの転送データがLレベルのときの場合のみ、当該P Bデータに対応するデータであるP B CデータをM O SトランジスタQ 1 7から次段に転送させる。すなわち、P Bデータがフェイルビットである場合、C Rデータラッチ15内のP A S S = Lであること、D A T A BはP Bデータの反転データであることから、これらのデータの極性が必ず同じであるため、フェイルビット（初期C Rデータ）によって、転送ストリングに擬似的にP Bデータを送信することができる。本実施形態では、擬似的なP BデータをP B Cと呼んでいる。

20

【0049】

しかし、図12に示すように、前段からの転送データがHレベルのときは、クロックC L K B = Lをトリガーとしてデータ処理され、クロックC L K B = Lの期間にリセット信号L R S TをHレベルにすることで、ラッチされたP BデータであるC Rデータを反転させ、C Rデータラッチ15のC Rデータをパスビットに書き換える。これにより、PチャネルM O SトランジスタP nがオンして前段からの転送データが次段へと転送される。当該転送データは次段以降のフェイルビットの段まで転送され、フェイルビットがなければ最終段まで一度に転送される。なお、表1のバリエーション4は図12の遷移前の状態を示す。

【0050】

30

図13は図3Aのページバッファ回路20のデータ転送回路16の各動作例を示す回路図である。また、図14は図13のデータ転送回路16においてデータ転送期間T t rを示すタイミングチャートである。

【0051】

図13は3ビットのフェイルビットの場合を示しており、図14にデータ転送期間T t rで1つのフェイルビットのC Rデータを書き換え、前段からの転送データを転送することができ、3個のクロックC L K BでHレベルの計数イネーブル信号C N T E Nを最終段まで転送させることができる。すなわち、データ転送回路16の出力端子からのHレベルの計数イネーブル信号C N T E Nは計数アップ信号C N T U P B（計数アップの反転であって、反転計数継続信号を意味する。）となり、クロックカウンタ17は、当該計数アップ信号C N T U P Bを検出したときに計数したクロック数をフェイルビット数と判断できる。

40

【0052】

以上説明したように、PチャネルM O SトランジスタP nを直列に接続したデータ転送回路16を用いてクロックC L K Bに基づいてC Rデータを転送し、データ転送回路16に入力したHレベルの計数イネーブル信号C N T E Nがクロックカウンタ17に到達したときに計数したクロックC L Kの数を、フェイルビット数として計数する。これにより、従来技術に比較して、高精度でかつ高速でC Rデータのフェイルビット数を計数できる。

【0053】

変形例.

50

図15は変形例に係るページバッファ回路20Aの構成例を示す回路図である。図15のページバッファ回路20Aは、図8のページバッファ回路20に比較して、以下の点が異なる。

(1) CRデータラッチ15に代えて、CRデータ転送回路15Aを備えた。

(2) データ転送回路16に代えて、データ転送回路16Aを備えた。

以下、相違点について詳述する。

【0054】

図15において、CRデータ転送回路15AはMOSトランジスタQ21～Q22を備えて構成され、CRデータラッチ15に比較して、ラッチ機能を削除し、CRデータを転送するのみである。この回路の変更に伴って、データ転送回路16のMOSトランジスタQ11～Q12の回路部分を、MOSトランジスタQ11, Q12, Q18の回路部分に置き換え、また、ナンドゲートN3をインバータINV1に置き換えた。

10

【0055】

以上のように構成されたページバッファ回路20Aは、データ転送回路16AがCRデータの転送のみの機能を有することを除いて、同様の作用効果を有する。

【0056】

以上の実施形態では、データ転送回路16においてPチャネルMOSトランジスタPnを直列に接続して構成しているが、本発明はこれに限らず、パスビットとフェイルビットの論理を反転させてNチャネルMOSトランジスタを直列に接続して構成してもよい。また、MOSトランジスタPnは制御端子でオン又はオフを制御可能なスイッチ素子であってもよい。

20

【0057】

以上の実施形態では、NAND型フラッシュメモリについて説明しているが、本発明はこれに限らず、NOR型フラッシュメモリ又は他の種々の不揮発性半導体記憶装置に適用することができる。

【0058】

図3Aのページバッファ回路20では1バイトのページバッファ部を用い、図8～図12のページバッファ回路20では1バイトのページバッファ部を用いているが、本発明はこれに限らず、各MOSトランジスタPnに接続されるページバッファ部が所定容量のページバッファであってもよい。

30

【産業上の利用可能性】

【0059】

以上詳述したように、本発明に係るフェイルビット数計数回路によれば、従来技術に比較して高精度でかつ高速に動作することができるフェイルビット数計数回路を提供できる。

【符号の説明】

【0060】

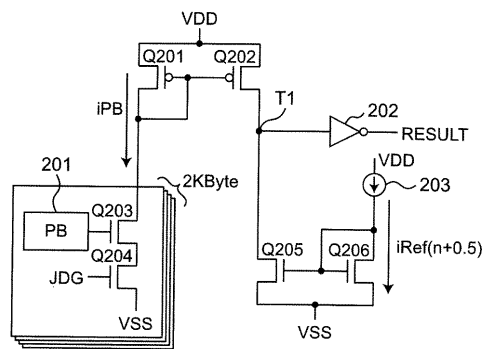
- 10 メモリセルアレイ
- 12 ロウ制御回路
- 13 高電圧発生回路
- 14 ページバッファ
- 15 CRデータラッチ
- 15A CRデータ転送回路
- 16, 16A データ転送回路
- 16R CRデータリセット回路
- 17, 17A, 17-0～17-2 クロックカウンタ
- 18 チップ動作制御回路
- 20 ページバッファ回路
- 21 入出力端子
- 22 データ入出力バッファ

40

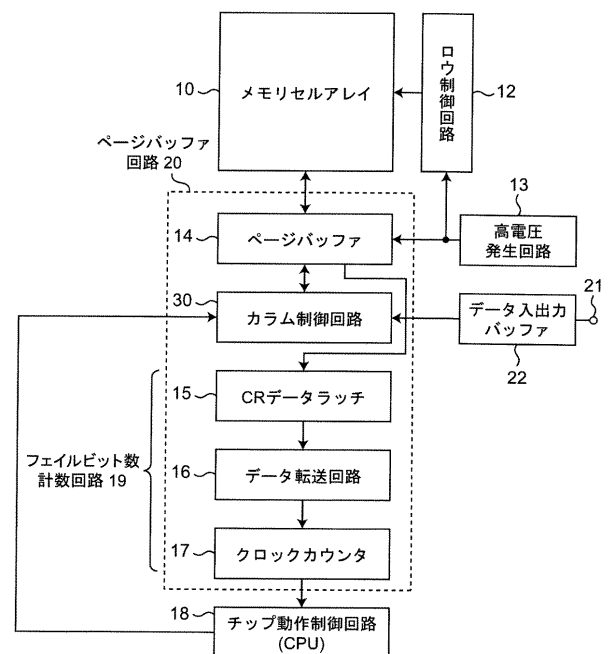
50

30 カラム制御回路
 201 ページバッファ
 202 インバータ
 203 電流源
 INV1 インバータ
 N1～N3 ナンドゲート
 Pn, P0～P255 PチャネルMOSトランジスタ
 Q1～Q172, Q201～Q206 MOSトランジスタ
 T1 検出点

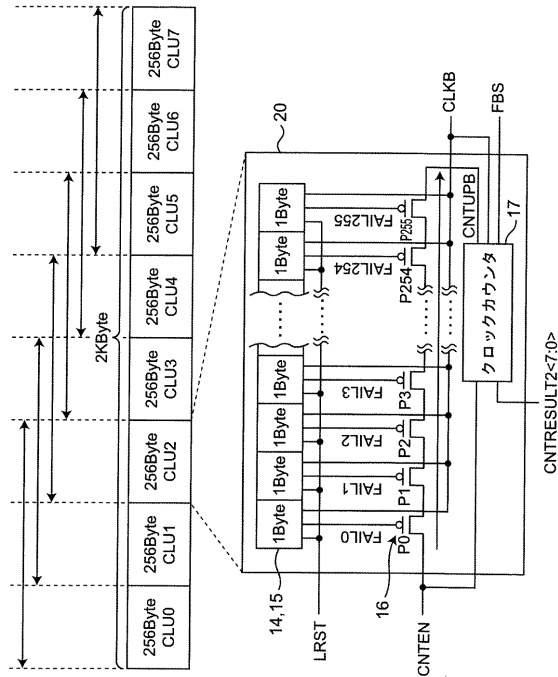
【図1】



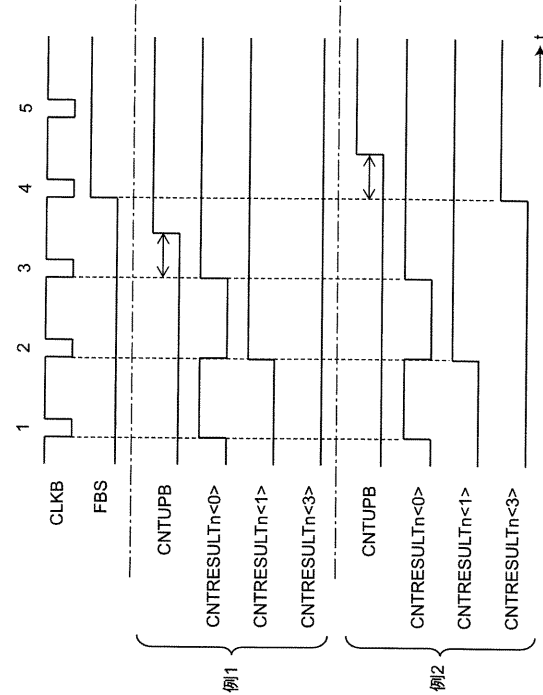
【図2】



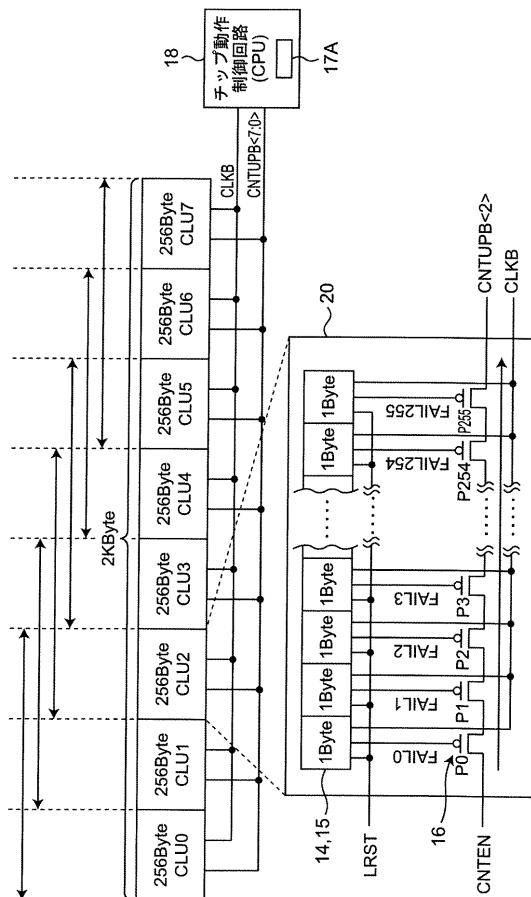
【図 3 A】



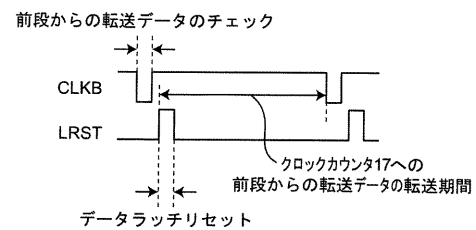
【図 3 B】



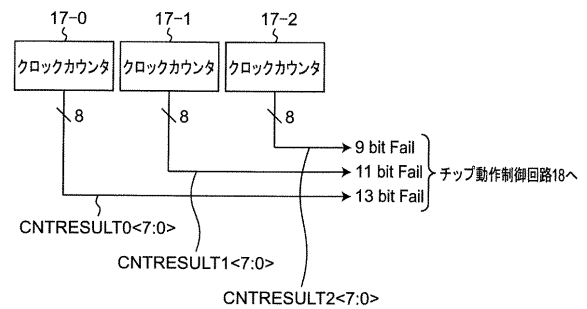
【図 3 C】



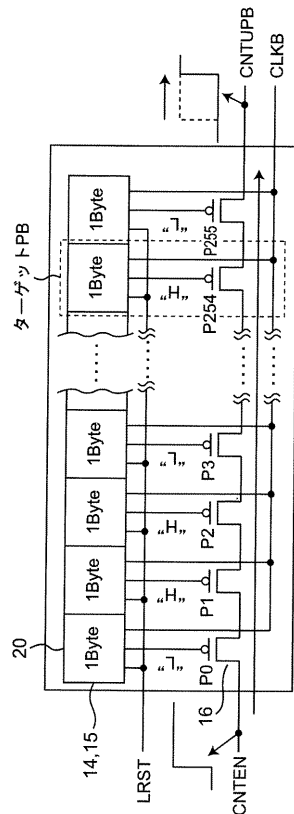
【図 4】



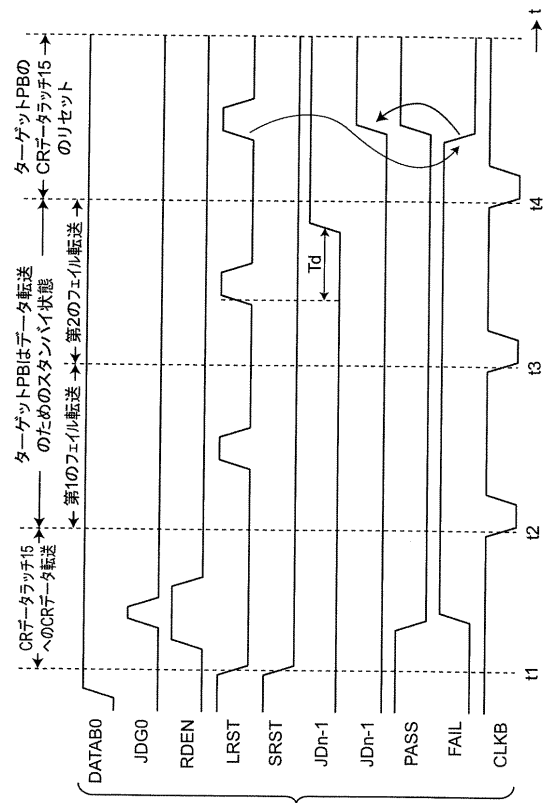
【図 5】



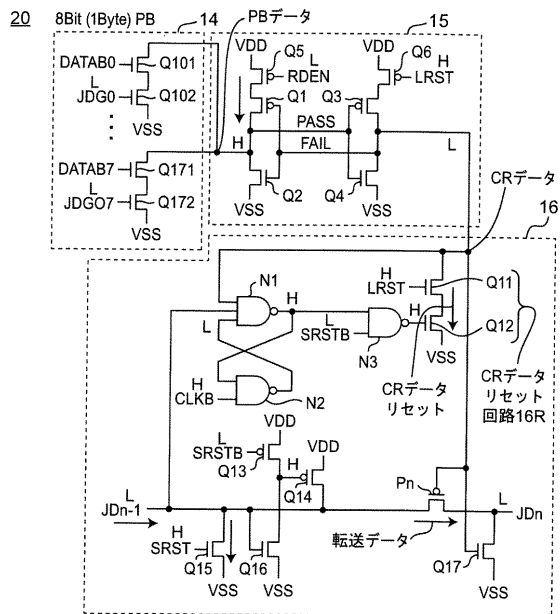
【図 6】



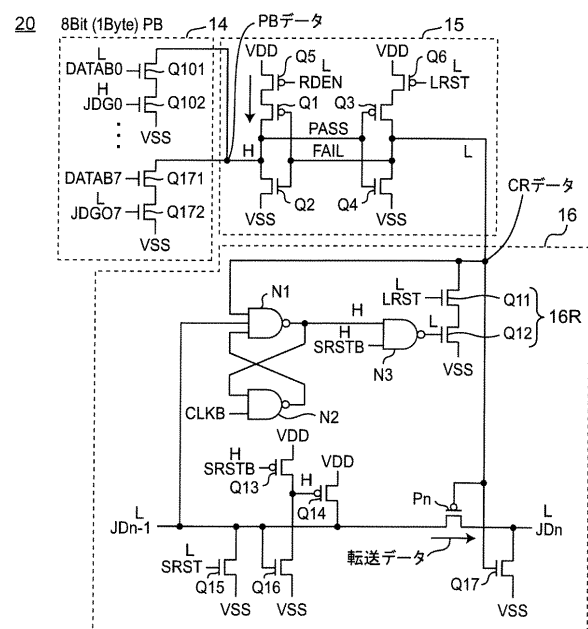
【図 7】



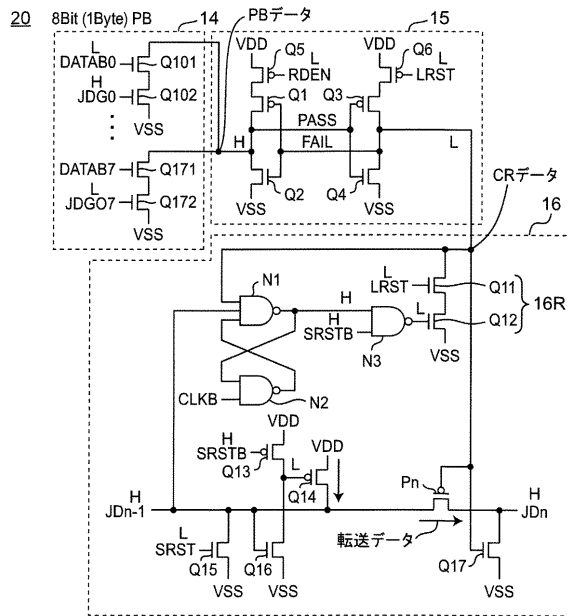
【図 8】



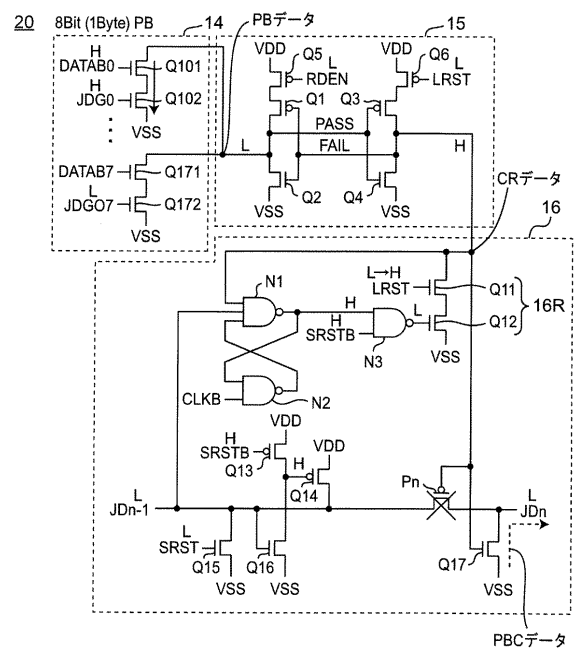
【図 9】



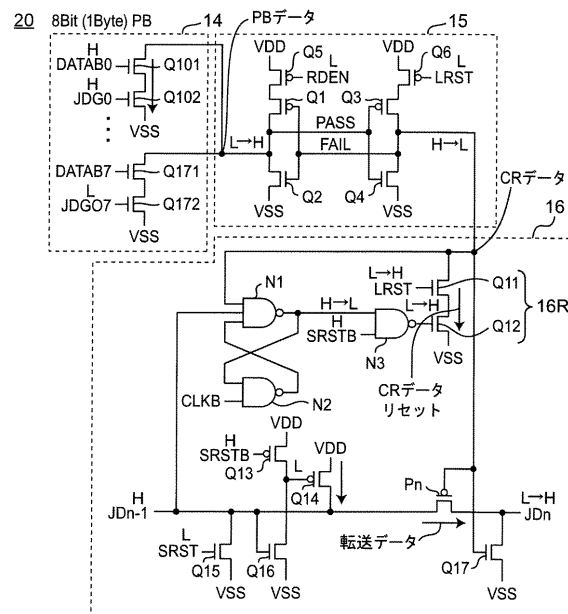
【図 10】



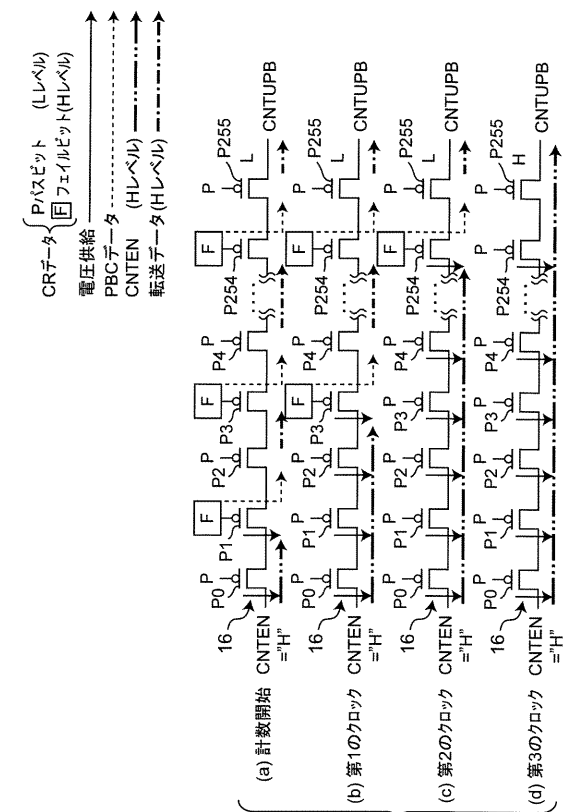
【図 11】



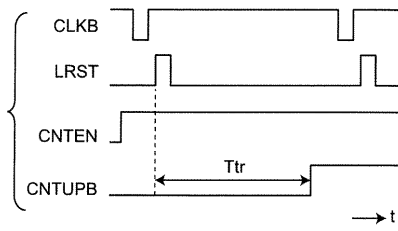
【図 12】



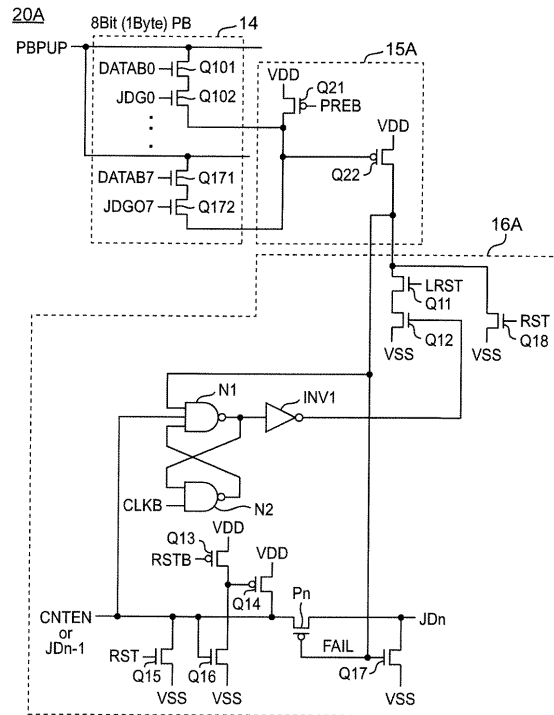
【図 13】



【図 14】



【図 15】



フロントページの続き

(72)発明者 中山 晶智

東京都港区新橋六丁目2番3号 PowerMemory株式会社内

Fターム(参考) 5B225 BA01 CA01 DA03 DB02 DE07 EA05 EE19 EK10 FA02

5L206 AA10 BB01 DD24 DD26