



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0096228
(43) 공개일자 2020년08월11일

- | | |
|---|---|
| <p>(51) 국제특허분류(Int. Cl.)
H02M 7/217 (2006.01)</p> <p>(52) CPC특허분류
H02M 7/217 (2013.01)</p> <p>(21) 출원번호 10-2020-7015819</p> <p>(22) 출원일자(국제) 2018년11월07일
심사청구일자 없음</p> <p>(85) 번역문제출일자 2020년06월02일</p> <p>(86) 국제출원번호 PCT/IB2018/058734</p> <p>(87) 국제공개번호 WO 2019/111076
국제공개일자 2019년06월13일</p> <p>(30) 우선권주장
102017000139734 2017년12월04일 이탈리아(IT)</p> | <p>(71) 출원인
에그트로닉 엔지니어링 에스.알.엘.
이탈리아 41126 모데나 (모데나) 비아 조르시오 캄파나 8</p> <p>(72) 발명자
스피넬라 이고르
이탈리아 41126 모데나 비아 텔레 코스텔라지오니 4</p> <p>텐트 엔리코
이탈리아 10051 아비글리아나 (토리노) 비아 4 노 뎀브레 8</p> <p>마샤 조반니
이탈리아 42048 루비에라 (레조넬에밀리아) 비아 세키아 18/비</p> <p>(74) 대리인
특허법인(유한)케이비케이</p> |
|---|---|

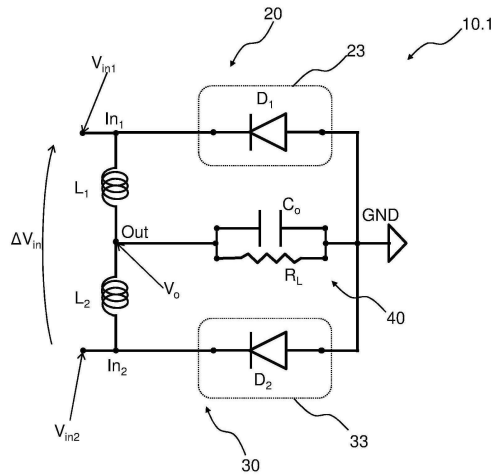
전체 청구항 수 : 총 38 항

(54) 발명의 명칭 정류 회로 및 이를 포함하는 장치

(57) 요약

본 발명에 따르면, 출력 노드(Out)와 기준 노드(GND) 사이에 병렬로 제 1 회로 브랜치(20) 및 제 2 회로 브랜치(30)를 포함하는 정류 회로(10, 10.1-10.9)로서, 각 회로 브랜치(20, 30)는 전류 제어 소자(23, 33)와 직렬로 유도 소자(L1, L2) 및 상기 전류 제어 소자(23, 33)와 상기 유도 소자(L1, L2) 사이에 배열된 입력 노드(In1, In2)를 각각 포함하고, 정류 회로의 동작 동안 입력 노드(In1, In2) 사이에 시간에 따라 변하는 입력 전압(ΔV_{in})이 인가되는 정류 회로가 제안된다.

대표도 - 도1



명세서

청구범위

청구항 1

출력 노드(Out)와 기준 노드(GND) 사이에 병렬로 제 1 회로 브랜치(20) 및 제 2 회로 브랜치(30)를 포함하는 정류 회로(10, 10.1-10.9)로서,

각 회로 브랜치(20, 30)는 전류 제어 소자(23, 33)와 직렬로 유도 소자(L1, L2) 및 상기 전류 제어 소자(23, 33)와 상기 유도 소자(L1, L2) 사이에 배열된 입력 노드(In1, In2)를 각각 포함하고,

정류 회로의 동작 동안 입력 노드(In1, In2) 사이에 시간에 따라 변하는 입력 전압(ΔV_{in})이 인가되는 정류 회로.

청구항 2

제 1 항에 있어서,

각각의 전류 제어 소자(23, 33)는 다이오드(D1, D2)를 포함하고, 상기 다이오드(D1, D2)의 애노드는 기준 노드(GND)에 연결되며, 상기 다이오드(D1, D2)의 캐소드는 각각의 입력 노드(In1, In2)에 연결되는 정류 회로.

청구항 3

제 1 항에 있어서,

각각의 전류 제어 소자(23, 33)는 다이오드(D1, D2)를 포함하고, 상기 다이오드(D1, D2)의 애노드는 각각의 입력 노드(In1, In2)에 연결되며, 상기 다이오드(D1, D2)의 캐소드는 출력 노드(Out)에 연결되는 정류 회로.

청구항 4

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

각 전류 제어 소자(23, 33)는 트랜지스터(M1, M2)를 포함하고, 상기 트랜지스터(M1, M2)는 기준 노드(GND)에 연결된 제 1 전도 단자 및 각각의 입력 노드(In1, In2)에 연결된 제 2 전도 단자를 포함하는 정류 회로.

청구항 5

제 2 항 내지 제 4 항 중 어느 한 항에 있어서,

각각의 전류 제어 소자(23, 33)는 트랜지스터(M1, M2) 및 다이오드(D1, D2)를 포함하고, 상기 트랜지스터(M1, M2)는 다이오드(D1, D2)와 병렬인 정류 회로.

청구항 6

제 4 항 또는 제 5 항에 있어서,

각각의 트랜지스터(M1, M2)는 바람직하게는 n형 또는 대안으로 p형의 실리콘 전계효과 트랜지스터, 바람직하게는 높은 전자 이동성(HEMT)을 갖는 전계효과 트랜지스터, 바람직하게는 GaN, GaAs, AlGaN, AlGaAs, InGaN, InGaAs, SiC, 바이폴라 트랜지스터, 절연 게이트 바이폴라 트랜지스터 또는 IGBT로부터 선택되는 정류 회로.

청구항 7

제 6 항에 있어서,

각각의 트랜지스터(M1, M2)는 전계효과 트랜지스터이고, 전계효과 트랜지스터의 소스 단자는 기준 노드(GND)에 연결되며, 전계효과 트랜지스터의 드레인 단자는 각각의 입력 노드(In1, In2)에 연결되는 정류 회로.

청구항 8

제 4 항 내지 제 6 항 중 어느 한 항에 있어서,

각각의 전류 제어 소자(23, 33)는 추가 트랜지스터(M3, M4)를 포함하고, 상기 추가 트랜지스터(M3, M4)는 각각의 트랜지스터(M1, M3)에 카운터 시리즈로 연결되는 정류 회로.

청구항 9

제 1 항 내지 제 8 항 중 어느 한 항에 있어서,

정전용량성 소자(Co)와 부하 소자(R1)는 정류 회로(10, 10.1-10.9)의 출력 노드(Out)와 기준 노드(GND) 사이에 병렬로 연결되는 정류 회로.

청구항 10

제 9 항에 있어서,

정전용량성 소자(Co)에 직렬로 연결되고 부하 소자(R1)에 서로 병렬로 연결된 트랜지스터(M5, M6.1-M6.n)를 포함하는 추가 전류 제어 소자(43)를 제공하고,

트랜지스터(M5, M6.1-M6.n)들은 직렬로 정전용량성 소자(Co)와 부하 소자(R1) 간에는 병렬로 출력 노드(Out)와 기준 노드(GND) 사이에 연결되는 정류 회로.

청구항 11

제 1 항 내지 제 10 항 중 어느 한 항에 있어서,

회로 브랜치(20, 30)의 입력 노드(In1, In2)에 연결된 정전용량성 소자(Cp)를 더 포함하는 정류 회로.

청구항 12

제 9 항에 있어서,

정전용량성 소자(Cp)는 유도 소자(L1, L2)와 조합하여 미리 결정된 공진 주파수를 정의하도록 크기가 정해지는 정류 회로.

청구항 13

제 1 항 내지 제 12 항 중 어느 한 항에 있어서,

입력 전압(ΔV_{in})을 수신하기 위한 한 쌍의 입력 단자(Tin1, Tin2)를 더 포함하고, 각 회로 브랜치(20, 30)는 입력 노드(In1, In2) 및 각각의 입력 단자(Tin1, Tin2)에 연결된 디커플링 소자(Cin1, Cin2)를 더 포함하는 정류 회로.

청구항 14

제 11 항에 있어서,

각각의 디커플링 소자(Cin1, Cin2)는 각각의 정전용량성 소자(Cin1, Cin2)를 포함하고, 상기 정전용량성 소자(Cin1, Cin2)는 유도 소자(L1, L2)와 조합하여 미리 결정된 공진 주파수를 정의하도록 크기가 정해지는 정류 회로.

청구항 15

제 4 항 또는 제 4 항에 따른 청구항 중 어느 한 항에 있어서,

제어 모듈(50)을 더 포함하고, 각 트랜지스터(M1, M2)는 각각의 파일럿 신호(Vd1, Vd2)를 수신하기 위해 제어 모듈(50)에 연결된 제어 단자를 더 포함하고,

상기 제어 모듈(50)은:

회로의 노드 및 정류 회로의 소자로부터 적어도 하나에서 전압 및 전류로부터 적어도 하나의 값을 측정하기에 적합한 측정 유닛(51); 및

각각의 트랜지스터(M1, M2)에 대해 측정된 적어도 하나의 값에 기초하여 파일럿 신호(Vd1, Vd2)를 생성하고 각

각의 트랜지스터(M1, M2)의 제어 단자에 상기 파일럿 신호(Vd1, Vd2)를 공급하기에 적합한 파일럿 유닛(53)을 포함하는 정류 회로.

청구항 16

제 15 항에 있어서,

측정 유닛(51)은:

제 1 회로 브랜치(20)의 입력 노드(In1)에서의 전압;

제 1 회로 브랜치(20)의 전류 제어 소자(23)를 통해 흐르는 전류;

제 1 회로 브랜치(20)의 전류 제어 소자(23)에 의해 흡수된 전력;

제 2 회로 브랜치(30)의 입력 노드(In2)에서의 전압;

제 2 회로 브랜치(30)의 전류 제어 소자(33)를 통해 흐르는 전류;

제 2 회로 브랜치(30)의 전류 제어 소자(33)에 의해 흡수된 전력; 및

정류 회로(10, 10.1-10.9)의 출력 노드(Out)에서의 전압 중 적어도 하나를 측정하도록 구성되는 정류 회로.

청구항 17

제 16 항 또는 제 9 항에 있어서,

측정 유닛(51)은:

부하 소자(R1)를 통해 흐르는 전류;

정전용량성 소자(Co)를 통해 흐르는 전류; 및

부하 소자(R1)에 의해 흡수된 전력 중 적어도 하나를 측정하도록 구성되는 정류 회로.

청구항 18

제 15 항 내지 제 17 항 중 어느 한 항에 있어서,

제어 모듈(50)은 출력 노드(out), 파일럿 유닛(53) 및 측정 유닛(51)에 연결된 전원 유닛(56)을 더 포함하고, 상기 전원 유닛(56)은 출력 노드(Out)로부터 에너지를 흡수하고 작동을 위해 파일럿 유닛(53) 및 측정 유닛(51)에 에너지를 공급하는 정류 회로.

청구항 19

제 15 항 내지 제 17 항 중 어느 한 항에 있어서,

제어 모듈(50)은 입력 노드(In1, In2) 및 전원 유닛(56)에 연결된 다이오드(D3)를 통해 입력 노드(In1, In2)에 연결된 전원 유닛(56) 및 상기 전원 유닛(56) 및 기준 노드(GND)에 연결된 콘덴서(C3)를 더 포함하고, 상기 전원 유닛(56)은 또한 파일럿 유닛(53) 및 측정 유닛(51)에 연결되며, 상기 전원 유닛(56)은 입력 노드(In1, In2)로부터 에너지를 흡수하고 작동을 위해 파일럿 유닛(53) 및 측정 유닛(51)으로 공급하는 정류 회로.

청구항 20

제 18 항 또는 제 19 항에 있어서,

전원 유닛(56)은 로우 드롭아웃 레귤레이터 또는 LDO(Low-Dropout) 레귤레이터를 포함하는 정류 회로.

청구항 21

제 15 항 내지 제 20 항 중 어느 한 항에 있어서,

파일럿 유닛(53)은:

각각의 트랜지스터(M1, M2)에 공급된 파일럿 신호(Vd1, Vd2)의 스위칭 및 적어도 하나의 측정값에 기초하여 정류 회로의 대응하는 응답과 관련된 적어도 하나의 지연을 추정하기에 적합한 지연 추정 블록(63); 및

식별된 지연에 기초하여 각각의 트랜지스터(M1, M2)에 대한 파일럿 신호(Vd1, Vd2)를 생성하기에 적합한 논리 블록(61)을 포함하는 정류 회로.

청구항 22

제 21 항에 있어서,

파일럿 블록(61)은 적어도 하나의 측정값 및 식별된 지연에 기초하여 각각의 트랜지스터(M1, M2)에 대한 파일럿 신호(Vd1, Vd2)를 생성하기에 적합한 정류 회로.

청구항 23

제 21 항 또는 제 22 항에 있어서,

지연 추정 블록(63)은 각각의 트랜지스터(M1, M2)를 활성화시키기에 적합한 파일럿 신호(Vd1, Vd2)의 제 1 스위칭 및 이에 대한 정류 회로의 대응하는 응답과 관련된 활성화 지연을 추정하도록 구성되는 정류 회로.

청구항 24

제 23 항에 있어서,

지연 추정 블록(63)은 각각의 트랜지스터(M1, M2)를 스위치 오프하기에 적합한 파일럿 신호(Vd1, Vd2)의 제 2 스위칭 및 이에 대한 정류 회로의 대응하는 응답과 관련된 스위칭 오프 지연을 추정하도록 구성되는 정류 회로.

청구항 25

제 21 항 내지 제 25 항 중 어느 한 항에 있어서,

논리 블록(61)은 적어도 하나의 미리 결정된 제 1 파일럿 테스트 신호 및 제 2 파일럿 테스트 신호를 생성하고 이를 제 1 회로 브랜치(20)의 트랜지스터(M1) 및 제 2 회로 브랜치(30)의 트랜지스터(M2)에 각각 공급하도록 구성되고, 지연 추정 블록(63)은 파일럿 테스트 신호에 대한 정류 회로의 응답에서 지연을 추정하도록 구성되는 정류 회로.

청구항 26

제 25 항에 있어서,

논리 블록(61)은 제어 모듈(50)의 활성화시에 파일럿 테스트 신호를 생성하도록 구성되는 정류 회로.

청구항 27

제 21 항 내지 제 26 항 중 어느 한 항에 있어서,

논리 블록(61)은 지연 추정 블록(63)에 의해 식별된 지연을 보상하기 위해 파일럿 신호를 더 일찍 생성하도록 구성되는 정류 회로.

청구항 28

제 27 항에 있어서,

논리 블록(61)은 각각의 전류 제어 소자(23, 33)에 의해 흡수된 전력을 최소화하도록 지연을 보상하도록 구성되는 정류 회로.

청구항 29

제 28 항에 있어서,

논리 블록(61)은 부하 소자(R1)에 의해 흡수된 전력을 최대화하도록 지연을 보상하게 구성되는 정류 회로.

청구항 30

제 15 항 내지 제 29 항 중 어느 한 항에 있어서,

입력 전압(ΔV_{in})은 주기적으로 교번하는 반대 반파를 포함하여 시간에 따라 변하는 전압이고, 각 회로 브랜치

(20, 30)는 상기 입력 전압(ΔV_{in})의 각각의 반파를 연속 출력 전압(V_{out})으로 변환하는데 적합하며, 파일럿 유닛(53)은 입력 전압(ΔV_{in})의 각각의 반파의 변환을 선택적으로 억제하기 위해 각각의 트랜지스터(M1, M2)에 대해 파일럿 신호(V_{d1} , V_{d2})를 생성하도록 구성되는 정류 회로.

청구항 31

제 1 항 내지 제 30 항 중 어느 한 항에 있어서,
각각의 유도 소자(L1, L2)는 자기적으로 절연된 인덕터인 정류 회로.

청구항 32

제 1 항 내지 제 31 항 중 어느 한 항에 있어서,
각각의 유도 소자(L1, L2)는 변압기의 권선을 포함하지 않는 정류 회로.

청구항 33

제 1 항 내지 제 32 항 중 어느 한 항에 따른 정류 회로(10, 10.1-10.9)를 포함하는 전원 장치(70).

청구항 34

제 1 항 내지 제 30 항 중 어느 한 항에 따른 정류 회로(10, 10.1-10.9)를 포함하는 유도 수신기 회로(80)로서,
각각의 유도 소자(L1, L2)는 각각의 수신 코일(L1, L2)을 포함하는 유도 수신기 회로.

청구항 35

제 32 항에 있어서,
코일(L1, L2)은 서로 중첩되는 유도 수신기 회로.

청구항 36

제 1 항 내지 제 30 항 중 어느 한 항에 따른 정류 회로(10, 10.1-10.9)를 포함하는 정전용량성 수신기 회로(90)로서,
각각의 입력 노드(In_1 , In_2)가 각각의 전도성 수신 플레이트(103.1, 103.2)에 연결되는 수신기 회로.

청구항 37

제 1 항 내지 제 30 항 중 어느 한 항에 따른 정류 회로(10, 10.1-10.9)를 포함하는 무선 주파수 수신기 회로(110)로서,
입력 노드(In_1 , In_2) 중 적어도 하나가 안테나(123)에 연결되는 무선 주파수 수신기 회로.

청구항 38

제 35 항에 있어서,
각각의 안테나에 연결된 적어도 하나의 추가 회로 브랜치를 더 포함하고, 각각의 브랜치는 각각의 주파수에서 공진하는 각각의 인덕터 및 콘덴서 쌍을 포함하는 무선 주파수 수신기 회로.

발명의 설명

기술 분야

[0001] 본 발명은 전자 분야에 관한 것이다. 보다 상세하게, 본 발명의 실시예에 따른 방안은 정류 회로, 전원 장치 및 이러한 정류 회로를 포함하는 에너지를 무선으로 전송하기 위한 장치에 관한 것이다.

배경 기술

[0002] 알려진 바와 같이, 시간에 따라 변하는 전압파의 정류, 즉 시간에 따라 변하는 전압파를 시간에 따라 실질적으로 일정한 전압으로 변환하는 것은 대부분의 현대식 전자 전력회로에서, 특히, 1차 회로가 2차 회로로부터 전기

적으로 절연되는 절연 컨버터 및 전기적으로 절연되지 않은 컨버터 모두에서 AC-DC 또는 DC-DC 컨버터에서 특히 중요하다.

- [0003] 수년에 걸쳐, 전압파를 정류하는데 유용한 주로 다이오드 또는 스위치, 가령 MOSFET 트랜지스터 또는 다른 유형의 트랜지스터, 및 일반적으로 1차 또는 2차의 저역통과필터에 기초하여 다수의 정류 회로가 개발되어 왔다. 이러한 필터는 일반적으로 정류기 출력 전압의 DC 성분만 이상적으로 유지하며 시간에 따라 변하는 신호 성분을 가능한 한 많이 필터링하는 데 유용한 인덕턴스 및/또는 커패시터를 기반으로 한다.
- [0004] 정류기를 이용하는 회로의 예로는 벡(buck), 부스트(boost), 벡-부스트 타입의 비절연 DC-DC 회로, 절연 DC-DC 및 AC-DC 회로, 예를 들어 SEPIC, 플라이백(flyback), LLC 및 예를 들어, 유도성 또는 정전용량성 유형의 무선 에너지 전송 회로가 있고, 상기 무선 에너지 전송 회로는 비공진형 또는 회로 소자의 직렬 공진 또는 병렬 공진을 통해 얻어진 공진형 중 하나이다.
- [0005] 가장 간단한 정류 회로는 다이오드에 뒤이어 부하와 병렬 연결된 커패시터로 구성된다. 이 회로가 소위 단일 반파 정류기이다: 예를 들어 평균값이 0인 정현파 교류 전압(AC)을 정류해야 하는 경우, 다른 한편으로는 음의 반파 동안 차단 상태로 유지되며 실제로 양의 반파만 부하에 전송할 수 있다.
- [0006] 평균값이 0인 신호 또는 여하튼 0이 아닌 시간 주기 동안 음의 전압을 특징으로 하는 신호의 반파를 모두 정류하기 위해, 다이오드가 많은 정류 방식을 사용하는 것이 유용하다. 예를 들어, 가장 많이 사용되는 회로 중 하나는 Graetz 브리지라고 하는 소위 다이오드 브리지 정류기로, 이 다이오드는 한 번에 2개씩 작동하도록 연결된 4개의 다이오드를 사용하는 것이 특징이며, 시간에 따라 음양으로 변하는 성분들을 갖는 신호를 효과적으로 정류한다. 다른 한편으로, Graetz 브리지는 단일 다이오드 방안과 관련하여 이중 손실이 특징인데, 이는 부하에 흐르는 전류가 2개의 다이오드를 직렬로 통과해야 하기 때문이며, 각각의 다이오드는 상기 다이오드의 임계 전압 곱하기 다이오드 자체를 통과하는 전류에 대략 비례하는 손실이 특징이다.
- [0007] 회로에 변압기를 삽입할 수 있다면, 소위 센터탭(centre-tapped) 방안을 채택할 수 있는데, 이 방안에서 기존의 1차 권선 및 2차 기준 전위에 연결된 권선을 따라 반쪽 탭을 갖는 2차 권선이 특징인 변압기가 사용된다. 다른 한편으로, 센터탭 변압기의 2차 권선의 2개의 시작 및 말단은 각각 2 개의 다이오드의 양극에 연결된다. 이러한 다이오드의 음극은 서로 단락되고 또한 출력 리플(output ripple)이라고 하는 출력 전압의 AC 성분을 최소화하기 위해 전력을 공급할 부하와 상기 부하와 병렬로 배치된 커패시터에 연결된다. 이러한 종류의 방안은 이중 반파를 가지며, 동시에 Graetz 브리지와 관련하여 다이오드 손실을 절반으로 줄이는 이점이 있다. 다른 한편으로, 센터탭 변압기에 대한 수요가 항상 이러한 정류 방식을 채택하게 허용하지 않는데, 이는 변압기가 많은 유형의 회로에서 수용할 수 없는 비용, 무게 및 부피를 더 악화시킬뿐만 아니라 특히 고주파에서 상당한 손실 소스이기 때문이다.
- [0008] Graetz 브리지와 센터탭 정류기 모두가 3상 AC 전원, 보다 일반적으로, 다상 전원을 또한 정류하도록 설계될 수 있다.
- [0009] 전압 또는 출력 전류가 특히 안정적이어야 하는 경우, 부하와 병렬 연결된 커패시터와 함께 부하에 인가된 전압 리플을 제거하는 데 특히 효과적인 2차 필터를 만드는 데 유용한 부하와 직렬로 배열된 인덕턴스를 사용할 수 있다.
- [0010] 전자 회로 및 전력 컨버터를 설계할 때, 에너지 효율이 가장 중요한 파라미터 중 하나이다. 이러한 이유로, 일반적으로, 현대 정류기에서는 쇼트키 다이오드가 사용되는데, 이는 통상적인 실리콘 다이오드에 비해 낮은 손실을 특징으로 한다. 동기 정류로 정의된 손실을 실질적으로 줄이는 데 유용한 또 다른 방법은 다이오드 대신 다른 기술로 만든, 예를 들어, 전통적인 BJT, IGBT, MOSFET 트랜지스터, 최근에는 또한 SiC, GaN, AlGaN/GaN, InGaAs와 같은 복합 재료로 제조된 MOSFET 및 HEMT 장치를 기반으로 한, 스위치를 사용하는 것으로 구성된다.
- [0011] 제어 신호를 필요로 하지 않고도 활성화 및 비활성시키는 다이오드와 관련하여, 예를 들어 트랜지스터와 같은 스위치가 다이오드를 대체하는 동기 정류 방식은 활성화 및 비활성화를 위한 제어 신호를 필요로 한다.
- [0012] 이 회로 카테고리를 동기라고 하는 이유는 피정류 전압파와 정류기를 구성하는 스위치의 제어 신호 사이에 필요한 동기화에 의해 설명된다. 다시 말해서, 동기 정류 회로는 스위치, 예를 들어 적절하게 제어된 트랜지스터를 이용하여 이상적인 다이오드의 거동과 유사한 거동을 갖도록 한다. 일반적으로, 동기 정류 회로는 에너지 손실을 실질적으로 감소시켜 정류 회로의 효율을 상당히 증가시킨다.
- [0013] 반면, 동기 정류 회로는 일반적으로 주파수 제한이 크다; 특히, 수백 kHz 정도의 작동 주파수의 경우 특히 비효

울적으로 작동한다. 그러나, 이러한 스위치는 시간이 지남에 따라 전위가 변하는 회로 노드와 관련이 있다. 즉, 이 스위치는 소위 플로팅 스위치이며 따라서 스위치 자체의 작동을 보장하기 위해 가변 전위를 따를 수 있는 파일럿 회로가 필요하다. 예를 들어, 이러한 파일럿 회로는 부트스트랩 회로를 구현하는데, 이는 실질적으로 회로 복잡성을 증가시키고 효율을 감소시키며 정류 회로의 최대 정류 주파수를 제한한다. 이러한 유형의 회로의 추가적 단점은 서로 연결된 회로의 구성요소의 연속적인, 예를 들어 순차적 활성화에 의해 야기된 고유 지연으로 구성된다. 이러한 지연은 스위치가 이상적으로 활성화 또는 비활성화되어야 하는 순간과 스위치 자체가 실제로 활성화 또는 비활성화되는 순간 사이에 불일치를 야기한다. 실제로, 정류 회로의 실제 거동은 개입 순간의 감지에 있어 지연, 논리 지연, 파일럿 스테이지의 지연 및 스위치 그 자체의 지연 중 하나 이상을 포함하는 소위 지연 체인에 의해 영향을 받는다. 이러한 지연은 일반적으로 나노초 또는 수십 또는 수백 나노초 정도이다. 이러한 지연 값은 동기 정류를 몇 MHz에서 실질적으로 비효율적으로 만든다.

[0014] 현대 동기 정류의 한계가 특히 중요한데, 이는 이 분야의 큰 요구 사항이 회로 구성부품들의 소형화를 가능하게 하기 위해 동작 주파수를 증가시켜야 하기 때문이다.

[0015] 정류기에서의 손실, 특히 고주파에서의 손실을 감소시키는 데 유용한 추가 원리는 저전압 조건(ZVS) 또는 저전류 조건(ZCS)에서 다이오드 및/또는 스위치를 온오프할 수 있는 공진을 생성해, 따라서, 소위 "하드 스위칭", 즉 일반적으로 시스템의 효율에 유해한 고전압 및 고전류가 동시에 존재하는 조건에서 온에서 오프로 또는 그 반대로의 전이를 제거하는 데 유용한 적절한 반응성 구성부품, 일반적으로 커패시터의 사용으로 구성된다. 공진 회로와 마찬가지로 이 유형의 정류기는 일반적으로 대략 최적의 주파수에서만 효과적으로 작동하고, 피정류 신호가 최적의 주파수와 다른 경우 효율을 크게 떨어뜨리는 단점이 있다.

발명의 내용

해결하려는 과제

[0016] 본 발명의 목적은 간단하고 합리적이며 저비용의 방안으로 상술한 종래 기술의 단점을 극복하는 것이다.

[0017] 상세하게, 본 발명의 목적은 고주파, 예를 들어 MHz 및 GHz와 같은 KHz 이상 크기로 효율적으로 동작하기에 적합한 하나 이상의 회로 배열에 따른 정류 회로를 제공하는 것이다.

[0018] 본 발명의 다른 목적은, 하나 이상의 회로 배열에 따라, 정류 회로에 포함된 전자 부품에 고유한 기생 소자에 의해 야기된 제한에 영향을 받지 않는, 특히, 스위치로서 사용되는 트랜지스터에 고유한 기생 다이오드의 활성화에 의해 영향을 받지 않는 동기 정류 회로를 제공하는 것이다.

[0019] 본 발명의 다른 목적은 정류 전압을 선택적으로 조절할 수 있는 정류 회로, 특히, 감소기(reducer), 증가기(increaser), 감소기/증가기 및/또는 전압 인버터로서의 기능을 갖는 정류 회로를 제공하는 것이다.

[0020] 이러한 목적은 독립항에 주어진 본 발명의 특성에 의해 달성된다. 종속항은 본 발명의 바람직한 및/또는 특히 유리한 측면을 약술한다.

과제의 해결 수단

[0021] 본 발명은 출력 노드와 기준 노드 사이에 병렬로 제 1 회로 브랜치 및 제 2 회로 브랜치를 포함하는 정류 회로로서, 각 회로 브랜치는 전류 제어 소자와 직렬로 유도 소자 및 상기 전류 제어 소자와 상기 유도 소자 사이에 배열된 입력 노드를 각각 포함하고, 정류 회로의 동작 동안 입력 노드 사이에 시간에 따라 변하는 입력 전압이 인가되는 정류 회로를 제공한다.

[0022] 이러한 방안 덕분에 정류 회로는 구조가 매우 콤팩트하며 동시에 입력 신호를 효율적으로 변환할 수 있다.

[0023] 정류 회로의 실시예에서, 각각의 회로 브랜치에서, 유도 소자는 출력 노드와 입력 노드 사이에 배치되는 반면, 전류 제어 소자는 기준 노드와 입력 노드 사이에 배치된다.

[0024] 대안적인 실시예에서, 각각의 회로 브랜치에서, 전류 제어 소자는 출력 노드와 입력 노드 사이에 배치되는 반면, 인덕터는 기준 노드와 입력 노드 사이에 배치된다.

[0025] 정류 회로의 실시예에서, 각각의 전류 제어 소자는 다이오드를 포함하고, 상기 다이오드의 애노드는 각각의 기준 노드에 연결되며, 상기 다이오드의 캐소드는 각각의 입력 노드에 연결된다. 바람직하기로, 유도 소자는 각각의 입력 노드와 출력 노드에 연결된다.

- [0026] 일 실시예에서, 각각의 전류 제어 소자는 다이오드를 포함하고, 다이오드의 애노드는 각각의 입력 노드에 연결되고 다이오드의 캐소드는 출력 노드에 연결된다. 바람직하게는, 유도 소자는 각각의 입력 노드 및 기준 노드에 연결된다.
- [0027] 다이오드의 사용으로 인해, 매우 간단하고 효과적인 정류 회로를 얻을 수 있다.
- [0028] 일 실시예에서, 각각의 전류 제어 소자는 트랜지스터를 포함한다. 바람직하게는, 트랜지스터는 기준 노드에 연결된 제 1 전도 단자 및 각각의 입력 노드에 연결된 제 2 전도 단자를 포함한다.
- [0029] 이러한 해결방안으로 인해, 정류 회로는 높은 성능과 적은 손실을 갖는 것이 달성된다.
- [0030] 일 실시예에서, 각각의 전류 제어 소자는 트랜지스터 및 다이오드를 포함하고, 트랜지스터는 다이오드에 병렬로 연결된다.
- [0031] 이러한 방식으로, 최적의 방식으로 각각의 입력 노드상의 가변 전압에 반응 할 수 있는 전류 제어 소자가 얻어진다.
- [0032] 일 실시예에서, 각각의 트랜지스터는 바람직하게는 n형 또는 대안으로 p형 실리콘 전계효과 트랜지스터, 바람직하게는 전자 이동도(HEMT)가 높은 III 족 및 V 족 원소, 가령 InGaAs, GaAs, AlGaAs 또는 GaN로 구성된 전계효과 트랜지스터, IV 족, 바람직하게는 SiC의 원소로 구성된 전계효과 트랜지스터, 바이폴라 트랜지스터, 절연 게이트 바이폴라 트랜지스터 또는 IGBT에서 선택된다.
- [0033] 일 실시예에서, 각각의 트랜지스터는 전계효과 트랜지스터이고, 전계효과 트랜지스터의 소스 단자는 기준 노드에 연결되고 전계효과 트랜지스터의 드레인 단자는 각각의 입력 노드에 연결된다.
- [0034] 이러한 방식으로, 트랜지스터의 소스 단자를 일정한 전위, 예를 들어 기준 전위라고 하기 때문에 특정 부트 스트랩 회로를 필요로 하지 않고도 간단한 방식으로 트랜지스터를 제어할 수 있다.
- [0035] 일 실시예에서, 각각의 전류 제어 소자는 추가 트랜지스터를 포함한다. 바람직하게는, 추가 트랜지스터는 각각의 트랜지스터에 카운터 시리즈로 연결된다.
- [0036] 이러한 방식으로, 회로 내에 어떠한 다이오드도 구현하지 않고 이상적인 스위치를 포함하는 전류 제어 소자에 대응하는 방식으로 실질적으로 동작하기에 적합한 전류 제어 소자가 얻어진다.
- [0037] 이러한 방식으로, 가능한 양 방향으로 흐르는 동시에 선택적인 정류를 수행하는 전류를 능동적으로 제어하기에 적합한 전류 제어 소자가 얻어진다. 이를 통해, 특히, 전기 신호, 즉, 입력 노드에 인가된 입력 전압의 정류 사이클에서 '스킵'이 수행되거나 직선 싸이클의 부분 정류가 수행되거나, 제어 전략에만 개입함으로써 출력 전압의 신호가 임의로 결정되게 할 수 있다. 다시 말하면, 이러한 전류 제어 소자는 소정의 입력 전압 이하의 값 및 선택 가능한 부호를 갖는 일정한 출력 전압을 얻을 수 있게 한다.
- [0038] 일 실시예에서, 출력 브랜치는 출력 노드 및 기준 노드에 연결된다. 바람직하게는, 출력 브랜치는 정전용량성 소자와 병렬로 연결된 부하 소자를 포함한다. 더욱 바람직하게는, 부하 소자와 정전용량성 소자는 정류 회로의 출력 노드와 기준 노드 사이에 연결된다.
- [0039] 일 실시예에서, 정류 회로는 바람직하게는 트랜지스터를 포함하는 추가 전류 제어 소자를 제공한다. 추가 전류 제어 소자는 유리하게는 정전용량성 소자에 직렬로 그리고 부하 소자에 서로 병렬로 연결된다. 정전용량성 소자와 부하 소자 사이에 병렬 및 트랜지스터의 직렬이 정류 회로의 출력 노드와 기준 노드 사이에 연결된다.
- [0040] 이러한 방식으로, 가능한 양 방향으로 흐르는 전류를 능동적으로 제어하고 동시에 선택적인 정류를 수행하기에 적합한 전류 제어 소자가 얻어진다. 이를 통해 특히, 전기 신호, 즉, 입력 노드에 인가된 입력 전압의 정류 사이클에서 '스킵'이 수행될 수 있다. 다시 말하면, 이러한 전류 제어 소자는 소정의 입력 전압 이하의 값을 갖는 일정한 출력 전압을 얻을 수 있게 한다.
- [0041] 대안적인 실시예에서, 복수의 출력 브랜치가 출력 노드 및 기준 노드에 연결된다. 바람직하게는, 각각의 출력 브랜치는 부하 소자 및 정전용량성 소자와 직렬의 전류 제어 소자, 예를 들어 트랜지스터를 포함하여 상기 정전용량성 소자를 나머지 정류 회로에 선택적으로 연결한다. 이러한 방안 덕분에 정류 회로는 출력 브랜치 간에 실질적으로 독립적인 방식으로 연결된 많은 부하에 전기 에너지를 효과적으로 분배할 수 있다.
- [0042] 일 실시예에서, 정류 회로는 회로 브랜치의 입력 노드에 연결된 정전용량성 소자를 더 포함한다. 대안적인 실시예에서, 정전용량성 소자는 각각이 전류 제어 소자와 평행하게 배열된 2개의 정전용량성 소자로 대체된다.

- [0043] 이러한 방식으로, 높은 최대 출력 전압을 얻을 수 있고, 동시에 각 전류 제어 소자에서 하드 스위칭 조건을 피할 수 있다. 유리하게는, 정전용량성 소자는 동작 손실을 최소화하기 위해 제로 전압 스위칭 또는 제로 전류 스위칭 타입의 소프트 스위칭 조건에서 다이오드 및 트랜지스터가 스위칭 온 및/또는 오프되도록 크기가 결정된다.
- [0044] 일 실시예에서, 정전용량성 소자는 유도 소자와 조합하여 미리 결정된 공진 주파수를 정의하도록 크기가 정해진다.
- [0045] 이러한 방식으로, 공진 정류 회로는 추가적인 반응성 소자 필요없이 달성된다.
- [0046] 일 실시예에서, 정류 회로는 입력 전압을 수신하기 위한 한 쌍의 입력 단자를 더 포함한다.
- [0047] 바람직하게는, 정류 회로는 입력 노드 및 각각의 입력 단자에 연결된 적어도 하나의 디커플링 소자, 예를 들어 정전용량성 소자를 더 포함한다. 더욱 바람직하게는, 각각의 회로 브랜치는 입력 노드 및 각각의 입력 단자에 연결된 디커플링 소자를 더 포함한다.
- [0048] 이러한 방식으로, 단일 디커플링 소자 및 한 쌍의 디커플링 소자를 둘 다 제공함으로써, 입력 단자와 결합된 회로에서 직류로부터 정류 회로를 절연시킬 수 있다.
- [0049] 일 실시예에서, 정류 회로에 제공된 각각의 디커플링 소자는 각각의 반응성 소자, 예를 들어 정전용량성 소자를 포함한다. 바람직하게는, 단일 정전용량성 소자 또는 한 쌍의 정전용량성 소자는 정류 회로의 유도 소자와 조합하여 미리 결정된 공진 주파수를 정의하도록 크기가 정해진다.
- [0050] 이러한 해결방안으로 인해 공진 정류 회로가 얻어지고, 입력 전압에 대해 출력 전압을 높이고 동시에 입력 전압으로부터 부하를 전기적으로 절연할 수 있다.
- [0051] 일 실시예에서, 공진기 또는 탱크(LC)를 형성하기 위해 추가 반응성 소자가 디커플링 소자와 직렬로 제공된다. 이러한 방식으로, 직류의 디커플링과 별개로 공진 주파수를 조절할 수 있어 전압 증가 및 정류기의 이중 기능을 갖는 회로를 만들 수 있으며, 이는 특히 낮은 입력 전압을 특징으로 하는 회로에 유용하다.
- [0052] 대안적인 실시예에서, 정류 회로는 단일 회로 브랜치를 포함한다. 이러한 방식으로, 매우 컴팩트한 회로가 얻어진다.
- [0053] 일 실시예에서, 정류 회로는 제어 모듈을 더 포함한다. 또한, 각각의 트랜지스터는 각각의 파일럿 신호를 수신하기 위해 제어 모듈에 연결된 제어 단자를 더 포함한다.
- [0054] 바람직하게는, 제어 모듈은 입력에 인가된 전압 값 및/또는 전류 값보다 크고; 입력에 인가된 전압 및/또는 전류와 관련하여 다른 부호의 입력에 인가된 전압 값 및/또는 전류 값보다 낮은 (기준 노드에 대한) 전압 값 및/또는 전류 값을 출력 노드에 공급하기 위해 트랜지스터를 활성화하기에 적합한 파일럿 신호를 생성하도록 구성된다.
- [0055] 바람직하게는, 제어 모듈은, 정류 회로의 노드 및 정류 회로의 소자로부터 적어도 하나의 전압 및 전류로부터 적어도 하나의 값을 측정하기에 적합한 측정 유닛, 및 각 트랜지스터에 대해 측정된 적어도 하나의 값에 기초하여 파일럿 신호를 생성하고 상기 파일럿 신호를 각각의 트랜지스터의 제어 단자에 공급하기에 적합한 파일럿 유닛을 포함한다.
- [0056] 이러한 방식으로, 정류 회로의 제어를 간단하고 효과적인 방식으로 구현할 수 있다.
- [0057] 일 실시예에서, 측정 유닛은: 제 1 회로 브랜치의 입력 노드에서의 전압; 상기 제 1 회로 브랜치의 전류 제어 소자를 통해 흐르는 전류; 제 1 회로 브랜치의 전류 제어 소자에 의해 흡수된 전력; 제 2 회로 브랜치의 입력 노드에서의 전압; 상기 제 2 회로 브랜치의 전류 제어 소자를 통해 흐르는 전류; 제 2 회로 브랜치의 전류 제어 소자에 의해 흡수된 전력, 또는 정류 회로의 출력 노드에서의 전압으로부터 적어도 하나를 측정하도록 구성된다.
- [0058] 일 실시예에서, 측정 유닛은 부하 소자를 통해 흐르는 전류; 상기 부하에 병렬 배치된 정전용량성 소자를 통해 흐르는 전류, 및 상기 부하 소자에 의해 흡수된 전력으로부터 적어도 하나를 측정하도록 구성된다.
- [0059] 일 실시예에서, 제어 모듈은 출력 노드, 파일럿 유닛 및 측정 유닛에 연결된 전원 유닛을 더 포함한다. 바람직하게는, 전원 유닛은 출력 노드로부터 에너지를 흡수하여 그 작동을 위해 파일럿 유닛 및 측정 유닛에 에너지를 공급한다. 바람직하게는, 전원 유닛은 출력 노드의 전압을 파일럿 유닛 및 측정 유닛의 정확한 동작을 보장하기

에 적합한 하나 이상의 적합한 전력 공급 전압으로 변환한다.

- [0060] 이러한 방식으로, 정류 회로는 자체적으로 전력을 공급할 수 있다.
- [0061] 일 실시예에서, 전원 유닛은 파일럿 유닛 및 측정의 하나 이상의 전력 공급 전압을 획득하기 위해 특히 효율적인 방식으로 출력 전압을 낮추고 안정화시키도록 이점적으로 구성되는 로우 드롭아웃 레귤레이터(Low-Dropout regulator), 가능하게는 LDO 레귤레이터를 포함한다.
- [0062] 이러한 방안 덕분에 정류 회로는 특히 효율적인 방식으로 자체적으로 전원을 공급할 수 있다.
- [0063] 대안적이고 바람직한 실시예에서, 전원 유닛은 2개의 입력 노드 중 적어도 하나에 연결된다. 바람직하게는, 정류 소자는 전원 유닛과 입력 노드 사이에 직렬로 삽입된다. 더욱 바람직하게는, 정류 소자는 다이오드 및 필터, 예를 들어 전원 유닛과 직렬인 다이오드 및 기준 단자에 대해 병렬로 배치된 커패시터를 포함한다.
- [0064] 이 실시예에서, 전원 유닛 및 이에 따른 제어 유닛은 정류 회로의 출력 전압과 별개로 활성화된다.
- [0065] 이러한 방안 덕분에 회로는 시동 중에 특히 효율적이다. 또한, 정류 회로에는 다이오드가 없는 전류 제어 소자가 포함되어 있으며, 이러한 방안은 출력 노드의 전압이 정상 내에서 아직 안정화되지 않은 회로 작동의 초기 단계에서도 제어 모듈에 올바르게 전원이 공급되도록 하고, 따라서, 구동 유닛이 출력 노드에 연결되는 경우에 전류 제어 소자를 제어하는 것이 불가능한 것을 보장한다.
- [0066] 일 실시예에서, 파일럿 유닛은 각각의 트랜지스터에 공급된 파일럿 신호의 스위칭 및 적어도 하나의 측정값에 기초하여 정류 회로의 대응하는 응답과 관련된 적어도 하나의 지연을 추정하기에 적합한 지연 추정 블록을 포함한다. 바람직하기로, 파일럿 유닛은 식별된 지연에 기초하여 각각의 트랜지스터에 대한 파일럿 신호를 생성하기에 적합한 논리 블록을 포함한다.
- [0067] 이러한 방식으로, 회로의 실질적으로 이상적인 동작을 달성하고, 회로의 각 소자의 지연을 동적으로 보상할 수 있다.
- [0068] 일 실시예에서, 파일럿 블록은 적어도 하나의 측정된 값 및 식별된 지연에 기초하여 각각의 트랜지스터에 대한 파일럿 신호를 생성하는데 적합하다.
- [0069] 이러한 방식으로, 회로의 각 소자의 지연 및 정류 회로의 현재 동작 조건에 대해 최적화된 파일럿 신호를 생성하는 것이 가능하다.
- [0070] 일 실시예에서, 지연 추정 블록은 각각의 트랜지스터를 활성화하기에 적합한 파일럿 신호의 제 1 스위칭 및 그에 대한 회로의 대응하는 응답과 연관된 활성화 지연을 추정하도록 구성된다.
- [0071] 이러한 방식으로, 파일럿 신호를 전송하는 순간에 대한 트랜지스터의 성공적인 스위칭 온 지연이 정밀하게 결정된다.
- [0072] 일 실시예에서, 지연 추정 블록은 각각의 트랜지스터를 스위치 오프하기에 적합한 파일럿 신호의 제 2 스위칭 및 이에 대한 정류 회로의 대응하는 응답과 관련된 스위칭 오프 지연을 추정하도록 구성된다.
- [0073] 이러한 방식으로, 파일럿 신호를 전송하는 순간에 대한 트랜지스터의 성공적인 스위치 오프 지연이 정밀하게 결정된다.
- [0074] 일 실시예에서, 논리 블록은 적어도 하나의 미리 결정된 제 1 파일럿 테스트 신호 및 제 2 파일럿 테스트 신호를 생성하고 이를 제 1 회로 브랜치의 트랜지스터 및 제 2 회로 브랜치의 트랜지스터에 각각 공급하도록 구성된다. 바람직하게는, 지연 추정 블록은 파일럿 테스트 신호에 대한 정류 회로의 응답에서 지연을 추정하도록 구성된다.
- [0075] 이러한 방식으로, 파일럿 신호의 최적 진행을 신속하게 결정할 수 있다.
- [0076] 일 실시예에서, 논리 블록은 제어 모듈의 활성화시에 파일럿 테스트 신호를 생성하도록 구성된다.
- [0077] 이러한 방식으로, 정류 회로가 작동을 시작하자마자 파일럿 신호의 최적 진행을 결정할 수 있다.
- [0078] 일 실시예에서, 논리 블록은 지연 추정 블록에 의해 식별된 지연을 보상하기 위해 파일럿 신호를 더 일찍 생성하도록 구성된다.
- [0079] 이러한 방식으로 정류 회로의 동작을 매우 정확하게 제어할 수 있다.

- [0080] 대안적인 실시예에서, 논리 블록은 미리 결정된 값에 의해 식별된 이상적인 파일럿 신호에 대하여 파일럿 신호를 조기에 생성하도록 구성된다.
- [0081] 이러한 방안 덕분에 매우 간단한 방식으로 초기 지연에 대한 보상을 제공할 수 있다.
- [0082] 일 실시예에서, 논리 블록은 적어도 각각의 입력 노드에서의 입력 전압이 기준 전압보다 작을 때 각 전류 제어 소자의 단자들 간에 전압을 최소화하도록 지연을 보상하게 구성된다. 이러한 방식으로, 정류 회로의 에너지 소비가 감소되고 전류 제어 소자의 최적 스위칭이 보장된다.
- [0083] 일 실시예에서, 논리 블록은 적어도 제어 소자의 단자에 인가된 입력 전압이 기준 전압보다 클 경우 각 전류 제어 소자를 통해 흐르는 전류를 최소화하도록 지연을 보상하게 구성된다.
- [0084] 이러한 방식으로, 정류 회로의 에너지 소비가 감소되고 전류 제어 소자의 최적 스위칭이 보장된다.
- [0085] 일 실시예에서, 논리 블록은 각 전류 제어 소자에 의해 소산된 전력을 최소화하기 위해 지연을 보상하도록 구성된다.
- [0086] 이러한 방식으로, 정류 회로의 더 나은 효율을 달성한다.
- [0087] 일 실시예에서, 논리 블록은 부하 소자에 의해 흡수된 전력을 최대화하도록 지연을 보상하게 구성된다.
- [0088] 이러한 방식으로, 정류 회로의 더 나은 효율을 달성한다.
- [0089] 일 실시예에서, 입력 전압은 반대 및 주기적으로 교번하는 반파를 포함하는 시간에 걸쳐 변하는 전압이다. 바람직하기로, 각 회로 브랜치는 입력 전압의 각각의 반파를 직접 출력 전압으로 변환하는 데 적합하다. 더욱더 바람직하기로, 파일럿 유닛은 입력 전압의 각각의 반파의 변환을 선택적으로 억제하기 위해 각 트랜지스터에 대해 파일럿 신호를 생성하도록 구성된다.
- [0090] 이러한 해결방안으로 인해 정류 회로에서 전압강하회로의 기능을 구조적 변형없이 구현할 수 있다.
- [0091] 일 실시예에서, 각각의 유도 소자는 인덕터, 즉 전류의 통과시 자기장을 발생시키는 전기부품, 바람직하게는 자기적으로 절연된 인덕터, 즉 임의의 다른 인덕터에 자기적으로 결합되지 않은 인덕터로 구성될 수 있다.
- [0092] 이러한 방식으로, 본 발명의 이 실시예의 유도 소자는 예를 들어, 1차 및 2차 권선이 항상 서로 자기적으로 결합된 변압기의 권선(코일)과는 상이하고, 그 반대도 마찬가지다.
- [0093] 본 발명의 다른 태양은 이러한 정류 회로를 포함하는 전원 장치를 제공한다. 이러한 전원 장치의 예는 벅, 부스트, 벅-부스트 타입의 비절연 DC-DC 회로, 절연된 DC-DC 및 AC-DC 회로, 예를 들어 SEPIC, 플라이 백(flyback), LLC 등을 포함한다.
- [0094] 본 발명의 다른 태양은 이러한 정류 회로를 포함하는 유도 수신기 회로를 제공한다. 바람직하게는, 각각의 유도 소자는 각각의 수신 코일을 포함한다.
- [0095] 일 실시예에서, 코일은 서로 중첩된다.
- [0096] 이러한 방식으로 컴팩트한 구조가 달성되고 코일은 자기장에 의해 균일하게 교차된다.
- [0097] 본 발명의 다른 태양은 이러한 정류 회로를 포함하는 정전용량성 수신기 회로를 제공한다. 바람직하게는, 각각의 입력 노드는 각각의 수용 플레이트와 연결된다.
- [0098] 본 발명의 다른 태양은 이러한 정류 회로를 포함하는 무선 주파수 수신기 회로를 제공한다. 바람직하게는, 입력 노드 중 적어도 하나는 안테나와 결합된다.
- [0099] 일 실시예에서, 무선 주파수 수신기 회로는 각각의 안테나와 결합된 적어도 하나의 추가 회로 브랜치를 포함하며, 각각의 브랜치는 각각의 인덕터와 각각의 주파수에서 공진하는 콘덴서 쌍을 포함한다.
- [0100] 이러한 방안 덕분에 매우 간단한 모듈 구조의 안테나 어레이를 갖는 무선 주파수 수신기 회로를 만들 수 있다.

발명의 효과

- [0101] 본 발명의 내용에 포함됨.

도면의 간단한 설명

- [0102] 본 발명의 다른 특징 및 장점은 첨부된 테이블에 도시된 도면의 도움으로 제한적인 목적이 아닌 예로서 제공된 하기 설명을 읽음으로써 명백해질 것이다.
 도 1 내지 도 9는 본 발명의 실시예에 따른 각각의 정류 회로의 개념 회로도이다.
 도 10a 및 도 10b는 본 발명의 각 실시예에 따른 제어 모듈이 개략적으로 도시된 정류 회로의 개념 회로도이다.
 도 11은 본 발명의 일 실시예에 따른 전원 장치의 개념 회로도이다.
 도 12는 본 발명의 일 실시예에 따른 유도성 에너지 전송 시스템의 개념 회로도이다.
 도 13은 본 발명의 일 실시예에 따른 정전용량성 에너지 전송 시스템의 개념 회로도이다.
 도 14a는 본 발명의 일 실시예에 따른 무선 주파수 에너지 전송 시스템의 개념 회로도이다.
 도 14b는 본 발명의 일 실시예에 따른 다중 안테나 무선 주파수 에너지 전송 시스템의 개념 회로도이다.

발명을 실시하기 위한 구체적인 내용

- [0103] 특히 이러한 도면을 참조하면, 본 발명에 따른 정류 회로는 전체적으로 10으로 표시되어 있고, 참조 번호 10.1, 10.2, 10.3, 10.4, 10.5, 10.6, 10.7, 10.7', 10.8, 10.8', 10.9는 이하에 설명되는 본 발명에 따른 정류 회로의 특정 실시예를 나타낸다.
- [0104] 전반적으로, 본 발명의 실시예에 따른 정류 회로(10)는 출력 노드(Out)와 기준 노드(GND) 사이, 예를 들어 회로의 접지 노드 사이에 병렬로 제 1 회로 브랜치(20) 및 제 2 회로 브랜치(30)를 포함한다. 각각의 회로 브랜치(20 및 30)는 유도 소자, 예를 들어 인덕터(L1 및 L2) 및 전류 제어 소자(23 및 33)를 각각 포함한다. 유도 소자(L1 및 L2)는 각각의 전류 제어 소자(23 및 33)와 직렬로 연결되어 있다. 대응하는 입력 노드(In1 및 In2)는 유도 소자(L1 및 L2)와 전류 제어 소자(23 및 33) 사이에 정의된다. 정류 회로(10)의 동작 동안, 입력 노드(In1 및 In2) 사이에 입력 전압(ΔV_{in})이 인가된다; 특히, 입력 전압은 시간에 따라 변하는 적어도 하나의 성분을 포함한다.
- [0105] 유리하게는, 유도 소자(L1 및 L2)는 고주파수, 특히 수백 kHz, MHz, 수십 또는 수백 MHz, GHz 또는 심지어 수십 GHz의 주파수까지 효율적으로 작동하도록 최적화될 수 있다.
- [0106] 더욱이, 본 발명에 따른 정류 회로는 Graetz 브리지에 기초한 회로 방안에 대하여 실질적으로 손실을 반감했다.
- [0107] 회로 브랜치(20 및 30)와 병렬로, 즉 출력 노드(Out)과 기준 노드(GND) 사이에 부하 브랜치(40)가 일반적으로 연결된다. 부하 브랜치(40)는 여기에서 고려되는 비제한적인 예에서 부하 임피던스, 특히 부하 저항(R1)을 포함한다. 바람직한 실시예에서, 부하 브랜치(40)는 또한 정전용량성 소자, 예를 들어 콘덴서(Co)를 포함한다. 더욱 더 바람직하게는, 부하 저항(R1)과 콘덴서(Co)는 병렬로 배치된다. 즉, 부하 저항(R1)과 콘덴서(Co) 모두가 출력 노드(Out) 및 기준 노드(GND)에 연결된다. 물론, 부하 임피던스는 유도 및/또는 리액티브 성분과 같이 부하 저항에 추가로 또는 대안으로 상이한 성분을 포함할 수 있다.
- [0108] 본 문헌에서, 콘덴서, 인덕터, 저항기, 다이오드 등과 같은 한 쌍의 단자가 장착된 구성요소가 2개의 다른 회로 노드에 연결되어 있음을 나타내는 경우, 이는 각 단자가 이러한 구성요소의 각 단자가 상기 회로 노드들 중 대응하는 하나에 연결되는 것을 의미한다.
- [0109] 제 1 실시예에 따른 (도 1에 도시된) 정류 회로(10.1)에서, 각각의 인덕터(L1 및 L2)는 출력 노드(Out) 및 각각의 입력 노드(In1 및 In2)에 연결되는 반면, 각각의 전류 제어 소자(23 및 33)는 기준 노드(GND) 및 각각의 입력 노드(In1 및 In2)에 연결된다. 전류 제어 소자(23 및 33) 각각은 각각의 다이오드(D1 및 D2)를 포함한다. 구체적으로, 각 다이오드(D1, D2)의 양극은 기준 노드(GND)에 연결되는 반면, 각 다이오드(D1, D2)의 음극은 각각의 입력 노드(In1, In2)에 연결된다.
- [0110] 제 2 실시예에 따른 (도 2에 도시된) 정류 회로(10.2)에서, 각각의 인덕터(L1 및 L2)는 출력 노드(Out) 및 각각의 입력 노드(In1 및 In2)에 연결되는 반면, 각각의 전류 제어 소자(23 및 33)는 기준 노드(GND) 및 각각의 입력 노드(In1 및 In2)에 연결된다. 전류 제어 소자(23 및 33) 각각은 각각의 스위치, 바람직하게는 트랜지스터(M1 및 M2)를 포함한다. 구체적으로, 각각의 트랜지스터(M1 및 M2)는 기준 노드(GND)에 연결된 제 1 전도 단자 및 각각의 입력 노드(In1 및 In2)에 연결된 제 2 전도 단자를 포함한다. 또한, 각각의 트랜지스터(M1 및 M2)는 (후술되는 바와 같이) 각각의 파일럿 신호(Vd1 및 Vd2)를 수신하기 위한 (도 10a 및 10b에 도시된) 제어 모듈

(50)과 결합된 제어 단자를 포함한다.

- [0111] 바람직하게는, 트랜지스터(M1, M2)는 서로 대응되는 유형이다. 더욱더 바람직하게는, 각각의 트랜지스터(M1 및 M2)는 바람직하게는 n형 또는 대안으로 p형, 실리콘 전계효과 트랜지스터, 바람직하게는 III 및 V족 원소, 예를 들어 InGaAs, GaAs, AlGaAs 또는 GaN과 같은 복합 재료로 제조된 높은 전자 이동도 유형의 또는 HEMT의 전계효과 트랜지스터, IV족 원소, 예를 들어 실리콘 카바이드(SiC)와 같은 복합 재료로 제조된 트랜지스터, 바람직하게는 전계효과 트랜지스터, 바이폴라 트랜지스터, 절연 제어 단자가 있는 바이폴라 트랜지스터 또는 절연 게이트 바이폴라 트랜지스터(IGBT)에서 선택된다.
- [0112] 이점적으로, 트랜지스터(M1 및 M2)가 전계효과 트랜지스터, 특히 금속 산화물 반도체 전계효과 트랜지스터(MOSFET) 또는 HEMT인 경우, 트랜지스터(M1 및 M2)의 소스 단자는 바람직하게는 기준 노드(GND)에 연결되고 트랜지스터(M1 및 M2)의 드레인 단자는 각각의 입력 노드(In1 및 In2)에 연결된다. 이러한 해결방안으로 인해, 트랜지스터(M1 및 M2)는 기준 노드(GND)의 정류 회로(10.2)의 기준 전위에 속하므로, 부트 스트랩 회로 또는 절차가 필요하지 않아서 회로 복잡성을 감소시키고 심지어 고주파에서도 그 제어를 단순화한다.
- [0113] 그러나, 교류 정류 회로(미도시)가 제공될 수 없는 이유가 없으며, 여기서 각각의 회로 브랜치에서 각각의 트랜지스터는 출력 노드와 입력 노드 사이에 배치되는 반면, 인덕터는 입력 노드와 기준 노드 사이에 배치된다.
- [0114] 제 3 실시예에 따른 (도 3에 도시된) 정류 회로(10.3)에서, 각각의 인덕터(L1 및 L2)는 출력 노드(Out) 및 각각의 입력 노드(In1 및 In2)에 연결되는 반면, 각각의 전류 제어 소자(23 및 33)는 기준 노드(GND) 및 각각의 입력 노드(In1 및 In2)에 연결된다. 전류 제어 소자(23 및 33) 각각은 각각의 다이오드(D1 및 D2) 및 각각의 트랜지스터(M1 및 M2)를 포함한다. 구체적으로, 각각의 트랜지스터(M1 및 M2)는 기준 노드(GND)에 연결된 제 1 전도 단자 및 각각의 입력 노드(In1 및 In2)에 연결된 제 2 전도 단자를 포함한다. 또한, 각각의 트랜지스터(M1 및 M2)는(후술되는 바와 같이) 각각의 파일럿 신호(Vd1 및 Vd2)를 수신하기 위해 제어 모듈(50)과 결합된 제어 단자를 포함한다. 또한, 각 다이오드(D1 및 D2)의 양극은 기준 노드(GND)에 연결되는 반면, 각 다이오드(D1 및 D2)의 음극은 각각의 입력 노드(In1 및 In2)에 연결된다. 즉, 각 트랜지스터(M1, M2)는 대응하는 다이오드(D1, D2)와 병렬로 연결된다.
- [0115] 전류 제어 소자(23 및 33)의 이러한 구조는 트랜지스터(M1 및 M2)가 (이러한 초기 순간 동안 비활성화될 수 있는) 제어 모듈(50)에 의해 제어되지 않을 때 입력 전압(ΔV_{in})의 파형의 동기 정류를 촉진시키는 동시에 시스템의 시동과 이에 따라 초기 순간에 또한 정류의 시동을 허용하는 목적을 갖는다.
- [0116] 제 3 실시예에 따른 (도 4에 도시된) 정류 회로(10.4)는 전류 제어 소자(23 및 33)에 포함된 다이오드(D1 및 D2)의 배열에 의한 정류 회로(10.3)와 상이하다. 특히, 다이오드(D1 및 D2)는 각각의 애노드가 대응하는 회로 브랜치(20 또는 30)의 입력 노드(In1 또는 In2)에 연결된다. 다르게, 다이오드(D1 및 D2)의 캐소드는 모두 기준 단자(GND)에 연결된다.
- [0117] 정류 회로(10.4), 특히 전류 제어 소자(23 및 33)의 구조는 음의 값의 출력 전압(V_{out})을 공급할 수 있게 한다.
- [0118] 정류 회로(미도시)의 대안적인 실시예에서, 각각의 인덕터(L1 및 L2)는 기준 노드(GND) 및 각각의 입력 노드(In1 및 In2)에 연결되는 반면, 각각의 전류 제어 소자(23 및 33)는 출력 노드(Out) 및 각각의 입력 노드(In1 및 In2)에 연결된다. 전류 제어 소자(23 및 33) 각각은 각각의 다이오드(D1 및 D2) 및 각각의 트랜지스터(M1 및 M2)를 포함한다. 구체적으로, 각각의 트랜지스터(M1 및 M2)는 출력 노드(Out)에 연결된 제 1 전도 단자 및 각각의 입력 노드(In1 및 In2)에 연결된 제 2 전도 단자를 포함한다. 또한, 각각의 트랜지스터(M1 및 M2)는 (후술되는 바와 같이) 각각의 파일럿 신호(Vd1 및 Vd2)를 수신하기 위해 제어 모듈(50)과 결합된 제어 단자를 포함한다. 또한, 각 다이오드(D1 및 D2)의 캐소드는 출력 노드(Out)에 연결되는 반면, 각 다이오드(D1 및 D2)의 애노드는 각각의 입력 노드(In1 및 In2)에 연결된다. 즉, 각 트랜지스터(M1 및 M2)는 대응하는 다이오드(D1 및 D2)와 병렬로 연결된다.
- [0119] (도 5에 도시된) 정류 회로(10.5)에서, 각각의 전류 제어 소자(23 및 33)는 트랜지스터(M1 또는 M2)뿐만 아니라 추가 트랜지스터(M3 또는 M4)를 각각 포함한다. 특히, 트랜지스터(M1 및 M3와 M2 및 M4)를 포함하는 각각의 전류 제어 소자(23 및 33)는 카운터 시리즈(counter-series)로 연결된다. 즉, 트랜지스터(M1, M3)는 각각의 소스 단자를 통해 서로 연결되는 반면, 트랜지스터(M1)의 드레인 단자는 기준 노드(GND)에 연결되고 트랜지스터(M3)의 드레인 단자는 입력 노드(In1)에 연결된다. 마찬가지로, 트랜지스터(M2 및 M4)는 각각의 소스 단자를 통해 서로 연결되는 반면, 트랜지스터(M2)의 드레인 단자는 기준 노드(GND)에 연결되고 트랜지스터(M4)의 드레인 단자는 입력 노드(In2)에 연결된다. 바람직하게는, 트랜지스터(M1 및 M3)는 동일한 파일럿 신호(Vd1)에 의해 제어

된다. 마찬가지로, 트랜지스터(M2 및 M4)는 동일한 파일럿 신호(Vd2)에 의해 제어된다

- [0120] 이러한 방식으로, (도 5에서 파선으로 표시된) 트랜지스터(M1-M4)의 기생 다이오드는 카운터 시리즈로, 즉 서로 쌍으로 미러링된다. 고려된 예에서, 트랜지스터(M1)의 기생 다이오드는 트랜지스터(M3)의 기생 다이오드를 미러링하고(반대의 경우도 마찬가지임), 트랜지스터(M2)의 기생 다이오드는 트랜지스터(M4)의 기생 다이오드를 미러링한다. 결과적으로, 그러한 기생 다이오드는 자발적 전도로 들어갈 수 없다. 이러한 방안 덕분에, 서로 직렬로 배치된 2개의 추가 트랜지스터를 이용하여, 따라서 부하에 전력을 공급하는 전류에 의해 교차되어, 이상적인 스위치의 동작과 전적으로 유사한 동작으로 갖는 전류 제어 소자(23 및 33)를 얻을 수 있다.
- [0121] 특히, 다이오드(D1, D2)가 생략된 정류 회로(10.5)에서, 입력 전압(ΔV_{in})을 선택적으로 또는 부분적으로 정류하는 것이 가능하다. 이러한 방식으로, 매우 효율적인 동기 정류를 제공할뿐만 아니라, 정류 회로(10.5)는 전류 컨트롤러(23 및 33)에 포함된 트랜지스터를 적절히 제어함으로써 노드(Out)상에 출력 전압(V_{out})의 값을 선택적으로 조정할 수 있게 한다. 다시 말해서, 정류 회로(10.5)는 전압 정류 기능 및 부하에 공급되는 전압의 조정 기능, 특히 낮추는 강하 기능, 전형적으로 2개의 개별 스테이지, 특히 서로 구별되는 하나의 정류 스테이지와 하나의 전압 감소 스테이지를 통해 구현되는 기능을 모두 제공한다.
- [0122] 또한, 정류 회로(10.5)는 또한 전류 컨트롤러(23 및 33)에 포함된 트랜지스터에 공급된 파일럿 신호(Vd1 및 Vd2)에 180도의 위상 이동을 가함으로써 전압 인버터로서 선택적으로 동작할 수 있다. 다시 말해, 출력 전압에 대한 파일럿 신호들 중 하나의 위상의 함수로서, 정류 회로(10.5)는 또한 기준 전압(GND)에 대해 음의 값으로 출력 노드(Out)상에 출력 전압(V_{out})을 공급하도록 제어될 수 있다. 이 경우에도 또한, 정류 회로(10.5)는, 예를 들어 입력 전압(ΔV_{in})의 파를 선택적으로 정류하는 등의 적절한 제어에 의해 최소 음의 값과 기준값(GND)(예를 들어 0V) 사이에 출력 전압(V_{out})을 조정할 수 있게 한다.
- [0123] 따라서, 본 발명의 실시예에 따른 정류 회로(10.5)는 파일럿 신호(Vd1, Vd2)에 유일하게 작용함으로써 노드 신호(Out)에서 출력 전압(V_{out})을 동적으로 및 완전히 재구성 가능한 방식으로 조정하여, 최소 음수 값과 최대 양수 값 중에서 어느 하나를 선택하게 할 수 있다. 예를 들어, 최소값은 입력 전압(ΔV_{in})의 최대값 또는 피크값, 즉 $|\Delta V_{inMAX}|$, 또는 부호가 바뀐 입력 전압의 배수, 즉 $-n \cdot |\Delta V_{inMAX}|$ 에 해당할 수 있고, 여기서 n은 양수인 반면, 최대값은 입력 전압(ΔV_{in})의 최대값, 즉 $|\Delta V_{inMAX}|$ 또는 입력 전압의 배수, 즉 $n \cdot |\Delta V_{inMAX}|$ 이다. 입력 전압(ΔV_{in})의 피크값보다 절대값이 더 큰 전압의 최대값 $n \cdot |\Delta V_{inMAX}|$ 을 얻기 위해, 다음 단락에 설명된 것처럼 공진을 이용할 수 있다. 전압은 스킵된 정류 사이클의 수에, 또는 대안으로 각 사이클의 정류 백분율에 작용함으로써 적절하게 조정될 수 있다.
- [0124] 카운트-시리즈에서 트랜지스터의 방향이 반전되는, 즉 트랜지스터(M1, M3) 및 트랜지스터(M2 및 M4)의 드레인 및 소스를 각각 반전시키는 대안의 정류 회로(미도시)에서 대응하는 이점이 얻어질 수 있음이 명백할 것이다.
- [0125] (도 6에 도시된) 대안적인 실시예에서, 정류 회로(10.6)는 부하 브랜치(40)와 직렬로 배열된 추가 전류 제어 소자(43)를 포함한다. 예를 들어, 추가 전류 제어 소자(43)는 출력 노드(Out)와 부하 브랜치(40)에 연결될 수 있다. 대안으로, 추가 전류 제어 소자(43)는 기준 노드 및 부하 브랜치(40)에 연결될 수 있다.
- [0126] 바람직하게는, 추가 전류 제어 소자(43)는 트랜지스터(M1 및 M2)와 유사한 유형의 트랜지스터(M5)를 포함한다. 특히, 트랜지스터(M5)는 각각의 기생 다이오드(도 5에서 파선으로 표시됨)가 M1 및 M2의 기생 다이오드에 대해 카운터-시리즈가 되도록 배열된다.
- [0127] 이러한 방식으로, 정류 회로(10.5)와 관련하여 상술한 바와 유사한 이점이 얻어지나, 단일 추가 트랜지스터의 사용으로 이에 따라 필요한 자원 및 경제적인 면에서 모두 비용이 더 낮다.
- [0128] 또한, 본 발명의 실시예에 따른 정류 회로(10)는 하나 이상의 추가 요소를 포함할 수 있다. 이하, 하나 이상의 추가 요소를 포함하는 상술한 제 3 실시예에 따른 정류 회로(10.3)의 대안적인 실시예가 도시되어 있다. 그러나, 상술한 정류 회로(10.1, 10.2, 10.4, 10.5 및 10.6)에 기초한 유사한 대안적인 실시예들도 가능한 것이 당업자에게 명백할 것이다.
- [0129] (도 7a에 도시된) 제 1 대안적인 실시예에서, 정류 회로(10.7)는 회로 브랜치(23 및 33)로부터의 적어도 하나가 각각의 디커플링 소자, 예를 들어 정전용량성 소자, 바람직하게는 입력 전압(ΔV_{in})을 공급하기 위해 정류 회로(10.7)와 결합된 회로로부터 정류 회로(10.7)를 분리하기에 적합한 입력 콘덴서(Cin1 및 Cin2)를 포함한다는 점에서 정류 회로(10.3)와 다르다. 구체적으로, 정류 회로(10.7)는 이러한 단자(Tin1 및 Tin2)에 연결된 회로에 의해 공급된 입력 전압(ΔV_{in})을 수신하기 위한 한 쌍의 입력 단자(Tin1 및 Tin2)를 포함한다. 각 입력 콘덴서(Cin1, Cin2)는 대응하는 회로 브랜치(23, 33)의 입력 노드(In1, In2) 및 각각의 입력 단자(Tin1, Tin2)에 연

결된다.

- [0130] 이러한 방식으로, 단자(Tin1 및 Tin2)에 연결된 회로의 전기 분극 전류 및 전압, 즉 직류가 정류 회로(10.7)에 영향을 미치는 것을 방지할 수 있다. 특히, 입력 노드(In1 및 In2)와 직렬로 연결된 콘덴서(Cin1 및 Cin2)는 인덕터(L1 및 L2)의 직류 전류 또는 DC에서 유효하고 바람직하지 않은 구성요소가 없음을 보장한다. 실제로, 인덕터(L1 및 L2)는 단자(Tin1 및 Tin2)를 통과한 전류의 직류 성분에 대한 단락으로서 동작하여 인덕터(L1 및 L2)를 통과하는 직류 전류의 흐름으로 인한 정류 회로(10.3)(즉, 콘덴서(Cin1 및 Cin2)가 없는 회로)의 오작동을 잠재적으로 결정한다.
- [0131] (도 7b에 도시된) 대안적인 실시예에서, 정류 회로(10.7')는 콘덴서(Cin1 및 Cin2) 중 하나만을 포함하여 제공된다. 실제로, 콘덴서(Cin1 및 Cin2) 중 하나만을 통해 직류 차단이 보장될 수 있다. 그러나, 콘덴서(Cin1 및 Cin2) 모두를 제공함으로써, 비싸고 부피가 크며 비효율적인 변압기를 필요로 함이 없이 입력 단자(T1 및 T2)에 연결된 발전기 회로로부터 부하 브랜치(40), 특히 부하 저항(R1)을 갈바닉 절연할 수 있다.
- [0132] 이점적으로, 입력 콘덴서(Cin1, Cin2)는 인덕터(L1, L2)와 결합하여 미리 결정된 제 1 공진 주파수(fr1)를 정의하도록 크기가 정해질 수 있다. 즉, 입력 콘덴서(Cin1, Cin2)와 인덕터(L1, L2)는 공진 탱크(LC)를 형성한다.
- [0133] 콘덴서(Cin1, Cin2) 및 인덕터(L1 및 L2)로 구성된 공진 탱크의 올바른 크기 덕분에, 입력 전압(ΔV_{in})에 대해 출력 전압(V_{out})을 올릴 수 있어, 특히 무선 에너지 송신기 또는 에너지 하베스팅 기반 전력 시스템에서 종종 발생하는 낮은 입력 전압을 특징으로 하는 회로에 유용한 전압의 증가 및 정류기의 이중 기능을 회로가 갖게 할 수 있다.
- [0134] 정류 회로(10.5)의 경우, 소정의 공진 주파수에서 인덕터(L1, L2)와 공진하도록 크기가 정해진 입력 콘덴서(Cin1, Cin2)와 카운트 시리즈의 트랜지스터를 포함하는 전류 컨트롤러(23, 33)의 구조의 조합이 출력 전압(V_{out})을 동적으로 변화시킬 수 있음이, 즉, 최소 음의 값과 최대 양의 값 사이의 부하 저항(R1)에 인가되는 전압은 또한 공진(LC)에 의해 주어진 부스트(리프팅) 효과에 의해 입력 전압(ΔV_{in})의 피크 전압보다 절대 값에서 더 클 수 있음이, 관찰되어야 한다. 이러한 방식으로, 이와 같이 수정된 정류 회로(10.5)는 또한 벡-부스트 컨버터로서 전류 제어 소자(23 및 33)의 적절한 제어를 통해 뿐만 아니라 정류기로서 및 가능하게는 전압 인버터로서 동작하는 (즉, 상술한 바와 같이 0보다 작은 값의 출력 전압(V_{out})을 생성하는) 능력을 통해 작동할 수 있다.
- [0135] (도 8a에 도시된) 다른 실시예에서, 정류 회로(10.8)는 회로 브랜치(23 및 33)의 입력 노드(In1 및 In2) 모두에 연결된 반응성 소자, 예를 들어 브리지 콘덴서(C_p)를 포함한다는 점에서 정류 회로(10.3)와 다르다.
- [0136] 브리지 콘덴서(C_p)가 있으므로 인해, 전류 제어 소자(23 및 33), 즉 다이오드(D1 및 D2) 및/또는 트랜지스터(M1 및 M2)가 하드 스위칭이라고 하는 전류 제어 소자 양단에 발생하는 고전압 및 전류로 인한 큰 손실을 특징으로 하는 불리한 작동 조건에서 작동하는 것을 방지할 수 있다
- [0137] 이점적으로, 브리지 콘덴서(C_p)는 유도성 소자(L1 및 L2)와 조합하여 미리 결정된 제 2 공진 주파수(fr2)를 정의하도록 크기가 정해질 수 있다. 즉, 브리지 콘덴서(C_p) 및 인덕터(L1, L2)는 공진 탱크(LC)를 형성한다.
- [0138] 브리지 콘덴서(C_p)와 인덕터(L1 및 L2)로 구성된 공진 탱크의 올바른 크기 덕분에, 부하 브랜치(40), 특히 부하 저항(R1)에 전달되는 전력을 최대화하는 동시에 제로 전압 스위칭(ZVS) 또는 제로 전류 스위칭(ZCS) 영역에서 실질적으로 동작하는 전류 컨트롤러(23 및 33)에서 소산된 전력을 최소화할 수 있다. 이는 에너지 하베스팅에 기초한 무선 에너지 전송 장치 또는 시스템에서 특히 유리하며, 예를 들어 1차 회로와 정류 회로(10)를 포함하는 2차 회로 사이의 약한 및/또는 매우 불안정한 결합을 통한 입력 전압(ΔV_{in})의 변화에 의해 회로가 영향을 덜 받을 수 있게 한다.
- [0139] (도 8b에 도시된) 대안적인 실시예에서, 정류 회로(10.8')는 한 쌍의 브리지 콘덴서(C_{p1} 및 C_{p2})를 포함한다. 구체적으로, 각 브리지 콘덴서(C_{p1} , C_{p2})는 각각의 입력 노드(In1 및 In2) 및 기준 노드(GND)에 연결된다. 즉, 각 브리지 콘덴서(C_{p1} 및 C_{p2})는 각각의 전류 제어 소자(23, 33)와 병렬로 배치되어 있다.
- [0140] 물론, 다른 실시예들도 가능하다; 특히, 입력 단자와 입력 노드 사이의 디커플링 소자, 및 입력 노드 또는 전류 제어 소자와 병렬로 연결된 한 쌍의 정전용량성 소자 사이의 정전용량성 소자 모두가 제공된 다른 대안적인 실시예에 따른 정류 회로를 제공할 수 있다. 이점적으로, 디커플링 소자 및 정전용량성 소자, 또는 한 쌍의 정전용량성 소자는 정류 회로의 유도성 소자와 조합하여 대응하는 공진 주파수를 정의하도록 크기가 정해질 수 있다. 다시 말해서, 디커플링 소자, 정전용량성 소자 또는 한 쌍의 정전용량성 소자 및 유도성 소자는 공진 탱

크(LC)를 형성한다.

- [0141] 특히, 공진 주파수(fr1 및 fr2)와 같은 선택된 공진 주파수에서 정류 회로(10.7, 10.7', 10.8 및 10.8') 또는 이들의 조합을 동작시켜보다 입력 전압(ΔV_{in})의 값보다 큰 값의 출력 전압(V_o)을 얻을 수 있다.
- [0142] 본 발명의 실시예에 따른 정류 회로(10)는 또한 예를 들어 서로 평행하게 배열된 많은 출력 브랜치를 포함할 수 있다. 이하, 정류 회로(10.3)에 기초한 정류 회로(10.9)가 복수의 출력 브랜치(40.1 내지 40.n)를 포함하는 대안적인 실시예가 설명된다. 그러나, 당업자는 상술한 정류 회로(10.1-10.8') 중 임의의 하나에 기초하여 유사한 대안적인 실시예가 가능하다는 것이 명백할 것이다.
- [0143] 고려되는 비제한적 예에서, 각각의 출력 브랜치(40.1-40.n)는 출력 노드(Out) 및 정류 회로(10.9)의 기준 노드(GND)에 연결된다. 각각의 출력 브랜치(40.1-40.n)는 각각의 부하 소자, 예를 들어 부하 저항(R1-R1n) 및 각각의 반응성 소자, 예를 들어 서로 병렬 배열된 출력 콘덴서(Co1 -Con)를 포함한다. 또한, 각 출력 브랜치(40.1-40.n)는 스위치, 예를 들어 부하 저항(R1- R1n) 및 출력 커패시티(Co1-Con)로 구성된 각각의 병렬 쌍과 직렬로 배열된 (선택) 트랜지스터(M6.1-M6.n)를 포함한다. 즉, 스위치(M6.1-M6.n), 부하 저항(R1-R1n) 및 출력 커패시티 (Co1-Con)는 출력 브랜치(40.1-40.n)의 중간 노드(Int)에 연결된다. 또한, 각각의 스위치(M6.1 ~ M6.n)의 단자는 바람직하게는 정류 회로(10.9)의 출력 노드(Out)에 연결되는 반면, 부하 저항(R1-R1n) 및 출력 커패시티 ((Co1-Con))는 기준 노드(GND)에 연결된다. 그러나, 각각의 스위치가 기준 노드(GND)에 연결되는 반면에 부하 저항(R1-R1n) 및 출력 커패시티((Co1-Con))은 출력 노드(Out)에 연결되는 대안적인 출력 브랜치(미도시)를 구성할 수 없는 이유가 없다. 마지막으로, 각 스위치(M6.1-M6.n)의 제어 단자(예를 들어 MOSFET의 경우 게이트 단자)는 각각의 파일럿 신호(Vd6.1-Vd6.n)를 수신하기 위해 제어 모듈(50)에 연결된다.
- [0144] 구체적으로, 모든 출력 브랜치((40.1-40.n))에서의 각각의 부하(R1-R1n)는 각각의 출력 전압(V_{o1} - V_{on})을 필요로 할 수 있으며, 이는 일반적으로 서로 다른 값일 수 있다. 본 발명에 따른 실시예에서, 정류 회로(10.9)는 전류 제어 소자, 예를 들어, 각각의 스위치(M6.1-M6.n)가 제어되는 선택 시간 주기(t_1 - t_n) 동안 트랜지스터(M1 및 M2)를 적절하게 제어하도록 제어 모듈을 구성함으로써 각각의 부하 저항(R1-R1n)의 요구에 따라 부하에 전기 에너지를 공급할 수 있다. 이러한 방식으로, 선택된 출력 브랜치(40.1-40.n)의 출력 커패시티(Co.1-Co.n)에 전기 에너지를 축적할 수 있으며, 전류 제어 소자(23, 33)에 포함된 트랜지스터(M1, M2) 및 각각의 출력 브랜치 (40.1-40.n)의 선택 스위치(M6.1-M6.n)의 조정시 단순히 작용함으로써 완전히 별개이고 동적으로 재구성 가능한 방식으로 출력 전압(V_{out})이 부하 저항(R1-R1n)에 의해 요구되는 값에 도달하도록 보장한다.
- [0145] 각 스위치(M6.1-M6.n)의 선택 주기(t_1 - t_n)의 함수로서, 각 부하 브랜치 (40.1-40.n), 특히 부하 저항(R1-R1n)의 정확한 전력을 보장할 수 있다. 일반적으로, 부하 브랜치((40.1-40.n))는 흡수될 전기 에너지의 양에 연결된 지속 시간의 각각의 선택 시간 주기(t_1 - t_n)에 할당된다. 다시 말해, 더 큰 전기 에너지를 흡수하는 부하 브랜치(40.1-40.n)는 전기 에너지를 덜 흡수하는 부하 브랜치(40.1-40.n)와 관련된 선택 시간 주기(t_1 - t_n)보다 큰 각각의 선택 시간 주기(t_1 - t_n)와 관련있고, 이 기간 동안 해당 스위치(M6.1-M6.n)는 도전적이다.
- [0146] 따라서, 본 발명의 실시예는 특히 소형이고 간단하며 비용 효과적인 정류 회로(10)를 제공하는데, 이들은 각각 상이한 전압을 필요로 하고 상이한 전류를 흡수 할 수 있는 다수의 부하를 관리하기에 적합하다. 제안된 정류 회로(10.9)는 정류 기능과 벽(감소기) 또는 벽-부스트(감소기/증가기) 유형의 변환을 결합하고, 서로 독립적으로 조정 가능한 복수의 출력 노드를 통해 전기 에너지를 공급하는데 적합하다.
- [0147] 상술한 바와 같이, 정류 회로(10.9)는 상기 제시된 정류 회로(10)의 하나 이상의 변형에 따라 수정될 수 있다. 예를 들어, 제로 전압 스위칭 또는 제로 전류 스위칭 모드에서 변형된 정류 회로(10.9)의 동작을 보장하기 위해 및/또는 각 부하(R1-R1n)에서 입력 전압(ΔV_{in})보다 가능하게는 큰 원하는 독립적인 값의 출력 전압(V_{out1} - V_{outn})을 갖는 데 유용한 벽-부스트 기능을 보장하기 위해 입력 콘덴서(Cin1 및 Cin2) 및/또는 브리지 컨덴서 (Cp)로부터 하나 이상의 적절한 반응성 소자를 추가하고, 크기를 조정하여 원하는 공진 주파수를 얻을 수 있다. 특히, 정류 회로(10.9)는 회로(10.5)에서 구현된 것과 유사한 전류 제어 소자(23 및 33)를 포함하도록 수정될 수 있어, 따라서 정류 트랜지스터(M1-M3 및 M2-M4) 및 선택 스위치(M6.1-M6.n) 모두에서 기생 다이오드 효과를 제거한다. 이러한 방식으로, 각각의 부하(R1-R1n)에서 출력 전압(V_{out1} - V_{outn})에 대한 가능한 값의 범위를 원하는대로 음의 최소값과 양의 최대값 사이에서, 특히 파일럿 신호(Vd1 및 Vd2)에 단순히 작용함으로써 각 부하 브랜치(40.1-40.n)에 정확하게 완전히 독립적이고 조정 가능한 방식으로 입력 전압(ΔV_{in})의 피크값(ΔV_{inMAX})보다 절대값이 더 크게 확장할 수 있다.
- [0148] 본 발명에 따른 정류 회로는 상술한 바와 같이 제어 모듈(50)을 더 포함한다. 이하, 상술한 제 3 실시예에 따른

정류 회로(10.3)와 관련하여 제어 모듈의 구조 및 동작에 대해 설명한다. 그러나, 제어 모듈도 또한 상술한 정류 회로(10.1-10.9) 및 그의 변형에 통합될 수 있다는 것이 당업자에게 명백할 것이다.

- [0149] 제어 모듈(50)은 측정 유닛(51) 및 파일럿 유닛(53)을 포함한다. 바람직하게는, 제어 모듈(50)은 전원 유닛(56) 및/또는 컨디셔닝 유닛, 또는 드라이버(59)를 포함한다.
- [0150] 상세하게, 측정 유닛(51)은 파일럿 유닛(53) 및 선택적으로 드라이버(59)에 연결된다. 측정 유닛(51)은 회로의 노드 및 정류 회로의 소자로부터 적어도 하나의 전압 및 전류로부터 적어도 하나의 값을 측정하는데 적합하다. 바람직하게는, 측정 유닛은 제 1 회로 브랜치(프로브 p1)의 입력 노드에서 전압; 상기 제 1 회로 브랜치의 전류 제어 소자(프로브 pm1)를 통해 흐르는 전류; 제 2 회로 브랜치(프로브 p2)의 입력 노드에서의 전압; 상기 제 2 회로 브랜치의 전류 제어 소자(프로브 pm2)를 통해 흐르는 전류; 정류 회로의 출력 노드에서의 전압(프로브 po); 및 부하 소자(프로브 pl)를 통해 흐르는 전류, 및 정전용량성 소자(프로브 pc)를 통해 흐르는 전류로부터 하나 이상을 측정하기 위해 회로와 연결된 하나 이상의 프로브들에 연결된다. 바람직하게는, 전류를 감지하기 위한 프로브는 셉트 저항, 홀 효과 센서 또는 다른 전류 측정 시스템을 포함할 수 있다.
- [0151] 또한, 측정 유닛(51)은 제 1 회로 브랜치의 전류 제어 소자에 의해 흡수된 전력; 제 2 회로 브랜치의 전류 제어 소자에 의해 흡수된 전력 및 부하 소자에 의해 흡수된 전력으로부터 하나 이상의 측정을 제공하기 위해 상기 표시된 2이상의 측정을 결합 할 수 있다.
- [0152] 바람직하게는, 측정 유닛(51)은 상술한 전압, 전류 및/또는 전력의 측정을 바람직하게는 연속적으로 획득하도록 구성된다.
- [0153] 파일럿 유닛(53)은 측정 유닛(51)에 의해 공급된 측정에 기초하여 각각의 트랜지스터(M1 및 M2)에 대한 파일럿 신호(Vd1 및 Vd2)를 생성하는데 적합하다. 또한, 파일럿 유닛(53)은 파일럿 신호(Vd1 및 Vd2)를 가능하게는 드라이버(59)의 조정을 통해 각각의 트랜지스터(M1 및 M2)의 제어 단자에 공급하기에 적합하다. 이점적으로, 드라이버(59)는 파일럿 신호(Vd1 및 Vd2)를 수신하고 그 값을 트랜지스터(M1 및 M2)에 대한 최적의 레벨로 적응, 가령 증폭시키는데 적합하다. 예를 들어, 파일럿 유닛(53)은 파일럿 신호들(Vd1 및 Vd2)을 가져올 값 레벨들에 대한 표시를 드라이버(59)에 제공할 수 있거나, 또는 드라이버(59)는 가능하게는 측정 유닛(51)에 제공되는 측정들에 기초하여 정적 또는 동적 방식으로 자율적으로 동작할 수 있다.
- [0154] 전원 유닛(56)은 제어 모듈(50)의 다른 유닛(51, 53 및 56)에 연결되어 그 작동을 가능하게 하는 전기 에너지를 전달한다. 바람직하게는, 전력 유닛(56)은 전문 용어로 에너지 하베스팅(energy harvesting) 또는 에너지 스캐빈징(energy scavenging)이라고 하는 기술에 따라 정류 회로(10.3)를 통해 전기 에너지를 흡수하기에 적합하다. 일 실시예에서, 전원 유닛은 출력 노드(Out)에 연결된다. 이러한 방식으로, 전원 유닛(56)은 출력 노드로부터 (따라서 정류 회로(10.3)에 의해 조정된 전압 및 전류 값으로) 에너지를 흡수하여 파일럿 유닛 및 그 작동을 위해 측정 유닛에 공급하고, 가능하게는 각 유닛(51, 53 및 59)에 최적으로 전력을 공급하기 위한 동작 온도에 기초한 전압값을 변화시킨다.
- [0155] (측정 유닛(51)과 파일럿 유닛(53)의 회로와의 연결은 간략화하기 위해 생략된, 도 10b에 도시된) 바람직한 실시예에서, 전원 유닛(56)은 바람직하게는, 정류 회로, 예를 들어, 다이오드 및 콘덴서를 포함하는 단일 반파 정류기를 통해, 입력 노드(In1 또는 In2) 중 하나에 연결되어 이러한 입력 노드(In1 또는 In2)를 통해 에너지를 흡수할 수 있다. 이러한 방식으로, 정류 회로(10.3)에 의해 수행되는 메인 정류와 별개의 정류를 사용하여 제어 모듈(50)의 전원 전압을 얻을 수 있다.
- [0156] 이 접근법은 또한 제어 모듈(50)에 전력을 공급하는 동시에, 다이오드(D1 및 D2)의 활성화를 잠재적으로 제거할 수 있게 하며, 트랜지스터(M1 및 M2)가 스위치 오프되는 시간 주기에서 높은 손실을 결정할 것이다. 또한, 이러한 접근법은, 특히 전류 제어 소자(23 및 33)가 적절한 값의 파일럿 신호(Vd1 및 Vd2)를 필요로 하는 안티-시리즈로 배열된 트랜지스터(M1-M3 및 M2-M4)를 포함하는 정류 회로(10.5)의 경우, 다이오드(D1 및 D2) 없이 정류 회로(10)의 효과적인 동작을 보장할 수 있게 한다.
- [0157] 더욱 바람직하게는, 전원 유닛은 특히 안정된 전압으로 제어 모듈에 전력을 공급하기에 적합한 값의 전원 전압을 제공하기에 적합한 로우 드롭아웃 레귤레이터, 전형적으로 전압 감소기를 포함한다. 전원 유닛(51)은 선형 회로 또는 스위칭 회로에 기초한 LDO를 포함 할 수 있는 것이 당업자에게 명백할 것이다.
- [0158] 그러나, 전기 에너지가 제어 모듈(50) 외부의 회로를 통해 공급될 수 없는 이유는 없다. 이 경우 제어 모듈은 전원 유닛(51)이 없을 수 있다. 또한, 전원 유닛(51)은 정류 회로(10.3)의 노드들을 통해 에너지를 흡수하지 않고 제어 모듈(50)의 유닛들(51, 53 및 59)에 에너지를 공급하기 위한 에너지 소스, 예를 들어, 배터리를 포함할

수 있다. 더욱이, 상기 유닛들(51, 53, 59)이 전압(V_o)으로 직접 전력을 공급받을 수 있고, 특히 정류 회로(10)의 시동 중에 제어 유닛에 의해 제어되지 않기 때문에, 트랜지스터들(M1 및 M2)이 스위치 오프될 때 입력 신호의 정류를 수행하는 다이오드들(D1 및 D2)이 있다면, 전원 유닛(51)은 생략될 수 있다.

[0159] 바람직한 실시예에서, 파일럿 유닛(53)은 논리 블록(61) 및 지연 추정 블록(63)을 포함한다.

[0160] 지연 추정 블록(61)은 측정 유닛(51), 전원 유닛(56) 및 논리 블록(61)에 연결된다. 지연 추정 블록(63)은 각각의 트랜지스터(M1 및 M2)에 공급된 파일럿 신호(V_{d1} 및 V_{d2}) 각각의 스위칭과 적어도 하나의 측정된 값에 기초하여 정류 회로의 대응하는 응답과 관련된 적어도 하나의 지연을 추정하는데 적합하다. 다시 말해, 지연 추정 블록(63)은 파일럿 신호(V_{d1} 또는 V_{d2})의 스위칭과 측정 유닛(51)에 의해 측정된 정류 회로(10.3)에서 전압 및/또는 전류 값의 대응하는 변화 사이를 통과하는 시간 주기를 식별하는데 적합하다.

[0161] 바람직하게는, 지연 추정 블록(63)은 각각의 트랜지스터(M1 및 M2)를 활성화하기에 적합한 파일럿 신호(V_{d1} 및 V_{d2}) 각각의 제 1 스위칭 및 이에 대한 정류 회로(10.3)의 대응하는 응답과 관련된 활성화 지연(τ_{on1} 및 τ_{on2})을 추정하도록 구성된다. 더욱이, 지연 추정 블록(63)은 각각의 트랜지스터(M1 및 M2)를 스위치 오프하기에 적합한 파일럿 신호(V_{d1} 및 V_{d2})의 제 2 스위칭 및 정류 회로(10.3)의 대응하는 응답과 관련된 스위치 오프 지연(τ_{off1} 및 τ_{off2})을 추정하도록 구성된다. 단순화된 실시예에서, 지연 추정 블록은 단일 활성화 지연(τ_{on1} 또는 τ_{on2}) 및 단일 스위칭 오프 지연(τ_{off1} 또는 τ_{off2})을 결정하도록 구성된다.

[0162] 논리 블록(61)은 바람직하게 드라이버(59)를 통해 트랜지스터(M1 및 M2)의 제어 단자와 결합된다. 논리 블록(61)은 측정 유닛(51) 및 추정 지연(τ_{on1} , τ_{on2} , τ_{off1} 및 τ_{off2})에서 나온 데이터를 기초로 각각의 트랜지스터(M1 및 M2)에 대한 파일럿 신호(V_{d1} 및 V_{d2})를 발생시키기에 적합하다. 바람직하게는, 논리 블록(61)은 측정 유닛(51)에 의해 측정된 적어도 하나의 값 및 추정 지연(τ_{on1} , τ_{on2} , τ_{off1} 및 τ_{off2})에 기초하여 각각의 트랜지스터(M1 및 M2)에 대한 파일럿 신호(V_{d1} 및 V_{d2})를 생성 및 형성하기에 적합하다.

[0163] 일 실시예에서, 파일럿 유닛(53) 또는 가능하게는 전체 제어 모듈(50)은 유선 로직 또는 마이크로 프로세서, 마이크로 컨트롤러, ASIC, FPGA 또는 유사한 통합 시스템을 통해 구현되어 보다 컴팩트한 구조를 얻을 수 있다. 또한, 파일럿 유닛(53) 또는 가능하면 전체 제어 모듈(50)은 대량 생산에서 비용 효과적이다.

[0164] 더욱이, 상술한 실시예들 중 어느 하나에 따라 구성된 단일 회로 브랜치(20 또는 30)를 포함하는 대안의 정류 회로(미도시)가 구현될 수 없는 이유는 없다; 대안으로, 제어 모듈(50)은 상술한 청구항 중 어느 한 항에 따른 정류 회로(10)의 회로 브랜치(20 또는 30) 중 하나만을 사용하도록 구성될 수 있다.

[0165] 대안으로 또는 추가로, 정류 회로(10.2-10.9)는 바람직하게는 서로 병렬 배열된 하나 이상의 각각의 트랜지스터(M1 및 M2)를 갖는 전류 제어 소자(23 및 33)를 포함할 수 있다. 이러한 방식으로, 적은 수의 추가 트랜지스터의 가격으로, 스위치 온 순간 동안 트랜지스터의 병렬의 증가 저항을 미세하게 조정할 수 있다.

[0166] 위에서 설명된 것에 비추어, 특히 도 10a를 참조로 이하 정류 회로의 동작을 설명한다. 물론, 이하에서 정류 회로(10.3)가 참조되지만, 이하에 설명되는 것과 유사하게 구성된 본 발명에 따른 정류 회로(10.2, 10.4-10.9)로 유사한 이점을 얻을 수 있다.

[0167] 정류 회로(10.3)는 시간에 따라 실질적으로 일정하고 바람직하게는 시간에 따라 주기적으로 가변하는 입력 전압(ΔV_{in})의 신호에 대하여 미리 결정된 값의 출력 전압(V_o)을 출력 노드(Out)에 공급하는 것을 가능하게 한다. 특히, 입력 전압(ΔV_{in})은, 예를 들어 양 및 음, 반대 및 교대, 바람직하게는 주기적인 반파를 포함한다. 입력 전압(ΔV_{in})의 반파는 최대값 또는 피크 절대값 $|\Delta V_{inMAX}|$ 이하의 고정 또는 가변 진폭을 가질 수 있다. 정류 회로(10.3)는 변압기 소자 필요없이, 매우 높은 고주파의 경우에도 특히 효율적인 동기 정류 기능 및 이에 따라 벌크 감소, 비용 및 에너지 소산이 감소된 센터 탭 변압기를 기반으로 하는 이중 반파 정류와 유사한 모드로 입력 전압(ΔV_{in})을 정류하도록 구성될 수 있다. 바람직하게는, 각각의 회로 브랜치(20 및 30)는 각각의 반파를 정류하도록 제어 모듈(50)에 의해 구성되고 제어된다. 예를 들어, 회로 브랜치(20)는 입력 전압(ΔV_{in})의 양의 반파를 정류하도록 구성되는 반면, 회로 브랜치(30)는 입력 전압(ΔV_{in})의 음의 반파를 정류하도록 구성된다. 다시 말해서, 각각의 회로 브랜치(20 및 30)는 입력 전압(ΔV_{in})의 각각의 반파를 변환함으로써 시간에 걸쳐 실질적으로 일정한 값의 출력 전압(V_o)을 출력 노드(Out)에 공급하도록 구성되고 제어된다.

[0168] 트랜지스터의 제어 절차

[0169] 상세하게는, 정류 회로(10.3)의 동작은 트랜지스터(M1, M2)의 활성화 및 스위칭 오프를 결정하는 제어 모듈(50)에 의해 결정된다.

- [0170] 일 실시예에 따르면, 측정 유닛(51)은 입력 노드(In1 및 In2)에서 각각 노드 전압 측정(Vin1 및 Vin2)만을 획득하도록 구성된다. 파일럿 유닛(53)은 적어도 각각의 입력 노드(In1 및 In2)에서 노드 전압(Vin1 및 Vin2)이 기준 전압(GND)보다 작을 때 각각의 전류 제어 소자(23 및 33)의 단자 간의 전압을 최소화하도록 구성된다. 예를 들어, 파일럿 유닛(53)은 각각의 입력 노드(In1 및 In2)에서 양의 노드 전압(Vin1 및 Vin2)이 0이 될 때 트랜지스터(M1) 및 트랜지스터(M2)를 활성화시키기 위해 파일럿 신호(Vd1 및 Vd2)를 생성하도록 구성될 수 있다.
- [0171] 일 실시예에서, 바람직하게는 '과부하' 조건 및/또는 트랜지스터 또는 다이오드의 하드 스위칭 조건에서의 동작을 방지하기 위한 동작 주파수, 이에 따라 전형적으로 수백 kHz, MHz 또는 수십 MHz 이상의 주파수의 경우에, 그러한 주파수가 높은 것으로 간주되는 특정 값 또는 값의 범위는 정류 회로(10)에 사용된 다이오드 및/또는 트랜지스터의 구성 기술에 의존하고, 파일럿 유닛(53)이 양의 노드 전압(Vin1)이 0이 될 때 트랜지스터(M1)를 활성화시키기 위해 파일럿 신호(Vd1 및 Vd2)를 생성하도록 구성된다는 것을 알아야 한다. 동시에, 파일럿 유닛(53)은 양의 노드 전압(Vin2)이 0이 될 때 트랜지스터(M2)를 활성화시키고 트랜지스터(M1)를 비활성화시키기 위해 파일럿 신호(Vd1 및 Vd2)를 생성하도록 구성된다.
- [0172] 특히, 입력 신호(ΔVin)가 양 및 음의 반주기의 시간 대칭을 갖는 것으로 가정하면, 트랜지스터(M1, M2)의 활성화 시 상보성을 이용해 노드 전압(Vin1 및 Vin2)으로부터 하나만 획득하고, 따라서 제어에 유용한 측정을 갖고 있는 관련 트랜지스터(M2 또는 M1)를 제어하는 신호(Vd1 또는 Vd2)에 카운터 시리트로 각각 신호(Vd1 또는 Vd2)에 따른 유용한 측정이 존재하지 않는 것과 관련해 트랜지스터(M1 또는 M2)를 제어하도록 측정 유닛(51)을 구성하는 것으로 충분하다.
- [0173] 일 실시예에 따르면, 측정 유닛(51)은 전류 제어 소자(23 및 33)를 통해 흐르는 전류, 즉 제 1 회로 브랜치(20) 및 제 2 회로 브랜치(30)에서 흐르는 전류를 결정하도록 구성된다. 따라서, 파일럿 유닛(53)은 적어도 컨트롤러 소자의 단자에인가된 입력 전압이 기준 전압보다 클 때 각각의 전류 제어 소자(23 및 33)를 통해 흐르는 전류를 최소화하도록 구성된다. 예를 들어, 파일럿 유닛(53)은 각각 0으로부터 전류 제어 소자(23 및 33)를 통해 각각 흐르는 전류가 양수가 될 때 트랜지스터(M1 및 M2)를 활성화시키고, 반대로, 양으로부터 전류 제어 소자(23 및 33)를 통해 각각 흐르는 전류가 0이 되면 M1 및 M2를 비활성화시키도록 파일럿 신호(Vd1 및 Vd2)를 생성하게 구성될 수 있다. 본 명세서에서, 양의 전류는 애노드로부터 D1 또는 D2를 통해 캐소드를 향해 흐르는 방향 및/또는 소스로부터 M1 또는 M2의 드레인을 향해 흐르는 방향을 갖는 전류인 것으로 가정된다.
- [0174] 일 실시예에 따르면, 측정 유닛(51)은 출력 콘덴서(Co)를 통해 흐르는 전류를 측정하도록 구성된다. 이 경우, 파일럿 유닛(53)은 예를 들어 출력 커패시티(Co)을 통해 흐르는 전류가 음에서 0이 된 다음 양이 되면, 트랜지스터(M1 또는 M2) 중 선택된 하나를 번갈아 가면서 활성화시키도록 파일럿 신호들(Vd1 및 Vd2)을 생성하고, 출력 커패시티(Co)을 통해 흐르는 전류가 양에서 0이 되면 이러한 트랜지스터(M1 또는 M2)를 비활성화하도록 구성된다. 당업자에게 명백한 바와 같이, 출력 커패시티(Co)를 통한 음의 전류라는 용어는 부하 저항(R1)에 전력을 공급하는 전류를 나타내고, 출력 커패시티(Co)를 통한 양의 전류라는 용어는 커패시티(Co)를 충전하는 전류를 나타내는 것을 의미한다. 본 발명의 실시예에 따르면, 파일럿 유닛(53)은 다음 전략들 중 하나에 따라 제 1 반파 변환 사이클 동안 어느 트랜지스터(M1 또는 M2)가 활성화될지를 식별하도록 구성된다. 제 1 전략은 트랜지스터(M1 또는 M2) 중 하나를 스위치 온하도록 임의로 선택하고(제 1 시도 선택), 트랜지스터(M1 또는 M2)를 스위칭 온하기 전의 순간과 관련하여 출력 콘덴서(Co)를 통한 전류, 부하 저항(R1)의 전류, 출력 전압(Vo)의 진행을 모니터링하는 것을 제공한다.
- [0175] 다른 실시예는 트랜지스터(M1 또는 M2)로부터 스위치 온하도록 트랜지스터를 선택하기 위해 제 2 측정, 예를 들어 노드 전압(Vin1 또는 Vin2)의 측정을 사용하는 것을 예상한다.
- [0176] 또한, 출력 커패시티(Co)는 필터 시스템의 직렬 저항을 감소시키기 위해 병렬로 결합된 복수의 출력 필터 커패시티(Co1, Co2, ..., Con)로부터 형성될 수 있음을 알아야 한다. 이 경우, 커패시티(Co1, Co2, ..., Con) 중 하나만 통해 전류를 측정하도록 측정 장치를 구성할 수 있으므로 측정과 관련된 손실을 줄일 수 있다.
- [0177] 일반적으로, 상당한 변형을 구성함이 없이, 측정 및 측정의 조합에 기초한 다른 구성도 가능하다.
- [0178] 정류 회로(10.2)의 경우, 즉 전류 제어 소자(23 및 33)가 각각의 트랜지스터(M1 및 M2)만을 포함하는 경우, 바람직하게는 스위치(M1 및 M2)가 예를 들어 GaN 타입의 BJT, IGBT 또는 HEMT 트랜지스터를 통해 만들어진 경우, 다음과 같은 방식으로 제어 모듈(50)을 구성하는 것이 가능하다.
- [0179] 측정 유닛(51)은 부하 저항(R1)과 출력 콘덴서(Co)를 통해 입력 노드(In1 및 In2)에서 노드 전압(Vin1 및 Vin2), 출력 노드(Out)에서 출력 전압(Vo) 및 전류 저항 소자(23 및 33)를 통한 전류를 측정하도록 구성된다.

더욱이, 파일럿 유닛(53)은 각각 노드 전압(Vin1 및 Vin2)이 트랜지스터(M1 및 M2)를 역으로 분극시키는 것과 같은 경우에, 즉, 노드 전압(Vin1 및 Vin2)이 양에서 0이 된 후 음이 되는 경향이 있는 순간에 M1 및 M2를 활성화하고, 연이어 전류 제어 소자(23, 33) 또는 트랜지스터(M1, M2)를 통과하는 출력 콘덴서(Co)를 통해 전류가 0이 될 때 트랜지스터(M1, M2)가 비활성화하는데 적합한 파일럿 신호(Vd1 및 Vd2)를 생성하고 이에 따라 0 또는 0에 가까운 직접 분극 전압으로 그리고 이에 따라 상당한 손실 없이 이에 따라 이상적인 다이오드의 거동을 시뮬레이트하도록 구성된다. 이 절차는 다이오드(D1, D2)의 개입을 제거하고/하거나 다이오드(D1 및 D2)를 전혀 갖지 않고 그리고 실질적으로 회로의 효율을 상당히 높이는 동시에 정류 회로를 만드는 데 필수적인 소자의 개수, 특히, 전원장치를 줄이도록 안티-시리즈로 트랜지스터들과 함께 가령 GaN 타입 및/또는 전류 제어 소자(23 및 33)의 HEMT과 같은 고속 스위치의 사용으로 가능하게 한다.

[0180] 지연 추정

[0181] 본 발명에 따른 제어 모듈(50)은 측정 유닛에 의해 제공되는 측정치의 판독, 신호(Vd1 및 Vd2)를 형성하기 위해 파일럿 블록(61)에서 필요한 처리, 드라이버(59)에 의한 신호(Vd1 및 Vd2)의 컨디셔닝 및 각각의 신호(Vd1 및 Vd2)의 스위칭에 대한 트랜지스터(M1 및 M2)의 반응 속도와 관련된 지연을 제거하는 것을 가능하게 한다. 구체적으로, 상술한 지연의 합으로 인한 총 지연은 일반적으로 ns, 수십 ns 또는 심지어 수백 ns일 수 있으며, 이는 정류 회로(10.3)(및, 유사하게, 정류 회로(10.2, 10.4-10.9)의 최대 동작 주파수를 실질적으로 감소시킬 수 있다. 이러한 지연은 사용된 단일 소자 및 생산 공정의 가변성 뿐만 아니라 시간에 따라 변하는 요인, 예를 들어 작동 온도에 의존한다. 어떻게 상술한 지연이 제거될 수 없고 실질적일뿐만 아니라 정류 회로(10.2-10.9)에서 사용되는 각각의 단일 구성요소에서 가변적인지는 당업자에게 명백할 것이고, 또한 완벽하게 동일한 특징을 갖는 구성요소의 이상적인 경우에, 특정 순간 조건(예를 들어, 동작 온도, 인가된 전압 및 전류 등)의 함수로서 이러한 구성요소들 사이에 변화가 있을 수 있으므로, 정류 회로(10.2-10.9)의 거동을 최적화하는 것이 어렵다.

[0182] 지연 추정 블록(63)이 있으므로 인해, 제어 회로(10.2-10.9)의 동작을 다음과 같이 개선할 수 있다:

[0183] 바람직한 실시예에서, 논리 블록(61)은 미리 결정된 순간들에서 스위칭하는 적어도 하나의 제 1 테스트 파일럿 신호 및/또는 제 2 테스트 파일럿 신호(이후에 또한 펄스라는 용어로 표시됨)를 형성하고 이를 제 1 회로 브랜치(20) 트랜지스터(M1) 및 제 2 회로 브랜치(30)의 트랜지스터(M2)에 각각 공급하도록 구성된다. 또한, 지연 추정 블록(63)은 펄스에 대한 정류 회로의 응답의 지연을 추정하도록 구성된다.

[0184] 바람직하게는, 논리 블록(61)은 제어 모듈(50)의 활성화시, 즉 스위치 온시에 테스트 파일럿 신호를 생성하도록 구성된다. 동시에, 논리 블록(61)은 예를 들어 대응하는 추정 시작 신호를 통해 지연 추정 블록(63)이 지연 추정 절차를 시작하게 제어하도록 구성된다.

[0185] 바람직하게는, 초기 테스트 신호의 펄스, 즉 지연 추정 블록(63)이 측정을 수행하기 전에 생성된 테스트 신호의 펄스는 예를 들어 제조업체에 의해 미리 결정된 및/또는 이전에 수행된 추정에 기초하여 0 값을 갖는 각각의 초기 지연(τ_{on1} , τ_{on2} , τ_{off1} 및 τ_{off2})을 고려하여 논리 블록(61)에 의해 생성될 수 있다. 결과적으로, 펄스는 제로 지연의 경우에 트랜지스터(M1 및 M2)의 이상적인 스위칭 온 또는 오프 시간과 관련하여 미리 생성된다.

[0186] 그 후, 측정 유닛(51)은 상술한 바와 같은 하나 이상의 전기 크기의 측정을 수행하고 이를 지연 추정 블록(63)에 제공한다. 특히, 측정 유닛(51)은 가령 지연 추정 블록(63)이 논리 블록(61)에 의한 펄스 생성과 이에 대한 회로의 응답 사이에 지난 시간, 즉 측정 유닛에 의해 공급된 하나 이상의 전기 크기의 측정 변동을 평가할 수 있도록 주파수로 하나 이상의 전기적 크기를 측정하도록 구성된다. 이러한 방식으로, 지연 추정 블록(63)은 지연(τ_{on1} , τ_{on2} , τ_{off1} 및 τ_{off2}) 값을 정확하게 추정할 수 있다. 따라서, 지연 추정 블록(63)은 논리 블록(61)에서 지연(τ_{on1} , τ_{on2} , τ_{off1} 및 τ_{off2})의 추정 값들을 제공한다.

[0187] 지연(τ_{on1} , τ_{on2} , τ_{off1} 및 τ_{off2})의 추정 값에 기초하여, 논리 블록(61)은 그러한 지연(τ_{on1} , τ_{on2} , τ_{off1} 및 τ_{off2})을 보상하여 스위칭, 즉 후속 작동 사이클 동안 파일럿 신호(Vd1 및 Vd2)의 펄스를 내보낸다. 일반적으로, 제어 모듈은 이전 동작 사이클의 스위칭 시간에 기초하여 순간적으로 스위칭 또는 펄스를 포함하는 파일럿 신호(Vd1 및 Vd2)를 형성하도록 구성되며, 동작 사이클의 전체 주기(T)가 이전 작동 주기에 추가되고 대응하는 추정 지연(τ_{on1} , τ_{on2} , τ_{off1} 및 τ_{off2})의 값이 이전 작동 주기로부터 감산된다.

[0188] 각 지연(τ_{on1} , τ_{on2} , τ_{off1} 및 τ_{off2})의 값의 독립적 추정으로 정확하고 동적인 보상이 가능해, 이에 따라, 정류 회로(10.3)의 더 나은 동작 효율을 가능하게 한다는 것이 당업자에게 명백할 것이다. 이는 스위칭 온 지연(τ_{on1} , τ_{on2})과 스위칭 오프 지연(τ_{off1} , τ_{off2})이 일반적으로 서로 다른 값을 가정하는 사실에 기인한다. 그러나, 제어 모듈(50)이 그 값들의 서브 세트를 추정함으로써 지연(τ_{on1} , τ_{on2} , τ_{off1} 및 τ_{off2})의 보상을

수행하도록 구성될 수 없는 이유가 없다.

- [0189] 지연 추정 블록(63)의 지연 계산 시스템은 상이한 원리에 기초할 수 있다.
- [0190] 일 실시예에서, 지연 추정 블록(63)은 측정 유닛(51)에 의해 제공된 전류 제어 소자(23 및 33), 부하 저항(R1) 및 출력 콘덴서(Co)를 통한 하나 이상의 전류의 측정에 기초하여 지연(τ_{on1} , τ_{on2} , τ_{off1} 및 τ_{off2})의 값을 추정하도록 구성된다. 특히, 지연 추정 블록(63)은 논리 블록(61)에 의해 생성된 대응하는 파일럿 신호(Vd1 및/또는 Vd2)의 함수로서 측정 유닛(51)에 의해 측정된 전류의 변동을 결정하도록 구성된다.
- [0191] 정류 회로(10.3)에서, 다이오드(D1 및 D2)는 입력 노드에서 노드 전압(Vin1 및 Vin2)의 값에 대해 전류가 흐르게 해 이들을 활성화시킨다. 동시에, 지연(τ_{on1} , τ_{on2} , τ_{off1} 및 τ_{off2})의 0값 또는 미리 결정된 초기 값의 경우에 그리고 이에 따라 이상적이지 않은 경우에, 트랜지스터(M1 및 M2)의 지연 개입이 있다. 결과적으로, 측정 유닛(51)은 파일럿 신호(Vd1 및/또는 Vd2)의 대응하는 펄스로부터 일정 시간이 지난 후에만 전류 제어 소자(23 및 33), 부하 저항(R1) 및 트랜지스터(M1 및 M2)의 개입에서 변경된 값을 갖는 출력 콘덴서(Co)를 통해 전류 중 하나 이상을 감지한다. 지연 추정 블록(63)은 이러한 시간 주기를 추정할 수 있고, 따라서 후속 동작 사이클에서 보상될 지연(τ_{on1} , τ_{on2} , τ_{off1} 및 τ_{off2})의 각각의 값을 추정할 수 있다. 이러한 방식으로, 다이오드(D1 및 D2)의 개입에 대하여 트랜지스터(M1 및 M2)의 개입에 의해 결정된 전류 세기의 변동을 최소화하는 피드백 제어가 얻어지고, 지연(τ_{on1} , τ_{on2} , τ_{off1} , 및 τ_{off2})의 값에 실질적으로 대응하는 값에 의해 파일럿 신호들 중 하나의 파일럿 신호들 중 하나 또는 모두에 펄스의 발생을 내보낸다.
- [0192] 일 실시예에서, 지연 추정 블록(63)은 트랜지스터(M1 및 M2)의 활성화에 의해 변경된 지연을 관찰하며 노드 전압(Vin1 및 Vin2) 중 하나 또는 모두의 값의 측정에 기초하여 지연(τ_{on1} , τ_{on2} , τ_{off1} 및 τ_{off2})의 값을 추정하도록 구성되며, 이러한 활성화는 실질적으로 기준 전압(GND)에 각각 입력 노드(In1 또는 In2)를 취한다.
- [0193] 일 실시예에서, 지연 추정 블록(63)은 상술한 절차를 조합함으로써 지연(τ_{on1} , τ_{on2} , τ_{off1} 및 τ_{off2})의 값을 추정하도록 구성된다. 이점적으로, 지연 추정 블록(63)은 입력 노드(In1 및 In2)에서의 노드 전압 값(Vin1 및 Vin2)의 측정에 기초하여 스위칭 온 지연(τ_{on1} 및 τ_{on2})의 값을 각각 추정하도록 구성된다. 다르게는, 지연 추정 블록(63)은 전류 제어 소자(23 및 33), 부하 저항(R1) 및 출력 콘덴서(Co)를 통해 하나 이상의 전류의 측정치에 기초하여 스위칭 오프 지연(τ_{off1} 및 τ_{off2})의 값을 추정하도록 구성된다. 이러한 방식으로, 스위칭 온 지연(τ_{on1} 및 τ_{on2}) 및 스위칭-오프 지연(τ_{off1} 및 τ_{off2})을 평가하기에 적합한 전기 크기의 측정을 사용함으로써 특히 지연(τ_{on1} , τ_{on2} , τ_{off1} 및 τ_{off2})의 정확한 값을 보다 정확하게 얻을 수 있다.
- [0194] 일 실시예에서, 지연 추정 블록(63)은 전류 제어 소자(23 및 33)(즉, 다이오드(D1) 및 트랜지스터(M1)와 다이오드(D2) 및 트랜지스터(M2)의 병렬)에 의해 흡수된 전력을 기초로 지연(τ_{on1} , τ_{on2} , τ_{off1} 및 τ_{off2})의 값을 추정하도록 구성된다. 동시에, 논리 블록은 지연(τ_{on1} , τ_{on2} , τ_{off1} 및 τ_{off2}) 값의 추정을 이용하여 파일럿 신호(Vd1 및 Vd2)를 형성하여 흡수된 이러한 전력을 최소화하도록 구성된다. 다시 말해서, 제어 모듈(50)은 능동 구성요소들(즉, 트랜지스터(M1 및 M2) 및 다이오드(D1 및 D2))에 의한 정류 회로(10.3)의 전력 흡수를 최소화하기 위한 피드백을 구현하여 그 전체 효율을 향상시키도록 구성된다. 실제로, 다이오드(D1, D2)에서 전도 상태의 활성화 및 비활성화에 대한 트랜지스터(M1, M2)의 지연된 스위칭 온오프로 트랜지스터(M1) 및 다이오드(D1)와 트랜지스터(M2) 및 다이오드(D2)의 병렬에 의해 손실되는 총 전력이 증가하게 된다. 유리하게는, 측정 유닛(51)은 예를 들어 한 작동 사이클 또는 많은 작동 사이클에서 순간 및/또는 평균 전력의 측정을 제공하도록 구성될 수 있다. 예를 들어, 측정 유닛(51)은 가능하게는 각각의 회로 브랜치(20 및 30)의 입력 노드(In1 및 In2)에서 노드 전압(Vin1 및 Vin2)의 측정과 결합된 전류 제어 소자를 통해 흐르는 전류의 측정에 기초하여 상기 전류 제어 소자(23 및 33)에 의해 흡수된 전력을 측정하도록 구성될 수 있다.
- [0195] 일 실시예에서, 지연 추정 블록(63)은 부하 브랜치(40) 또는 바람직하게는 부하 저항(R1)에 의해 흡수된 전력을 기초하여 지연(τ_{on1} , τ_{on2} , τ_{off1} 및 τ_{off2})의 값을 추정하도록 구성된다. 동시에, 논리 블록은 지연(τ_{on1} , τ_{on2} , τ_{off1} 및 τ_{off2}) 값의 추정을 이용하여 파일럿 신호(Vd1 및 Vd2)를 형성하여 흡수된 이러한 전력을 최대화하도록 구성된다. 다시 말해서, 제어 모듈(50)은 정류 회로(10.3)에 의해 부하로 전달되는 전력을 최대화하기 위한 피드백을 구현하여 정류 회로(10.3)의 효율을 최대화하도록 구성된다.
- [0196] 트랜지스터(M1 및 M2)가 하드 스위칭으로 인한 손실이 적은 것을 특징으로 하고 전류 제어 소자(23 및 33)가 역 직렬의 트랜지스터를 포함하는 정류 회로(10.5)의 경우 앞에서 설명한 바와 같이 대칭 스위치인 경우에 또는, 더욱이, 트랜지스터(10.6)에 출력 브랜치(40)가 직렬로 그리고 전류 제어 소자(23 및 33)의 트랜지스터가 카운터-시리즈로 제공되는 정류 회로(10.6)의 경우에 특히 이점적인 실시예는 파일럿 신호(Vd1 및 Vd2)의 활성화 또

는 비활성화 펄스의 순간과 측정 유닛(51)이 전류 제어 소자(23 및 33), 부하 저항(R1) 및 콘덴서(Co)를 통한 하나 이상의 전류에서의 변화 또는 입력 노드(In1 및 In2)에서 노드 전압(Vin1 및 Vin2)의 변화를 측정하는 순간 사이의 시간에 기초하여 지연(τ_{on1} , τ_{on2} , τ_{off1} 및 τ_{off2}) 값을 추정하도록 지연 추정 블록(63)을 구성하도록 예상된다. 특히, 입력 노드(In1 및 In2)에서의 노드 전압(Vin1 및 Vin2)의 측정에 기초하여 스위칭 온 지연(τ_{on1} 및 τ_{on2})의 값을 추정하도록 지연 추정 블록(63)을 구성하는 것이 특히 유리할 수 있는데, 이는 무시할 수 있는 효과의 기생 다이오드를 갖는 트랜지스터를 구현하고/하거나, 예를 들어 또한 전도 단자들 간에 역 분극이 존재하는 카운터 시리즈로 트랜지스터 쌍을 사용하는 경우에 바디 다이오드의 효과가 제거되는 전류 제어 소자(23 및 33)에서 전류가 실질적으로 0이기 때문이다. 다르게, 지연 추정 블록(63)은 바람직하게는 전류 제어 소자(23 및 33), 부하 저항(R1) 및 출력 콘덴서(Co)를 통한 하나 이상의 전류의 측정에 기초하여 스위칭 오프 지연(τ_{off1} 및 τ_{off2}) 값을 추정하도록 구성되는데, 이는 입력 노드(In1, In2)에서 노드 전압(Vin1, Vin2)이 트랜지스터(M1, M2)가 비활성화될 때까지 실질적으로 0을 유지하기 때문이다.

[0197] 마지막으로, 정류 회로(10.2)와 카운터 시리즈로 배열된 트랜지스터 쌍을 기반으로 한 정류 회로(10.5 및 10.6)는 따라서 바디 다이오드의 자발적 활성화 가능성 없이 입력 전압(ΔVin)을 효과적으로 선택적으로 정류할 수 있어, 트랜지스터(M1 및 M2)의 스위칭 온 시간의 조정 또는 정류 동작 사이클의 스킵(생략)을 통해 입력 전압(ΔVin)의 파형을 부분적으로 정류하는 것을 가능하게 한다. 다시 말하면, 제어 모듈(50)은 입력 전압(ΔVin)의 (예를 들어, 주기적으로 시간에 걸쳐 또는 미리 결정된 수의 연속 변환된 반파에 기초하여) 선택된 반파의 정류를 수행하지 않도록 전류 제어 소자(23 및 33)에 포함된 트랜지스터를 제어한다. 이러한 동작 방식은 정류 회로(10.2) 및 정류 회로(10.5 및 10.6)가 전압 정류기 및 전압 감소 회로와 동시에 작용하여 저비용 및 높은 회로 소형화를 보장할 수 있게 한다. 더욱이, 본 출원인은 대칭 스위칭 소자를 포함하고 바디 다이오드의 자발적 활성화 가능성 없이 정류 회로(10.7 또는 10.7')의 변형(미도시)에서 커패시티(Cin1 및 Cin2) 및 인덕턴스(L1 및 L2)의 정확한 튜닝을 결합함으로써 비용 효과적이고 콤팩트하며 간단한 방식으로 광범위한 입력 전압값(ΔVin)에 대한 부하 저항(R1)의 올바른 전원 공급을 항상 보장할 수 있는 출력 전압(V_o)의 매우 다양한 감소기/증가기의 기능을 갖는 정류 회로를 만들 수 있는 가능성을 강조한다.

[0198] 더욱이, 본 출원인은 정류 회로(10.5) 및 정류 회로(10.6)의 변형으로 카운터-시리즈로 배열된 트랜지스터 쌍을 포함하고 따라서 바디 다이오드의 자발적 활성화 가능성 없이 트랜지스터(M1 및 M2)에 해당하는 트랜지스터 쌍의 스위칭 순서를 간단히 반전하여 출력을 조정할 수 있을 뿐만 아니라 음의 출력으로 전압을 전달할 수 있는 정류 회로를 만들어 따라서, 노드 전압(Vin1)이 음의 값에서 0으로 가서 양이 될 때 M1을 스위칭 온하고, M1을 통과한 전류가 음에서 0으로 가서 양이 될 때 M1을 스위칭 오프하며, 마찬가지로, 노드 전압(Vin2)이 음의 값에서 0으로 가서 양이 될 때 M2를 스위칭 온하고, M2를 통과한 전류가 음에서 0으로 가서 양이 될 때 M2를 스위칭 오프하는 것이 가능하다는 사실을 강조한다.

[0199] 가능하게는 정류 사이클을 스킵함으로써 얻어진 노드(In1 및 In2) 사이에 인가된 입력 전압(ΔVin)의 진행, 공진의 존재 및 입력 전압(ΔVin)의 파형의 부분 정류와 관련하여 M1과 M2의 스위칭 온 시퀀스의 조합으로 입력 전압값(ΔVin)의 양의 배수인 최대값과 입력 전압값(ΔVin)의 음의 배수인 최소값 사이에서 (예를 들어, 트랜지스터(M1 및 M2)의 제어를 간단히 수정함으로써 n 배 $|\Delta Vin_{MAX}|$ 에서 $-n$ 배 $|\Delta Vin_{MAX}|$ 로) 가변적인 출력 전압(V_o)을 얻을 수 있는 것이 강조되어야 한다.

[0200] 바람직하게는, 구현된 지연 추정 절차(τ_{on1} , τ_{on2} , τ_{off1} 및 τ_{off2})에 상관없이, 지연(τ_{on1} , τ_{on2} , τ_{off1} 및 τ_{off2})의 추정은 정류 회로(10.3)의 전체 동작 기간 동안 수행되며, 또한 예를 들어 회로 소자들의 동작 온도의 변화에 따라 정류 회로의 정상 동작 동안 필요할 수 있는 지연(τ_{on1} , τ_{on2} , τ_{off1} 및 τ_{off2}) 값의 변동을 동적으로 보상한다.

[0201] 응용

[0202] 제안된 정류 회로(10)는, 각각의 변형예에서, 특히 절연 및 비절연 유형 모두의 전력 회로 분야에서 다수의 응용을 갖는다.

[0203] 절연된 전력 회로들 사이에서, 본 발명의 실시예에 따른 정류 회로(10)는 1차 회로 및 2차 회로가 예를 들어 절연된 AC/DC 및 DC/DC 전원(가령, 플라이 백, SEPIC 유형 등의 회로에서 발생하는 바와 같이 동일한 디바이스(또는 동일한 온보드 시스템)의 일부인 절연 전력 회로들 및 1차 회로 및 2차 회로가 포함된 절연 전원 회로 모두에서 유효하게 사용될 수 있거나, 재충전 및 전원 장치에 배치된 1차 에너지 전송 회로 및 전력이 공급 및 충전될 장치에 연결되거나 통합된 2차 에너지 수신 회로가 있는 무선 에너지 전송 시스템에서 발생하는 바와 같이 물리적으로 분리된 장치들을 구성하는 것이 강조되어야 한다.

- [0204] 특히, 본 발명의 실시예에 따른 정류 회로(10)는 1차 회로와 2차 회로가 예를 들어 변압기, 전문 용어로 '유도 절연'으로 또한 표시된 회로 방안을 통해 전기적으로 분리되고 서로 유도적으로 결합되는 전원 장치에 효과적으로 사용될 수 있다.
- [0205] 이 경우 인덕터(L1 및 L2)는 센터 탭 변압기의 2차 권선으로 대체된다. 센터 탭 변압기를 기반으로 현장에서 알려진 회로 구성과 관련하여, 제안된 시스템은 정류 회로(10)의 고유 지연을 보상할 수 있는 입력 노드에서의 전압의 효과적인 정류를 허용하여 보다 효과적이고 효율적인 정류를 보장하는 동시에 알려진 회로 구성을 통해 도달할 수 있는 주파수와 관련하여 훨씬 더 높은 주파수에서 작동을 허용할 수 있다.
- [0206] 더욱이, 본 발명에 따른 정류 회로는 전원 장치, 예를 들어 전원공급 장치(또는 온보드 전원공급 시스템)에서 효과적으로 사용되어 전압/전류 증가-감소 단계를 구현할 수 있는데, 이는 입력 전압(ΔV_{in})에 대하여 출력 전압(V_o)을 조절되고 효과적인 방식으로 증가, 감소 또는 음화시키도록 구성된다. 이점적으로, 이러한 결과는 추가적인 스테이지 및/또는 구성요소를 필요로 하지 않고 정류 회로(10)에서 추가 손실을 발생시키지 않고도 본 발명의 실시예에 따른 정류 회로(10)에 의해 얻어진다.
- [0207] 또한, 본 발명에 따른 정류 회로, 특히 회로(10.9) 또는 유사하게, 많은 출력 브랜치들이 구현된 정류 회로(10.1-10.8)의 변형은 전원 장치, 예를 들어 서로 다른 별개의 부하에 전력을 공급하는 데 유용한, 양 또는 음 구별없이 다수의 출력 전압을 제공하는 전원공급장치에 사용될 수 있다.
- [0208] 더욱이, 본 발명의 실시예에 따른 정류 회로(10)는 1차 회로와 2차 회로가 물리적으로 분리되고 전문 용어로 '정전용량성 절연'으로 표시된 회로 방안인 정전용량성 방식으로, 예를 들어 인터페이스 전기자를 통해 서로 결합된 전원 장치에 효과적으로 사용될 수 있다. 1차 및 2차 사이의 이러한 정전용량성 절연은 종래의 절연된 AC/DC 및 DC/DC 에너지 변환 시스템의 부피, 손실 및 비용을 실질적으로 감소시킬 수 있으며, 특히 변압기 및/또는 코일에 대한 필요성을 제거한다.
- [0209] 정전용량성 절연을 갖는 전원 장치(70)의 예가 도 11에 도시되어 있다. 도 11의 비제한적 예에서, 정류 회로(10.7)와 관련해 상술된 다이오드(D1 및 D2)가 없고, 입력 콘덴서(Cin1 및 Cin2)가 있는 정류 회로(10.2)가 제시된다. 정류 회로(10.2)는 일반적으로 수백 kHz, MHz 또는 심지어 수천 MHz의 고주파 발생기(72)가 연결된 입력 콘덴서(Cin1, Cin2)를 통해 여기된다.
- [0210] 당업자는 전원 장치(70)가 공지된 정류 회로에 의해 제한된 변압기를 갖는 공지된 절연 전원 장치의 동작 주파수보다 실질적으로 더 높은 주파수에서 동작할 수 있음을 이해할 것이다. 특히, 입력 콘덴서(Cin1, Cin2)가 이상적인 거동에 가까워지는 도달되는 높은 동작 주파수로 인해, 전원 장치(70)의 정전용량성 절연이 공지된 전원 장치에 비해 실질적으로 더 우수하다.
- [0211] 실시예에서, 고주파 발생기(72)는 예를 들어 브리지 H, 하프 브리지 또는 심지어 공진 방식, 예컨대 E급, 또는 역 E급, F급 또는 역 F급, E/F, 공진 D, H 또는 기타를 기반으로 한 선행 또는 스위칭 증폭기를 포함할 수 있다. 장치에 추가된 2차 회로로 전달된 전력의 가능한 다른 공진 또는 변조 리액턴스는 본 발명의 실시예에 따라 정류 회로를 크게 변경할 필요가 없다.
- [0212] 전원 장치(70)는 절연된 DC-DC 회로 및 절연된 AC-DC 회로로서 효과적으로 구현될 수 있어서, 전원회로를 매우 높은 동작 주파수로 인해 특히 콤팩트하고 효율적인 방안으로 대체할 수 있다.
- [0213] 본 출원인은 최종적으로 제안된 정류 회로가 동작하는 상술한 주파수에서 정류 부분이 고주파 전압 컨버터에서 통상적으로 가장 중요한 단락회로이기 때문에 인덕터(L1 및 L2)의 값이 페라이트와 같은 강자성 물질로 구성된 코어에 대한 필요성을 제거하고 이에 따라 이들과 관련된 손실을 감소시키는 지점까지, 매우 낮은 값 및 크기로 예를 들어 수백 nH 이하로 감소된다.
- [0214] 물론, 정류 회로(10.1-10.9)의 임의의 실시예는 여기에서 고려되는 정류 회로(10.2)의 대안으로서 상술한 바와 같이 전원 장치(70)에서 구현될 수 있다. 특히, 전원 장치(70)에 실질적으로 대응하는 전원 장치는 MOSFET 유형의 트랜지스터에 의해 대칭 거동을 얻는데 적합한 기술을 구현하고, 특히 기생 다이오드에 의해 야기되는 부정적인 영향을 차단하는 정류 회로(10.5 및 10.6)를 사용함으로써 얻을 수 있다.
- [0215] 본 발명의 실시예에 따른 정류 회로(10)는 무선 에너지 전송 시스템, 따라서 1차 전송 회로 및 2차 수신 회로가 물리적으로 전기적으로 분리된 장치로 배열된 회로에 사용하기에 특히 적합하다. 전형적으로, 무선 에너지 전송 시스템에서, 2차 회로 또는 수신 회로에는 수신 소자 및 상기 수신 소자에 의해 수신된 에너지로 부하에 전력을 공급하는데 유용한 정류 회로가 설비된다.

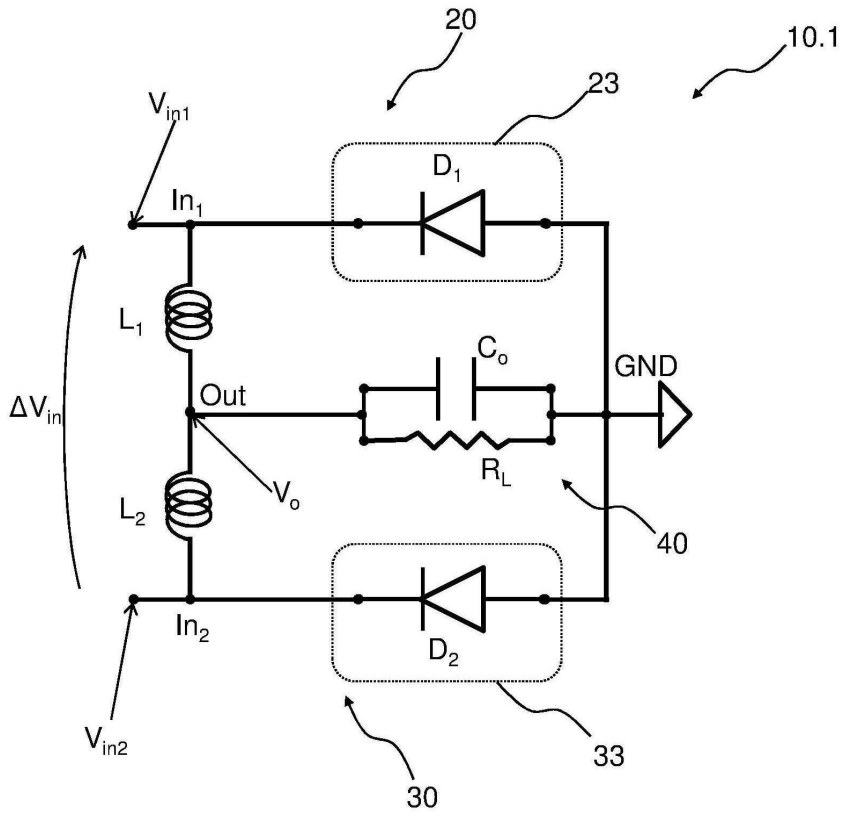
- [0216] 정류 회로(10)는 유도성, 정전용량성 및 무선 주파수 유형의 무선 에너지 전송 시스템에 사용하기에 적합하다.
- [0217] 유도 전송
- [0218] 에너지의 유도성 전송에 기초한 시스템에서, 전송 및 수신 소자는 전형적으로 동작 주파수에서 주로 유도성 거동을 갖는 리액턴스, 일반적으로 전송 회로에서 수신 회로로 에너지를 전송하기 위해 서로 결합된 코일이다.
- [0219] 본 발명의 일 실시예에서, (도 12에 도시된) 유도성 유형의 무선 에너지 전송 시스템(80)의 유도 수신기 회로(81)는 상술한 실시예들 중 하나에 따른 정류 회로(10), 예를 들어 정류 회로(10.3)를 포함한다. 바람직하게는, 각각의 유도 소자는 각각의 수신 코일(L1 및 L2)를 포함한다. 더욱 바람직하게는, 코일(L1 및 L2)은 전형적으로 서로 중첩될 수 있거나, 또는 어떤 경우에 전송 회로(82)에 의해 생성된 자기장이 가해지는 것과 같은 구조를 가질 수 있다.
- [0220] 코일(L1)에 대한 코일(L2)의 권취 방향을 간단히 변경함으로써 정류 다이오드(D1 및 D2) 및/또는 트랜지스터(M1 및 M2)를 동시에 활성화 시키거나 다이오드(D1 및 D2) 및/또는 트랜지스터(M1 및 M2)를 교번하는 방식으로 활성화시키기 위해 수신 코일(L1 및 L2)을 감는 것이 가능하다는 것에 유의해야 한다. 구체적으로, 출력 전압(V_o)의 발전을 최소화하고 이에 따라 전압 리플을 감소시키는 데 유용한 다이오드(D1 및 D2) 및/또는 트랜지스터(M1 및 M2)의 동작을 교대로 얻기 위해, 코일(L1 및 L2)은 도 12의 b에 상세히 도시된 바와 같이 제 2 코일(L2)이 실질적으로 제 1 코일(L1)의 연속이도록 권취된다. 다르게, 회로의 올바른 작동에 필요한 코일(L1 및 L2)의 총 인덕턴스 값을 최소화하는 데 유용한 다이오드(D1, D2) 및/또는 트랜지스터(M1, M2)의 동작을 동시 방식으로 얻기 위해, 코일(L1 및 L2)은 도 12의 a에 상세하게 도시된 바와 같이 제 1 코일(L1)에 연결되도록 권선된다.
- [0221] 따라서, 본 발명에 따른 유도 수신기 회로(81)는 손실을 크게 감소시키고 실질적으로 작동 주파수를 증가시키는 직렬 및 병렬 모두 공진뿐만 아니라 비공진 유도 결합에 기초하여 무선 에너지 전송 시스템에서 손실을 크게 감소시키고, 이에 따라 소형화 및 효율 면에서 실질적인 이점을 보장할 수 있다. 이러한 이점은 여러 측면에 관련되며, 그 중 특히 다음과 관련이 있다. 본 발명의 실시예에 따른 정류 회로(10)는 공지된 회로, 예를 들어 다이오드 또는 트랜지스터에 대한 정류 장치에서의 손실의 감소를 보장하는 데, 이는 비슷한 유형의 공지의 회로에 대한 정류에 필요한 일련의 장치들의 수가 줄어들기 때문이다. 또한, 본 발명의 실시예에 따른 정류 회로(10)는 상기 정류 회로(10)가 또한 전압 조정기로서 작용하고, 필요하다면, 또한 다중 출력 조정기로서, 추가로 상당한 손실을 야기함이 없이, 동작하기 때문에 무선 수신기의 스테이지 수를 감소시킬 수 있다. 게다가, 정류 회로(10)는 동일한 출력 전압에 대해 코일 상에 흐르는 전류 RMS를 감소시킬 수 있어, 이에 따라 코일에서의 스킨 효과에 의해 저항 손실이 감소된다. 마지막으로, 정류 회로(10)는 페라이트의 사용을 필요로 하지 않으므로, 히스테리시스에 의한 손실을 제거한다.
- [0222] 정전용량성 변압기
- [0223] 에너지의 정전용량성 전송에 기초한 시스템에서, 전송 및 수신 소자는 전형적으로 콘덴서의 전기자로서 작동하도록 함께 가져와지는 각각 1차(또는 전송) 회로 및 2차(또는 수신) 회로 상에 각각 배열된 예를 들어 금속의 전도성 플레이트이다.
- [0224] 정전용량성 에너지 전송에 기초한 시스템(90)에 대한 유리한 구조는 수용 플레이트와 관련해 더 작고 더 많은 수의 복수의 전송 플레이트(101), 예를 들어 도 13의 예에 도시된 바와 같이 2차 회로(92)에 포함된 정류 회로(10)의 각각의 입력 노드(In_1 및 In_2)에 각각 연결된 단일 쌍의 플레이트(103.1 및 103.2)가 장착된 1차 회로(91)를 포함한다.
- [0225] 정전용량성 결합에 기초한 무선 에너지 전송 시스템(90)에서, 전송 회로(91)는 복수의 전송 플레이트(101)를 포함하고, 이들은 제 1 수신 플레이트(103.1)와 결합될 경우 동상의 전압파로, 제 2 수신 플레이트(103.2)와 결합되는 경우 역위상으로 또는 여하튼 다른 전압으로 여기된다. 이러한 방식으로, 시스템(90)을 1차 회로(91)와 2차 회로(92) 사이의 상대 위치와 별개로 만들 수 있으므로, 1차 회로(91)는 완전히 독립적인 방식으로 서로로부터 매우 다른 형상 및 전력의 장치로 구성된 하나 이상의 2차 회로(92)에 전력을 공급할 수 있다.
- [0226] 시스템(90)은 단일 작동 플레이트(101)를 (일반적으로 가능하게는 각 전기자의 모든 여기 스위치가 특히 작고 빠르기 때문에 그리고 가령 모든 여기 스위치 사이에 손실을 분배하기 위해) 높은 작동 주파수로 여기시킴으로써 고주파에서 작동할 수 있고, 뒤이어 본 발명의 실시예에 따른 정류 회로(10)로 인해 2차 회로(92)가 잇따를 수 있다.
- [0227] 따라서, 제안된 시스템(90)은 동작 주파수 및 효율의 실질적인 증가를 허용하며, 정전용량성 유형의 임의의 다

른 공지된 무선 에너지 전송 시스템으로는 달성 할 수 없는 성능을 허용하며, 여기서 수신 회로에 포함된 정류 회로는 시스템의 병목 현상이다. 즉, 주파수 성능 면에서 중요한 요소이다.

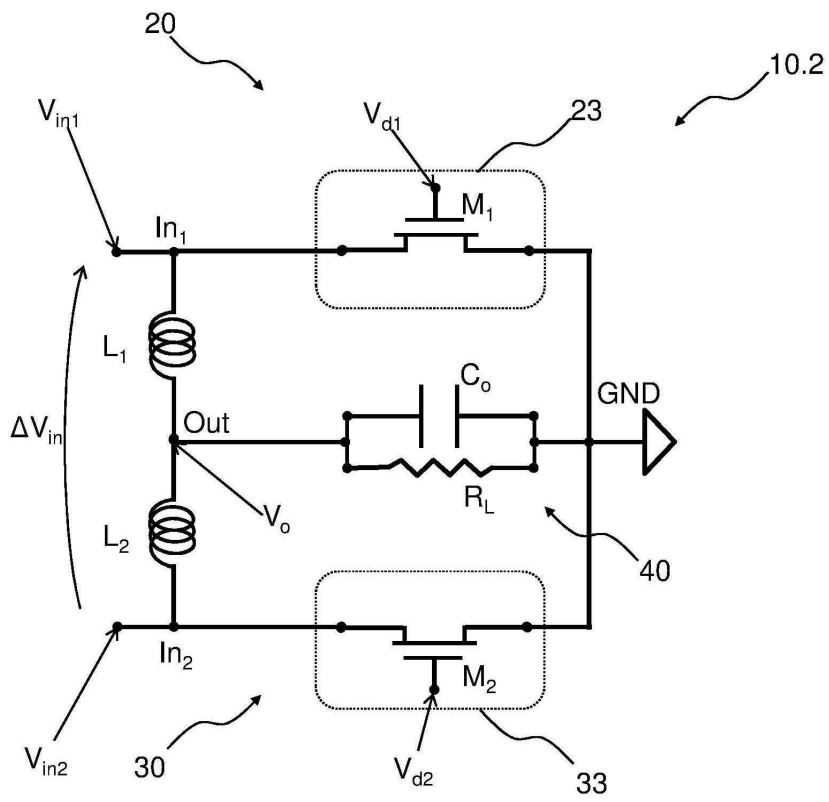
- [0228] 무선 주파수 전송
- [0229] 특히 장거리 전송에 적합한 무선 주파수 에너지 전송에 기초한 시스템에서, 전송 및 수신 소자는 단일 안테나 또는 안테나 매트릭스로 만들어진 안테나를 포함한다.
- [0230] 도 14에 도시된 바와 같이, 시스템(110)은 송신 안테나(121)를 포함하는 송신 회로(113)를 포함하는 반면, 수신기 회로(116)는 정류 회로(10.3) 및 수신 안테나(123)를 포함한다. 이러한 안테나(123)는 정류 회로(10.3)의 노드(In1)와 같이 입력 노드 중 하나와 결합된다.
- [0231] 또한 이 경우에, 전형적으로 수신기 회로(116)에 포함된 정류 회로(10.3)는 중요한 요소이다. 무선 주파수 송신 시스템의 높은 동작 주파수가 주어지면, 정류 회로(10.3)가 특히 유용하고 효과적이며 공지된 방안에 대하여 시스템(110)의 성능을 향상시킬 수 있다.
- [0232] 대안적인 실시예는 바람직하게는 출력 브랜치(40)와 병렬로 복수의 회로 브랜치를 포함하는 수정된 수신기 회로(116')를 예상한다. 각각의 회로 브랜치는 인덕터(L1-Ln), 트랜지스터(M1-Mn) 및 또한 콘덴서(C1-Cn)와 같은 반응성 소자 및 안테나(A1-An)를 포함한다. 각 인덕터(L1-Ln) 및 콘덴서(C1-Cn) 쌍은 서로 다른 주파수에서 공진하도록 크기가 조정된다. 더욱이, 각각의 대응하는 안테나(A1-An)는 대응하는 인덕터(L1-Ln) 및 콘덴서(C1-Cn) 쌍에 의해 정의된 공진 주파수에서 무선 주파수 신호를 수신하도록 크기가 정해진다. 수신기 회로(116')의 이러한 변형은 따라서 각각의 안테나(A1)가 수신기 회로에 의해 차단된 무선 주파수 신호의 넓은 흡수 스펙트럼을 보장하는 각각의 주파수 또는 주파수 대역을 각각이 수신하도록 조정된 n개의 회로 브랜치의 매트릭스 또는 어레이를 포함한다. 이는 수신기 회로(116')가 넓은 스펙트럼으로 무선 주파수 신호와 관련된 에너지를 변환하는데 적합하기 때문에, 에너지 하베스팅에 기초한 시스템에서 수신기 회로(116')를 사용하는 경우에 특히 유용하다.
- [0233] 물론, 전원 장치(70), 무선 에너지 전송 시스템(80, 90) 및 에너지(110)의 무선 주파수 전송에 기초한 시스템의 대안적인 형태가 본 발명의 실시예에 따른 정류 회로(10.1 내지 10.9) 중 어느 하나를 포함하여 구현될 수 있다.
- [0234] 결론적으로, 상술한 모든 실시예 및 모든 회로에서, 달리 명시적으로 제공되지 않은 실시예들(예를 들어, 도 12에 도시된 실시예)을 제외하고, 각각의 유도성 소자(L1)는 자기적으로 고립된 인덕터, 즉, 다른 구성요소에 자기적으로 결합되지 않고 전류의 통과시 자기장을 생성할 수 있는 전기 구성요소(인덕터)로 구성될 수 있음을 명시하는 것이 바람직하다.
- [0235] 여하튼, (도 12의 실시예를 포함해) 본 논의에서 설명된 모든 실시예에서, 유도 소자(L1 및 L2)는 변압기의 권선으로 구성되지 않고/않거나 변압기의 권선을 포함하지 않는다.
- [0236] 다시 말해서, 상술한 실시예들 중 어느 것도 정류기 회로가 변압기를 포함하는 것을 제공하지 않는다.
- [0237] 따라서, 본 발명은 수많은 수정 및 변형을 겪을 수 있으며, 이들 모두는 본 발명의 개념에 포함된다.
- [0238] 예를 들어, 정류 회로와 전원 장치, 무선 에너지 전송 시스템 및 (정류 회로 중 하나를 포함해) 에너지의 무선 주파수 전송에 기반한 시스템은 별개의 구성요소들로 만들 수 있으며, 시스템 온 칩에 집적될 수 있거나, 별개의 통합된 구성요소의 조합으로 만들 수 있다.
- [0239] 더욱이, 모든 세부 사항들은 기술적으로 동등한 다른 요소들로 대체될 수 있다.
- [0240] 실제로, 사용된 재료 뿐만 아니라 부수한 형상 및 크기는 이러한 이유 때문에 하기의 청구항의 보호 범위를 벗어남이 없이 요건에 따른 무엇이든 될 수 있다.

도면

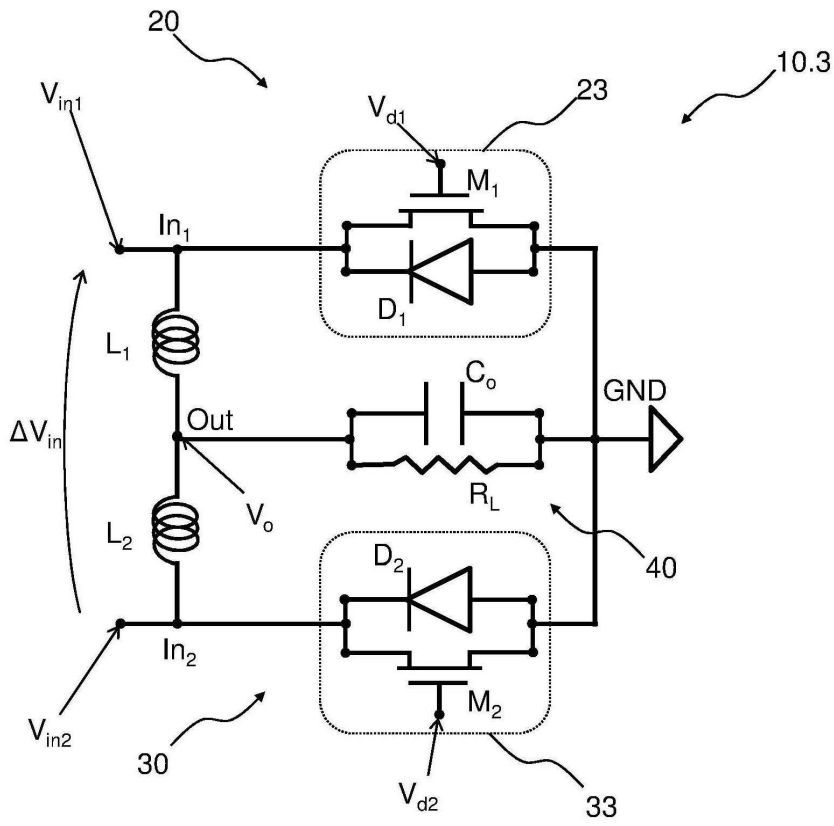
도면1



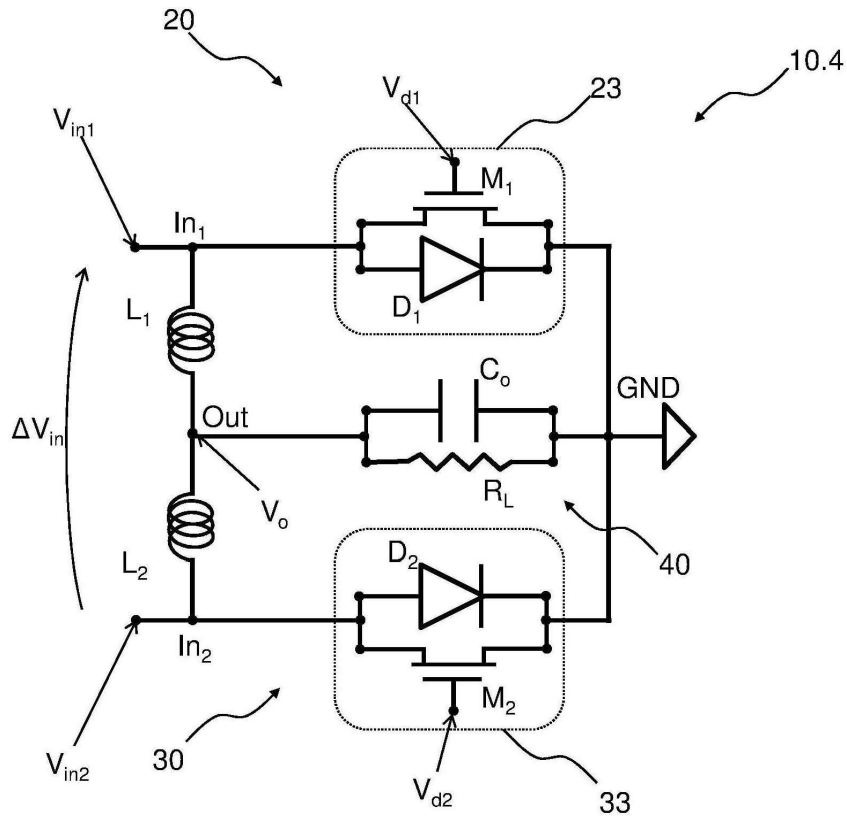
도면2



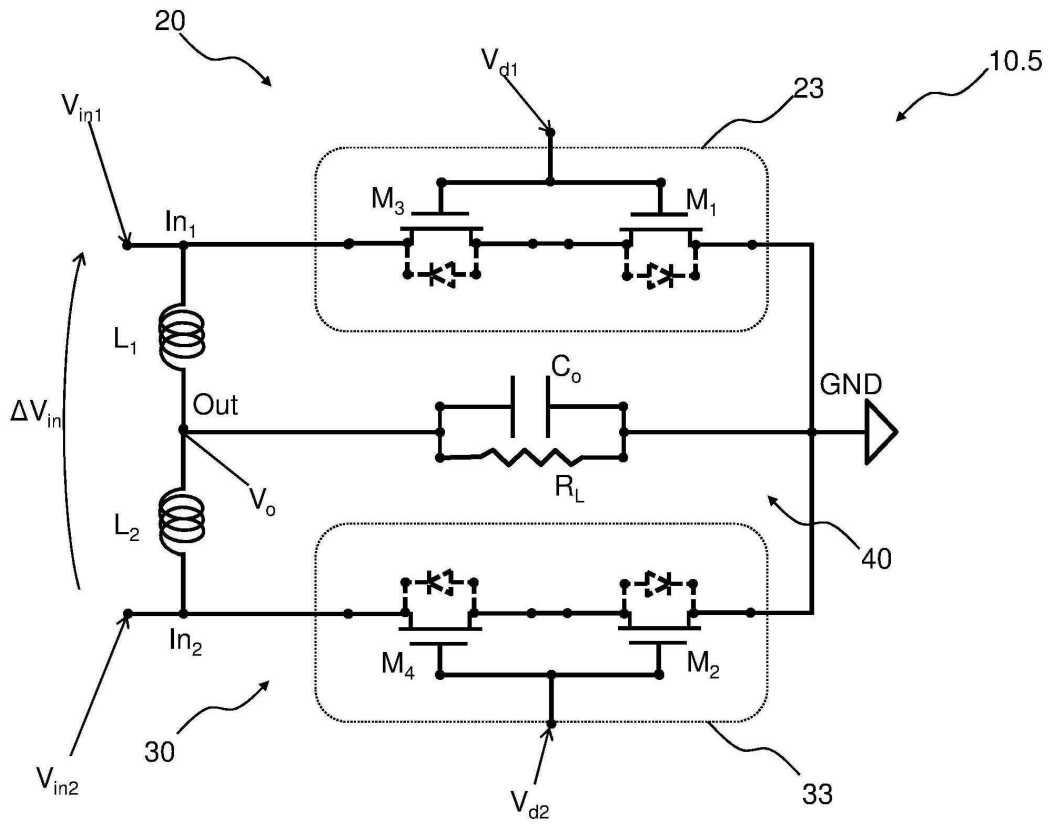
도면3



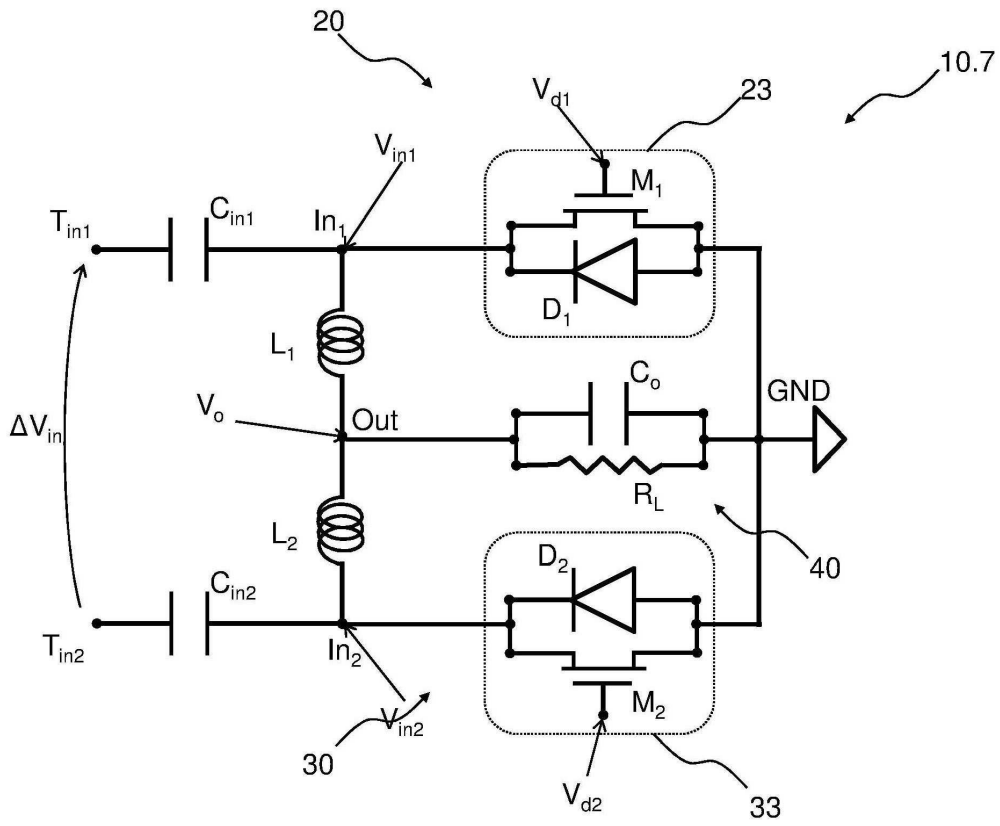
도면4



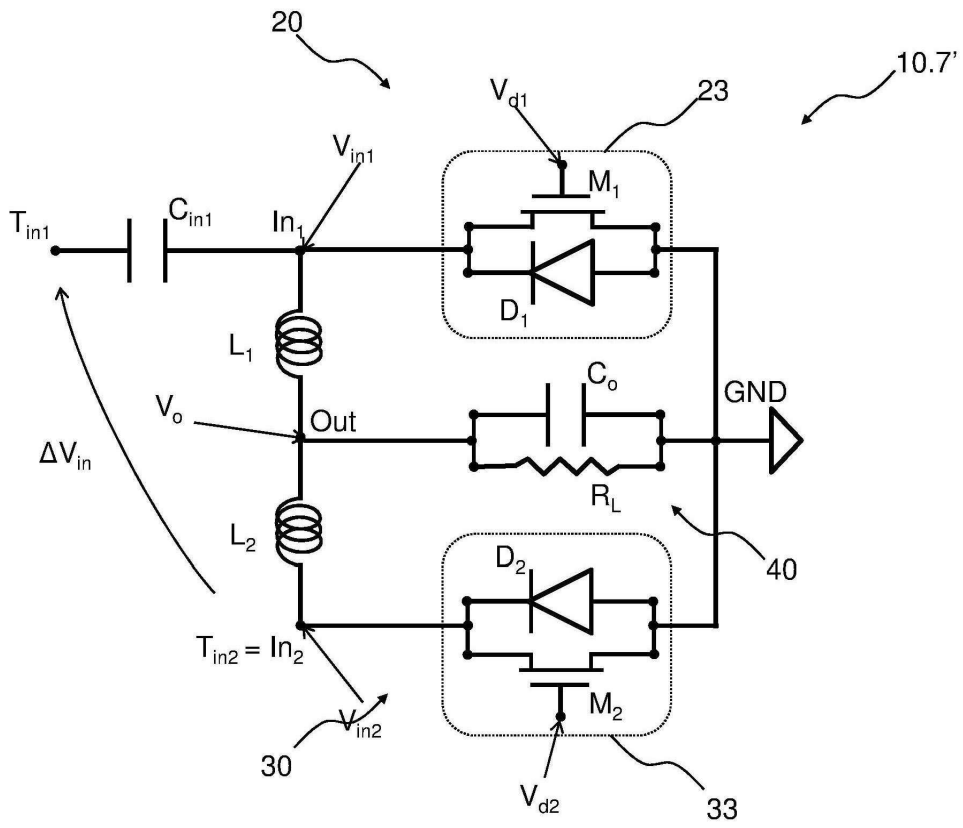
도면5



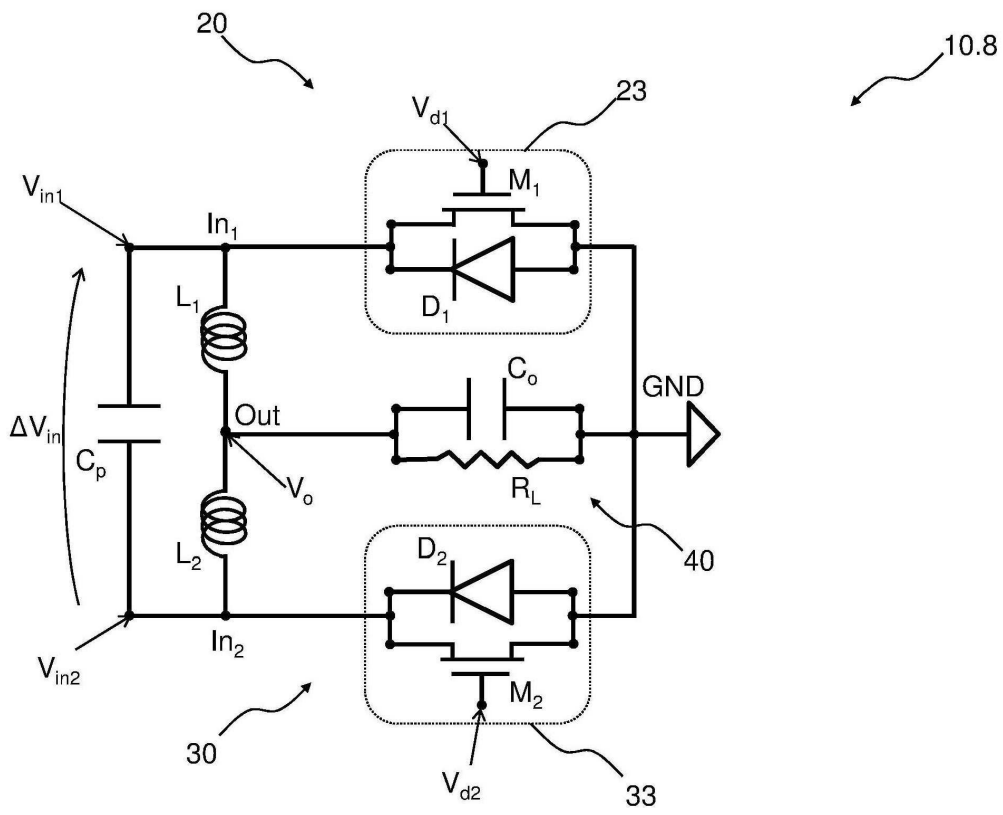
도면7a



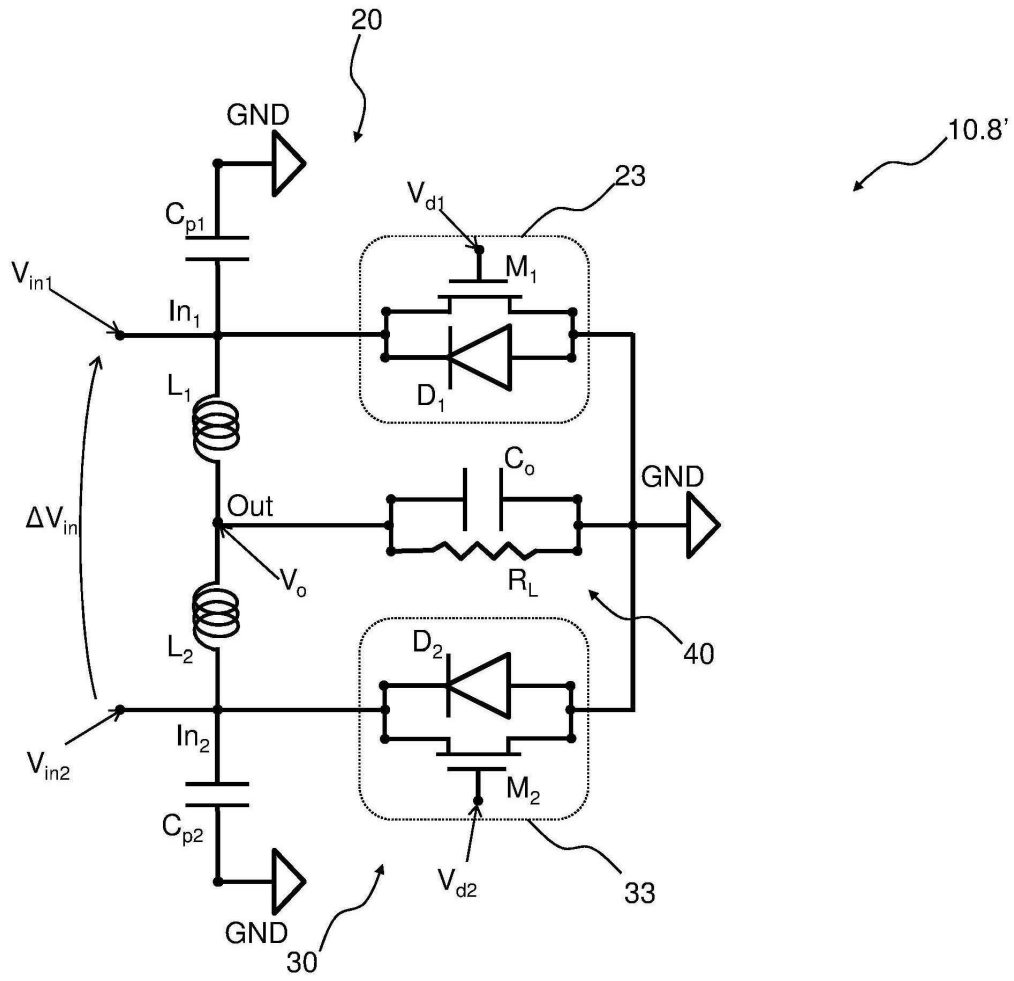
도면 7b



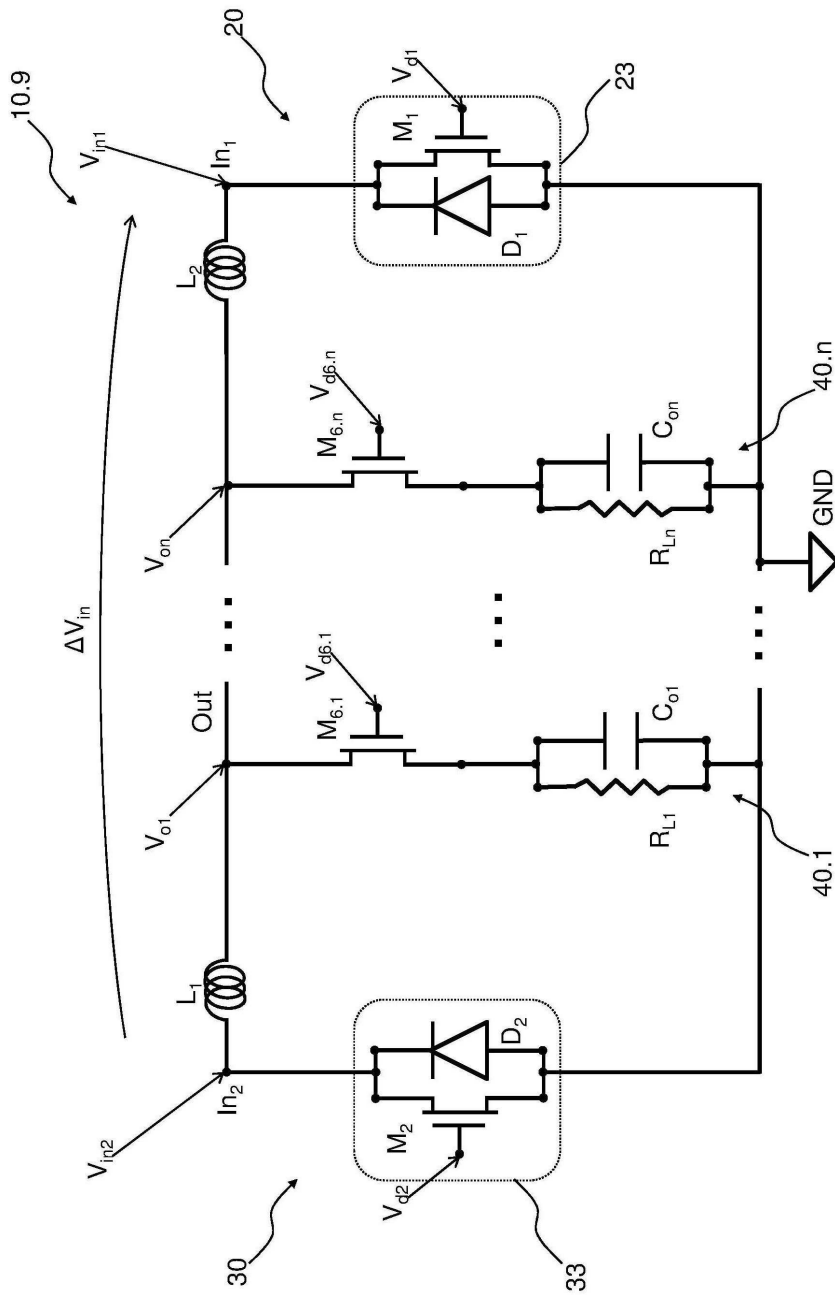
도면8a



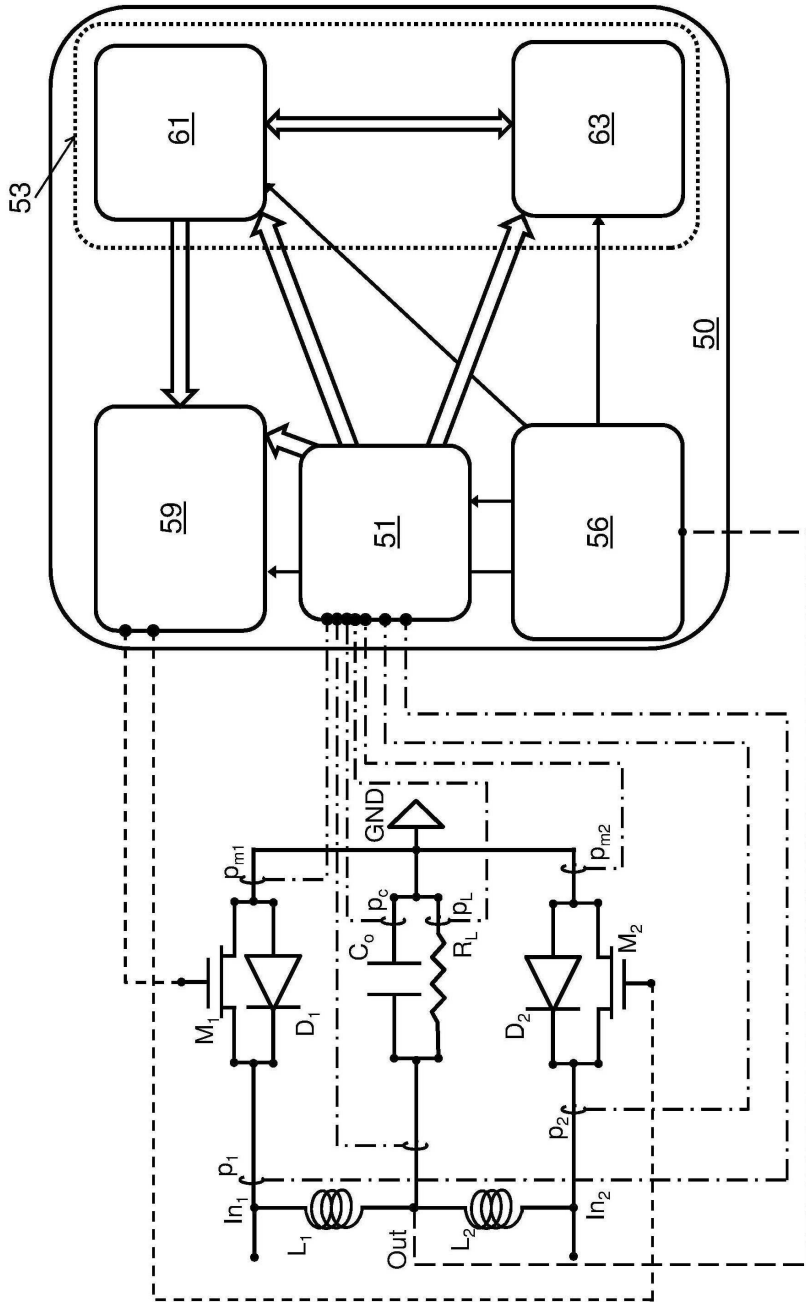
도면 8b



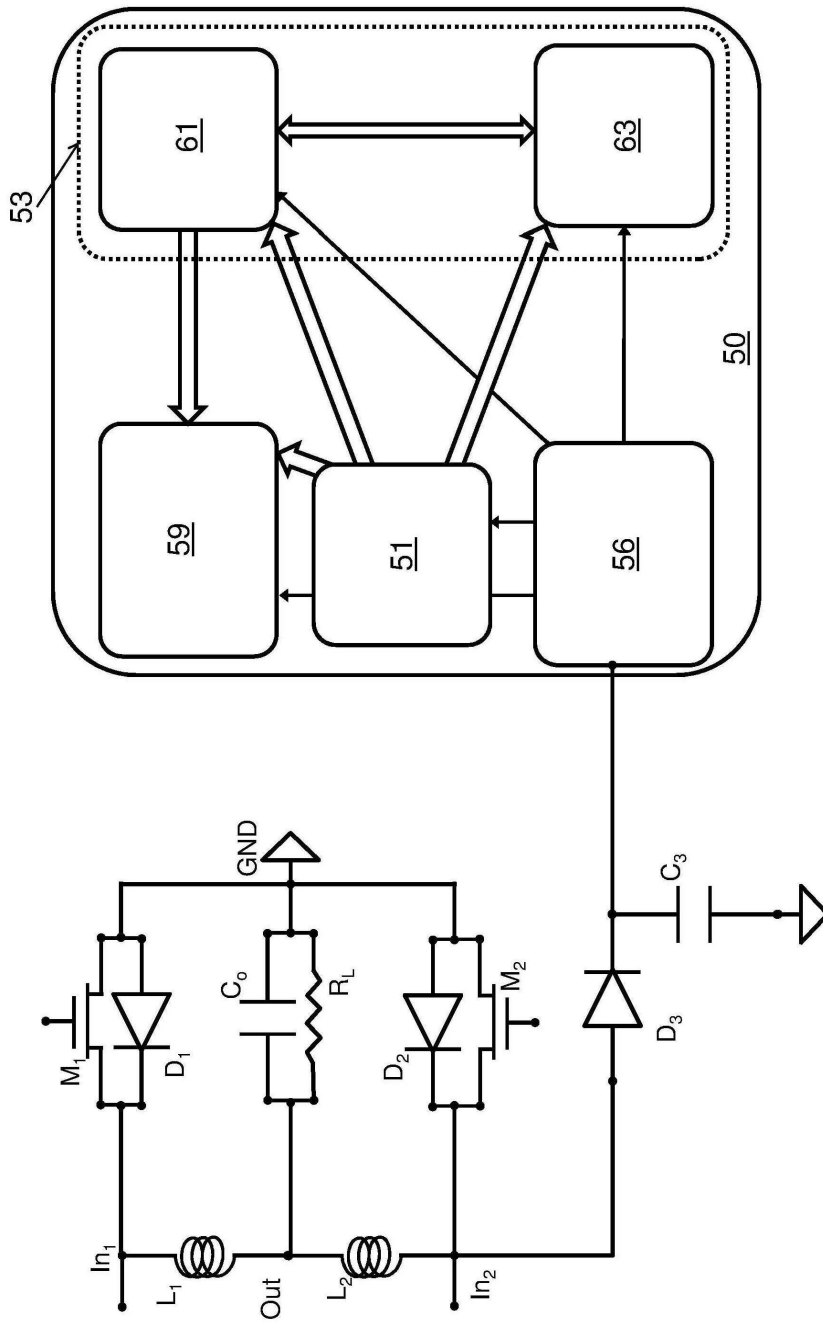
도면9



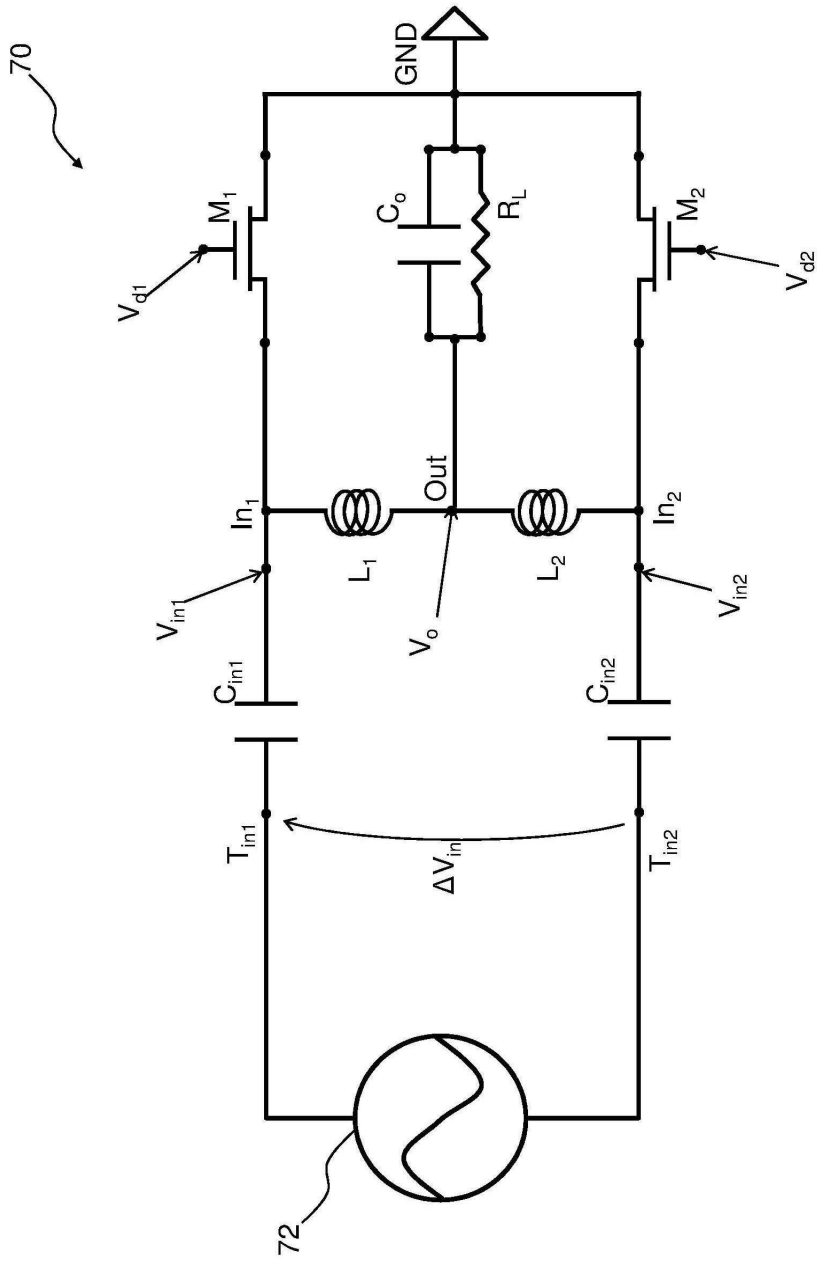
도면10a



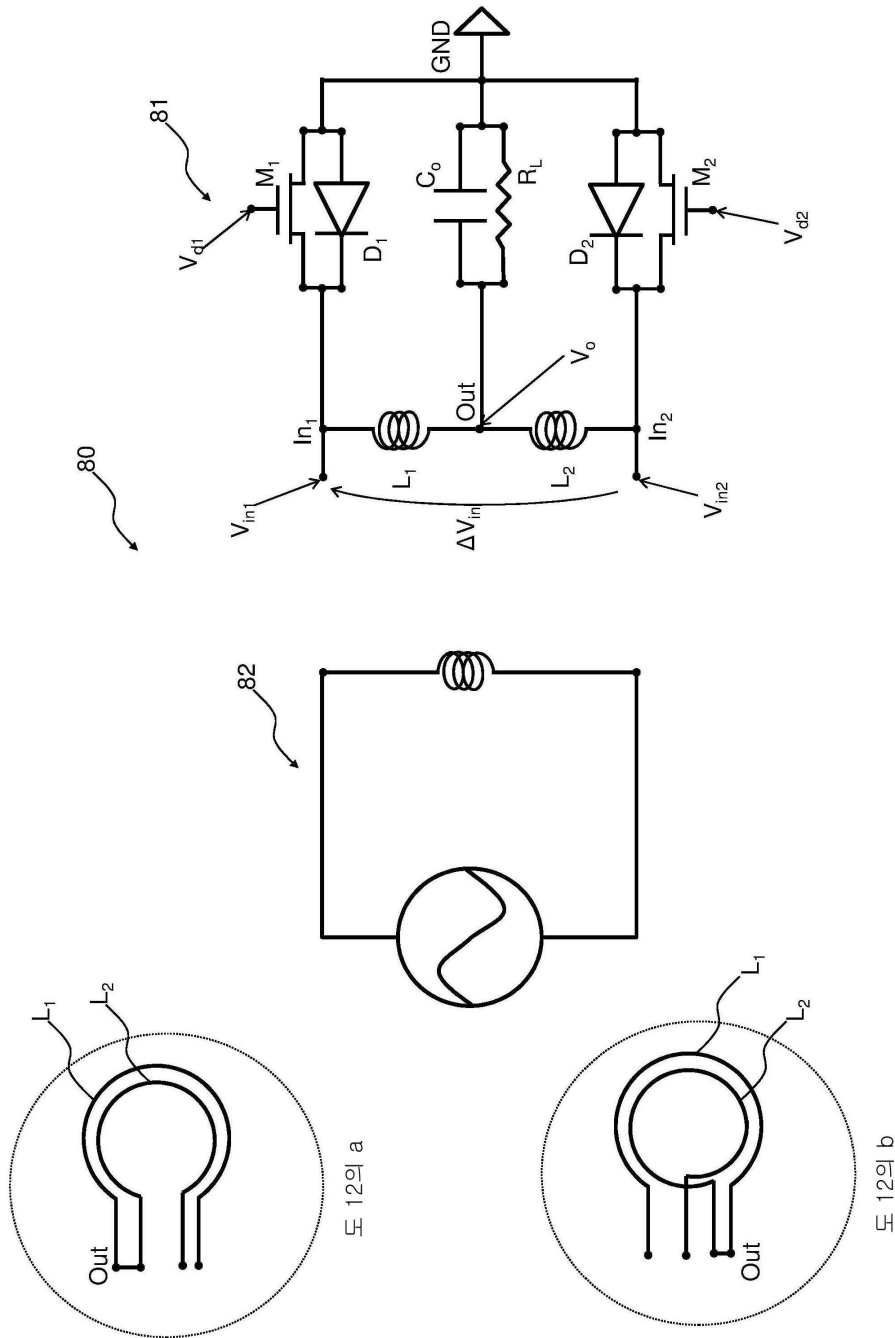
도면10b



도면11



도면12



도면13

