

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G11C 11/02 (2006.01)

G11C 11/15 (2006.01)

H01L 43/08 (2006.01)



[12] 发明专利说明书

专利号 ZL 02127756.7

[45] 授权公告日 2006 年 10 月 18 日

[11] 授权公告号 CN 1280829C

[22] 申请日 2002.8.8 [21] 申请号 02127756.7

[30] 优先权

[32] 2001.8.8 [33] JP [31] 241132/2001

[71] 专利权人 株式会社东芝

地址 日本东京都

[72] 发明人 细谷启司

审查员 赵 强

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

代理人 王以平

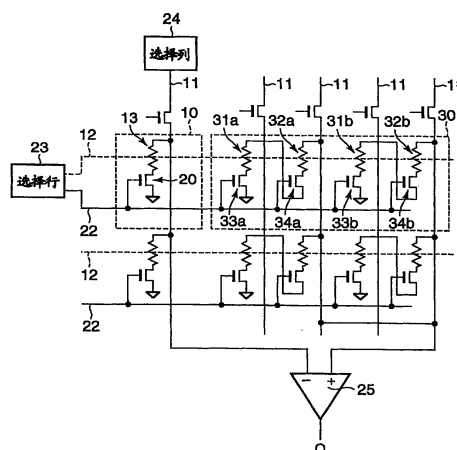
权利要求书 2 页 说明书 15 页 附图 17 页

[54] 发明名称

磁存储装置

[57] 摘要

提供一种磁存储装置，通过包括具有第 1TMR (隧道磁致电阻) 元件 (13) 的存储器单元部分 (10)、和具有分别不少于 1 个的存储第 1 数据的第 2TMR 元件 (31a) 和存储第 2 数据的第 3TMR 元件 (32a) 的基准单元部分 (30)，可以抑制基准单元部分的电阻值的偏差，且可以提高单元的读出动作容限。



- 1.一种磁存储装置, 其中包括:
设置于存储器单元部分中的第1电阻元件,
设置于基准单元部分中的分别不少于1个的第2及第3电阻元件,
上述第1、第2及第3电阻元件存储二进制数据中的一个数据,
而上述第3电阻元件存储二进制数据中的另一个数据,
上述第1、第2及第3电阻元件分别由第1磁性层、第2磁性层和非磁性层这3层形成,
上述第2电阻元件的上述第1磁性层的磁化方向和上述第2磁性层的磁化方向相互反平行,
上述第3电阻元件的上述第1磁性层的磁化方向和上述第2磁性层的磁化方向相互平行。
- 2.如权利要求1中记载的磁存储装置, 其中: 在上述第2电阻元件的电阻值为 R_0 , 上述第3电阻元件的电阻值为 R_1 时, 上述第1及第2电阻元件的整体的电阻值为 $(R_0+R_1)/2$ 。
- 3.如权利要求1中记载的磁存储装置, 其中还包括:
与上述第1电阻元件连接且成对的第1晶体管或第1整流元件,
与上述第2电阻元件连接且成对的第2晶体管或第2整流元件,
以及
与上述第3电阻元件连接且成对的第3晶体管或第3整流元件。
- 4.如权利要求1中记载的磁存储装置, 其中: 上述第2电阻元件与上述第3电阻元件串联连接。
- 5.如权利要求1中记载的磁存储装置, 其中: 上述第1、第2及第3电阻元件的面积相同。
- 6.如权利要求1中记载的磁存储装置, 其中: 在上述基准单元部分中上述第2及第3电阻元件分别设置一个时, 上述第2及第3电阻元件的面积为上述第1电阻元件的面积2倍。
- 7.如权利要求1中记载的磁存储装置, 其中还包括:

多条第1布线, 以及
在与上述第1方向的交叉方向上配置的多条第2布线,
在上述第1及第2布线的各交点处分别配置上述第1、第2及第3电阻元件。

8.如权利要求7中记载的磁存储装置, 其中: 在上述基准单元部分中上述第2及第3电阻元件分别设置一个时, 上述第2及第3电阻元件的面积为上述第1电阻元件的面积的2倍, 上述基准单元部分的上述第1或第2布线比上述存储器单元部分的上述第1或第2布线粗。

9.如权利要求7中记载的磁存储装置, 其中: 上述第1、第2及第3电阻元件配置于同一条上述第1或第2布线的上方。

10.如权利要求7中记载的磁存储装置, 其中还包括:
与上述第1电阻元件连接且成对的第1晶体管或第1整流元件,
与上述第2电阻元件连接且成对的第2晶体管或第2整流元件,
以及

与上述第3电阻元件连接且成对的第3晶体管或第3整流元件,
上述第1、第2及第3晶体管或上述第1、第2及第3整流元件与上述多条第1布线内的同一条第1布线连接或与上述多条第2布线内的同一条第2布线连接。

11.如权利要求1中记载的磁存储装置, 其中: 上述第1电阻元件和上述第2及第3电阻元件以同一图形配置。

12.如权利要求1中记载的磁存储装置, 其中: 上述第2电阻元件与上述第3电阻元件的数目相同。

13.如权利要求1中记载的磁存储装置, 其中: 上述第1、第2及第3电阻元件是磁致电阻效应元件或相变存储器元件。

磁存储装置

(相关申请的交叉引用)

本申请基于并要求 2001 年 8 月 8 日提交的在先日本专利申请 No.2001-241132 为优先权, 其整个内容在此引作参考。

技术领域

本发明涉及半导体存储装置, 特别涉及采用隧道磁致电阻(TMR)元件作为存储元件的磁存储装置(MRAM)。

背景技术

近年来, 提出以利用磁致电阻效应的 MRAM(磁随机存储器)单元作为信息存储元件。此 MRAM 正在发展成为兼备非易失性、高可靠性、高速动作的存储器件, 作为具有潜力的器件, 近年来对其期待急剧高涨。

磁致电阻效应元件, 公知的主要有 GMR(巨磁致电阻)元件和 TMR(隧道磁致电阻)元件。GMR 元件由两个强磁性层和夹在两个强磁性层之间的导体组成, 此导体的电阻随上下的强磁性层的磁化方向而改变。然而, 由于 GMR 元件的 MR(磁致电阻)比低到 10%以下, 难以确保读出容限。因此, GMR 元件只局限于特定的用途, 还未广泛地普及。另一方面, TMR 元件, 由两个强磁性层和夹在两个强磁性层之间的绝缘体组成, 此绝缘体的隧道电阻随上下的强磁性层的磁化方向而改变。TMR 元件, 现在可以确保大约 50%的 MR 比。因此, 最近数年, 以应用器件为目标的研究对象 GMR 元件与 TMR 元件相比, 后者已经成为主流。

于是, 在 MRAM 存储器单元中将 TMR 元件用作存储器元件及基准元件。于是, 在读出数据时, 将存储器元件的电阻值与基准元件的

电阻值进行比较, 判定数据为“1”或“0”。

然而, 在上述现有技术中, 存在着由于基准元件的电阻值的偏差, “1”或“0”数据的电阻变化变小。所以, 必须抑制基准元件的电阻值的偏差。

发明内容

根据本发明提供一种磁存储装置, 其中包括: 设置于存储器单元部分中的第1电阻元件, 设置于基准单元部分中的分别不少于1个的第2及第3电阻元件, 上述第1、第2及第3电阻元件存储二进制数据中的一个数据, 而上述第3电阻元件存储二进制数据中的另一个数据, 上述第1、第2及第3电阻元件分别由第1磁性层、第2磁性层和非磁性层这3层形成, 上述第2电阻元件的上述第1磁性层的磁化方向和上述第2磁性层的磁化方向相互反平行, 上述第3电阻元件的上述第1磁性层的磁化方向和上述第2磁性层的磁化方向相互平行。由此, 可以抑制基准部分的电阻值的偏差, 且可以提高读出容限。

附图说明

图1为示出本发明的实施方式1的磁存储装置的电路图。

图2为示出本发明的实施方式1的磁存储装置的示意平面图。

图3为示出沿图2的III-III线的存储器单元部分的磁存储装置的剖面图。

图4为示出本发明的实施方式1的存储器单元部分及基准单元部分的示意电路图。

图5为示出本发明的实施方式1的基准单元的电阻偏差和MR比的关系的示图。

图6A为示出本发明的实施方式1的存储器单元部分及基准单元部分的另一示意电路图。

图6B为示出使用相变存储器元件代替本发明的实施方式1的TMR元件的剖面图。

图 7 为示出本发明的实施方式 2 的磁存储装置的电路图。

图 8 为示出本发明的实施方式 2 的存储器单元部分的磁存储装置的剖面图。

图 9 为示出本发明的实施方式 3 的磁存储装置的电路图。

图 10 为示出本发明的实施方式 3 的存储器单元部分的磁存储装置的剖面图。

图 11 为示出本发明的实施方式 4 的磁存储装置的电路图。

图 12 为示出本发明的实施方式 4 的磁存储装置的电路图形图。

图 13 为示出本发明的实施方式 4 的存储器单元部分及基准单元部分的示意电路图。

图 14 为示出本发明的实施方式 4 的磁存储装置的示意平面图。

图 15 为示出本发明的实施方式 5 的磁存储装置的电路图。

图 16 为示出本发明的实施方式 5 的磁存储装置的电路图形图。

图 17 为示出本发明的实施方式 6 的磁存储装置的电路图。

图 18 为示出本发明的实施方式 6 的磁存储装置的电路图形图。

具体实施方式

本发明的实施方式涉及，采用例如隧道磁致电阻效应(TMR)元件作为存储器元件的磁存储装置(MRAM)。此 MRAM 是将具有 TMR 元件的多个存储器单元配置成为矩阵状的存储器单元阵列结构，在此存储器阵列的外围设置有译码器及读出电路等外围电路单元，通过访问任意的存储器单元，进行信息的写入和读出的装置。

下面利用附图对本发明的实施方式予以说明。在此说明中，对全部附图中共同的部分赋予相同的标号。

(实施方式 1)

实施方式 1 是其中，1 位(比特)的存储器单元部分由 1 个 TMR 元件+1 个 MOS 晶体管构成，基准单元部分由(1 个 TMR 元件+1 个 MOS 晶体管) $\times$ 4 构成的示例。另外，所谓基准单元部分，是指在和 1 位的存储器单元同时选择，在数据读出时与存储器单元进行比较的单元。

图 1 为示出本发明的实施方式 1 的磁存储装置的电路图。如图 1

所示,在实施方式1的磁存储装置中,每个1位的存储器单元部分10具有TMR元件13和MOS晶体管20。判定写入此存储器单元部分10的TMR元件13的信息的基准单元部分30具有4组TMR元件和MOS晶体管对。就是说,基准单元部分30的构成包括保持“0”数据的第1TMR元件31a和MOS晶体管33a组成的第1对,保持“1”数据的第2TMR元件32a和MOS晶体管34a组成的第2对,保持“0”数据的第3TMR元件31b和MOS晶体管33b组成的第3对以及保持“1”数据的第4TMR元件32b和MOS晶体管34b组成的第4对。

另外,在基准单元部分30中,由于保持“0”数据的TMR元件和保持“1”数据的TMR元件是2个一组,保持“0”数据的TMR元件和保持“1”数据的TMR元件最好是设置成为数目相同。

在这种磁存储装置中,多个位线11和字线12配置成为互相正交的矩阵形状,在位线11和字线12各个交点附近分别配置TMR元件13,31a,31b,32a,32b。于是,存储器单元部分10和与存储器单元部分10成对的基准单元部分30使用同一写入/读出字线12,22。就是说,存储器单元部分10及基准单元部分30的TMR元件13,31a,31b,32a,32b,配置于同一写入字线12的上方。另外,存储器单元部分10及基准单元部分30的MOS晶体管20,33a,33b,34a,34b,电连接到同一读出字线22。

图2为示出本发明的实施方式1的磁存储装置的示意平面图。

图3为示出沿图2的III-III线的存储器单元部分的磁存储装置的剖面图。

如图2所示,与基准单元部分30的TMR元件31a,31b,32a,32b的位线11相连接的一侧的面积 S_1 ,与存储器单元部分10的TMR元件13的位线11相连接的一侧的面积 S_2 相同。

如图3所示,实施方式1的存储器单元部分10,在位线11和字线12各个交点附近分别配置TMR元件13。此TMR元件13,经上部电极(图中未示出)连接到位线11,经下部电极14,第1、第2布线层18,16,第1、第2、第3接触层19,17,15连接到MOS晶体管20的源/漏扩散层21。此MOS晶体管20,是用来访问TMR元件13的读出用开关元件,此MOS晶体管20的栅电极是读出字线22。

此处, TMR 元件 13 的构成包括与下部电极 14 相连接的强磁性层的磁记录层 26, 经上部电极与位线 11 相连接的强磁性层的磁化钉扎层 27 和由夹在这些磁记录层 26 及磁化钉扎层 27 中间的非磁性层的隧道结层 28。

另外, TMR 元件 13, 不限于上述的单隧道结结构, 也可以是以下所示的双隧道结结构。就是说, 在第 1 磁化钉扎层 27 上配置第 1 隧道结层, 在此第 1 隧道结层上配置磁记录层。在此磁记录层上配置第 2 隧道结层, 在此第 2 隧道结层上配置第 2 磁化钉扎层。在此双隧道结结构的 TMR 元件 13 的场合, 与单隧道结结构的 TMR 元件 13 相比较, 在施加同样的外偏压时的 MR(磁致电阻)比的劣化小, 可在更高的偏压下动作。

上述单隧道结结构或双隧道结结构的 TMR 元件 13, 例如, 可利用以下的材料形成。

对于磁化钉扎层 27 及磁记录层 26 的材料最好是使用, 例如, Fe、Co、Ni 或其合金, 自旋极化率大的磁性氧化铁, CrO_2 , R XMnO_{3-y} (R; 稀土类、X; Ca, Br, Sr) 等的氧化物之外, NiMnSb , PtMnSb 等的霍伊斯勒高导磁率合金等。另外, 在这些磁性体中, 只要不丢掉强磁性, 也可以多少包含一些非磁性元素, 如 Ag, Cu, Au, Al, Mg, Si, Bi, Ta, B, C, O, N, Pd, Pt, Zr, Ir, W, Mo, Nb 等。

隧道结层 28 的材料可以使用 Al_2O_3 , SiO_2 , MgO , AlN , Bi_2O_3 , MgF_2 , CaF_2 , SrTiO_2 , AlLaO_3 等介质。在这些介质中存在氧、氮、氟的缺陷也可以。

图 4 为示出本发明的实施方式 1 的存储单元部分及基准单元部分的示意电路图。另外, 在图 4 中, 省略了与 TMR 元件配对的配置的 MOS 晶体管。

如图 4 所示, 在实施方式 1 的基准单元部分 30 中, 保持 “0” 数据的第 1 TMR 元件 31a 和保持 “1” 数据的第 2 TMR 元件 32a 经 MOS 晶体管(图中未示出)串联。同样, 保持 “0” 数据的第 3 TMR 元件 31b 和保持 “1” 数据的第 4 TMR 元件 32b 经 MOS 晶体管(图

中未示出)串联。于是, 串联的第 1 及第 2TMR 元件 31a, 32a 和串联的第 3 及第 4TMR 元件 31b, 32b 并联。

此处, 保持 “0” 数据的第 1, 第 3TMR 元件 31a, 31b, 磁化钉扎层 27 和磁记录层 26 的磁化方向互相反平行。另一方面, 磁化钉扎层 27 和磁记录层 26 的磁化方向互相平行。

另外, 如假设第 1 至第 4TMR 元件 31a, 32a, 31b, 32b 全体的电阻值为 R_r , 保持 “0” 数据的第 1, 第 3TMR 元件 31a, 31b 的电阻值为 R_0 , 保持 “1” 数据的第 2, 第 4TMR 元件 32a, 32b 的电阻值为 R_1 , 此基准单元部分 30 全体的电阻值 R_r , 满足式(1)的关系:

$$R_r = (R_0 + R_1) / 2 \quad \dots(1)$$

这样, 在基准单元部分 30 中, 做出保持 “0” 数据的第 1, 第 3TMR 元件 31a, 31b 的电阻值为 R_0 和保持 “1” 数据的第 2, 第 4TMR 元件 32a, 32b 的电阻值为 R_1 的中间值的电阻 R_r , 此 R_r , 成为判定 “1”, “0” 的基准值。

下面对利用实施方式 1 的 MRAM 存储器单元的场合的信息的写入/读出的动作予以简单说明。

首先, 在写入动作时, 由选择行 23 及选择列 24 所选择的位线 11 及所选择的写入字线 12 中流过写入电流, 在各个选择布线 11, 12 的周围产生电流磁场。其结果, 只有位于 2 根选择布线 11, 12 的交点附近的 TMR 元件 13 上施加有 2 根选择布线 11, 12 的电流磁场的合成磁场。此处, 磁化钉扎层 27 的磁化方向通常固定于一个方向。磁记录层 26 具有单轴各向异性, 此磁记录层 26 形成的磁化方向与磁化钉扎层 27 的磁化方向相同。于是, 磁记录层 26 的磁化方向与磁化钉扎层 27 的磁化方向相同时写入 “1” 数据, 方向相反时写入 “0” 数据。为使此磁记录层 26 的磁化方向反转, 设定具有下式(2)的关系的阈值。由此, 可只在选择的 1 位 TMR 元件 13 写入 “1”, “0” 数据。

$$(1 \text{ 根写入布线引起的发生磁场}) < (\text{单元写入磁场的阈值}) < (2 \text{ 根写入布线引起的合成磁场}) \quad \dots(2)$$

另一方面, 在读出动作时, 选择与所选择的存储器单元部分 10 相

对应的各个位线 11 和读出字线 22，电流流过选择位线 11~TMR 元件 13~下部电极 14~第 3 接点 15~第 2 布线层 16~第 2 接点 17~第 1 布线层 18~第 1 接点 19~MOS 晶体管 20。于是，借助位线 11 外侧上的比较电路 25，从此电流读出 TMR 元件 13 的电阻值，判定 “1”，“0” 数据。此时，以基准单元部分 30 的电阻 R_r 为基准，由比较电路 25 判断在所选择的存储器单元部分 10 和 TMR 元件 13 中流过的电流值或电压值。

在上述 MRAM 中，一般，在假设存储器单元部分 10 的电阻偏差为 ΔR_m ，基准单元部分 30 的电阻偏差为 ΔR_r 的场合，要求 TMR 元件 13 的 MR 比和电阻偏差 ΔR_m ， ΔR_r 满足使(3)的关系：

$$\text{MR 比} > 2 \times (\Delta R_m + \Delta R_r) \quad \dots (3)$$

例如，电阻偏差 ΔR_m ， ΔR_r 分别为 21% 的场合，要求 MR 比超过 84%。然而，由于现在情况下的 TMR 元件 13 的 MR 比限于 50% 左右，必须分别抑制电阻偏差 ΔR_m ， ΔR_r 。此处，在要求 TMR 元件 13 微细化存储器单元部分 10 中，难于抑制电阻偏差 ΔR_m 。因此，就必须如同实施方式 1 那样抑制基准单元部分 30 的电阻偏差 ΔR_r 。

在这种现状下，在实施方式 1 的基准单元部分 30 中，设置由保持 “0” 数据的第 1，第 3 TMR 元件 31a，31b 和保持 “1” 数据的第 2，第 4 TMR 元件 32a，32b 组成的 2 种 TMR 元件。由此，即使各 TMR 元件 31a，31b，32a，32b 的电阻值发生偏差，由于 30 的电阻值变成这些 TMR 元件 31a，31b，32a，32b 的平均电阻值，可以抑制基准单元部分 30 的电阻偏差 ΔR_r 。其结果，如图 5 所示，在保持 MR 比，例如，在 45% 以下时，可以将基准单元部分 30 的电阻偏差 ΔR_r 抑制在，例如，45% 以内。

另外，本发明，即使是基准单元部分 30 的电阻偏差 ΔR_r 在 8% 以上，通过对存储器单元部分 10 的电阻偏差 ΔR_r 的抑制即 MR 比高的材料的开发，完全可能做到提高读出容限。

根据上述实施方式 1，基准单元部分 30 具有由保持 “0” 数据的第 1，第 3 TMR 元件 31a，31b 和保持 “1” 数据的第 2，第 4 TMR

元件 32a, 32b 组成的 2 种 TMR 元件。就是说, 基准单元部分 30 的电阻值 R_r 变成这些 TMR 元件 31a, 31b, 32a, 32b 的平均电阻值。所以, 由于抑制基准单元部分 30 的整体电阻值 R_r 的偏差, 可以确保更广的读出容限。

另外, 每个 1 位的存储器单元部分 10, 由 1 个 TMR 元件+1 个 MOS 晶体管构成。因此, 与具有 2 个 TMR 元件 13 的现有的存储器单元部分 10 相比, 存储器单元部分 10 的专有面积可减少。因此, 可以缩小芯片的面积。

另外, 使存储器单元部分 10 和基准单元部分 30 的 TMR 元件 13, 31a, 31b, 32a, 32b 的面积 S_1 , S_2 相同, 可利用同样的图形配置形成存储器单元部分 10 和基准单元部分 30。由此, 第一, 存储器单元部分 10 和基准单元部分 30 容易同时形成。第二, 可以抑制由于加工过程引起的 TMR 元件 13, 31a, 31b, 32a, 32b 的电阻值的偏差及 MR 比的偏差。第三, 由于基准单元部分 30 的配置自由度高, 很容易仅仅藉助改变布线连接就可以改变基准单元部分 30 的元件数, 所以存储器单元部分 10 和基准单元部分 30 的设计容易进行。第四, 在光刻中对存储器单元部分 10 进行图形化之际, 由于基准单元部分 30 实施抑制图形疏密的空单元的作用, 可以抑制图形的崩溃。

另外, 基准单元部分 30 的各 TMR 元件 31a, 31b, 32a, 32b, 分别配置于位线 11 和写入字线 12 的交点处。因此, 可向基准单元部分 30 的各 TMR 元件 31a, 31b, 32a, 32b 写入信息。所以, 可以对基准单元部分 30 进行重写而使其变为对存储器单元部分 10 的记录状态为最优状态。因此, 可以进一步提高读出容限。

另外, 如基准单元部分 30 满足式(1)的关系, 保持 “0” 数据的 TMR 元件和保持 “1” 数据的 TMR 元件的对的个数可以增加。例如, 如图 6A 所示, 可以配置 8 个保持 “0” 数据的 TMR 元件 31 和 8 个保持 “1” 数据的 TMR 元件 32。这样, 通过组合多个保持 “0” 数据的 TMR 元件 31 和保持 “1” 数据的 TMR 元件 32, 作为基准单元部分 30 整体, 不容易受到各个 TMR 元件 31, 32 的电阻值的偏

差及 MR 比的偏差的影响, 可以进一步提高读出容限。

另外, 例如, 如图 6B 所示, 也可以使用相变存储器元件 60 代替 TMR 元件。采用相变存储器元件 60 作为存储元件的相变存储器, 是利用 Ge-Sb-Te 系相变膜的比电阻在非晶态下和在晶态下不同这一点来存储 “1”, “0”。另一方面, 如使脉冲电流流过相变膜和与其串联的电阻元件, 可通过加热相变膜而改写 “1”, “0” 数据。在使用这种相变存储器元件 60 的场合, 也可以获得和上述实施方式 1 同样的效果。因为采用相变存储器元件可以获得比采用 TMR 元件更大的电阻变化(>100%), 可以预期作为存储器能够实现稳定的动作。

(实施方式 2)

实施方式 2 是其中, 1 位的存储器单元由 1 个 TMR 元件+1 个二极管构成, 基准单元部分由(1 个 TMR 元件+1 个二极管) ×4 构成的示例。在此实施方式 2 中, 对于与上述实施方式 1 相同的结构省略其说明, 只对不同的结构予以说明。

图 7 为示出本发明的实施方式 2 的磁存储装置的电路图。如图 7 所示, 在实施方式 2 的磁存储装置中, 每个 1 位的存储器单元部分 10 具有 TMR 元件 13 和二极管 41。判定写入此存储器单元部分 10 的 TMR 元件 13 的信息的基准单元部分 30 具有 4 组 TMR 元件和二极管对。就是说, 基准单元部分 30 的构成包括保持 “0” 数据的第 1 TMR 元件 31a 和二极管 42a 组成的第 1 对, 保持 “1” 数据的第 2 TMR 元件 32a 和二极管 43a 组成的第 2 对, 保持 “0” 数据的第 3 TMR 元件 31b 和二极管 42b 组成的第 3 对以及保持 “1” 数据的第 4 TMR 元件 32b 和二极管 43b 组成的第 4 对。此处, 二极管 41, 42a, 42b, 43a, 43b, 例如, 可以是如 PN 结二极管及肖特基二极管的整流元件中的任何一个。

在这种磁存储装置中, 多个位线 11 和字线 44 配置成为互相正交的矩阵形状, 在位线 11 和字线 44 各个交点附近分别配置 TMR 元件 13, 31a, 31b, 32a, 32b。于是, 存储器单元部分 10 和与存储器单元

部分 10 成对的基准单元部分 30 使用同一字线 44。就是说，存储器单元部分 10 的二极管 41 和与基准单元部分 30 的保持 “0” 数据的 TMR 元件 31a, 31b 成对的二极管 42a, 42b 连接到同一字线 44。

图 8 为示出本发明的实施方式 2 的存储器单元的磁存储装置的剖面图。如图 8 所示，实施方式 2 的存储器单元部分 10，在位线 11 和字线 44 之间配置有 TMR 元件 13 和作为开关元件的二极管 41。就是说，此 TMR 元件 13 的磁化钉扎层 27 连接到位线 11，磁记录层 26 连接到二极管 41。于是，二极管 41 与字线 44 相连接。

在这种结构中，用来将信息写入磁记录层 26 的写入布线和将信息读出的读出布线都是共同的，只使用字线 44 和位线 11 两根布线进行写入和读出动作。此时，必须分别控制施加于字线 44 和位线 11 上的偏置以便可以活用二极管 41 的整流特性只对选择单元写入和读出信息。

另外，在实施方式 2 中，与实施方式 1 同样，通过组合多个保持 “0” 数据的 TMR 元件 31a, 31b 和保持 “1” 数据的 TMR 元件 32a, 32b，可以做出满足使(1)的关系的基准单元部分 30 的电阻 R_r 。另外，与实施方式 1 同样，连接基准单元部分 30 的 TMR 元件 31a, 31b, 32a, 32b 的位线 11 的一侧的面积 S_1 与连接存储器单元部分 10 的 TMR 元件 13 一侧的面积 S_2 相同。

根据上述实施方式 2，可以获得与实施方式 1 同样的效果。

此外，由于使用二极管 41 作为开关元件，每一位的单元面积与上述实施方式 1 相比可以更进一步缩小。

(实施方式 3)

实施方式 3 是实施方式 2 不采用二极管的构成的示例。在此实施方式 3 中，对于与上述实施方式 1 及 2 相同的结构省略其说明，只对不同的结构予以说明。

图 9 为示出本发明的实施方式 3 的磁存储装置的电路图。如图 9 所示，在实施方式 3 的磁存储装置中，每个 1 位的存储器单元部分 10

只具有 TMR 元件 13。判定写入此存储器单元部分 10 的 TMR 元件 13 的信息的基准单元部分 30 具有 4 组 TMR 元件。就是说，基准单元部分 30 包括：保持 “0” 数据的第 1TMR 元件 31a，保持 “1” 数据的第 2TMR 元件 32a，保持 “0” 数据的第 3TMR 元件 31b 以及保持 “1” 数据的第 4TMR 元件 32b。

在这种磁存储装置中，多个位线 11 和字线 12 配置成为互相正交的矩阵形状，在位线 11 和字线 12 各个交点附近分别配置 TMR 元件 13，31a，31b，32a，32b。于是，存储器单元部分 10 和与存储器单元部分 10 成对的基准单元部分 30 使用同一字线 12。就是说，存储器单元部分 10 的 TMR 元件 13 和与基准单元部分 30 的保持 “0” 数据的 TMR 元件 31a，31b 连接到同一写入字线 12。

图 10 为示出本发明的实施方式 3 的存储器单元的磁存储装置的剖面图。如图 10 所示，实施方式 3 的存储器单元部分 10，在位线 11 和写入字线 12 之间配置有 TMR 元件 13。就是说，此 TMR 元件 13 的磁化钉扎层 27 连接到写入字线 12，磁记录层 26 连接到位线 11。于是，读出字线 22 与位线 11 离开配置。

在这种结构中，利用读出字线 22 和写入字线 12 两根来向选择单元写入信息，利用位线 11 和读出字线 22 两根从选择单元读出信息。这样，读出线和写入线之中有一根是共同的，合计通过三根布线访问单元。

另外，在实施方式 3 中，与实施方式 1 同样，通过组合多个保持 “0” 数据的 TMR 元件 31a，31b 和保持 “1” 数据的 TMR 元件 32a，32b，可以做出满足使(1)的关系的基准单元部分 30 的电阻 R_r 。另外，与实施方式 1 同样，连接基准单元部分 30 的 TMR 元件 31a，31b，32a，32b 的位线 11 的一侧的面积 S_1 与连接存储器单元部分 10 的 TMR 元件 13 一侧的面积 S_2 相同。

根据上述实施方式 3，可以获得与实施方式 1 同样的效果。

此外，由于不使用开关元件，每一位的单元面积与使用开关元件的场合相比可以更进一步缩小。

(实施方式 4)

实施方式 4 是, 1 位的存储器单元由 1 个 TMR 元件+1 个 MOS 晶体管构成, 基准单元部分由(1 个 TMR 元件+1 个 MOS 晶体管) ×2 构成的示例。在此实施方式 4 中, 对于与上述实施方式 1 相同的结构省略其说明, 只对不同的结构予以说明。

图 11 为示出本发明的实施方式 4 的磁存储装置的电路图。如图 11 所示, 在实施方式 4 的磁存储装置中, 每个 1 位的存储器单元部分 10 具有 TMR 元件 13 和 MOS 晶体管 20。判定写入此存储器单元部分 10 的 TMR 元件 13 的信息的基准单元部分 30 具有 2 组 TMR 元件和 MOS 晶体管对。就是说, 基准单元部分 30 包括保持 “0” 数据的第 1 TMR 元件 31 和 MOS 晶体管 33 组成的第 1 对, 以及保持 “1” 数据的第 2 TMR 元件 32 和 MOS 晶体管 34 组成的第 2 对。

图 12 为示出本发明的实施方式 4 的磁存储装置的电路图形图。如图 12 所示, 在基准单元部分 30 中, MOS 晶体管 33 和第 2 TMR 元件 32 以布线 50 相连接。由此, 可利用同样的图形配置存储器单元部分 10 和基准单元部分 30 的 TMR 元件 13, 31, 32 及 MOS 晶体管 20, 33, 34。

图 13 为示出本发明的实施方式 4 的存储单元部分及基准单元部分的示意电路图。如图 13 所示, 在实施方式 4 的基准单元部分 30 中, 保持 “0” 数据的第 1 TMR 元件 31 和保持 “1” 数据的第 2 TMR 元件 32 是经过 MOS 晶体管(图中未示出)串联。另外, 在图 31 中, 与 TMR 元件 31, 32 配置成对的 MOS 晶体管 33, 34 省略。

在这种实施方式 4 的场合, 与实施方式 1 相比, 基准单元部分 30 的 TMR 元件的数目为 1/2。于是, 为了如实施方式 1 那样做成满足式 (1) 的基准单元部分 30, 与实施方式 1 的基准单元部分 30 的各 TMR 元件的电阻相比, 实施方式 4 的基准单元部分 30 的基准单元部分 30 的各 TMR 元件的电阻必须是 1/2。

因此, 如设第 1, 第 2 TMR 元件 31, 32 的整体的电阻值为 R_r ,

保持 “0” 数据的第 1TMR 元件 31 的电阻值为 $R_0/2$ ，保持 “1” 数据的第 2TMR 元件 32 的电阻值为 $R_1/2$ 。由此，实施方式 4 的基准单元部分 30 的整体的电阻值 R_r 满足式(4)的关系：

$$R_r = R_0/2 + R_1/2 = (R_0 + R_1)/2 \quad \dots (4)$$

这样，在基准单元部分 30 中，做出保持 “0” 数据的第 1TMR 元件 31 的电阻值为 R_0 和保持 “1” 数据的第 2TMR 元件 32 的电阻值为 R_1 的中间值的电阻 R_r ，此 R_r ，成为判定 “1”， “0” 的基准值。

图 14 为示出本发明的实施方式 4 的磁存储装置的示意平面图。如上所述，实施方式 4 的基准单元部分 30 的各 TMR 元件的电阻必须是实施方式 1 的基准单元部分 30 的各 TMR 元件的电阻的 1/2。所以，如图 14 所示，连接基准单元部分 30 的 TMR 元件 31，32 的位线 11 的一侧的面积 S_3 可以是图 2 所示的 TMR 元件的面积 S_1 的 2 倍。换言之，TMR 元的面积 S_3 可以是连接到存储器单元部分 10 的 TMR 元件 13 的位线 11 一侧的面积 S_2 的 2 倍。

另外，为了可靠地进行数据的读出/写入，随着 TMR 元件的面积 S_3 的增大，最好也加大基准单元部分 30 的位线 11 的宽度。就是说，与在基准单元部分 30 中设置多个保持 “0” 数据的 TMR 元件和保持 “1” 数据的 TMR 元件的实施方式 1 相比，实施方式 4 的基准单元部分 30 的位线 11 的宽度可以加大。另外，在实施方式 4 中，基准单元部分 30 的位线 11 的宽度，也可以比存储器单元部分 10 的位线 11 的宽度大。

根据上述实施方式 4，可以获得与实施方式 1 同样的效果。

此外，由于减少了基准单元部分 30 的 TMR 元件及 MOS 晶体管的数目，芯片的基准单元部分 30 的专有面积可缩小。

(实施方式 5)

实施方式 5 是其中，1 位的存储器单元由 1 个 TMR 元件+1 个二极管构成，基准单元部分由(1 个 TMR 元件+1 个二极管) ×2 构成的

示例。在此实施方式 5 中，对于与上述实施方式 4 相同的结构省略其说明，只对不同的结构予以说明。

图 15 为示出本发明的实施方式 5 的磁存储装置的电路图。如图 15 所示，在实施方式 5 的磁存储装置中，每个 1 位的存储器单元部分 10 具有 TMR 元件 13 和二极管 41。判定写入此存储器单元部分 10 的 TMR 元件 13 的信息的基准单元部分 30 具有 2 组 TMR 元件和二极管对。就是说，基准单元部分 30 的构成包括保持 “0” 数据的 TMR 元件 31 和二极管 42 组成的第 1 对，保持 “1” 数据的 TMR 元件 32 和二极管 43 组成的第 2 对。

图 16 为示出本发明的实施方式 5 的磁存储装置的电路图形图。如图 16 所示，在基准单元部分 30 中，二极管 42 和第 2 TMR 元件 32 以布线 50 相连接。由此，可利用同样的图形配置存储器单元部分 10 和基准单元部分 30 的 TMR 元件 13, 31, 32 及二极管 41, 42, 43。

另外，在实施方式 5 中，与实施方式 4 同样，连接基准单元部分 30 的 TMR 元件 31, 32 的位线 11 的一侧的面积 S_3 可以是连接到存储器单元部分 10 的 TMR 元件 13 的位线位线 11 一侧的面积 S_2 的 2 倍，减小 TMR 元件 31, 32 的电阻。由此，可以由保持 “0” 数据的 TMR 元件 31 和保持 “1” 数据的 TMR 元件 32 做出满足式(4)的基准单元部分 30 的电阻 R_r 。

根据上述实施方式 5，可以获得与实施方式 4 同样的效果。

此外，由于采用了二极管 41 作为开关元件，与上述实施方式 4 相比每一位的单元面积可进一步缩小。

(实施方式 6)

实施方式 6 是在实施方式 5 中不使用二极管的结构示例。在此实施方式 6 中，对于与上述实施方式 5 相同的结构省略其说明，只对不同的结构予以说明。

图 17 为示出本发明的实施方式 6 的磁存储装置的电路图。如图 17 所示，在实施方式 6 的磁存储装置中，每个 1 位的存储器单元部分 10

只具有 TMR 元件 13。判定写入此存储器单元部分 10 的 TMR 元件 13 的信息的基准单元部分 30 具有 2 组 TMR 元件。就是说，基准单元部分 30 的构成包括保持 “0” 数据的 TMR 元件 31 和保持 “1” 数据的 TMR 元件 32。

图 18 为示出本发明的实施方式 6 的磁存储装置的电路图形图。如图 18 所示，在基准单元部分 30 中，第 1TMR 元件 31 和第 2TMR 元件 32 以布线 50 相连接。由此，可利用同样的图形配置存储器单元部分 10 和基准单元部分 30 的 TMR 元件 13, 31, 32。

另外，在实施方式 6 中，与实施方式 4 同样，连接基准单元部分 30 的 TMR 元件 31, 32 的位线 11 的一侧的面积 S_3 可以是连接到存储器单元部分 10 的 TMR 元件 13 的位线位线 11 一侧的面积 S_2 的 2 倍，减小 TMR 元件 31, 32 的电阻。由此，可以由保持 “0” 数据的 TMR 元件 31 和保持 “1” 数据的 TMR 元件 32 做出满足式(4)的基准单元部分 30 的电阻 R_r 。

根据上述实施方式 6，可以获得与实施方式 4 同样的效果。

此外，由于不使用开关元件，与使用开关元件的场合相比，每一位的单元面积可缩小。

其他的优点和改型对于本领域技术人员是显而易见的。因此，本发明在其更宽的方面不局限于上面示出和描述的具体细节和代表性的实施方式。在不脱离由后附的权利要求及其等效物的总的发明构思的精神和范围的条件下，可以进行各种变更。

图 1

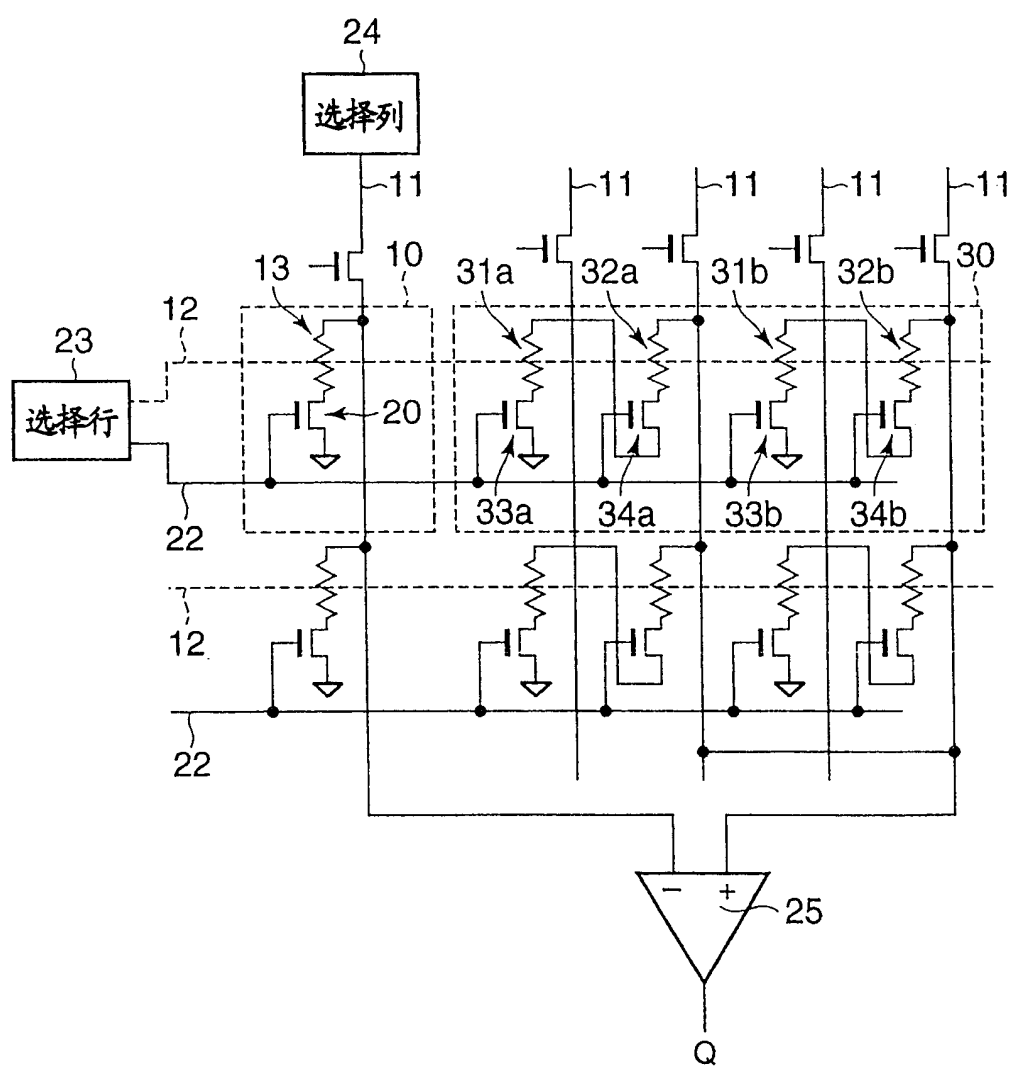


图 2

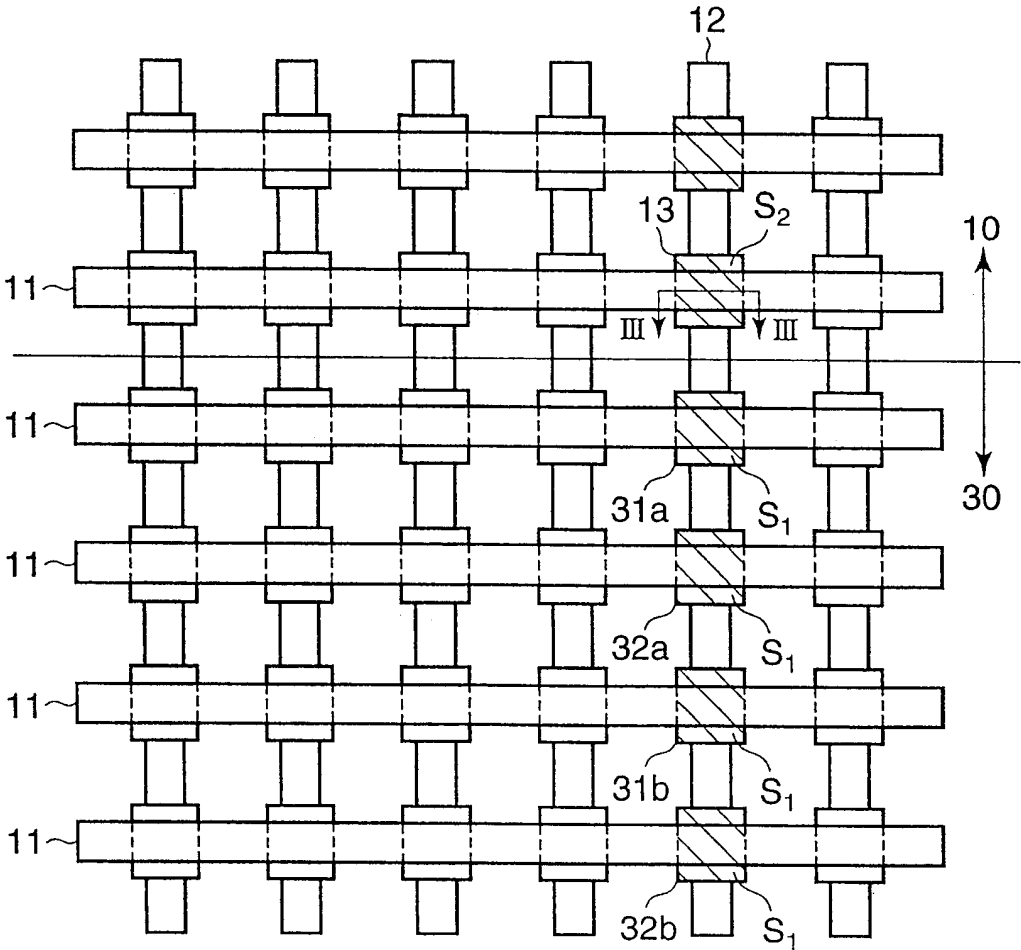


图 3

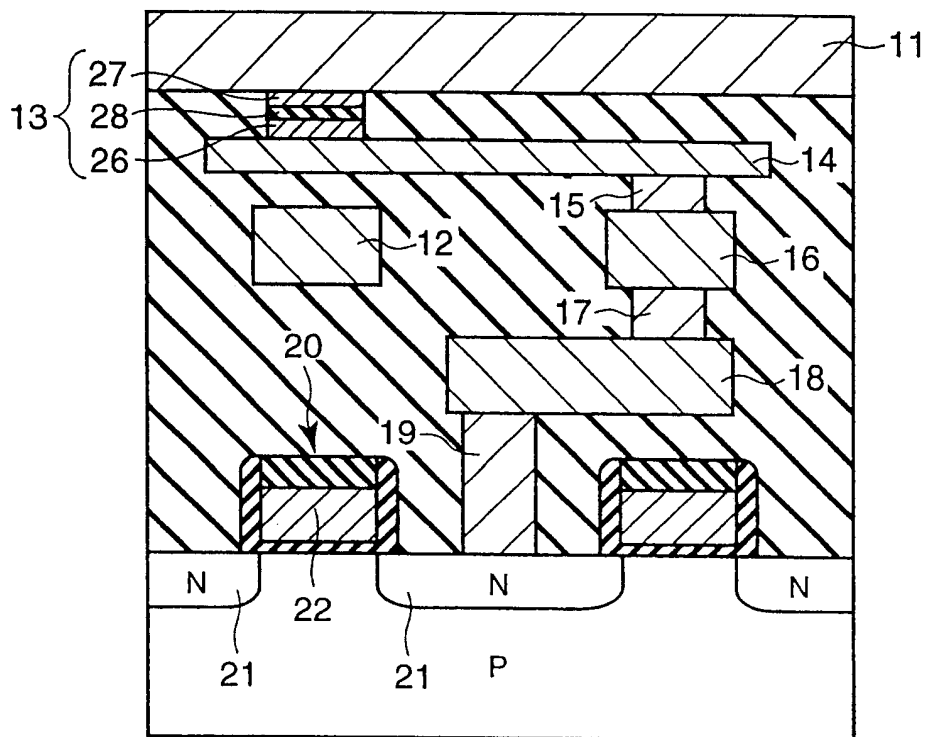


图 4

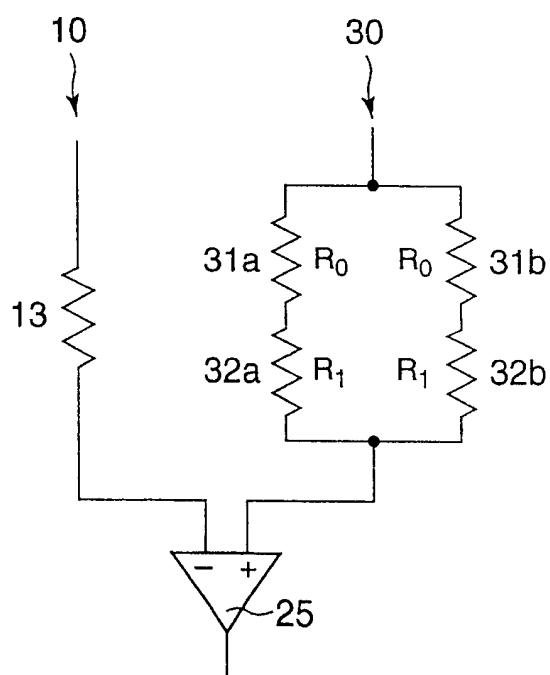


图 5

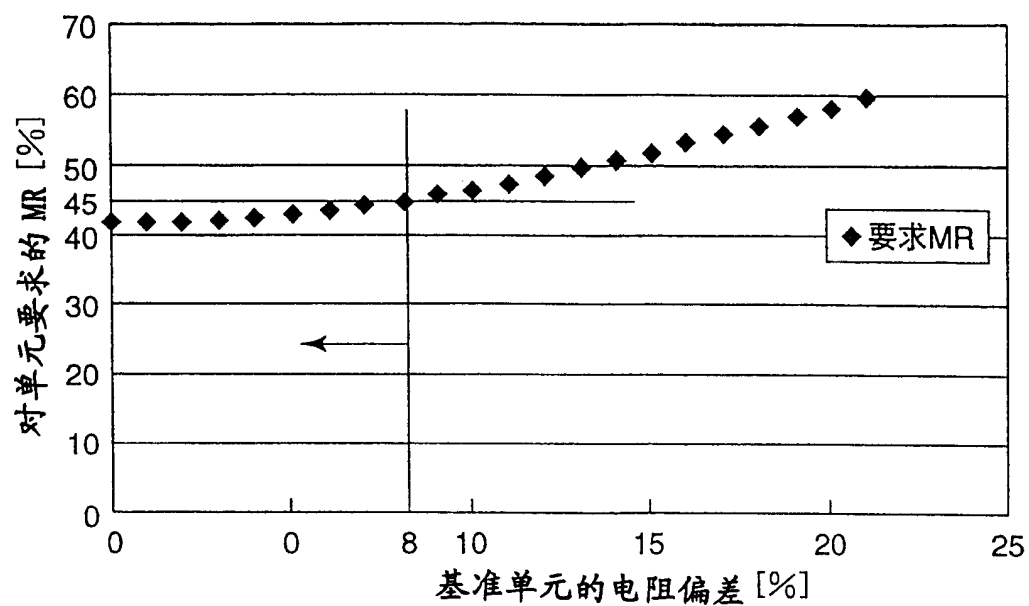


图 6A

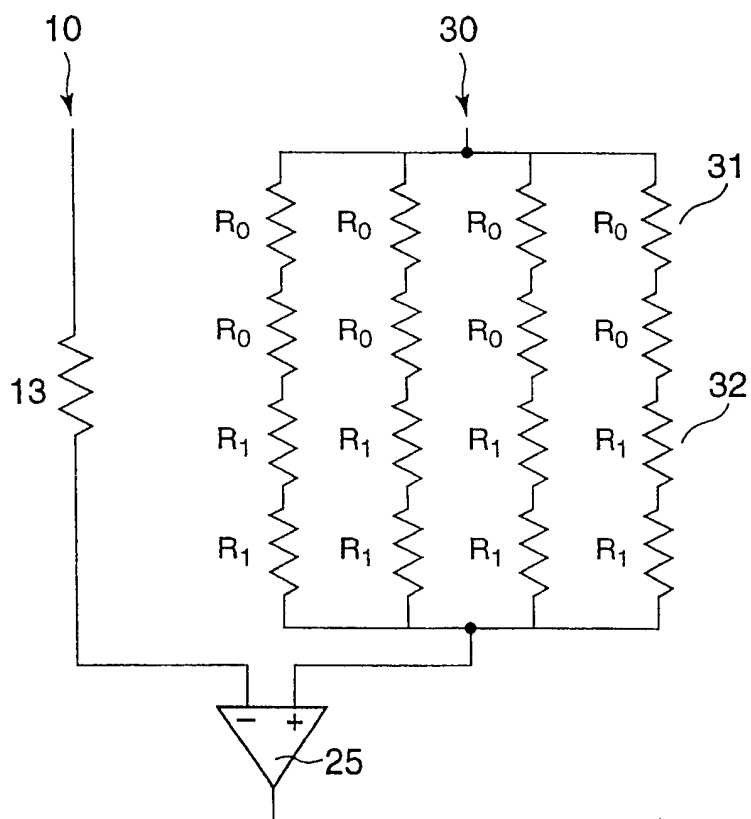


图 6B

60

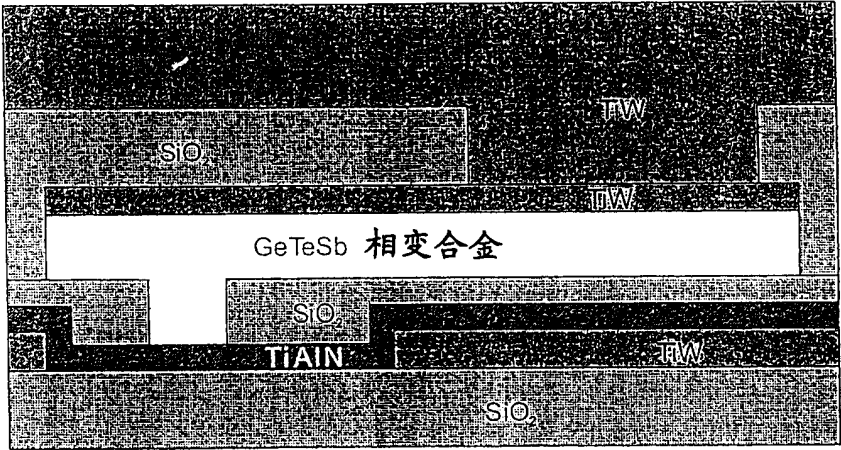


图 7

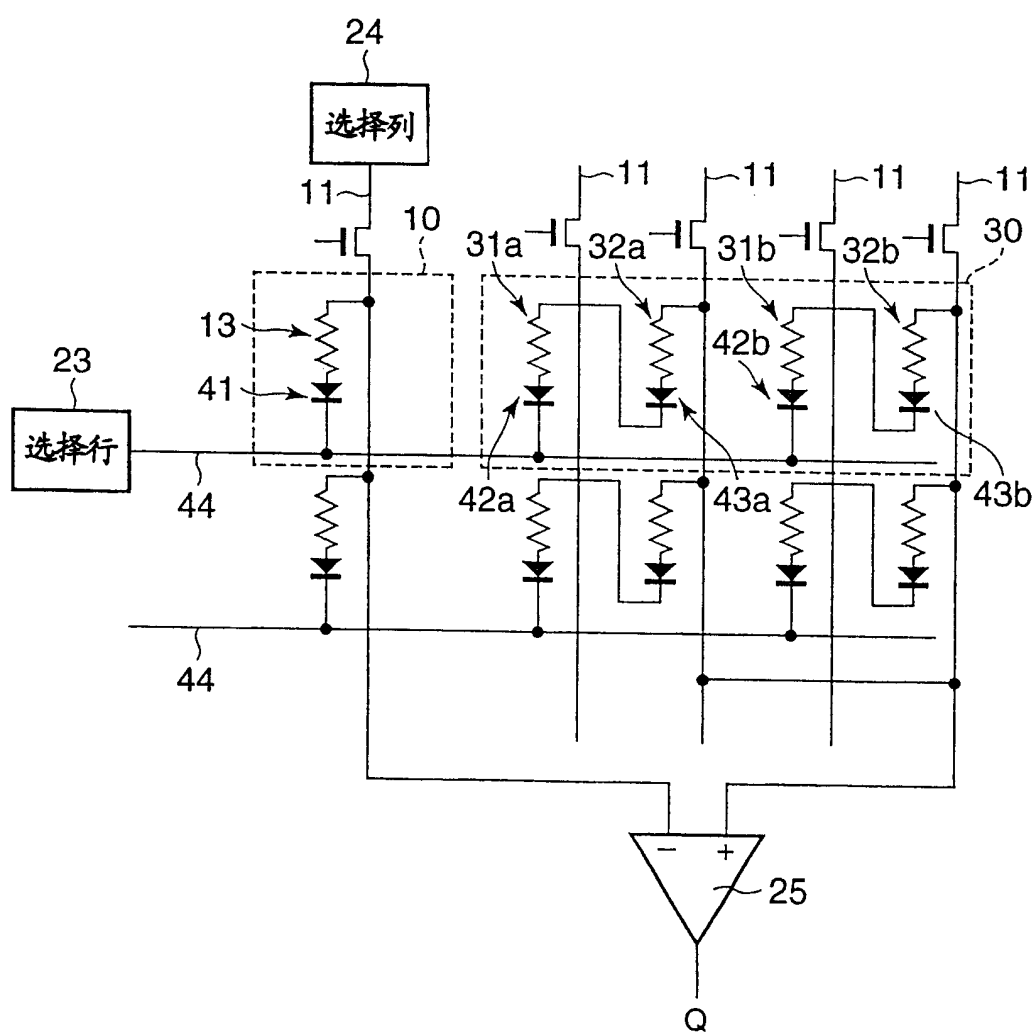


图 8

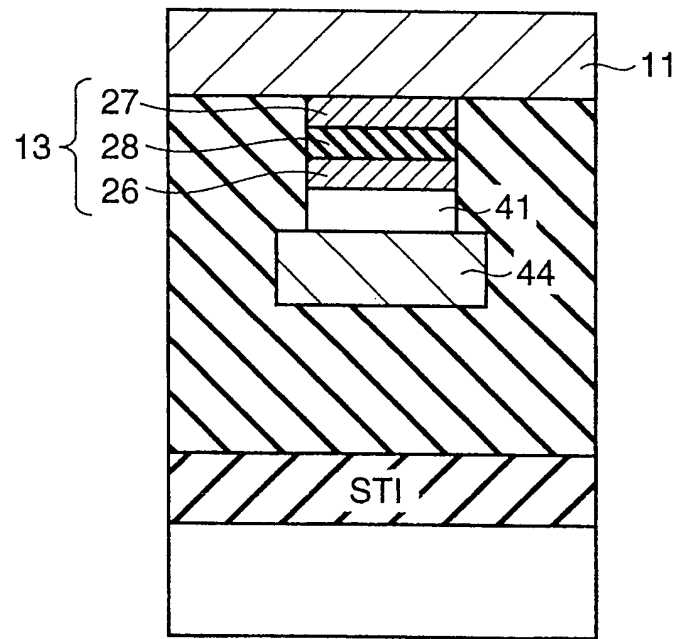


图 9

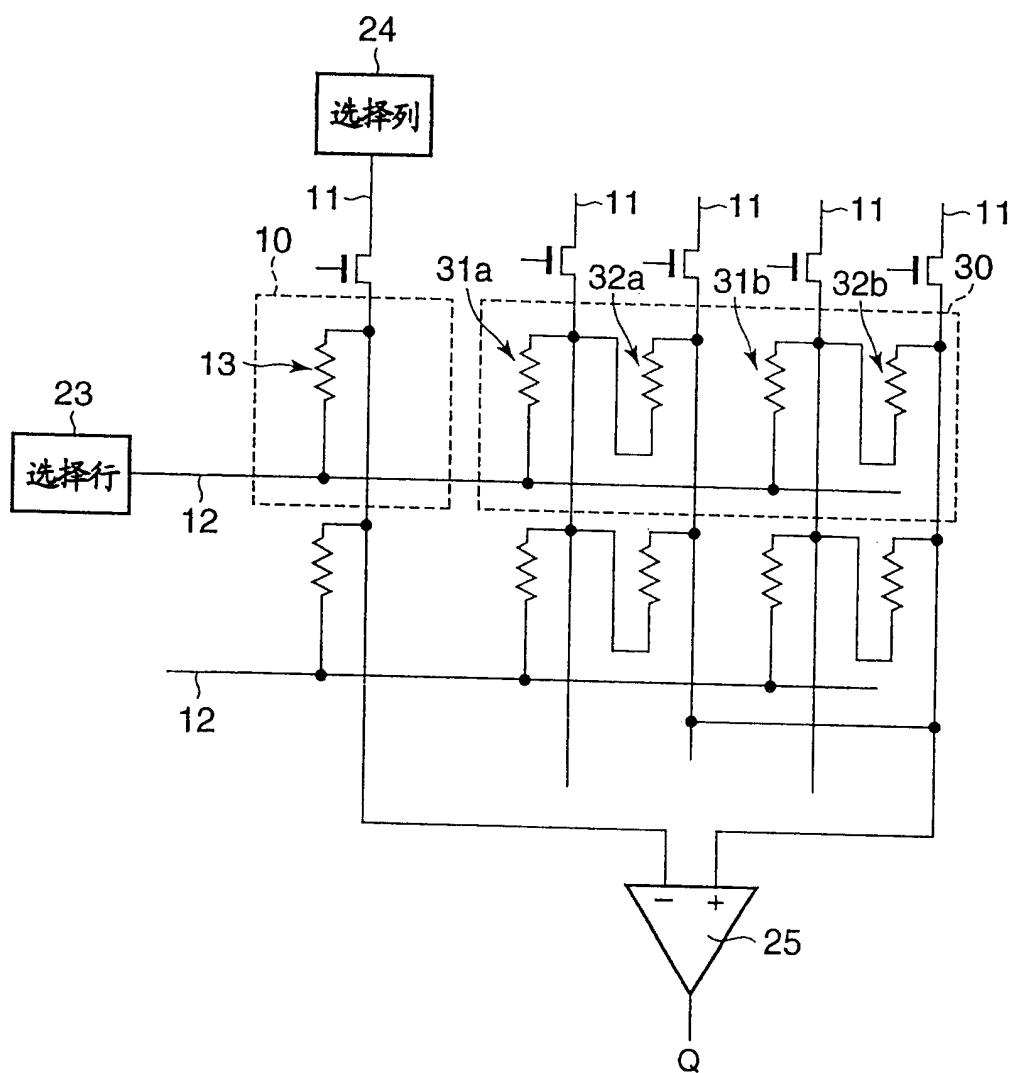


图 10

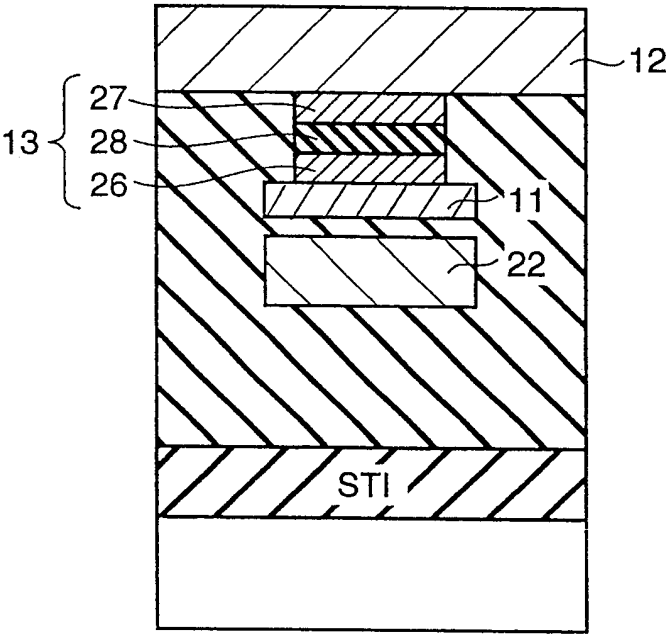


图 11

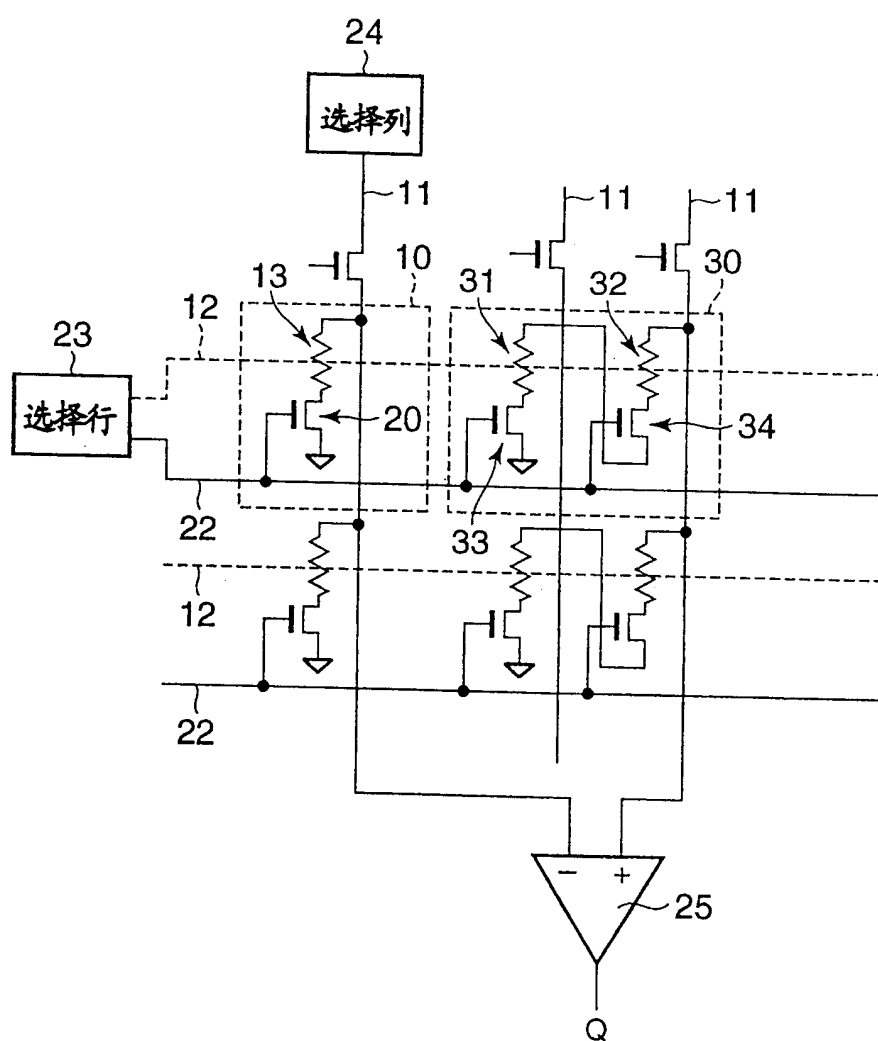


图 12

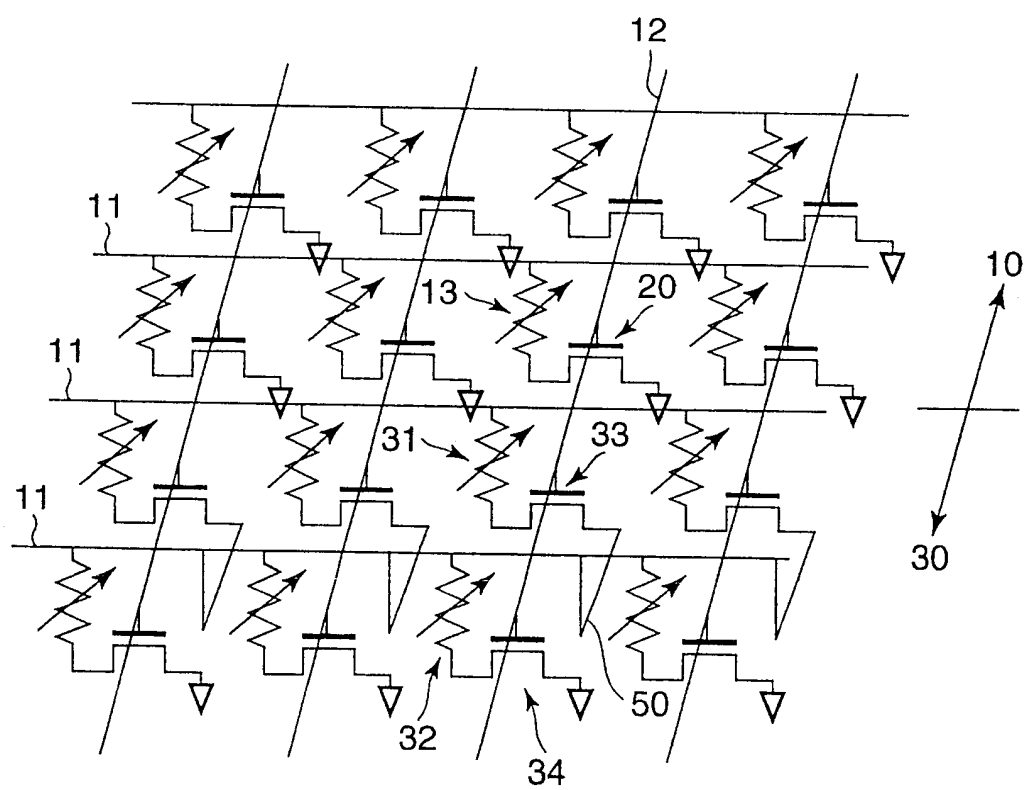


图 13

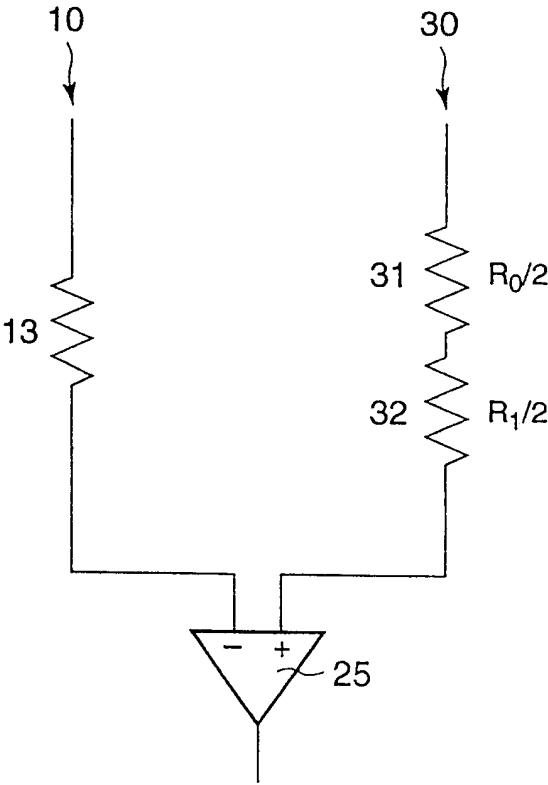


图 14

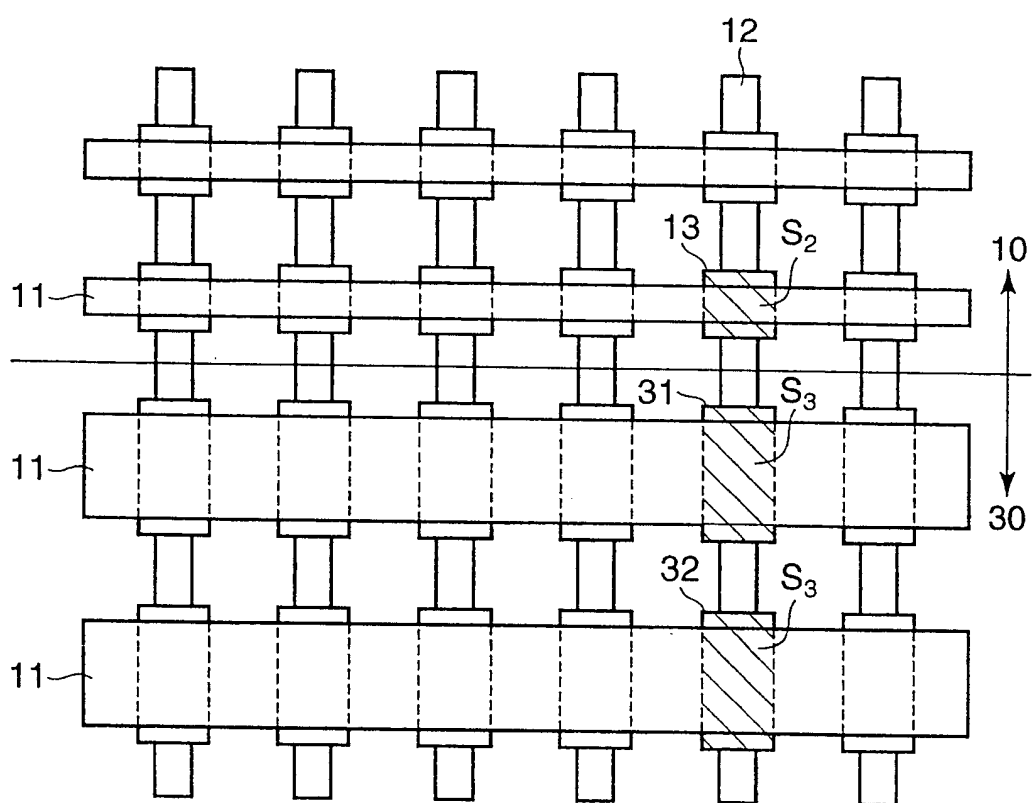


图 15

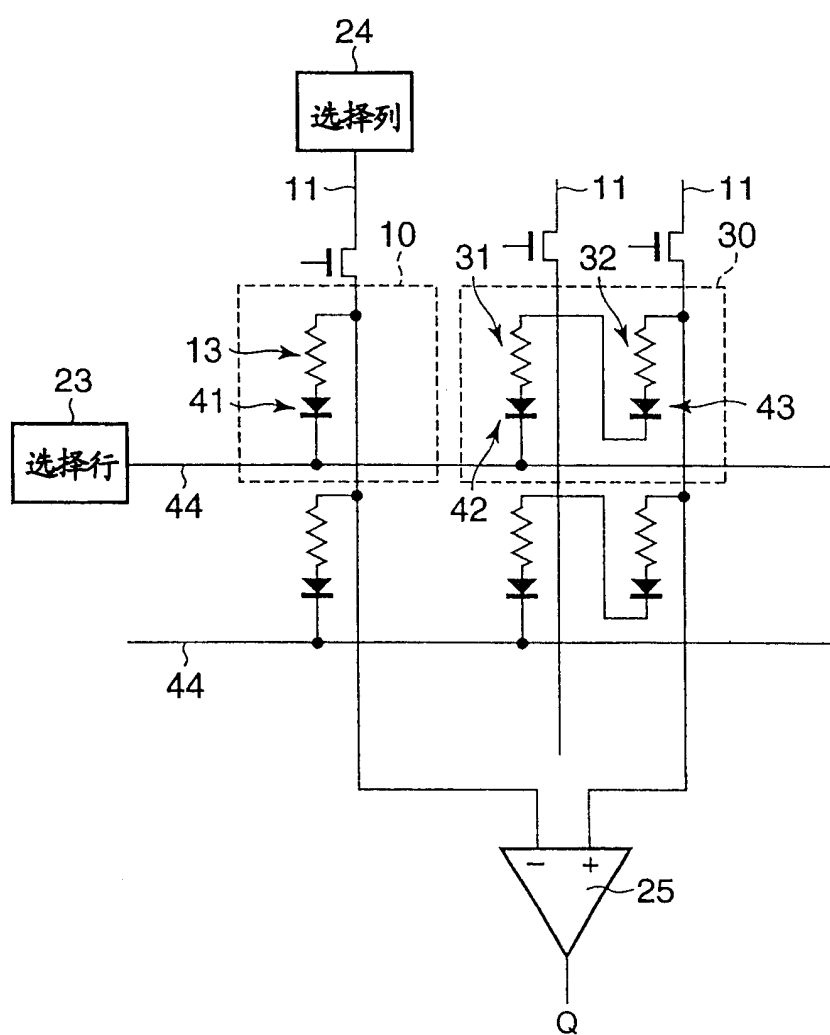


图 16

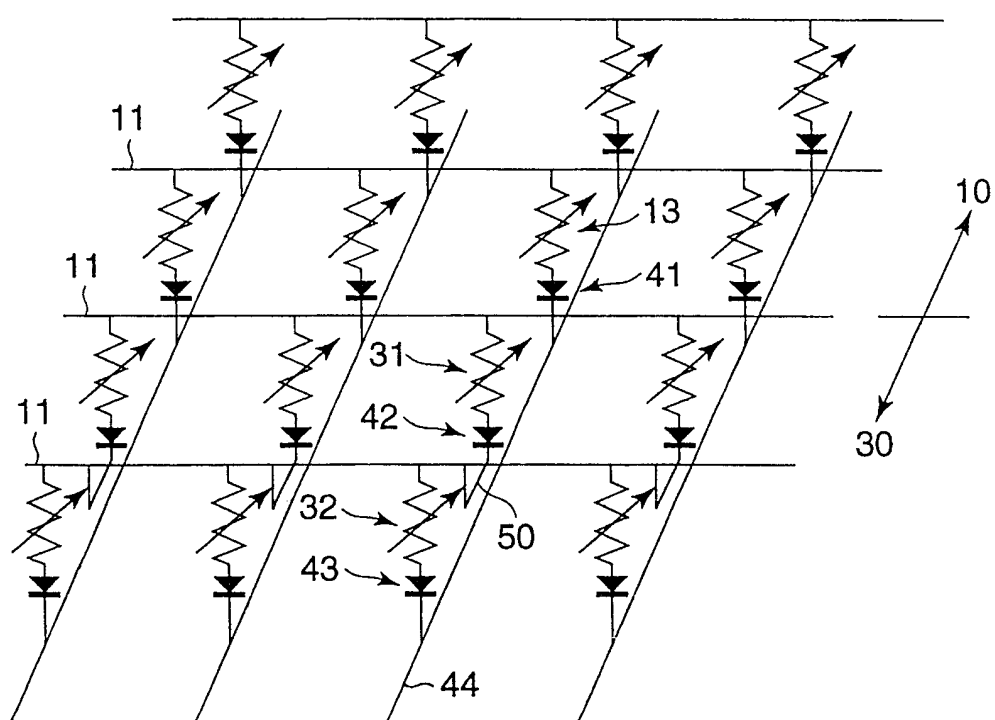


图 17

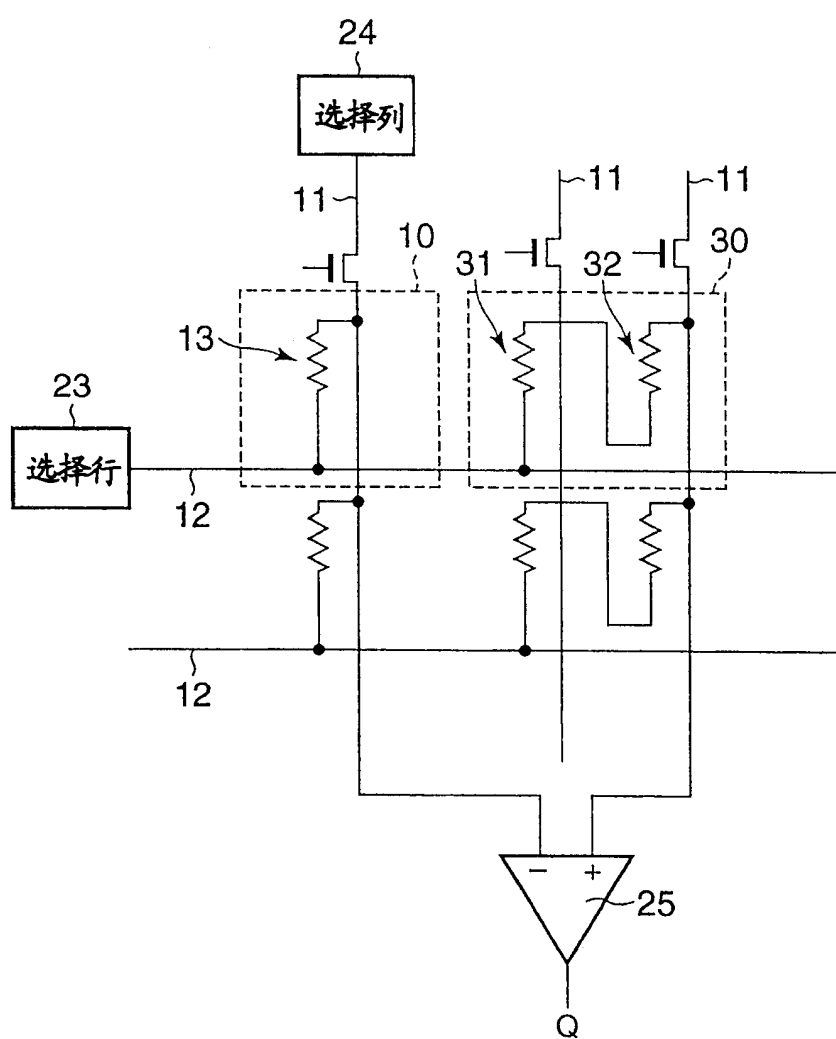


图 18

