



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

216 777

(11)

(B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 05 06 81
(21) PV 4225-81

(51) Int. Cl.³

G 06 F 11/08

(40) Zveřejněno 29 01 82
(45) Vydáno 01 07 84

(75)

Autor vynálezu JERÁBEK VÍTĚZSLAV ing., LIBICHER JAN ing., PRAHA

(54) Zapojení pro asynchronní přenos informace

Zapojení pro asynchronní přenos informace řeší problém přenosu informace u přenosových systémů pro přenos signálů v číslicovém tvaru v zaručeném prostředí mezi dvěma sekvencními systémy. Zapojení obsahuje komunikační část sestávající z vysílací a přijímací jednotky a jednotky pro vyhodnocení chyby. Dále řídicí část obsahující řadič nového typu a délkový itač pro určení adresy informace, a z uživatelské části obsahující paměť a adresovací a návěštní obvody. Zapojení slouží ke komunikaci mezi jednodušším sekvencním systémem a počítačem. Komunikační protokol v hardwarové formě je součástí přenosového systému. Tento protokol zabezpečuje metodu zpětného potvrzení ochranu informace proti narušení náhodnou poruchou. Zapojení je možné využít v případech, kdy je žádoucí rozšíření komunikačních možností například programovatelných automatů, které mohou být prostřednictvím tohoto zapojení propojovány jak mezi sebou, tak i připojeny na řídicí počítač.

Vynález se týká zabezpečení pro asynchronní přenos informace u přenosových systémů pro přenos signálů v číslicovém tvaru, v zaručeném prostředí mezi dvěma sekvencními systémy.

Jsou známy různé přenosové systémy, jako například systémy tvořící subcelky počítačů pro zabezpečení počítačů do počítačových sítí. Tyto systémy pracují většinou synchronně a přenášejí velké objemy dat. Organizace přenosu je zajišťována programově. Problém současného vysílání u počítačů komunikačně na stejné úrovni je v programu řešen tak zvaným contentien modem. Výhodou těchto synchronních systémů je velký objem přenášených dat.

Nevýhodou zmíněných přenosových systémů je jejich hardwarová i softwarová náročnost. Mimoto je komunikační protokol v paměti počítače a zmenšuje jeho paměťovou kapacitu.

Dále je znám přenosový systém, který kromě vedení komunikačního má i vedení spouštěcí, které zajišťuje synchronizaci vysílaných dat. Výhodou tohoto systému je jeho značná jednoduchost. Nevýhodou systému je, že nezabezpečuje vysílaná data proti narušení a že nárokuje druhé spouštěcí vedení.

Kromě toho je znám přenosový systém přenášející zprávy v blocích, kde jako první je vysílána značka začátku. Data jsou vysílána synchronně, přičemž mezi data jsou vloženy synchronizační impulsy. Výhodou tohoto systému je možnost příjmu zprávy při současném vysílání potvrzení nebo odpovědi. Jeho nevýhodou je, že v jeho uspořádání se nepočítá s možností výskytu vnější poruchy, při které dochází k narušení přijímaných dat. Synchronizační impulsy jsou vždy přímo vloženy mezi impulsy informační, takže kdyby došlo k narušení synchronizačních impulsů, došlo by ku zkomolení celé přenášené zprávy. Také systém kontroly vysílání přijatých dat zpět k vysílači neodpovídá tomu, že systém počítá s výskytem poruchy. Přitom je pro daný účel postačující pouze jediné kontrolní slovo. Toto uspořádání zbytečně zvyšuje pravděpodobnost narušení signálu. Dále tento systém pracuje s konstantní délkou bloku dat, v důsledku čehož nelze přizpůsobit délku vysílání délce zprávy. Systém pracuje tak, že pouze odpovídá na vysílání z druhé strany a sám nemůže zahájit vysílání.

Výše uvedené nedostatky odstraňuje zapojení pro asynchronní přenos informace sestávající z části komunikační, části řídicí a části uživatelské podle vynálezu, jehož podstata spočívá v tom, že je opatřeno řadičem, jehož vstup vnitřní jednosměrné datové sběrnice je spojen se vstupem vnitřní jednosměrné datové sběrnice obvodu vyhodnocení chyby, se vstupem vnitřní jednosměrné datové sběrnice paměti s vyhybkami a prvním výstupem vnitřní jednosměrné datové sběrnice vysílací a přijímací jednotky, která je svým seriovým vstupem spojena s první vstupní sverkou a svým seriovým výstupem je spojena s druhou vstupní sverkou, přičemž vstup řídicího slova řadiče je spojen s výstupem řídicího slova kombinované vyhybky a výstup stavového slova řadiče je spojen se vstupem stavového slova kombinované vyhybky, která je svým výstupem vnitřní jednosměrné datové sběrnice spojena se vstupem vnitřní jednosměrné datové sběrnice vysílací a přijímací jednotky a svým vstupem - výstupem vnější obousměrné datové sběrnice je spojena se čtvrtou vstupní-výstupní sverkou a dále, která je svým vstupem čtení stavového slova a vstupem zápisu stavového slova spojena s výstupem čtení stavového slova a výstupem zápisu stavového slova dekodéru adresy, jenž je svým vstupem vnější adresy spojen se třetí vstupní sverkou, zatímco zápisový a čítačí výstup řadiče je připojen na zápisový a čítačí vstup délkového čítače, který je svým výstupem vnitřní adresy připojen na vstup vnitřní adresy paměti s vyhybkami a výstup zápisu dat řadiče je prepojen na vstup zápisu dat vysílací a přijímací jednotky

a výstup stavové informace řadiče je spojen se vstupem stavové informace obvodu vyhodnocení chyby a vstup vyhodnocení chyby řadiče je připojen na výstup vyhodnocení chyby obvodu vyhodnocení chyby a vstup ukončovacího signálu řadiče je připojen na výstup ukončovacího signálu délkevého čítače a výstup zápisu dat paměti řadiče je spojen se vstupem zápisu dat, která je svým vstupem dat paměti a v vstupem dat paměti spojena s výstupem dat paměti a vstupem dat paměti kombinované vyhybky, která je dále spojena svým vstupem čtení dat a vstupem zápisu dat s výstupem čtení dat a výstupem zápisu dat dekodéru adresy.

Řadič je svým taktovacím vstupem spojen s taktovacím výstupem taktovacího generátoru.

Řadič je opatřen obvodem generace prováděcích pulsů, který má svůj výstup zápisu dat přiveden na výstup řadiče, přičemž obvod generace prováděcích pulsů má svůj taktovací vstup přiveden na taktovací vstup řadiče a dále je obvod generace prováděcích pulsů svým společným vstupem startování připojen se společným výstupem startování obvodu startování, jehož vstup startování je přiveden na vstup startování řadiče, a jehož vstup ukončovacího signálu je přiveden na vstup ukončovacího signálu řadiče, přičemž obvod generace prováděcích pulsů je svým vstupem stavových informací spojen s druhým výstupem stavových informací obvodu stavových buněk, jehož první výstup stavové informace je přiveden na výstup stavové informace řadiče, přičemž třetí výstup stavové informace obvodu stavových buněk je připojen s prvním vstupem stavové informace obvodu startování a druhý vstup startování obvodu stavových buněk je přiveden na vstup startování řadiče, zatímco výstup stavového slova obvodu stavových buněk je přiveden na výstup stavového slova řadiče a vstup řídicího slova obvodu stavových buněk je přiveden na vstup řídicího slova řadiče a jehož výstup ovládání vyhybek paměti obvodu stavových buněk je přiveden na výstup zápisu dat paměti řadiče, který je opatřen obvodem generace prováděcích pulsů, který má svůj zápisový a čítací výstup přiveden na zápisový a čítací výstup řadiče, přičemž obvod generace prováděcích pulsů má svůj výstup zápisu dat paměti přiveden na výstup zápisu dat řadiče a první výstup uvedení do výchozího stavu obvodu generace prováděcích pulsů je spojen s prvním vstupem uvedení do výchozího stavu obvodu uvedení do výchozího stavu, zatímco druhý výstup uvedení do výchozího stavu obvodu uvedení do výchozího stavu je připojen s druhým vstupem uvedení do výchozího stavu obvodu stavových buněk, jehož čtvrtý výstup stavové informace je spojen s druhým vstupem stavové informace obvodu uvedení do výchozího stavu, jehož vstup prvního ukončovacího signálu je přiveden na vstup prvního ukončovacího signálu řadiče, přičemž řadič je opatřen obvodem prováděcích pulsů, který má svůj první vstup vyhodnocení chyby připojen s druhým vstupem vyhodnocení chyby a dále s prvním vstupem vyhodnocení chyby řadiče, a který má dále svůj výstup zápisu formátu připojen na vstup zápisu formátu formátového registru, jehož první vstup formátu je přiveden na vstup řídicího slova řadiče, a výstup formátu je přiveden na zápisový a čítací výstup řadiče a druhý vstup formátu formátového registru je přiveden na vstup vnitřní jednosměrné datové sběrnice řadiče.

Zapojení pro asynchronní přenos informace je opatřeno adresním čítačem, který má svůj druhý vstup adresní části formátového slova spojen s druhým výstupem vnitřní jednosměrné datové sběrnice kombinované vyhybky, s druhým vstupem délkové části formátového slova délkevého čítače a se vstupem vnitřní jednosměrné datové sběrnice vysílací a přijímací jednotky a který má svůj první vstup adresní části formátového slova spojen s prvním výstupem vnitřní jednosměrné

datové sběrnice vysílací a přijímací jednotky, se vstupem vnitřní jednosměrné datové sběrnice obvodu vyhodnocení vyhybky, se vstupem vnitřní jednosměrné datové sběrnice paměti s vyhybkami a se vstupem délkové části formátového slova délkového čítače, přičemž druhý výstup vnitřní adresy adresního čítače je spojen se vstupem vnitřní adresy paměti s vyhybkami a zápisový a čítací vstup adresního čítače je připojen na zápisový a čítací výstup řadiče.

Řadič je opatřen obvodem generace prováděcích pulsů, který má svůj výstup zápisu dat přiveden na výstup řadiče, přičemž taktovací vstup obvodu generace prováděcích pulsů je přiveden na taktovací vstup řadiče a společný vstup startování obvodu generace prováděcích pulsů je propojen se společným výstupem startování obvodu startování, jehož vstup startování je přiveden na vstup startování řadiče, a jehož první vstup stavové informace je spojen s třetím výstupem stavové informace obvodu stavových buněk, přičemž řadič je opatřen obvodem generace prováděcích pulsů, který je svým vstupem stavových informací spojen s druhým výstupem stavových informací obvodu stavových buněk a který má výstup ovládání kombinované vyhybky spojen se vstupem ovládání kombinované vyhybky obvodu stavových buněk, jehož první výstup stavové informace je přiveden na výstup stavové informace řadiče, přičemž druhý vstup startování obvodu stavových buněk je přiveden na vstup startování řadiče, a výstup stavového slova obvodu stavových buněk je přiveden na výstup stavového slova řadiče a vstup řídicího slova obvodu stavových buněk je přiveden na vstup řídicího slova řadiče, zatímco druhý výstup ovládání vyhybek čítače obvodu stavových buněk je přiveden na zápisový a čítací výstup řadiče, přičemž výstup ovládání vyhybek obvodu stavových buněk je přiveden na výstup zápisu dat paměti řadiče, přičemž řadič je opatřen obvodem generace prováděcích pulsů, který má svůj zápisový a čítací výstup přiveden na zápisový a čítací výstup řadiče a který má svůj výstup zápisu dat paměti přiveden na výstup zápisu dat paměti řadiče, přičemž obvod generace prováděcích pulsů má svůj první výstup uvedení do výchozího stavu spojen s prvním vstupem uvedení do výchozího stavu obvodu uvedení do výchozího stavu, jehož druhý výstup uvedení do výchozího stavu je propojen s druhým vstupem uvedení do výchozího stavu obvodu stavových buněk a se zápisovým a čítacím výstupem řadiče, zatímco druhý vstup stavové informace obvodu uvedení do výchozího stavu je spojen se čtvrtým výstupem stavové informace obvodu stavových buněk, přičemž vstup prvního ukončovacího signálu obvodu uvedení do výchozího stavu je propojen se vstupem prvního ukončovacího signálu obvodu stavových buněk a se vstupem prvního ukončovacího signálu řadiče, přičemž řadič je opatřen obvodem generace prováděcích pulsů, který má svůj první vstup vyhodnocení chyby propojen s druhým vstupem vyhodnocení chyby obvodu stavových buněk a s prvním vstupem vyhodnocení chyby řadiče.

Výhody zapojení podle vynálezu spočívají především v jeho jednoduchosti a odelnosti proti poruchám. Komunikační protokel v hardwarové formě je součástí přenosového systému a nezatěžuje paměťovou kapacitu uživatele. Tento protokel zabezpečuje metodou zpětného potvrzování ochranu informace proti narušení náhodnou poruchou. Systém dále obsahuje vyrovnávací paměť, ze které si uživatel může vyzvednout potřebná data nezávisle na době, kdy byla přijata. Vyrovnávací paměti lze také s jistým omezením používat jako paměti dat, která neseuvisí s přenosem, což je výhodné u malých sekvenčních systémů s malou paměťovou kapacitou. Délku vysílaného bloku dat lze přizpůsobit délce zprávy, určené k přenosu. K zabezpečení informace proti narušení na trase se používá redundantní kód s detekcí chyby a zpětným potvrzováním.

Potvrzovací slovo je veleno co nejkratší, aby se snížila pravděpodobnost jeho narušení. Dejde-li přesto k jeho narušení, lze u příjemce dekodovat jeho původní význam. Při komunikaci s počítačem lze zavést takevou organizaci přenosu, že uživatel může kdykoliv zahájit vysílání bez nebezpečí blokování, nebo poruch přenosu v případě současného vysílání. Tyto nové vlastnosti přenosového systému umožňují i malému sekvenčnímu systému, například programovatelnému automatu komunikovat na úrovni počítače.

Zapojení pro asynchronní přenos informace podle vynálezu bude následovně blíže popsáno v příkladevém provedení s pomocí připojených výkresů, kde obr. 1 znázorňuje podstatu zapojení pro asynchronní přenos informace v blokovém uspořádání, obr. 2 znázorňuje příkladevé provedení zapojení podle obr. 1, obr. 3 znázorňuje rozvinuté zapojení řadiče podle obr. 2, obr. 4 znázorňuje blokové schéma variantního zapojení pro asynchronní přenos informace, obr. 5 znázorňuje rozvinuté zapojení podle obr. 4.

Zapojení pro asynchronní přenos informace podle obr. 1 sestává z části komunikační, tvořené vysílací a přijímací jednotkou 1 a obvodem 2 pro vyhodnocení chyby, dále z části řidičí, tvořené řadičem 2 a délkovým čítačem 5 a z části uživatelské, tvořené pamětí s vyhybkami 4, kombinovanou vyhybkou 6 a dekodérem adresy 7.

Uspořádání a zapojení jednotlivých částí 1 až 7 podle obr. 1 je provedeno jako základní pro zajištění podstaty řešení.

Podle obr. 2, znázorňujícího příkladevé provedení zapojení podle obr. 1, je první sverka A seriového vstupu a druhá sverka B seriového výstupu spojena se seriovým vstupem 1a a seriovým výstupem 1b vysílací a přijímací jednotky 1, jejíž výstup 1f vnitřní jednosměrné datové sběrnice je spojen se vstupem 3b vnitřní jednosměrné datové sběrnice obvodu 2; vyhodnocení chyby, dále se vstupem 2m vnitřní jednosměrné datové sběrnice řadiče 2 a dále se vstupem 4i vnitřní jednosměrné datové sběrnice paměti 4. První výstup 1e startování řadiče je spojen s prvním vstupem 2a startování řadiče. Druhý výstup 1g startování řadiče je spojen s druhým vstupem 2b startování řadiče. Výstup 2c zápisu dat řadiče 2 je připojen ke vstupu 1d zápisu dat vysílací a přijímací jednotky 1. Vstup 1c vnitřní jednosměrné datové sběrnice je připojen na výstup 6c vnitřní jednosměrné datové sběrnice kombinované vyhybky 6. Taktovací vstup 2d řadiče 2 je spojen s taktovacím výstupem 8a taktovacího generátoru 8. Vstup 2e prvního ukončovacího signálu řadiče 2 je připojen k výstupu 5c prvního ukončovacího signálu délkového čítače 5. Vstup 2e druhého ukončovacího signálu řadiče 2 je připojen k výstupu 5f druhého ukončovacího signálu délkového čítače 5. Zápisový a čítací výstup 2f je spojen se zápisovým a čítacím vstupem 5b délkového čítače 5. Výstup 2g stavového slova řadiče 2 je připojen ke vstupu 6b stavového slova kombinované vyhybky 6. Vstup 2h řidičího slova je připojen k výstupu 6a řidičího slova kombinované vyhybky 6. Výstup 2i ovládání vyhybek řadiče 2 je spojen se vstupem 4b ovládání vyhybek paměti 4. Výstup 2j zápisu dat paměti je spojen se vstupem 4a zápisu dat paměti 4. Výstup 2k stavové informace řadiče 2 je připojen ke vstupu 3c stavové informace obvodu 2 vyhodnocení chyby. Výstup 2l formátového slova je spojen se vstupem 5d formátového slova délkového čítače 5. První vstup 2n vyhodnocení chyby řadiče 2 a druhý vstup 2e vyhodnocení chyby délkového čítače 5 je připojen na výstup 3a vyhodnocení chyby obvodu 2 vyhodnocení chyby.

Výstup 4e dat paměti 4 je spojen se vstupem 6h dat paměti kombinované vyhýbky 6. Vstup 4d dat paměti je připojen na výstup 6g dat paměti kombinované vyhýbky 6. Vstup 4e vnitřní adresy je připojen na výstup 5a vnitřní adresy délkového čítače 5. Vstup 4f čtení dat paměti 4 je připojen na výstup 7a zápisu dat dekodéru 7 adresy. Vstup 4h části vnější adresy je připojen na třetí sverku C vnější adresy. Vstup - výstup 6d vnější obousměrné datové sběrnice kombinované vyhýbky 6 je připojen na čtvrtou sverku D vnější obousměrné datové sběrnice. Vstup 6e čtení stavevého slova kombinované vyhýbky 6 je připojen na výstup 7d čtení stavevého slova dekodéru 7 adresy. Vstup 6f zápisu stavevého slova kombinované vyhýbky 6 je připojen na výstup 7c zápisu stavevého slova dekodéru 7 adresy. Vstup 7e části vnější adresy dekodéru 7 adresy je připojen k třetí sverce C vnější adresy.

Podle obr. 3 je výstup 21a zápisu dat obvodu 21 generace prováděcích impulsů řadiče 2 připojen ke vstupu 1d zápisu dat vysílací a přijímací jednotky 1. Taktevací vstup 21b je připojen na taktevací výstup 8a taktevacího generátoru 8. Společný vstup 21c startování je spojen se společným výstupem 22d startování obvodu 22 startování. Vstup 21d stavevých informací je připojen na druhý výstup 25b stavevých informací obvodu 25 stavevých buněk. Zápisový a čítací vstup 21j je připojen na zápisový a čítací vstup 5b. Výstup 21f stavevého slova je připojen na první vstup 4a zápisu dat paměti. První výstup 21g uvedení do výchozího stavu je připojen na první vstup 24d uvedení do výchozího stavu obvodu 24 uvedení do výchozího stavu. Výstup 21h zápisu formátu je spojen se vstupem 23a zápisu formátu formátového registru 23. První vstup 21i vyhodnocení chyby a druhý vstup 25j vyhodnocení chyby je připojen na výstup 3a vyhodnocení chyby 3 vyhodnocení chyby. Vstup 22a startování je připojen na druhý výstup 1g startování řadiče. První vstup 22c stavevé informace je připojen na třetí výstup 25d stavevé informace obvodu 25 stavevých buněk. Vstup 22e druhého ukončovacího signálu je připojen na druhý vstup 5f ukončovacího signálu délkového čítače 5. První vstup 23b formátu formátového registru 23 je připojen na výstup 6a řídicího slova kombinované vyhýbky 6. Výstup 23c formátu je připojen na vstup 5d formátového slova. Druhý vstup 23d formátu je připojen na výstup 1f vnitřní jednosměrné datové sběrnice. Druhý výstup 24a uvedení do výchozího stavu je spojen s druhým vstupem 25i uvedení do výchozího stavu. Druhý vstup 24b stavevé informace je připojen na čtvrtý výstup 25h stavevé informace obvodu 25 stavevých buněk. Vstup 24c ukončovacího signálu je připojen na výstup 5c prvního ukončovacího signálu. První výstup 25a stavevé informace je spojen se vstupem 3c stavevé informace obvodu 3 vyhodnocení chyby. Druhý vstup 25c startování je připojen na první výstup startování řadiče vysílací a přijímací jednotky 1. Výstup 25e stavevého slova je spojen se vstupem 6b stavevého slova kombinované vyhýbky 6. Vstup 25f řídicího slova je připojen na výstup 6a řídicího slova kombinované vyhýbky 6. Výstup ovládání vyhýbek je připojen na vstup 4b ovládání vyhýbek paměti 4.

Při činnosti zapojení pro asynchronní přenos informace podle obr. 2 jsou data vysílána a přijímána po blocích. Před každým blokem dat je vysíláno formátové slovo, které udává pro příjemce informaci o délce bloku a charakteru za ním následujících dat. Každý datový blok se skládá opět ze slov. Každé slovo obsahuje startimpuls, informační a redundanční část a stopimpulsy. Za každým formátovým slovem a za datovým blokem vysílá příjemce k vysílacímu potvrzovací slovo, které obsahuje informaci o stavu přenosu.

Jestliže došlo k narušení informace, musí vysílač opakovat. Příjem začíná příchodem formátového slova v seriovém tvaru ze sverky A na seriový vstup vysílací a přijímací jednotky 1. Po ukončení načtení do přijímacího registru vysílací a přijímací jednotky 1 se formátové slovo objevuje v paralelní formě na výstupu 1f vnitřní jednosměrné datové sběrnice. Na prvním výstupu 1e startování řadiče 2 se zpožděním objevuje signál, který jde na první vstup 25c startování řadiče, jak je znázorněno na obr. 3 a změní stavové slovo. Toto stavové slovo kontroluje uživatel, chce-li pracovat s pamětí 4. S pamětí 4 se pracuje ve sdíleném režimu, to znamená, že na libovolnou adresu může zapisovat a číst z ní jak řadič 2, tak uživatel. Vnější uživatel má do paměti 4 přístup vždy, pokud neprobíhá komunikace. Uživatel čte stavové slovo v obvodu - sverka D vnější obousměrové datové sběrnice, vstup - výstup 6d vnější obousměrové datové sběrnice kombinované vyhýbky 6, vstup 6b stavového slova a výstup 25e stavového řadiče 2. Chce-li uživatel číst stavové slovo, musí generovat adresu stavových informací v obvodu sverka C vnější adresy, druhý vstup 3e části vnější adresy dekodéru 7 adresy, výstup 7d čtení stavového slova a vstup 6e čtení stavového slova kombinované vyhýbky 6. Dále musí potvrdit uvolnění paměti 4 pro komunikaci zápisem řídicího slova do řadiče 2 obvodu - sverka D vnější obousměrné datové sběrnice, vstup - výstup 6d vnější obousměrné datové sběrnice kombinované vyhýbky 6, výstup 6a řídicího slova, vstup 25f řídicího slova. Změněný stav stavového slova ve stavových buňkách 25 označuje uživateli, že probíhá komunikace a že nemůže cokoliv číst nebo zapisovat do paměti 4, dokud komunikace neskončí. Zápisem řídicího slova dochází k přeřazení vyhybek paměti 4 a kombinované vyhýbky 6 v obvodu - výstup 25g ovládání vyhybek, vstup 4b ovládání vyhybek. Dále dochází k nastartování řadiče 2 v obvodu - třetí výstup 25d stavové informace obvodu stavových buněk 25, první vstup 22c stavové informace obvodu 22 startování, společný výstup 22d startování, společný vstup 21c startování obvodu 21 generace prováděcích impulsů. Řadič 2 nejdříve zkontroluje, jde-li o bezchybný příjem. O tom dostane informace od obvodu 3 vyhodnocení chyby v obvodu - výstup 3a vyhodnocení chyby, vstup 21i vyhodnocení chyby. Jde-li o bezchybný příjem, dojde v prvním taktu obvodu 21 prováděcích impulsů k zapsání přijatého formátového slova na nultou adresu paměti 4. Zápisový puls se generuje v obvodu - výstup 21f zápisu dat do paměti, první vstup 4a zápisu dat do paměti. Současně se formátové slovo zapíše v řadiči 2 do formátového registru 23 signálem z výstupu 21k zápisu formátu na vstup 23a zápisu formátu. V druhém taktu obvodu 21 dojde k zápisu formátového slova do délkového čítače 5 ze zápisového a čítacího výstupu 21j řadiče 2 na zápisový a čítací vstup 5b délkového čítače 5. V obvodu výstup 3a vyhodnocení chyby vstup 25j vyhodnocení chyby, výstup 25e stavového slova, vstup 6b stavového slova, výstup 6c vnitřní jednosměrné datové sběrnice, vstup 1c vnitřní jednosměrné datové sběrnice je nyní připraveno potvrzovací slovo, které podá vysílací straně zprávu o stavu přenosu. Toto slovo se zapíše do vysílacího registru vysílací a přijímací jednotky 1 ve třetím taktu obvodu 21. Tím dojde k odvysílání potvrzovacího slova v seriovém tvaru ze seriového výstupu 1b přes sverku B na vedení. Prováděcí signál je veden z výstupu 21a zápisu dat na vstup 1d zápisu dat vysílací a přijímací jednotky 1. Čtvrtý a pátý takt obvodu 21 generace prováděcích impulsů není v této fázi komunikace využit.

Jestliže po nastartování řadiče 2 ve fázi příjmu formátového slova obvod 3 vyhodnocení chyby dává informace řadiči 2, že přijatá data mají poruchu, nedojde ke generaci prováděcích signálů prvního a druhého taktu. Pouze třetí takt zapíše do obvodu 1 neplatné potvrzovací slovo.

Řadič 2 pak očekává opakovaná formátová slova.

Prejde-li formátové slovo bez narušení, pak je dále přijímán datový blok. V prvním taktu řadiče 2 jsou datová slova postupně zapisována do paměti 4 na adresy určené délkovým čítačem 5. V druhém taktu je délkový čítač 5 postupně dekrementován, prováděcí signál je stejný jako pro nastavení čítače 5. Třetí, čtvrtý a pátý takt obvodu 21 generace prováděcích impulsů není využit. Obsahuje-li datové slovo chybu, pak se tato skutečnost zapamatuje v obvodu 25 stavových buněk. Obvod 21 generace prováděcích impulsů řadiče 2 je nyní startován v obvodu - druhý výstup 1g startování řadiče, druhý vstup 22a startování řadiče, společný výstup 22d startování, společný vstup 21c startování.

Zápis posledního datového slova ohlásí délkový čítač 5 řadiči 2 signálem z výstupu 5c prvního ukončovacího signálu na vstup 24c prvního ukončovacího signálu obvodu 24 uvedení do výchozího stavu ve druhém taktu obvodu 21. Jestliže během příjmu datového bloku nedošlo k chybě v žádném taktovacím slově, je ve třetím taktu odvysíláno potvrzovací slovo. Čtvrtý takt se nevyužije, v pátém taktu uvede obvod 24 na signál z obvodu 21 stavové buňky 25 do výchozího stavu v obvodu - první výstup 21g uvedení do výchozího stavu, první vstup 24d uvedení do výchozího stavu, druhý výstup 24a uvedení do výchozího stavu, druhý vstup 25i uvedení do výchozího stavu. Tím dojde k přecházení vyhybek paměti 4 a k uvolnění této paměti pro uživatele. Uživatel může také sám uvést stavové buňky do výchozího stavu, je-li to nutné, v obvodu pro zápis řídicího slova po přivedení příslušné adresy. Jestliže během příjmu datového bloku došlo k chybě v některém datovém slově, je po zápisu posledního datového slova ve třetím taktu obvodu 21 generace prováděcích impulsů odvysíláno potvrzovací slovo, které hlásí vysílací straně, že musí datový blok opakovat. Čtvrtý takt signálem zapisovaného a čítacího výstupu 21j na zápisovém a čítacím vstupu 5b nastaví délkový čítač 5 opět na tvar formátového slova. Formátové slovo je uloženo ve formátovém registru 23 řadiče 2 a přepíše se v obvodu - výstup 23c formátu, vstup 5d formátového slova do délkového čítače 5. Pátý takt se nevyužije.

Před započítáním vysílání musí uživatel zapsat do paměti 4 datová slova a formátové slovo. Data jsou zapisována v obvodu - sverka D, vstup - výstup 6d vnější obousměrné datové sběrnice, výstup 6g dat paměti 4, vstup 4d dat paměti. Dále je třeba přivést adresu, kterou se má datové slovo zapsat na vstup paměti 4. První část adresy se uplatní přímo pro ukládání dat do paměti 4 ze sverky C na první vstup 4h části vnější adresy. Druhá část adresy je vedena ze sverky C na druhý vstup 7e části vnější adresy dekadéru 7 adresy. Výstup 7a zápisu dat a druhý vstup 4g zápisu dat. Na nultou adresu se zapisuje formátové slovo. Data uložená v paměti 4 může vnější uživatel také číst v obvodu - sverka D, vstup 6d vnější obousměrné datové sběrnice, vstup 6h dat paměti a výstup 4c dat paměti. Adresa, která umožňuje čtení dat, se přivádí na sverku C. Část této adresy adresuje paměť z prvního vstupu 4h části vnější adresy. Druhá část jde na druhý vstup 7e části vnější adresy, výstup 7b čtení dat, vstup 7f čtení dat.

Když je celá zpráva zapsána do paměti 4, uživatel odstartuje vysílání zápisem řídicího slova do řadiče 2, které nastaví stavové buňky do stavu vysílání. Tím dojde k přecházení vyhybek paměti 4 a k jejímu odpojení od uživatele a připojení na vnitřní datové sběrnice. Dále dojde k nastartování obvodu 21 prováděcích impulsů 21 řadiče 2. První a druhý takt tohoto obvodu se neuplatní. Ve třetím taktu obvodu 21 se formátové slovo přepíše z paměti 4 do vysílacího registru a přijímací jednotky 1 v obvodu - výstup 4c dat paměti, vstup 6h dat paměti, výstup 6c

vnitřní jednosměrné datové sběrnice, vstup 1c vnitřní jednosměrné datové sběrnice. Prováděcí signál je veden z výstupu 21a zápisu dat na vstup 1d zápisu dat. V seriovém asynchronním tvaru je pak formátové slovo z výstupu 1b a přes svorku B vysíláno na vedení. Současně se formátové slovo poznamená do formátového registru 23 řadiče 2 v obvodu - výstup 4c dat paměti, vstup 6h dat paměti, výstup 6a řidičského slova, první vstup 23b formátu. Prováděcí signál je vyslán z výstupu 21k zápisu formátu na vstup 23a zápisu formátu. Čtvrtý a pátý takt obvodu 21 se nevyužije. Systém nyní čeká na potvrzovací slovo, které přijde ze svorky A na seriový vstup 1a přijímací jednotky 1. Přijímací jednotka 1 nastartuje řadič 2 v obvodu - druhý výstup 1g startování, druhý vstup 22a startování obvodu startování 22, společný výstup 22d startování, společný vstup 21c startování. Potvrzovací slovo se objeví v paralelním tvaru na výstupu 1f vnitřní jednosměrné sběrnice. Dojde k jeho vyhodnocení v obvodu 3. Potvrzovací slovo je sestaveno tak, aby i když dojde v průběhu přenosu po vedení k jeho narušení, bylo možno vyhodnotit jeho význam. Informace o platnosti přenosu je v potvrzovacím slově třikrát zopakována. Vyhodnocovací obvod 3 potvrzovací slovo vyhodnocuje tak zvaným většínovým způsobem. Výsledek vyhodnocení předá blok 3 do řadiče 2. Ten, je-li výsledek vyhodnocení kladný, ve druhém taktu nastaví délkový čítač 5, ve třetím taktu se zapíše do vysílací a přijímací jednotky 1 první datové slovo. Takt první, čtvrtý a pátý se nevyužije.

Je-li výsledek vyhodnocení obvodu vyhodnocení chyby 3 záporný, je ve třetím taktu opět formátové slovo zapsáno z výstupu paměti 4 do vysílací jednotky 1. První, druhý, čtvrtý a pátý takt se nevyužije. Tímto způsobem se vysílání formátového slova opakuje, dokud nedejde kladné potvrzení.

Ve fázi vysílání datového bloku dochází k automatickému spouštění obvodu 21 prováděcích impulsů řadiče 2. Po odvysílání prvního datového slova vysílací a přijímací jednotka 1 signálem z druhého výstupu 1g startování přes druhý vstup 22a startování a přes společný výstup 22d startování na společný vstup 21c nastartuje opět řadič 2 a dojde k odvysílání dalšího datového slova. Tímto způsobem je odvysílán celý datový blok. Proces probíhá tak dlouho, dokud se délkový čítač 5 nedostane na předposlední adresu od výchozího stavu. V této fázi vysílání posledního datového slova druhý takt obvodu 21 generace prováděcích impulsů dekrementuje délkový čítač 5 na předposlední adresu. Nyní dojde k odpojení automatického spouštění obvodu 21. Odpojení probíhá v obvodu - výstup 5f druhého ukončovacího signálu, vstup 22e druhého ukončovacího signálu, obvodu 22 startování. Ve třetím taktu se přepíše poslední datové slovo z výstupu paměti 4 do vysílacího registru vysílací jednotky 1 a odvysílá se. Druhý, čtvrtý a pátý takt není využit. Nyní řadič 2 čeká na odvysílání potvrzovacího slova. Jakmile přijde potvrzovací slovo, je většínově vyhodnoceno v obvodu 3 vyhodnocení chyby a startuje se obvod 21 generace prováděcích impulsů řadiče 2. Je-li výsledek vyhodnocení kladný, pak druhý takt obvodu 21 generace prováděcích impulsů dekrementuje délkový čítač 5 do výchozího stavu. Třetí a čtvrtý takt není využit, v pátém taktu se stavové buňky 25 přes obvod 24 uvedení do výchozího stavu uvedou do výchozího stavu. Tím je uvolněn přístup do paměti 4 pro uživatele po přerážení vyhybek paměti 4.

Je-li výsledek vyhodnocení potvrzovacího slova záporný, pak ve čtvrtém taktu obvodu 21 generace prováděcích impulsů dojde k zneuvonastavení délkového čítače 5 formátovým slovem z formátového registru 23 řadiče 2. Pátý takt se nevyužije a vysílání celého datového bloku se opakuje.

Oproti současným systémům stejného typu zapojení pro asynchronní přenos informace podle vynálezu umožňuje nové a dekonalejší zabezpečení asynchronního přenosu dat. Nové je spojení řadiče 2 s vysílací a přijímací jednotkou 1 propojením prvního výstupu 1e startování řadiče s prvním vstupem 2a startování řadiče, druhého výstupu 1g startování řadiče s druhým vstupem 2b startování řadiče, výstupu 2c zápisu dat se vstupem 1d zápisu dat. Spojení řadiče 2 s obvodem 3 vyhodnocení chyby propojením výstupu 2k stavové informace na vstup 3c stavové informace a výstupu 2a vyhodnocení chyby na vstup 2n vyhodnocení chyby. Spojení řadiče 2 s pamětí 4 propojením výstupu 2j zápisu dat paměti, na první vstup 4a dat paměti, výstupu 2i ovládání vyhybek paměti na vstup 4b ovládání vyhybek paměti. Spojení řadiče 2 s délkovým čítačem 5 propojením výstupu 2l formátového slova na vstup 5d formátového slova, zápisového a čítacího výstupu 2f na zápisový a čítací vstup 5b vstupu 2e ukončovacího signálu na výstup 5c ukončovacího signálu. Spojení řadiče 2 s kombinovanou vyhybkou 6 propojením vstupu 2h řídicího slova na výstup 6a řídicího slova a výstupu 2g stavového slova na vstup 6b stavového slova.

Na obr. 4 je znázorněna varianta zapojení pro asynchronní přenos informace s uvedením adresního čítače 2 v návaznosti na variantní zapojení řadiče 2, znázorněného na obr. 5. Toto zapojení umožňuje zapisovat, resp. číst datový blok z kteréhokoliv místa paměti 4. Pevné je v tomto případě pouze umístění formátového slova. Dále může být dosaženo toho, že při potvrzení za každým datovým slovem při komunikaci s nadřazeným počítačem, může počítač kdykoliv komunikaci přerušit, je-li odvolán periferiemi s vyšší prioritou, než je priorita komunikačního kanálu. Zavedení potvrzování za každým datovým slovem také zjednodušuje zapojení řadiče 2. Zapojení dále využívá identifikačního slova, které při komunikaci s nadřazeným počítačem řeší problém současného vysílání. Pak lze komunikovat bez pevného komunikačního řádu.

V podstatě se variantní zapojení pro asynchronní přenos informace odliší od příkladového zapojení podle obr. 2 tím, že první výstup 1f vnitřní jednosměrné datové sběrnice a vstup 4i vnitřní jednosměrné datové sběrnice, ale i na vstup 5d délkové části formátového slova a na první vstup 9c adresní části formátového slova adresního čítače 2. Dále je výstup 3a vyhodnocení chyby propojen nejen na první vstup 21i vyhodnocení chyby řadiče 2 podle obr. 5 a na druhý vstup 25j vyhodnocení chyby tohoto řadiče a na druhý vstup 5e vyhodnocení chyby, ale i na třetí vstup 9e vyhodnocení chyby. Zápisový a čítací výstup 21j je propojen nejen na zápisový a čítací vstup 5b, ale i na zápisový a čítací vstup 9f adresního čítače 2. Druhý výstup 6c vnitřní jednosměrné datové sběrnice je propojen nejen na vstup 1c vnitřní jednosměrné datové sběrnice, ale i na druhý vstup 5g délkové části formátového slova a druhý vstup 9b adresní části formátového slova. Druhý výstup 24a uvedení do výchozího stavu řadiče 2 podle obr. 5 je propojen nejen na druhý vstup 25i uvedení do výchozího stavu, ale i na třetí vstup 9a uvedení do výchozího stavu délkového čítače. Výstup 25m ovládání vyhybek čítačů řadiče 2 dle obr. 5 je propojen na první vstup 5h ovládání vyhybek čítačů délkového čítače 2 a druhý vstup 9g ovládání vyhybek čítačů adresního čítače 2. Výstup 5c prvního ukončovacího signálu délkového čítače 2 je propojen nejen na vstup 24c prvního ukončovacího signálu řadiče 2 podle obr. 5 je propojen na vstup 25l ovládání kombinované vyhybky řadiče 2 podle obr. 5. V činnosti varianty zapojení podle obr. 4 jsou data vysílána v blocích. Před každým blokem dat je vysíláno identifikační slovo a formátové slovo. Úlohou identifikačního slova je zabezpečit organizovaný přenos dat za předpokladu, že není stanoven komunikační řád. Identifikačního slova lze použít

v sestavě, kde partnerem v komunikaci je počítač. Identifikační slovo je sestaveno tak, aby počítač mohl po zahájení vysílání rozpoznat stav současného vysílání. Za tohoto stavu se očekává, že počítač vysílání přeručí a zahájí příjem. Dále je vysíláno formátové slovo, které udává pro příjemce informaci o délce bloku dat a o adrese, od které se budou data do paměti postupně zapisovat. Každý datový blok se skládá opět ze slov. Každé slovo obsahuje startimpuls, informační a redundantní část a dále stopimpulsy. Odpovědí na příjem každého informačního slova je vyslání potvrzovacího slova od přijímače k vysílači. To udává, zda došlo při přenosu k narušení informačního slova a zda má vysílač vysílání opakovat.

Při funkci zapojení podle obr. 4 a 5 adresní čítač 2 umožňuje realizovat různě dlouhý zápis bloků dat do různých míst paměti 4. Adresní čítač 2 je nastavován současně s nastavením délkového čítače 5 signálem ze zápisového a čítacího výstupu 21j ve druhém taktu obvodu 21 generace prováděcích impulsů podle obr. 5. Podle toho, zda probíhá příjem, resp. vysílání, je adresní čítač 2 nastavován adresní částí formátového slova buď z prvního výstupu 1f vnitřní jednosměrné datové sběrnice, nebo z druhého výstupu 6c vnitřní jednosměrné datové sběrnice. Adresní čítač 2 obsahuje také vyhýbku, která umožňuje nastavovat adresní čítač 2 z obou vnitřních jednosměrných datových sběrnic. Vyhýbka adresního čítače 2 je ovládána z výstupu 25m ovládní vyhýbek čítačů obvodu 25 stavových buněk na druhý vstup 9g ovládní vyhýbek čítačů. V průběhu vysílání, resp. příjmu, je adresní čítač 2 postupně inkrementován směrem k vyšším adresám. Po ukončení vysílání, resp. příjmu, je adresní čítač 2 uveden do výchozího stavu z druhého výstupu 24a uvedení do výchozího stavu obvodu 24 uvedení do výchozího stavu. Délkový čítač 5 se nyní nastavuje délkovou částí formátového slova při příjmu, resp. vysílání z prvního výstupu 1f vnitřní jednosměrné datové sběrnice na vstup 5d délkové části formátového slova, resp. z druhého výstupu 6c vnitřní jednosměrné datové sběrnice na druhý vstup 5g délkové části formátového slova délkového čítače 5. Délkový čítač 5 obsahuje také vyhýbku pro nastavení délkového čítače 5. Vyhýbka je ovládána z výstupu 25n ovládní vyhýbek obvodu stavových buněk 25. Způsob dekrementování délkového čítače 5 je beze změny.

Při funkci zapojení řadiče 2 podle obr. 5 je oproti funkci řadiče 2 podle obr. 2 třeba vzít v úvahu, že odpadá použití formátového registru 23 znázorněného na obr. 3. Zavedením potvrzení za každým datovým slovem odpadají oproti funkci řadiče podle obr. 3 signály pro automatické spouštění a zastavení spouštění obvodu generace prováděcích impulsů 21. Při vysílání potvrzovacího slova za každým informačním slovem uvedených signálů není třeba. Potvrzovací slovo se opět vysílá ve třetím taktu obvodu 21 prováděcích impulsů. Při vysílání řadič 2 pracuje tak, že po odvysílání každého informačního slova čeká na vyslání potvrzovacího slova od příjemce a příchodem tohoto slova dojde k spouštění obvodu 21 prováděcích impulsů a odvysílání dalšího informačního slova.

Zavedením identifikačního slova v řadiči 2 podle obr. 5 dochází ve fázi vysílání po zápisu řidičského slova od uživatele k přeřazení nejen vyhýbek paměti 4, ale také k přeřazení kombinované vyhýbky 6. Identifikační slovo je sestaveno v obvodu 25 stavových buněk a zapsáno do vysílací a přijímací jednotky 1 v obvodu - výstup 25e stavového slova, vstup 6b stavového slova, druhý výstup 6c vnitřní jednosměrné datové sběrnice, vstup 1c vnitřní jednosměrné datové sběrnice. Prováděcí signál je vysílán z výstupu 21a zápisu dat obvodu 21 generace prováděcích impulsů na vstup 1b zápisu dat vysílací a přijímací jednotky 1 ve třetím taktu obvodu 21 prováděcích impulsů.

Příchodem potvrzovacího slova od příjemce se startuje obvod 21 prováděcích impulsů. V prvním subtaktu obvodu 21 prováděcích impulsů, který je časově umístěn mezi prvním a druhým taktem, se přeřadí kombinovaná vyhybka 6 do výchozí polohy v obvodu - výstup 25e stavového slova obvodu 25 stavových buněk, vstup 6b stavového slova kombinované vyhybky 6. Prováděcí signál je veden z výstupu 21k ovládání kombinované vyhybky obvodu 21 generace prováděcích impulsů na vstup 25i ovládání kombinované vyhybky obvodu 25 stavových buněk. Tím umožní zápis formátového slova umístěného v paměti 4 do vysílací a přijímací jednotky 1. V příjmové fázi je identifikační slovo petlačeno. V případě současného vysílání je identifikační slovo vyhodnoceno jako neplatné potvrzení. Zapojení pak opakuje vysílání identifikačního slova.

Zapojení podle vynálezu je možné využít v případech, kdy je žádeucí rozšíření komunikačních možností především malých sekvenčních systémů, například programovatelných automatů, které mohou být prostřednictvím tohoto zapojení spojovány jak mezi sebou, tak i připojeny na řídicí počítač.

PŘEDMĚT VYNÁLEZU

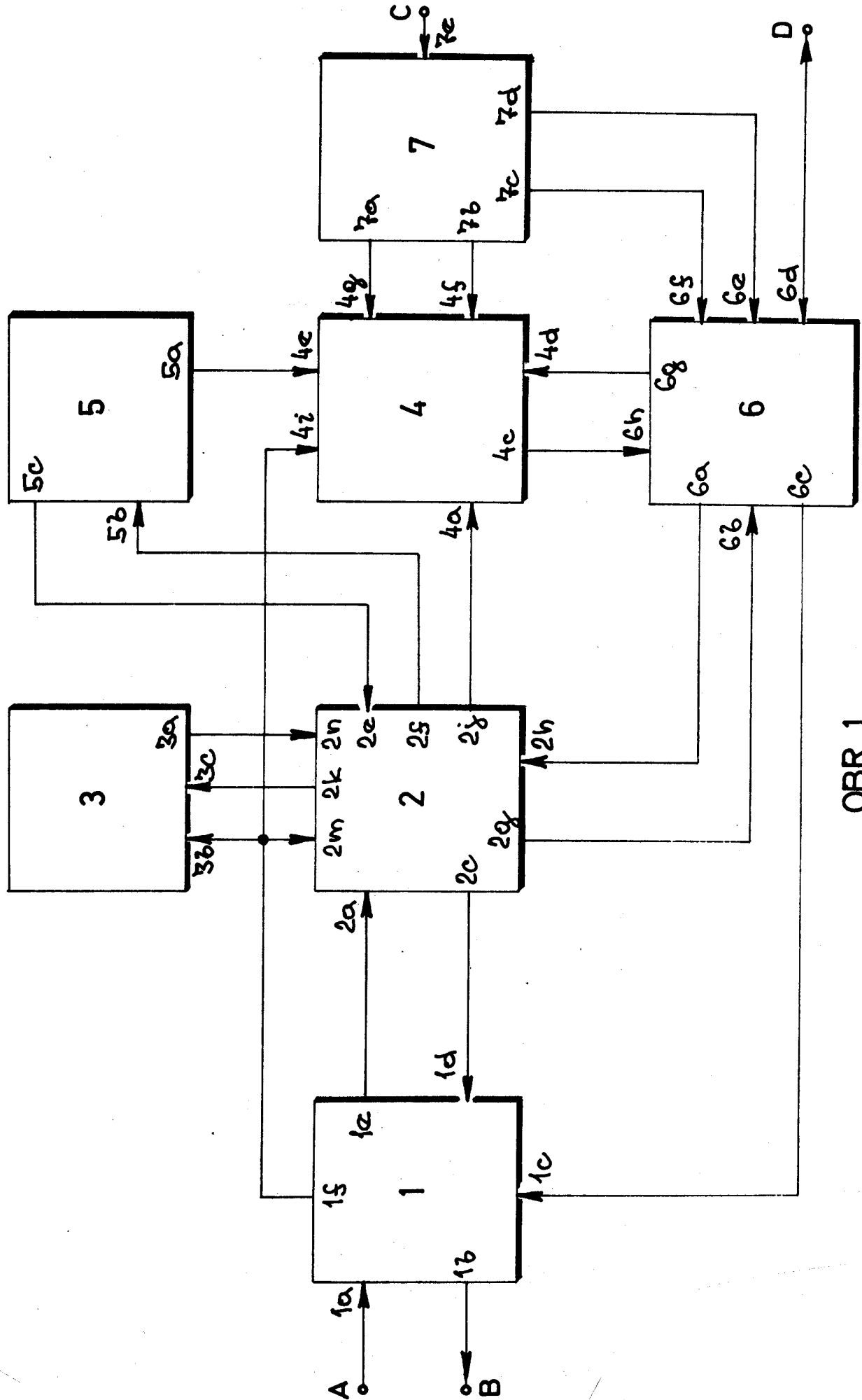
1. Zapojení pro asynchronní přenos informace sestávající z části komunikační, části řídicí a části uživatelské, vyznačené tím, že je opatřeno řadičem (2), jehož vstup (2m) vnitřní jednosměrné datové sběrnice je spojen se vstupem (3b) vnitřní jednosměrné datové sběrnice obvodu (3) vyhodnocení chyby, se vstupem (4i) vnitřní jednosměrné datové sběrnice paměti (4) s vyhybkami a prvním výstupem (1f) vnitřní jednosměrné datové sběrnice vysílací a přijímací jednotky (1), která je svým seriovým vstupem (1a) spojena s první vstupní svorkou (A) a svým seriovým výstupem (1b) je spojena s druhou vstupní svorkou (B), přičemž vstup (2h) řídicího slova řadiče (2) je spojen s výstupem (6a) řídicího slova kombinované vyhybky (6) a výstup (2g) stavového slova řadiče (2) je spojen se vstupem (6b) stavového slova kombinované vyhybky (6), která je svým výstupem (6c) vnitřní jednosměrné datové sběrnice spojena se vstupem (1c) vnitřní jednosměrné datové sběrnice vysílací a přijímací jednotky (1) a svým vstupem - výstupem (6d) vnější obousměrné datové sběrnice je spojena se čtvrtou vstupní-výstupní svorkou (D) a dále, která je svým vstupem (6e) čtení stavového slova a vstupem (6f) zápisu stavového slova spojena s výstupem (7d) čtení stavového slova a výstupem (7c) zápisu stavového slova dekodéru adresy (7), jenž je svým vstupem (7e) vnější adresy spojen se vstupní svorkou (C), zatímco zápisový a čítací vstup (2f) řadiče (2) je připojen na zápisový a čítací vstup (5b) délkového čítače (5), který je svým výstupem (5a) vnitřní adresy připojen na vstup (4e) vnitřní adresy paměti (4) s vyhybkami a výstup (2c) zápisu dat řadiče (2) je připojen na vstup (1d) zápisu dat vysílací a přijímací jednotky (1) a vstup (2a) startování řadiče (2) je připojen na výstup (1e) startování řadiče vysílací a přijímací jednotky (1) a výstup (2k) stavové informace řadiče (2) je spojen se vstupem (3c) stavové informace obvodu (3) vyhodnocení chyby a vstup (2n) vyhodnocení chyby řadiče (2) je připojen na výstup (3a) vyhodnocení chyby obvodu (3) vyhodnocení chyby a vstup (2e) ukončovacího signálu řadiče (2) je připojen na výstup (5c) ukončovacího signálu délkového čítače (5) a výstup (2j) zápisu dat paměti řadiče (2) je spojen se vstupem (4a) zápisu dat paměti (4), která je svým vstupem (4d) dat paměti a výstupem (4c) dat paměti spojena s výstupem (6g) dat paměti a vstupem (6h) dat paměti kombinované vyhybky (6),

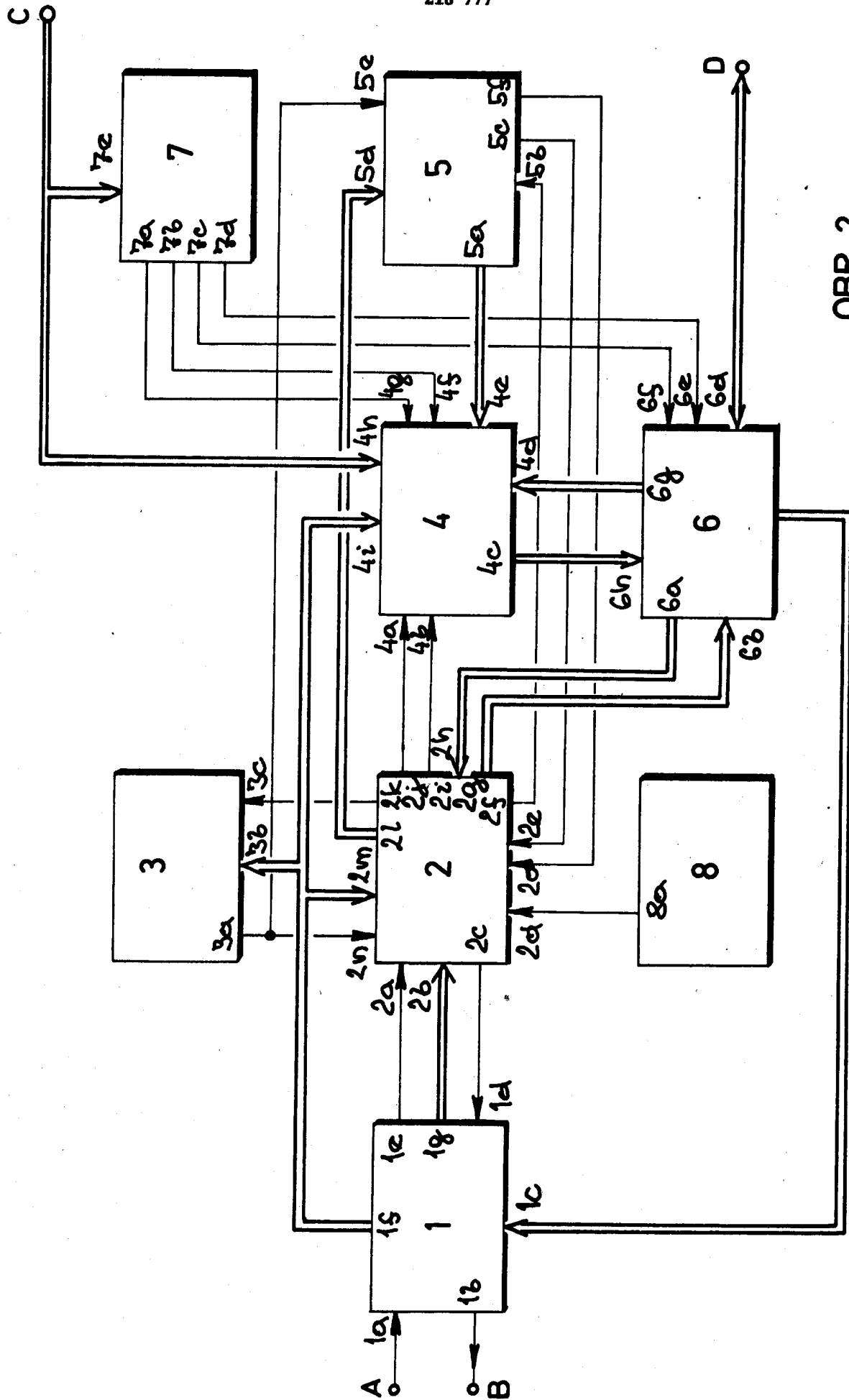
a která je dále spojena svým vstupem (4f) čtení dat a vstupem (4g) zápisu dat s výstupem (7b) čtení dat a výstupem (7a) zápisu dat dekodéru adresy (7).

2. Zapojení pro asynchronní přenos informace podle bodu 1, vyznačené tím, že řadič (2) je svým taktovacím vstupem (2d) spojen s taktovacím výstupem (8a) taktovacího generátoru (8).
3. Zapojení podle bodu 1, vyznačené tím že řadič (2) je opatřen obvodem (21) generace prováděcích pulsů, který má svůj výstup (21a) zápisu dat přiveden na výstup (2c) řadiče (2), přičemž obvod (21) generace prováděcích pulsů má svůj taktovací vstup (21b) přiveden na taktovací vstup (2d) řadiče (2) a dále je obvod (21) generace prováděcích pulsů svým společným vstupem (21c) startování propojen se společným výstupem (22d) startování obvodů startování (22), jehož vstup (22a) startování je přiveden na vstup (2b) startování řadiče (2), a jehož vstup (22e) ukončovacího signálu je přiveden na vstup (2e) ukončovacího signálu řadiče (2), přičemž obvod (21) generace prováděcích pulsů je svým vstupem (21d) stavových informací spojen s druhým výstupem (25b) stavových informací obvodu (25) stavových buněk, jehož první výstup (25a) stavové informace je přiveden na výstup (2k) stavové informace řadiče (2), přičemž třetí výstup (25d) stavové informace obvodu (25) stavových buněk je propojen s prvním vstupem (22c) stavové informace obvodu (22) startování a druhý vstup (25c) startování obvodu (25) stavových buněk je přiveden na vstup (2a) startování řadiče (2), zatímco výstup (25e) stavového slova obvodu (25) stavových buněk je přiveden na výstup (2g) stavového slova řadiče (2) a vstup (25f) řídicího slova obvodu (25) stavových buněk je přiveden na vstup (2h) řídicího slova řadiče (2) a jehož výstup (25g) ovládání vyhýbek paměti obvodu (25) stavových buněk je přivedena na výstup (2j) zápisu dat paměti řadiče (2), který je opatřen obvodem (21) generace prováděcích pulsů, který má svůj zápisový a čítací výstup (21j) přiveden na zápisový a čítací výstup (2f) řadiče (2), přičemž obvod (21) generace prováděcích pulsů má svůj výstup (21f) zápisu dat paměti přiveden na výstup (2j) zápisu dat řadiče (2) a první výstup (21g) uvedení do výchozího stavu obvodu (21) generace prováděcích pulsů je spojen s prvním vstupem (24d) uvedení do výchozího stavu obvodu (24) uvedení do výchozího stavu, zatímco druhý výstup (24e) uvedení do výchozího stavu obvodu (24) uvedení do výchozího stavu je propojen s druhým vstupem (25i) uvedení do výchozího stavu obvodu (25) stavových buněk, jehož čtvrtý výstup (25h) stavové informace je spojen s druhým vstupem (24b) stavové informace obvodu (24) uvedení do výchozího stavu, jehož vstup (24c) prvního ukončovacího signálu je přiveden na vstup (2e) prvního ukončovacího signálu řadiče (2), přičemž řadič (2) je opatřen obvodem (21) prováděcích pulsů, který má svůj první vstup (21i) vyhodnocení chyby propojen s druhým vstupem (25j) vyhodnocení chyby a dále s prvním vstupem (2n) vyhodnocení chyby řadiče (2), a který má dále svůj výstup (21h) zápisu formátu propojen na vstup (23a) zápisu formátu formátového registru (23), jehož první vstup (23b) formátu je přiveden na vstup (2h) řídicího slova řadiče (2), a výstup (23c) formátu je přiveden na zápisový a čítací výstup (2f) řadiče (2), a druhý vstup formátu (23d) formátového registru (23) je přiveden na vstup (2m) vnitřní jednosměrné datové sběrnice řadiče (2).
4. Zapojení pro asynchronní přenos informace podle bodu 1 a 2, vyznačené tím, že je opatřeno adresním čítačem (9), který má svůj druhý vstup (9b) adresní části formátového slova spojen s druhým výstupem (6c) vnitřní jednosměrné datové sběrnice kombinované vyhýbky (6),

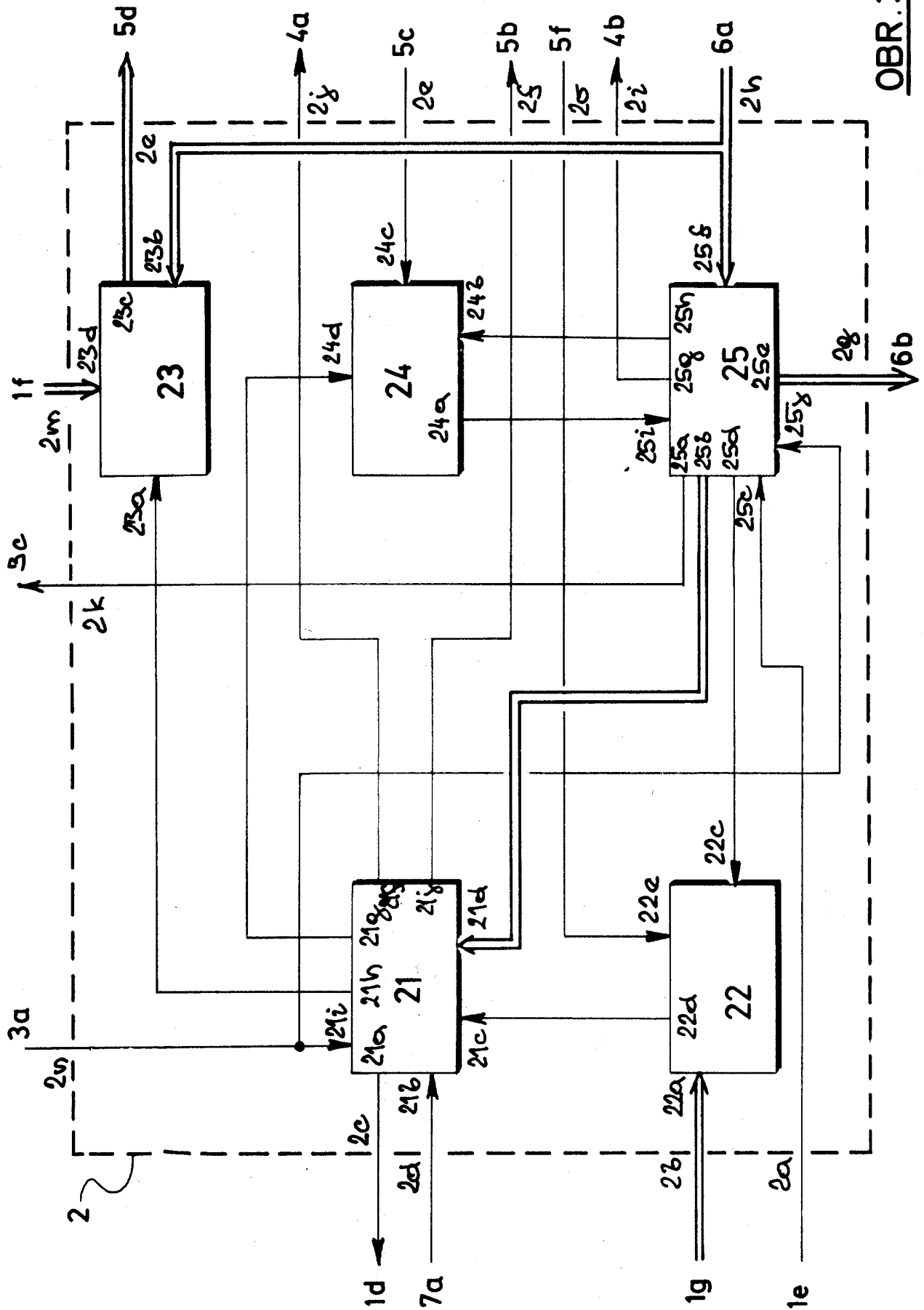
s druhým vstupem (5g) délkové části formátového slova délkového čítače (5) a se vstupem (1c) vnitřní jednosměrné datové sběrnice vysílací a přijímací jednotky (1), a který má svůj první vstup (9c) adresní části formátového slova spojen s prvním výstupem (1f) vnitřní jednosměrné datové sběrnice vysílací a přijímací jednotky (1), se vstupem (3b) vnitřní jednosměrné datové sběrnice obvodu (3) vyhodnocení chyby, se vstupem (4i) vnitřní jednosměrné datové sběrnice paměti (4) s vyhybkami a se vstupem (5d) délkové části formátového slova délkového čítače (5), přičemž výstup (9d) vnitřní adresy adresního čítače (9) je spojen se vstupem (4e) vnitřní adresy paměti (4) s vyhybkami a zápisový čítací vstup (9f) adresního čítače (9) je připojen na zápisový a čítací výstup (2f) řadiče (2).

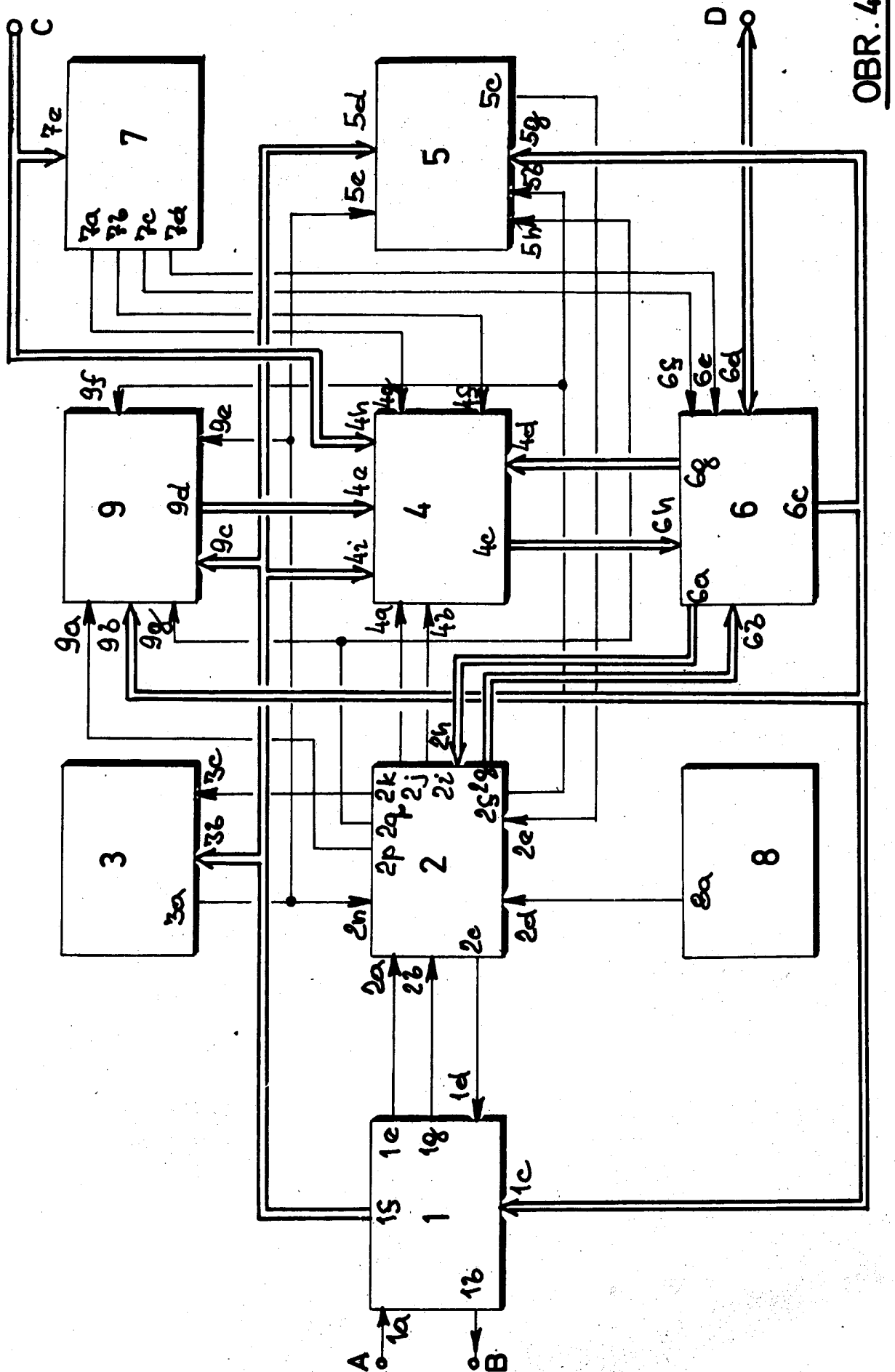
5. Zapojení pro asynchronní přenos informace podle bodu 4, vyznačené tím, že řadič (2) je opatřen obvodem (2l) generace prováděcích pulsů, který má svůj výstup (2la) zápisu dat přiveden na výstup (2c) řadiče (2), přičemž taktovací vstup (2lb) obvodu generace prováděcích pulsů je přiveden na taktovací vstup (2d) řadiče (2) a společný vstup (2lc) startování obvodu (2l) generace prováděcích pulsů je propojen se společným výstupem (22d) startování obvodu (22) startování, jehož vstup (22a) startování je přiveden na vstup (2b) startování řadiče (2), a jehož první vstup (22c) stavové informace je spojen s třetím výstupem (25d) stavové informace obvodu (25) stavových buněk, přičemž řadič (2) je opatřen obvodem (2l) generace prováděcích pulsů, který je svým vstupem (2ld) stavových informací spojen s druhým výstupem (25h) stavových informací obvodu (25) stavových buněk a který má výstup (2lk) ovládání kombinované vyhybky spojen se vstupem (25l) ovládání kombinované vyhybky obvodu (25) stavových buněk, jehož první výstup (25a) stavové informace je přiveden na výstup (2k) stavové informace řadiče (2), přičemž druhý vstup (25c) startování obvodu (25) stavových buněk je přiveden na vstup (2a) startování řadiče (2) a výstup (25e) stavového slova obvodu (25) stavových buněk je přiveden na výstup (2g) stavového slova řadiče (2) a vstup (25f) řídícího slova obvodu (25) stavových buněk je přiveden na vstup (2h) řídícího slova řadiče (2), zatímco druhý výstup (25m) ovládání vyhybek čítače obvodu (25) stavových buněk je přiveden na zápisový a čítací výstup (2f) řadiče (2), přičemž výstup (25g) ovládání vyhybek obvodu (25) stavových buněk je přiveden na výstup (2j) zápisu dat paměti řadiče (2), přičemž řadič (2) je opatřen obvodem (2l) generace prováděcích pulsů, který má svůj zápisový a čítací výstup (2lj) přiveden na zápisový a čítací výstup (2f) řadiče (2) a který má svůj výstup (2lf) zápisu dat paměti přiveden na výstup (2j) zápisu dat paměti řadiče (2), přičemž obvod (2l) generace prováděcích pulsů má svůj první výstup (2lg) uvedení do výchozího stavu spojen s prvním vstupem (24d) uvedení do výchozího stavu obvodu (24) uvedení do výchozího stavu, jehož druhý výstup (24a) uvedení do výchozího stavu je propojen s druhým vstupem (25i) uvedení do výchozího stavu obvodu (25) stavových buněk a se zápisovým čítacím výstupem (2f) řadiče (2), zatímco druhý vstup (24b) stavové informace obvodu (24) uvedení do výchozího stavu je spojen se čtvrtým výstupem (25h) stavové informace obvodu (25) stavových buněk, přičemž vstup (24c) prvního ukončovacího signálu obvodu (24) uvedení do výchozího stavu je propojen se vstupem (25k) prvního ukončovacího signálu obvodu (25) stavových buněk a se vstupem (2e) prvního ukončovacího signálu řadiče (2), přičemž řadič (2) je opatřen obvodem (2l) generace prováděcích pulsů, který má svůj první vstup (2li) vyhodnocení chyby propojen s druhým vstupem (25j) vyhodnocení chyby obvodu (25) stavových buněk a s prvním vstupem (2n) vyhodnocení chyby řadiče (2).

OBR.1

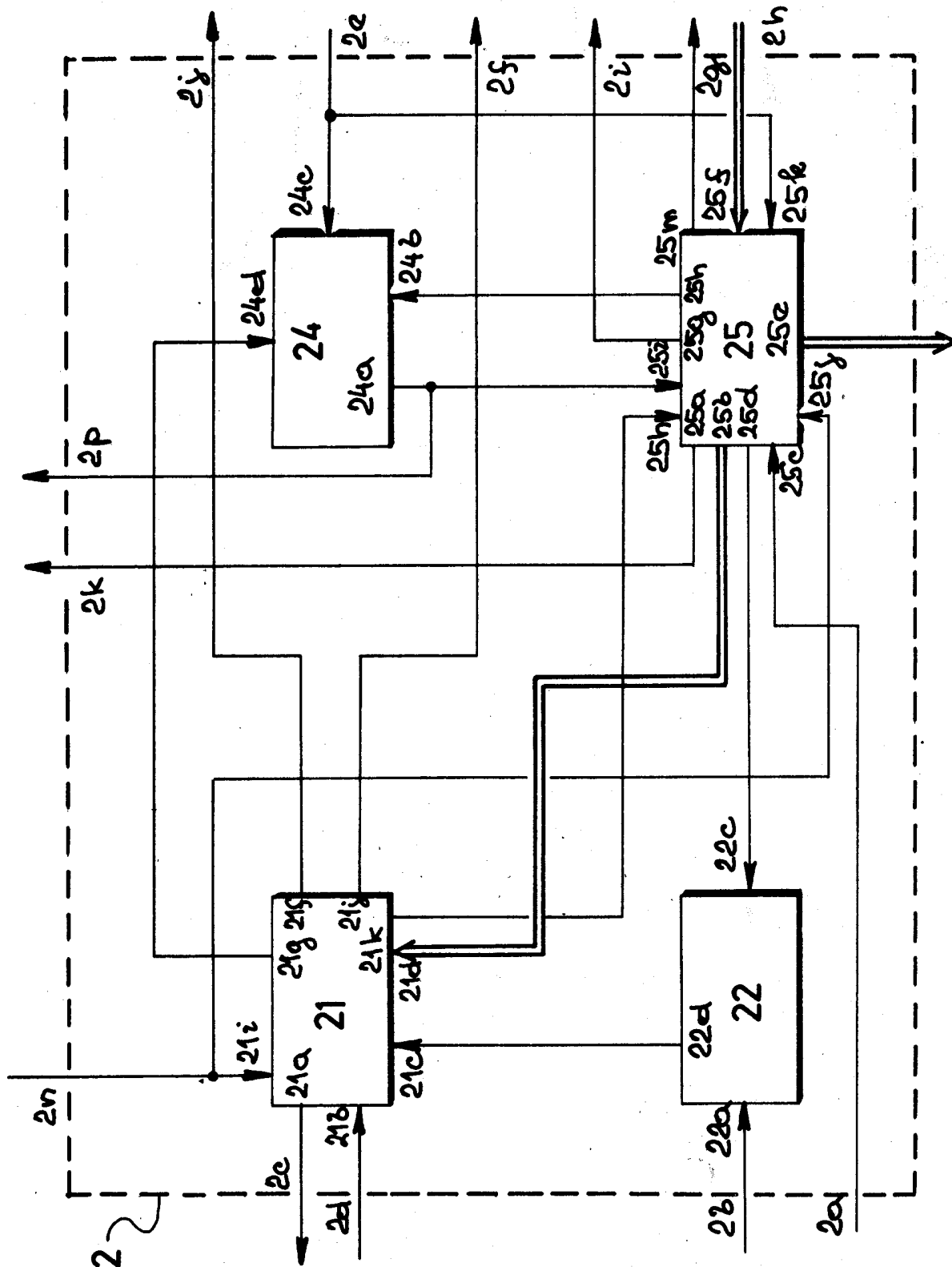


OBR. 2





OBR. 4



OBR. 5