

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7605303号
(P7605303)

(45)発行日 令和6年12月24日(2024.12.24)

(24)登録日 令和6年12月16日(2024.12.16)

(51)国際特許分類 F I
G 0 6 N 3/063(2023.01) G 0 6 N 3/063

請求項の数 5 (全20頁)

(21)出願番号	特願2023-523783(P2023-523783)	(73)特許権者	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(86)(22)出願日	令和3年5月26日(2021.5.26)	(74)代理人	100149548 弁理士 松沼 泰史
(86)国際出願番号	PCT/JP2021/019903	(74)代理人	100181135 弁理士 橋本 隆史
(87)国際公開番号	WO2022/249308	(72)発明者	酒見 悠介 東京都港区芝五丁目7番1号 日本電気 株式会社内
(87)国際公開日	令和4年12月1日(2022.12.1)	審査官	千葉 久博
審査請求日	令和5年11月7日(2023.11.7)		

最終頁に続く

(54)【発明の名称】 設計方法およびプログラム

(57)【特許請求の範囲】

【請求項1】

コンピュータが、

スパイク発生器による発火時刻とシナプス回路の出力電流値とが離散化された、スパイクニューロンの回路モデルの、前記スパイク発生器による発火時刻の刻み幅を、発火時刻とスパイクニューロンモデルへの入力に対する重みとが離散化されたスパイクニューロンの数理モデルにおける発火時刻の刻み幅と、前記数理モデルにおける重みの刻み幅と、前記シナプス回路の出力電流値の最小刻み幅との積を、前記スパイク発生器における発火閾値電圧と、前記回路モデルにおける膜電位を模擬するコンデンサの容量との積で除算した値に算出すること、

前記シナプス回路の出力電流値の最小刻み幅を、前記数理モデルにおける発火時刻の刻み幅と、前記数理モデルにおける重みの刻み幅と、前記スパイク発生器による発火時刻の刻み幅との積を、前記スパイク発生器における発火閾値電圧と、前記コンデンサの容量との積で除算した値に算出すること、

前記スパイク発生器における発火閾値電圧を、前記スパイク発生器による発火時刻の刻み幅と、前記シナプス回路の出力電流値の最小刻み幅との積を、前記数理モデルにおける発火時刻の刻み幅と、前記数理モデルにおける重みの刻み幅と、前記コンデンサの容量との積で除算した値に算出すること、

前記コンデンサの容量を、前記スパイク発生器による発火時刻の刻み幅と、前記シナプス回路の出力電流値の最小刻み幅との積を、前記数理モデルにおける発火時刻の刻み幅と、

10

20

前記数理モデルにおける重みの刻み幅と、前記スパイク発生器における発火閾値電圧との積で除算した値に算出すること、

前記数理モデルにおける発火時刻の刻み幅を、前記スパイク発生器による発火時刻の刻み幅と、前記シナプス回路の出力電流値の最小刻み幅との積を、前記数理モデルにおける重みの刻み幅と、前記スパイク発生器における発火閾値電圧と、前記コンデンサの容量との積で除算した値に算出すること、および、

前記数理モデルにおける重みの刻み幅を、前記スパイク発生器による発火時刻の刻み幅と、前記シナプス回路の出力電流値の最小刻み幅との積を、数理モデルにおける発火時刻の刻み幅と、前記スパイク発生器における発火閾値電圧と、前記コンデンサの容量との積で除算した値に算出すること、

10

のうち少なくとも何れかを行うことと、

発火時刻および重みの何れも離散化されていないスパイクニューロンモデルを用いるスパイクニューラルネットワークの学習を行うことと、

発火時刻および重みの何れも離散化されていないスパイクニューロンモデルを用いる学習済みの前記スパイクニューラルネットワークを、発火時刻および重みが離散化されたスパイクニューロンの数理モデルを用いるスパイクニューラルネットワークに変換することと、

を含み、

発火時刻および重みが離散化されたスパイクニューロンの数理モデルを用いる前記スパイクニューラルネットワークが、発火時刻および電流値が離散化されたスパイクニューロンの回路モデルを用いるスパイクニューラルネットワークのハードウェアに実装される、

20

設計方法。

【請求項 2】

前記スパイク発生器による発火時刻とシナプス回路の出力電流値とが離散化された、スパイクニューロンの回路モデルの、前記スパイク発生器による発火時刻の刻み幅を、発火時刻とスパイクニューロンモデルへの入力に対する重みとが離散化されたスパイクニューロンの数理モデルにおける発火時刻の刻み幅と、前記数理モデルにおける重みの刻み幅と、前記シナプス回路の出力電流値の最小刻み幅との積を、前記スパイク発生器における発火閾値電圧と、前記回路モデルにおける膜電位を模擬するコンデンサの容量との積で除算した値に算出すること、

30

前記シナプス回路の出力電流値の最小刻み幅を、前記数理モデルにおける発火時刻の刻み幅と、前記数理モデルにおける重みの刻み幅と、前記スパイク発生器による発火時刻の刻み幅との積を、前記スパイク発生器における発火閾値電圧と、前記コンデンサの容量との積で除算した値に算出すること、

前記スパイク発生器における発火閾値電圧を、前記スパイク発生器による発火時刻の刻み幅と、前記シナプス回路の出力電流値の最小刻み幅との積を、前記数理モデルにおける発火時刻の刻み幅と、前記数理モデルにおける重みの刻み幅と、前記コンデンサの容量との積で除算した値に算出すること、

前記コンデンサの容量を、前記スパイク発生器による発火時刻の刻み幅と、前記シナプス回路の出力電流値の最小刻み幅との積を、前記数理モデルにおける発火時刻の刻み幅と、前記数理モデルにおける重みの刻み幅と、前記スパイク発生器における発火閾値電圧との積で除算した値に算出すること、

40

前記数理モデルにおける発火時刻の刻み幅を、前記スパイク発生器による発火時刻の刻み幅と、前記シナプス回路の出力電流値の最小刻み幅との積を、前記数理モデルにおける重みの刻み幅と、前記スパイク発生器における発火閾値電圧と、前記コンデンサの容量との積で除算した値に算出すること、および、

前記数理モデルにおける重みの刻み幅を、前記スパイク発生器による発火時刻の刻み幅と、前記シナプス回路の出力電流値の最小刻み幅との積を、数理モデルにおける発火時刻の刻み幅と、前記スパイク発生器における発火閾値電圧と、前記コンデンサの容量との積で

50

除算した値に算出すること、
 のうち少なくとも何れかを行うことは、
 前記コンピュータが、

前記スパイク発生器による発火時刻の刻み幅と、前記シナプス回路の出力電流値の最小刻み幅と、前記スパイク発生器における発火閾値電圧と、前記コンデンサの容量との仕様に基づいて、前記数理モデルにおける発火時刻の刻み幅と、前記数理モデルにおける重みの刻み幅とを決定すること

を含む、請求項 1 に記載の設計方法。

【請求項 3】

前記スパイク発生器による発火時刻とシナプス回路の出力電流値とが離散化された、スパイクニューロンの回路モデルの、前記スパイク発生器による発火時刻の刻み幅を、発火時刻とスパイクニューロンモデルへの入力に対する重みとが離散化されたスパイクニューロンの数理モデルにおける発火時刻の刻み幅と、前記数理モデルにおける重みの刻み幅と、前記シナプス回路の出力電流値の最小刻み幅との積を、前記スパイク発生器における発火閾値電圧と、前記回路モデルにおける膜電位を模擬するコンデンサの容量との積で除算した値に算出すること、

10

前記シナプス回路の出力電流値の最小刻み幅を、前記数理モデルにおける発火時刻の刻み幅と、前記数理モデルにおける重みの刻み幅と、前記スパイク発生器による発火時刻の刻み幅との積を、前記スパイク発生器における発火閾値電圧と、前記コンデンサの容量との積で除算した値に算出すること、

20

前記スパイク発生器における発火閾値電圧を、前記スパイク発生器による発火時刻の刻み幅と、前記シナプス回路の出力電流値の最小刻み幅との積を、前記数理モデルにおける発火時刻の刻み幅と、前記数理モデルにおける重みの刻み幅と、前記コンデンサの容量との積で除算した値に算出すること、

前記コンデンサの容量を、前記スパイク発生器による発火時刻の刻み幅と、前記シナプス回路の出力電流値の最小刻み幅との積を、前記数理モデルにおける発火時刻の刻み幅と、前記数理モデルにおける重みの刻み幅と、前記スパイク発生器における発火閾値電圧との積で除算した値に算出すること、

前記数理モデルにおける発火時刻の刻み幅を、前記スパイク発生器による発火時刻の刻み幅と、前記シナプス回路の出力電流値の最小刻み幅との積を、前記数理モデルにおける重みの刻み幅と、前記スパイク発生器における発火閾値電圧と、前記コンデンサの容量との積で除算した値に算出すること、および、

30

前記数理モデルにおける重みの刻み幅を、前記スパイク発生器による発火時刻の刻み幅と、前記シナプス回路の出力電流値の最小刻み幅との積を、数理モデルにおける発火時刻の刻み幅と、前記スパイク発生器における発火閾値電圧と、前記コンデンサの容量との積で除算した値に算出すること、

のうち少なくとも何れかを行うことは、
 前記コンピュータが、

前記数理モデルにおける発火時刻の刻み幅と、前記数理モデルにおける重みの刻み幅との要求仕様に基づいて、前記スパイク発生器による発火時刻の刻み幅と、前記シナプス回路の出力電流値の最小刻み幅と、前記スパイク発生器における発火閾値電圧と、前記コンデンサの容量とを決定すること

40

を含む、請求項 1 に記載の設計方法。

【請求項 4】

前記数理モデルにおける発火時刻の刻み幅、および、前記数理モデルにおける重みの刻み幅は、発火時刻および重みの何れも離散化されていないスパイクニューロンモデルを用いる学習済みの前記スパイクニューラルネットワークを、発火時刻および重みが離散化されたスパイクニューロンの数理モデルを用いるスパイクニューラルネットワークに変換するための設計値であり、

前記スパイク発生器による発火時刻の刻み幅、前記シナプス回路の出力電流値の最小刻

50

み幅、前記スパイク発生器における発火閾値電圧、および、前記膜電位を模擬するコンデンサの容量は、発火時刻および重みが離散化されたスパイクニューロンの数理モデルを用いる前記スパイクニューラルネットワークを、発火時刻および電流値が離散化されたスパイクニューロンの回路モデルを用いるスパイクニューラルネットワークのハードウェアに実装するための設計値である、

請求項 1 から 3 の何れか一項に記載の設計方法。

【請求項 5】

コンピュータに、

スパイク発生器による発火時刻とシナプス回路の出力電流値とが離散化された、スパイクニューロンの回路モデルの、前記スパイク発生器による発火時刻の刻み幅を、発火時刻とスパイクニューロンモデルへの入力に対する重みとが離散化されたスパイクニューロンの数理モデルにおける発火時刻の刻み幅と、前記数理モデルにおける重みの刻み幅と、前記シナプス回路の出力電流値の最小刻み幅との積を、前記スパイク発生器における発火閾値電圧と、前記回路モデルにおける膜電位を模擬するコンデンサの容量との積で除算した値に算出すること、

10

前記シナプス回路の出力電流値の最小刻み幅を、前記数理モデルにおける発火時刻の刻み幅と、前記数理モデルにおける重みの刻み幅と、前記スパイク発生器による発火時刻の刻み幅との積を、前記スパイク発生器における発火閾値電圧と、前記コンデンサの容量との積で除算した値に算出すること、

前記スパイク発生器における発火閾値電圧を、前記スパイク発生器による発火時刻の刻み幅と、前記シナプス回路の出力電流値の最小刻み幅との積を、前記数理モデルにおける発火時刻の刻み幅と、前記数理モデルにおける重みの刻み幅と、前記コンデンサの容量との積で除算した値に算出すること、

20

前記コンデンサの容量を、前記スパイク発生器による発火時刻の刻み幅と、前記シナプス回路の出力電流値の最小刻み幅との積を、前記数理モデルにおける発火時刻の刻み幅と、前記数理モデルにおける重みの刻み幅と、前記スパイク発生器における発火閾値電圧との積で除算した値に算出すること、

前記数理モデルにおける発火時刻の刻み幅を、前記スパイク発生器による発火時刻の刻み幅と、前記シナプス回路の出力電流値の最小刻み幅との積を、前記数理モデルにおける重みの刻み幅と、前記スパイク発生器における発火閾値電圧と、前記コンデンサの容量との積で除算した値に算出すること、および、

30

前記数理モデルにおける重みの刻み幅を、前記スパイク発生器による発火時刻の刻み幅と、前記シナプス回路の出力電流値の最小刻み幅との積を、数理モデルにおける発火時刻の刻み幅と、前記スパイク発生器における発火閾値電圧と、前記コンデンサの容量との積で除算した値に算出すること、

のうち少なくとも何れかを行うことと、

発火時刻および重みの何れも離散化されていないスパイクニューロンモデルを用いるスパイクニューラルネットワークの学習を行うことと、

発火時刻および重みの何れも離散化されていないスパイクニューロンモデルを用いる学習済みの前記スパイクニューラルネットワークを、発火時刻および重みが離散化されたスパイクニューロンの数理モデルを用いるスパイクニューラルネットワークに変換することと、

40

を実行させ、

発火時刻および重みが離散化されたスパイクニューロンの数理モデルを用いる前記スパイクニューラルネットワークが、発火時刻および電流値が離散化されたスパイクニューロンの回路モデルを用いるスパイクニューラルネットワークのハードウェアに実装される、

プログラム。

【発明の詳細な説明】

【技術分野】

50

【 0 0 0 1 】

本発明は、設計方法およびプログラムに関する。

【背景技術】

【 0 0 0 2 】

ニューラルネットワークの1つにスパイクニューラルネットワーク (Spiking Neural Network; SNN) がある (例えば、特許文献1 参照)。スパイクニューラルネットワークは、スパイクと呼ばれる2値信号でスパイクニューロン間の情報伝達を行う点で、電力効率が低いニューラルネットワークとして期待されている。

【先行技術文献】

【特許文献】

10

【 0 0 0 3 】

【文献】国際公開第2020/241356号

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 4 】

スパイクニューロンをハードウェア実装する場合、発火時刻が離散化されている回路のほうが、製造容易性および電力効率の点で有利であることが考えられる。一方、一般的には、時刻が離散化されたモデルは、学習の精度が低い傾向がある。

【 0 0 0 5 】

本発明の目的の一例は、上述した課題を解決することのできる設計方法およびプログラムを提供することである。

20

【課題を解決するための手段】

【 0 0 0 6 】

本発明の第一の態様によれば、設計方法は、コンピュータが、スパイク発生器による発火時刻とシナプス回路の出力電流値とが離散化された、スパイクニューロンの回路モデルの、前記スパイク発生器による発火時刻の刻み幅を、発火時刻とスパイクニューロンモデルへの入力に対する重みとが離散化されたスパイクニューロンの数理モデルにおける発火時刻の刻み幅と、前記数理モデルにおける重みの刻み幅と、前記シナプス回路の出力電流値の最小刻み幅との積を、前記スパイク発生器における発火閾値電圧と、前記回路モデルにおける膜電位を模擬するコンデンサの容量との積で除算した値に算出すること、前記シナプス回路の出力電流値の最小刻み幅を、前記数理モデルにおける発火時刻の刻み幅と、前記数理モデルにおける重みの刻み幅と、前記スパイク発生器による発火時刻の刻み幅との積を、前記スパイク発生器における発火閾値電圧と、前記コンデンサの容量との積で除算した値に算出すること、前記スパイク発生器による発火時刻の刻み幅と、前記シナプス回路の出力電流値の最小刻み幅との積を、前記数理モデルにおける発火時刻の刻み幅と、前記数理モデルにおける重みの刻み幅と、前記コンデンサの容量との積で除算した値に算出すること、前記コンデンサの容量を、前記スパイク発生器による発火時刻の刻み幅と、前記シナプス回路の出力電流値の最小刻み幅との積を、前記数理モデルにおける発火時刻の刻み幅と、前記数理モデルにおける重みの刻み幅と、前記スパイク発生器における発火閾値電圧との積で除算した値に算出すること、および、前記数理モデルにおける重みの刻み幅を、前記スパイク発生器による発火時刻の刻み幅と、前記シナプス回路の出力電流値の最小刻み幅との積を、数理モデルにおける発火時刻の刻み幅と、前記スパイク発生器における発火閾値電圧と、前記コンデンサの容量との積で除算した値に算出すること、および、前記数理モデルにおける重みの刻み幅を、前記スパイク発生器による発火時刻の刻み幅と、前記シナプス回路の出力電流値の最小刻み幅との積を、数理モデルにおける発火時刻の刻み幅と、前記スパイク発生器における発火閾値電圧と、前記コンデンサの容量との積で除算した値に算出すること、のうち少なくとも何れかを行うことと、発火時刻および重みの何れも離散化されていないスパイクニューロンモデルを用いるスパイクニューラルネットワークの学習を行うことと、発火時刻および重みの何れも離散化されていないスパイクニューロンモデ

30

40

50

ルを用いる学習済みの前記スパイクングニューラルネットワークを、発火時刻および重みが離散化されたスパイクングニューロンの数理モデルを用いるスパイクングニューラルネットワークに変換することと、を含み、発火時刻および重みが離散化されたスパイクングニューロンの数理モデルを用いる前記スパイクングニューラルネットワークが、発火時刻および電流値が離散化されたスパイクングニューロンの回路モデルを用いるスパイクングニューラルネットワークのハードウェアに実装される。

【0007】

本発明の第二の態様によれば、プログラムは、コンピュータに、スパイク発生器による発火時刻とシナプス回路の出力電流値とが離散化された、スパイクングニューロンの回路モデルの、前記スパイク発生器による発火時刻の刻み幅を、発火時刻とスパイクングニューロンモデルへの入力に対する重みとが離散化されたスパイクングニューロンの数理モデルにおける発火時刻の刻み幅と、前記数理モデルにおける重みの刻み幅と、前記シナプス回路の出力電流値の最小刻み幅との積を、前記スパイク発生器における発火閾値電圧と、前記回路モデルにおける膜電位を模擬するコンデンサの容量との積で除算した値に算出すること、前記シナプス回路の出力電流値の最小刻み幅を、前記数理モデルにおける発火時刻の刻み幅と、前記数理モデルにおける重みの刻み幅と、前記スパイク発生器による発火時刻の刻み幅との積を、前記スパイク発生器における発火閾値電圧と、前記コンデンサの容量との積で除算した値に算出すること、前記スパイク発生器における発火時刻の刻み幅と、前記シナプス回路の出力電流値の最小刻み幅との積を、前記数理モデルにおける発火時刻の刻み幅と、前記数理モデルにおける重みの刻み幅と、前記スパイク発生器における発火閾値電圧との積で除算した値に算出すること、および、前記数理モデルにおける重みの刻み幅を、前記スパイク発生器による発火時刻の刻み幅と、前記シナプス回路の出力電流値の最小刻み幅との積を、数理モデルにおける発火時刻の刻み幅と、前記スパイク発生器における発火閾値電圧と、前記コンデンサの容量との積で除算した値に算出すること、のうちの少なくとも何れかを行うことと、発火時刻および重みの何れも離散化されていないスパイクングニューロンモデルを用いるスパイクングニューラルネットワークの学習を行うことと、発火時刻および重みの何れも離散化されていないスパイクングニューロンモデルを用いる学習済みの前記スパイクングニューラルネットワークを、発火時刻および重みが離散化されたスパイクングニューロンの数理モデルを用いるスパイクングニューラルネットワークに変換することと、を実行させ、発火時刻および重みが離散化されたスパイクングニューロンの数理モデルを用いる前記スパイクングニューラルネットワークが、発火時刻および電流値が離散化されたスパイクングニューロンの回路モデルを用いるスパイクングニューラルネットワークのハードウェアに実装される。

【発明の効果】

【0008】

本発明によれば、発火時刻を離散化することができ、かつ、学習の精度が比較的高い。

【図面の簡単な説明】

【0009】

【図1】実施形態に係る離散化の対象となるスパイクングニューロンの数理モデルの例を示す図である。

【図2】実施形態に係るスパイクングニューロンの膜電位の時間発展の例を示す図である。

【図3】実施形態に係るスパイクングニューロンの回路モデルの例を示す図である。

【図4】実施形態に係るスパイクングニューラルネットワークにおける発火時刻の例を示

10

20

30

40

50

す図である。

【図5】実施形態に係る設計方法における処理手順の例を示す図である。

【図6】実施形態に係る設計方法における処理の例を示すフローチャートである。

【図7】少なくとも1つの実施形態に係るコンピュータの構成を示す概略ブロック図である。

【発明を実施するための形態】

【0010】

以下、本発明の実施形態を説明するが、以下の実施形態は請求の範囲にかかる発明を限定するものではない。また、実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

図1は、離散化の対象となるスパイクニューロンの数理モデルの例を示す図である。

【0011】

スパイクニューロンでは、膜電位と呼ばれる内部状態が、スパイクの入力に応じて時間発展する。図1では、膜電位が $v_i^{(1)}(t)$ と表記されている。図1では、階層性のニューラルネットワークが想定されており、第1層の i 番目のスパイクニューロンが示されている。ただし、スパイクニューラルネットワークの構造は、階層構造に限定されない。

膜電位 $v_i^{(1)}(t)$ が発火閾値 V_{th} に達すると、スパイクニューロンがスパイクを出力する。

【0012】

図2は、スパイクニューロンの膜電位の時間発展の例を示す図である。図2のグラフの横軸は時刻を示す。縦軸は膜電位を示す。図2では、膜電位を $v_i^{(1)}$ と表記している。

図2のスパイクニューロンは、時刻 $t_2^{*(1-1)}$ 、 $t_1^{*(1-1)}$ 、 $t_3^{*(1-1)}$ のそれぞれに、第 $1-1$ 層のスパイクニューロンからのスパイクの入力を受けている。スパイクの入力後、膜電位が、スパイク出力元のスパイクニューロン毎に設定されている重みに応じた変化率で変化し続ける。また、スパイクの入力毎の膜電位の変化率は線形的に加算される。

【0013】

時刻 $t_k^{*(1)}$ に、図2のスパイクニューロンの膜電位が発火閾値 V_{th} に達し、スパイクニューロンが発火している。発火によって膜電位が0になり、その後はスパイクの入力を受けても膜電位は変化していない。

スパイクニューロンが発火する時刻を発火時刻と称する。発火時刻をスパイク時刻とも称する。

【0014】

また、以下の説明では、発火時刻と、スパイク出力側のスパイクニューロンのスパイク出力時刻と、スパイク入力側のスパイクニューロンのスパイク入力時刻とが同じであるものとして説明する。ただし、スパイク出力側のスパイクニューロンのスパイク出力時刻と、スパイク入力側のスパイク入力時刻との間に無視できない遅延があってもよい。その場合、遅延時間が式に示されていてもよい。

【0015】

また、発火後の膜電位は、上述した電位0から変化しないものに限定されない。例えば、発火から所定時間経過後は、スパイクの入力に応じて膜電位が変化するようにしてもよい。

スパイクニューロンの数理モデルにおける発火前の膜電位の変化は、式(1)の微分方程式のように示すことができる。

【0016】

【数1】

10

20

30

40

50

$$\frac{d}{dt}v_i^{(l)}(t) = \sum_j w_{ij}^{(l)} \theta(t - t_j^{*(l-1)}) \quad \dots (1)$$

【 0 0 1 7 】

$v_i^{(1)}(t)$ は、第 1 層の i 番目のスパイクニューロンの、時刻 t における膜電位を示す。

$w_{ij}^{(1)}$ は、第 1 - 1 層の j 番目のスパイクニューロンから第 1 層の i 番目のスパイクニューロンへのスパイクに対する重みを表す。

はステップ関数を表し、式 (2) のように示される。

【 0 0 1 8 】

【 数 2 】

$$\theta(x) = \begin{cases} 0, & (x < 0) \\ 1, & (x \geq 0) \end{cases} \quad \dots (2)$$

【 0 0 1 9 】

$t_j^{*(1-1)}$ は、第 1 - 1 層の j 番目のスパイクニューロンの発火時刻を示す。

上述したスパイクニューロンの数理モデルをハードウェア実装することを考える。

なお、実施形態に係る設計方法の対象となるスパイクニューロンの数理モデルは、式 (1) に示されるもの限定されない。例えば、実施形態に係る設計方法を、一般的な漏れ積分発火ニューロン(Leaky integrate-and-fire neuron)に適用することも同様に可能である。

【 0 0 2 0 】

図 3 は、スパイクニューロンの回路モデルの例を示す図である。ここでいう回路モデルは、モデルを実装する回路である。

図 3 の回路モデルで、パルス信号またはステップ信号によるスパイクがシナプス回路 (Synapse Circuit) に入力されると、シナプス回路は、重み付けされた電流を出力し続ける。

【 0 0 2 1 】

シナプス回路が出力する電流は、合計されてコンデンサに流れて蓄電され、コンデンサに電位が生じる。このコンデンサの電位は膜電位を模擬する。

スパイク発生器 (Spike Generator) は、コンデンサの電位と所定の発火閾値とを比較する。コンデンサの電位が発火閾値に達すると、スパイク発生器はスパイクを出力する。

【 0 0 2 2 】

1 つのスパイク発生器が 1 回のみスパイクを出力するようにしてもよい。あるいは、スパイク発生時にコンデンサの電位をリセットする等により、1 つのスパイク発生器が複数回発火し得るようにしてもよい。

スパイクニューロンの回路モデルにおける発火前の膜電位の変化は、式 (3) の微分方程式のように示すことができる。

【 0 0 2 3 】

【 数 3 】

$$C \frac{d}{dt}v_i^{(l)}(t) = \sum_j I_{ij}^{(l)}(t) \quad \dots (3)$$

【 0 0 2 4 】

C は、コンデンサの容量を示す。

$I_{ij}^{(1)}(t)$ は、第 $l-1$ 層の j 番目のスパイクニューロンから第 l 層の i 番目のスパイクニューロンへのスパイクによる膜電位の変化を模擬するための電流値を示す。

【0025】

電流の有無について式(2)のステップ関数を用いて表すと、式(3)は式(4)のように変形される。

【0026】

【数4】

$$C \frac{d}{dt} v_i^{(l)}(t) = \sum_j I_{ij}^{(l)} \theta(t - t_j^{*(l-1)}) \quad \dots (4) \quad 10$$

【0027】

$I_{ij}^{(1)}$ は、シナプス回路が電流を出力する場合の電流値を表す。電流のONとOFFとの切替は「 $(t - t_j^{*(l-1)})$ 」で示されるので、電流値 $I_{ij}^{(1)}$ は、学習によって値が更新され得る定数として扱われる。このため、式(3)の場合と異なり式(4)では、「 $I_{ij}^{(1)}$ 」に「 (t) 」が付加されていない。

【0028】

図3の構成で、スパイク発生器による発火時刻、および、シナプス回路による重みを離散化することを考える。これらが離散化されている回路のほうが、製造容易性および電力効率の点で有利であることが考えられる。ここでいう離散化は、量子化とも称される。

20

【0029】

一方、一般的には、時刻が離散化されたモデルは、学習の精度が低い傾向がある。スパイクニューロンについても、時刻が離散化された回路モデルで学習を行うと、学習の精度が低くなることが考えられる。

式(1)に示されるスパイクニューロンの数理モデルにおいて、時刻を離散化して時間ステップ(Time Step)で表すようにすると、膜電位は式(5)のように示される。

【0030】

【数5】

$$v_i^{(l)}(t) = v_i^{(l)}(t-1) + \sum_j w_{ij}^{(l)} \theta(t - t_j^{*(l-1)}) \quad \dots (5) \quad 30$$

【0031】

式(5)では、時刻が時間ステップで表されており、 t は、例えば0、1、2、...の整数値をとる。

時刻 t における膜電位「 $v_i^{(1)}(t)$ 」は、時刻 $t-1$ における膜電位「 $v_i^{(1)}(t-1)$ 」に、時間ステップの単位時間あたりの変化量「 $\sum_j (w_{ij}^{(1)} \theta(t - t_j^{*(l-1)}))$ 」を加算することで算出される。

40

式(5)に示される数理モデルを、図3に示される回路モデルに実装すると、式(6)のように示される。

【0032】

【数6】

$$C v_i^{(l)}(t) = C v_i^{(l)}(t-1) + \sum_j I_{ij}^{(l)}(t) \quad \dots (6)$$

【 0 0 3 3 】

式(6)で、電流値の合計に単位時間「1」を乗算した「 $j(I_{ij}^{(1)}(t))$ 」によって、時刻 $t - 1$ から時刻 t までの間の、コンデンサの電荷の変化量が示される。

式(6)のように、時刻が離散化されて時間ステップで表されるモデルで学習を行う場合、学習の精度が低くなることが考えられる。

【 0 0 3 4 】

また、時間ステップにおける単位時間を、離散化されていない時刻におけるどれだけの時間幅にするかで、スパイクニューラルネットワークの演算の精度が異なることが考えられる。単位時間の時間幅を短くするほど、演算の精度が高くなると考えられる。

【 0 0 3 5 】

一方、スパイク発生器における発火時刻の離散化で、発火時刻の刻み幅を、時間ステップにおける単位時間の時間幅に合わせる場合、単位時間の時間幅を短くすると、発火時刻の刻み幅が短いスパイク発生器が必要となる。

したがって、この場合、スパイクニューラルネットワークの演算の精度と、スパイク発生器に対する要求仕様とのトレードオフとなる。

【 0 0 3 6 】

また、スパイク発生器における発火時刻の離散化で、発火時刻の刻み幅を、時間ステップにおける単位時間の時間幅にかかわらず一定とする場合、単位時間の時間幅を短くすると、演算に要する時間ステップのステップ数が多くなることが考えられる。ステップ数が多くなることで演算時間が長くなり、消費電力が大きくなる。

したがって、この場合、スパイクニューラルネットワークの演算の精度と、演算時間および消費電力とのトレードオフとなる。

【 0 0 3 7 】

図4は、スパイクニューラルネットワークにおける発火時刻の例を示す図である。図4のグラフの横軸は時刻を、入力層のスパイクニューロンが最初に発火してからの経過時間で示す。横軸における時間の単位はミリ秒(ms)である。縦軸は、入力層、隠れ層、出力層それぞれにおけるスパイクニューロンの識別番号を示す。

【 0 0 3 8 】

図4の例では、時刻が時間ステップで表されており、単位時間は2ミリ秒となっている。入力層のスパイクニューロンが最初に発火してから6ステップ後に、出力層のスパイクニューロンが最初に発火している。

【 0 0 3 9 】

ここで、時刻が離散化された数理モデルが、図4に示されるように時間ステップの単位時間を2ミリ秒として構成され、時刻が離散化された回路モデルも、スパイク発生器の発火時刻の刻み幅を2ミリ秒として構成されている状態を想定する。

この状態から、数理モデルにおける時間ステップの単位時間を1ミリ秒にする場合について考える。

【 0 0 4 0 】

この場合、回路モデルのスパイク発生器を、発火時刻の刻み幅が1ミリ秒のものに交換することが考えられる。スパイク発生器を交換することで、回路モデルでも数理モデルの場合と同様の時間で演算結果を得られる。

一方、発火時刻の刻み幅が短いスパイク発生器を用意すること、および、スパイク発生器を交換することが負担となる。

【 0 0 4 1 】

あるいは、回路モデルのスパイク発生器として、発火時刻の刻み幅が2ミリ秒のものをそのまま用いることも考えられる。この場合、新たなスパイク発生器を用意する必要、および、スパイク発生器を交換する必要は無い。

一方、発火時刻の刻み幅が、時間ステップの単位時間の2倍になることで、回路モデルでの演算時間が、数理モデルでの演算時間の2倍になることが考えられる。また、演算時間が長くなることで、コンデンサに蓄電される電荷がコンデンサの蓄電可能量を超える場

10

20

30

40

50

合は、コンデンサ、または、シナプス回路を交換する必要が生じる。

【 0 0 4 2 】

このように、スパイク発生器の発火時刻の刻み幅を、時間ステップにおける単位時間の時間幅に合わせる場合、および、単位時間の時間幅にかかわらず一定とする場合の何れも、単位時間の時間幅の長短に関してメリットとデメリットとがある。

離散化された回路モデルを用いて学習を行った後、単位時間の時間幅を変更する場合、再学習が必要となり、学習の担当者の負担となる。離散化された数理モデルを用いて学習を行った後、単位時間の時間幅を変更する場合も、再学習が必要となり、学習の担当者の負担となる。

【 0 0 4 3 】

そこで、実施形態に係る設計方法では、離散化されていない数理モデルを用いて学習を行った後、学習済みの数理モデルを、スパイク発生器による発火時刻、および、シナプス回路による重みが離散化された回路モデルに実装する。

図 5 は、実施形態に係る設計方法における処理手順の例を示す図である。コンピュータなどの装置が、自動的に、あるいは半自動的に、図 5 の処理を行うようにしてもよい。あるいは、スパイクニューラルネットワークの設計者がコンピュータを用いて図 5 の処理を行うなど、人が図 5 の処理を行うようにしてもよい。

【 0 0 4 4 】

図 5 に示す処理で、装置または人は、スパイクニューラルネットワークの離散化されていないモデルの学習を行う（ステップ S 1 1）。ここでいうモデルの学習は、機械学習によってモデルのパラメータ値を調整することである。

次に、装置または人は、離散化された回路に学習済みのモデルを実装するためのパラメータ値を決定する（ステップ S 1 2）。

ここで、発火閾値のスケールのパラメータ β を式 (1) に導入すると、式 (7) を得られる。

【 0 0 4 5 】

【 数 7 】

$$\frac{d}{dt} v_i^{(l)}(t) = \beta \sum_j w_{ij}^{(l)} \theta(t - t_j^{*(l-1)}) \quad \dots (7)$$

【 0 0 4 6 】

式 (7) で、パラメータ β は、膜電位の変化速度を調整する係数の役割を果たしている。パラメータ β の値を調整することで、重み $w_{ij}^{(1)}$ の値を変更する必要なしに、膜電位 $v_i^{(1)}$ が発火閾値に到達する速さを調整することができる。

パラメータ β を、図 2 に例示される膜電位のスケールを調整するパラメータとして用いることができる。回路モデルの設計時に、スパイク発生器に設定される発火閾値に応じてパラメータ β の値を設定することができる。

【 0 0 4 7 】

例えば、規格化された発火閾値の値 $V_{th} = 1$ が 1 ボルト (V) に相当するのに対し、発火閾値が 5 ボルトに設定されているスパイク発生器を使用する場合、パラメータ β の値を 5 に設定することができる。

図 2 の例で、 $\beta = 5$ の設定に応じて、縦軸が示す電圧の値が 5 倍にスケールされることで、横軸が示す時間のスケールを変更する必要なしに、かつ、重み $w_{ij}^{(1)}$ の値を変更してグラフの線の傾きを調整する必要なしに、電圧値と時間との整合性をとることができる。

【 0 0 4 8 】

式 (7) に対して、重み $w_{ij}^{(1)}$ および発火時刻 $t_j^{*(1-1)}$ を離散化すると、式 (8) を得られる。

10

20

30

40

50

【 0 0 4 9 】

【数 8】

$$\frac{d}{dt} v_i^{(l)}(t) = \beta w^{(\min)} \sum_j w_{ij}^{(\text{level}, l)} \theta \left(t - t_j^{(\text{step}, l-1)} \Delta t^{(\text{model})} \right) \dots (8)$$

【 0 0 5 0 】

$W^{(\min)}$ は、重みの刻み幅を示す。

$W_{ij}^{(\text{level}, l)}$ は、重みの刻み幅 $W^{(\min)}$ に乗算される整数を示す。 10

$W^{(\min)} W_{ij}^{(\text{level}, l)}$ で、式 (7) に示される重み $W_{ij}^{(l)}$ を離散化によって丸めた値を示す。

【 0 0 5 1 】

$t^{(\text{model})}$ は、数理モデルにおける発火時刻の刻み幅を示す。

$t_j^{(\text{step}, l-1)}$ は、発火時刻の刻み幅 $t^{(\text{model})}$ に乗算される整数を示す

。
 $t_j^{(\text{step}, l-1)} t^{(\text{model})}$ で、式 (7) に示される発火時刻 $t_j^{*(l-1)}$ を離散化によって丸めた値を示す。

【 0 0 5 2 】

式 (8) に対して、さらに、数理モデルにおける時間スケールから回路モデルにおける時間スケールに変換するスケール変換を行う。このスケール変換は、式 (9) のように示される。 20

【 0 0 5 3 】

【数 9】

$$t = \frac{\Delta t^{(\text{model})}}{\Delta t^{(\text{circuit})}} t' \dots (9)$$

【 0 0 5 4 】

式 (9) では、数理モデルにおける時刻を t と表記し、回路モデルにおける時刻を t' と表記している。 30

$t^{(\text{circuit})}$ は、回路モデルにおける発火時刻の刻み幅を示す。

$t^{(\text{model})}$ と $t^{(\text{circuit})}$ との関係に式 (9) を適用すると、式 (10) を得られる。

【 0 0 5 5 】

【数 10】

$$\Delta t^{(\text{model})} = \frac{\Delta t^{(\text{model})}}{\Delta t^{(\text{circuit})}} \Delta t^{(\text{circuit})} \dots (10)$$

40

【 0 0 5 6 】

式 (9) および式 (10) を用いて、式 (8) の時間スケールを数理モデルにおける時間スケールから回路モデルにおける時間スケールに変換すると、式 (11) を得られる。

【 0 0 5 7 】

【数 11】

$$\frac{d}{dt} v_i^{(l)}(t') = \beta w^{(\min)} \sum_j w_{ij}^{(\text{level}, l)} \theta \left(\frac{\Delta t^{(\text{model})}}{\Delta t^{(\text{circuit})}} t' - t_j^{(\text{step}, l-1)} \frac{\Delta t^{(\text{model})}}{\Delta t^{(\text{circuit})}} \Delta t^{(\text{circuit})} \right)$$

..... (11)

50

【 0 0 5 8 】

式 (1 1) で、右辺の「 $t^{(\text{model})} / t^{(\text{circuit})}$ 」をまとめて の前
に出し、さらに、「 t' 」を「 t 」と表記し直すと、式 (1 2) を得られる。

【 0 0 5 9 】

【 数 1 2 】

$$\frac{d}{dt} v_i^{(l)}(t) = \beta w^{(\text{min})} \frac{\Delta t^{(\text{model})}}{\Delta t^{(\text{circuit})}} \sum_j w_{ij}^{(\text{level}, l)} \theta \left(t - t_j^{(\text{step}, l-1)} \Delta t^{(\text{circuit})} \right) \dots (12)$$

10

【 0 0 6 0 】

また、式 (4) に対して、電流値 $I_{ij}^{(l)}(t)$ および発火時刻 $t_j^{*(l-1)}$ を離
散化すると、式 (1 3) を得られる。

【 0 0 6 1 】

【 数 1 3 】

$$C \frac{d}{dt} v_i^{(l)}(t) = I^{(\text{min})} \sum_j I_{ij}^{(\text{level}, l)} \theta \left(t - t_j^{(\text{step}, l-1)} \Delta t^{(\text{circuit})} \right) \dots (13)$$

20

【 0 0 6 2 】

$I^{(\text{min})}$ は、電流値の刻み幅を示す。

$I_{ij}^{(\text{level}, l)}$ は、電流値の刻み幅 $I^{(\text{min})}$ に乗算される整数を示す。

$I^{(\text{min})} I_{ij}^{(\text{level}, l)}$ で、式 (4) に示される電流値 $I_{ij}^{(l)}(t)$ を
離散化によって丸めた値を示す。

【 0 0 6 3 】

式 (1 2) と式 (1 3) とが等価になるための条件について考える。

式 (1 3) の「 $(d/dt) v_i^{(l)}(t)$ 」に式 (1 2) を代入し、 j について合計
する前の個々の式に展開して整理すると、式 (1 4) を得られる。

【 0 0 6 4 】

【 数 1 4 】

$$C \beta w^{(\text{min})} \frac{\Delta t^{(\text{model})}}{\Delta t^{(\text{circuit})}} w_{ij}^{(\text{level}, l)} = I^{(\text{min})} I_{ij}^{(\text{level}, l)} \dots (14)$$

30

【 0 0 6 5 】

$w_{ij}^{(\text{level}, l)}$ と $I_{ij}^{(\text{level}, l)}$ とは、何れも離散化による整数であり
 $w_{ij}^{(\text{level}, l)} = I_{ij}^{(\text{level}, l)}$ である。 $w_{ij}^{(\text{level}, l)} = I_{ij}^{(\text{level}, l)}$
 $I_{ij}^{(\text{level}, l)}$ が任意の整数値をとるときに式 (1 4) が成り立つための条件は、式 (1 5) のように表される。

40

【 0 0 6 6 】

【 数 1 5 】

$$\Delta t^{(\text{model})} w^{(\text{min})} = \frac{\Delta t^{(\text{circuit})} I^{(\text{min})}}{\beta C} \dots (15)$$

【 0 0 6 7 】

図 5 のステップ S 1 2 では、装置または人は、式 (1 5) を満たすように、各パラメー
タの値を決定する。例えば、装置または人が、式 (1 5) の制約条件の下で、スパイクン
グニューラルネットワークの認識性能および電力効率がなるべく高くなるように、パラメ

50

ータ値を決定するようにしてもよい。

【0068】

スパイクニューロンモデルを実装するハードウェアの仕様が決められている場合、装置または人が、式(15)にハードウェアの仕様を入力して、数理モデルの離散化のパラメータ値を決定するようにしてもよい。

例えば、ハードウェアの仕様が以下のように決められている場合について考える。

【0069】

電流値の刻み幅： $I(\text{min}) = 5 \text{ [nA]}$

発火閾値： $= 0.5 \text{ [V]}$

隠れ層のコンデンサの容量： $C(\text{hidden}) = 300 \text{ [fF]}$

出力層のコンデンサの容量： $C(\text{output}) = 300 \text{ [fF]}$

発火時刻の刻み幅： $t(\text{circuit}) = 10 \text{ [ns]}$

【0070】

この場合、式(15)に仕様値を入力すると式(16)のようになる。

【0071】

【数16】

$$\Delta t^{(\text{model})} w^{(\text{min})} = \frac{\Delta t^{(\text{circuit})} I^{(\text{min})}}{\beta C} \quad \dots (16)$$

$$= \frac{10 \cdot 10^{-9} \cdot 5 \cdot 10^{-9}}{0.5 \cdot 300 \cdot 10^{-15}} = 3.33 \cdot 10^{-4}$$

【0072】

装置または人が、 $t^{(\text{model})} w^{(\text{min})} = 3.33 \cdot 10^{-4}$ を満たす $t^{(\text{model})}$ および $w^{(\text{min})}$ で、スパイクニューラルネットワークの認識性能および電力効率が高くなるように、 $t^{(\text{model})}$ および $w^{(\text{min})}$ の値を決定するようにしてもよい。

【0073】

数理モデルの離散化のパラメータ値について要求仕様が決められている場合、装置または人が、決められている要求仕様を式(15)に入力して、得られる条件を満たすように、ハードウェアの仕様を決定するようにしてもよい。数理モデルの離散化のパラメータ値は、例えば $t^{(\text{model})}$ の値および $w^{(\text{min})}$ の値である。ハードウェアの仕様は、例えば、 $I^{(\text{min})}$ の値、 C の値、および、 $t^{(\text{circuit})}$ の値である。

数理モデル、および、回路モデルの何れについても、式(15)に示されるパラメータの値が決まっていない場合、装置または人が、スパイクニューラルネットワークに求められる性能に基づいて、数理モデルの離散化のパラメータ値を決定し、決定したパラメータ値を式(15)に入力してハードウェアの仕様を決定するようにしてもよい。

【0074】

図5のステップS12の後、装置または人は、学習済みのスパイクニューラルネットワークを、重みおよび発火時刻が離散化された数理モデルに変換する(ステップS13)。具体的には、装置または人は、学習済みのスパイクニューラルネットワークに含まれるスパイクニューロンモデルの各々を、ステップS12で得られた $t^{(\text{model})}$ および $w^{(\text{min})}$ の値を満たすように、スパイクニューロンの離散化モデルに置き換える。スパイクニューロンモデル間の接続関係は、変換前のスパイクニューラルネットワークの場合と同様とする。

【0075】

次に、装置または人は、重みおよび発火時刻が離散化された数理モデルを電流値および発火時刻が離散化された回路モデルに変換することで、スパイクニューラルネットワークの回路モデルを設計する(ステップS14)。具体的には、装置または人は、重みお

10

20

30

40

50

よび発火時刻が離散化された数理モデルにおけるスパイクングニューロンモデルの各々を、ステップ S 1 2 で得られた $I^{(min)}$ 、 C 、および、 $t(circuit)$ の値を満たすように、スパイクングニューロンの回路モデルに置き換える。スパイクングニューロンモデル間の接続関係は、変換前のスパイクングニューラルネットワークの場合と同様とする。

ステップ S 1 4 の後、人または装置は、図 5 の処理を終了する。

【 0 0 7 6 】

図 5 の処理の後、装置が自動または半自動で、図 5 の処理で設計されたスパイクングニューラルネットワークの回路モデルを生成することで、学習済みのスパイクングニューラルネットワークをハードウェア実装するようにしてもよい。あるいは、人が装置を用いて、図 5 の処理で設計されたスパイクングニューラルネットワークの回路モデルを生成することで、学習済みのスパイクングニューラルネットワークをハードウェア実装するようにしてもよい。

10

【 0 0 7 7 】

以上のように、数理モデルにおける発火時刻の刻み幅と、数理モデルにおける重みの刻み幅との積が、スパイク発生器による発火時刻の刻み幅と、シナプス回路の出力電流値の最小刻み幅との積を、スパイク発生器における発火閾値電圧と、膜電位を模擬するコンデンサの容量との積で除算した値に等しくなるように、スパイク発生器による発火時刻の刻み幅、シナプス回路の出力電流値の最小刻み幅、スパイク発生器における発火閾値電圧、コンデンサの容量、数理モデルにおける発火時刻の刻み幅、または、数理モデルにおける重みの刻み幅の少なくとも何れかを決定する。

20

【 0 0 7 8 】

この設計方法で得られるパラメータ値を用いて、発火時刻および重みが離散化されていない学習済みのスパイクングニューラルネットワークを、発火時刻および重みが離散化された数理モデルによるスパイクングニューラルネットワーク変換し、さらに、電流値および重みが離散化された回路モデルによるスパイクングニューラルネットワークに変換することができる。

この設計方法によれば、発火時刻および重みが離散化されていないスパイクングニューラルネットワークで学習を行える点で学習の精度が比較的高く、かつ、学習済みのニューラルネットワークにおける発火時刻を離散化することができる。

30

【 0 0 7 9 】

また、スパイク発生器による発火時刻の刻み幅と、シナプス回路の出力電流値の最小刻み幅と、スパイク発生器における発火閾値電圧と、コンデンサの容量との仕様に基づいて、数理モデルにおける発火時刻の刻み幅と、数理モデルにおける重みの刻み幅とを決定する。

【 0 0 8 0 】

この設計方法によれば、スパイクングニューラルネットワークの回路モデルの仕様が決まっている場合に、スパイクングニューラルネットワークの回路モデルの仕様に整合するように、スパイクングニューラルネットワークの数理モデルの設計パラメータ値を決定することができる。

40

【 0 0 8 1 】

また、数理モデルにおける発火時刻の刻み幅と、数理モデルにおける重みの刻み幅との要求仕様に基づいて、スパイク発生器による発火時刻の刻み幅と、シナプス回路の出力電流値の最小刻み幅と、スパイク発生器における発火閾値電圧と、コンデンサの容量とを決定する。

【 0 0 8 2 】

この設計方法によれば、発火時刻と重みとが離散化された数理モデルによるスパイクングニューラルネットワークに対する要求仕様が決まっている場合に、その要求仕様に整合するように、スパイクングニューラルネットワークの回路モデルの仕様を決定することができる。

50

【 0 0 8 3 】

また、設計方法は、発火時刻および重みの何れも離散化されていないスパイクニューロンモデルを用いるスパイクニューラルネットワークの学習を行うことをさらに含む。上記の数値モデルにおける発火時刻の刻み幅、および、数値モデルにおける重みの刻み幅は、発火時刻および重みの何れも離散化されていないスパイクニューロンモデルを用いる学習済みのスパイクニューラルネットワークを、発火時刻および重みが離散化されたスパイクニューロンの数値モデルを用いるスパイクニューラルネットワークに変換するための設計値である。上記のスパイク発生器による発火時刻の刻み幅、シナプス回路の出力電流値の最小刻み幅、スパイク発生器における発火閾値電圧、および、膜電位を模擬するコンデンサの容量は、発火時刻および重みが離散化されたスパイクニューロンの数値モデルを用いるスパイクニューラルネットワークを、発火時刻および電流値が離散化されたスパイクニューロンの回路モデルを用いるスパイクニューラルネットワークのハードウェアに実装するための設計値である。

10

【 0 0 8 4 】

この設計方法で得られるパラメータ値を用いて、発火時刻および重みが離散化されていない学習済みのスパイクニューラルネットワークを、発火時刻および重みが離散化された数値モデルによるスパイクニューラルネットワーク変換し、さらに、電流値および重みが離散化された回路モデルによるスパイクニューラルネットワークに変換することができる。

この設計方法によれば、発火時刻および重みが離散化されていないスパイクニューラルネットワークで学習を行える点で学習の精度が比較的高く、かつ、学習済みのニューラルネットワークにおける発火時刻を離散化することができる。

20

【 0 0 8 5 】

図6は、実施形態に係る設計方法における処理の例を示すフローチャートである。図6に示す設計方法は、パラメータ値を決定すること(ステップS611)を含む。

パラメータ値を決定すること(ステップS611)では、数値モデルにおける発火時刻の刻み幅と、数値モデルにおける重みの刻み幅との積が、スパイク発生器による発火時刻の刻み幅と、シナプス回路の出力電流値の最小刻み幅との積を、スパイク発生器における発火閾値電圧と、膜電位を模擬するコンデンサの容量との積で除算した値に等しくなるように、スパイク発生器による発火時刻の刻み幅、シナプス回路の出力電流値の最小刻み幅、スパイク発生器における発火閾値電圧、コンデンサの容量、数値モデルにおける発火時刻の刻み幅、または、数値モデルにおける重みの刻み幅の少なくとも何れかを決定する。

30

【 0 0 8 6 】

図6に示す設計方法で得られるパラメータ値を用いて、発火時刻および重みが離散化されていない学習済みのスパイクニューラルネットワークを、発火時刻および重みが離散化された数値モデルによるスパイクニューラルネットワーク変換し、さらに、電流値および重みが離散化された回路モデルによるスパイクニューラルネットワークに変換することができる。

図6に示す設計方法によれば、発火時刻および重みが離散化されていないスパイクニューラルネットワークで学習を行える点で学習の精度が比較的高く、かつ、学習済みのニューラルネットワークにおける発火時刻を離散化することができる。

40

【 0 0 8 7 】

図7は、少なくとも1つの実施形態に係るコンピュータの構成を示す概略ブロック図である。

図7に示す構成において、コンピュータ700は、CPU(Central Processing Unit、中央処理装置)710と、主記憶装置720と、補助記憶装置730と、インタフェース740とを備える。

【 0 0 8 8 】

図5の処理、および、図6の処理のうち何れか1つ以上またはその一部が、コンピュータ700で実行されてもよい。その場合、上述した各処理は、プログラムの形式で補助記

50

憶装置 730 に記憶されている。CPU 710 は、プログラムを補助記憶装置 730 から読み出して主記憶装置 720 に展開し、当該プログラムに従って上記処理を実行する。また、CPU 710 は、プログラムに従って、上述した処理のための記憶領域を主記憶装置 720 に確保する。上述した処理のための通信は、インタフェース 740 が通信機能を有し、CPU 710 の制御に従って通信を行うことで実行される。上述した処理のためのユーザとのインタラクションは、インタフェース 740 が表示装置および入力デバイスを備え、CPU 710 の制御に従って各種画像の表示を行い、ユーザ操作を受け付けることで実行される。

【0089】

図 5 の処理がコンピュータ 700 で実行される場合、ステップ S11 から S14 の各処理は、プログラムの形式で補助記憶装置 730 に記憶されている。CPU 710 は、プログラムを補助記憶装置 730 から読み出して主記憶装置 720 に展開し、当該プログラムに従って上記処理を実行する。

10

【0090】

また、CPU 710 は、プログラムに従って、図 5 の処理のための記憶領域を主記憶装置 720 に確保する。

【0091】

図 6 の処理がコンピュータ 700 で実行される場合、ステップ S611 の処理は、プログラムの形式で補助記憶装置 730 に記憶されている。CPU 710 は、プログラムを補助記憶装置 730 から読み出して主記憶装置 720 に展開し、当該プログラムに従って上記処理を実行する。

20

【0092】

また、CPU 710 は、プログラムに従って、図 6 の処理のための記憶領域を主記憶装置 720 に確保する。

【0093】

なお、図 5 の処理、および、図 6 の処理の全部または一部を実行するためのプログラムをコンピュータ読み取り可能な記録媒体に記録して、この記録媒体に記録されたプログラムをコンピュータシステムに読み込ませ、実行することにより各部の処理を行ってもよい。なお、ここでいう「コンピュータシステム」とは、OS (Operating System) や周辺機器等のハードウェアを含むものとする。

30

また、「コンピュータ読み取り可能な記録媒体」とは、フレキシブルディスク、光磁気ディスク、ROM (Read Only Memory)、CD-ROM (Compact Disc Read Only Memory) 等の可搬媒体、コンピュータシステムに内蔵されるハードディスク等の記憶装置のことをいう。また上記プログラムは、前述した機能の一部を実現するためのものであってもよく、さらに前述した機能をコンピュータシステムにすでに記録されているプログラムとの組み合わせで実現できるものであってもよい。

【0094】

以上、この発明の実施形態について図面を参照して詳述してきたが、具体的な構成はこの実施形態に限られるものではなく、この発明の要旨を逸脱しない範囲の設計等も含まれる。

40

【産業上の利用可能性】

【0095】

本発明は、設計方法および記録媒体に適用してもよい。

【符号の説明】

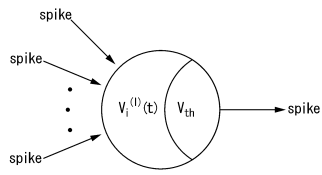
【0096】

- 700 コンピュータ
- 710 CPU
- 720 主記憶装置
- 730 補助記憶装置
- 740 インタフェース

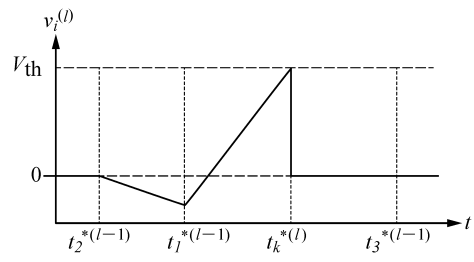
50

【図面】

【図 1】

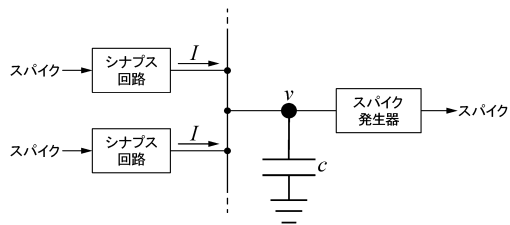


【図 2】

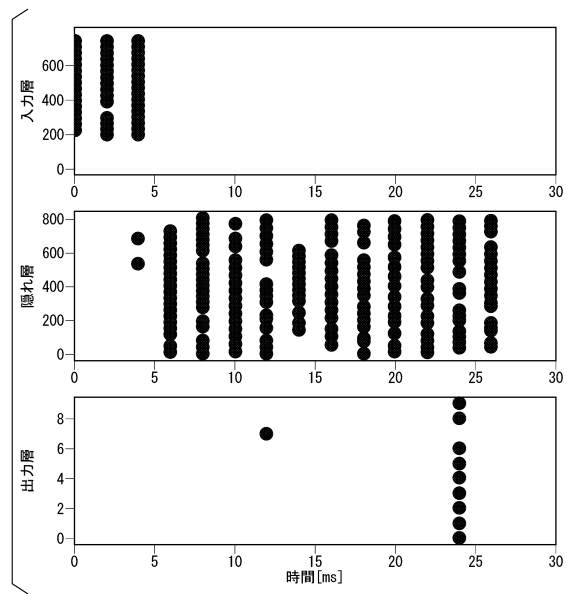


10

【図 3】

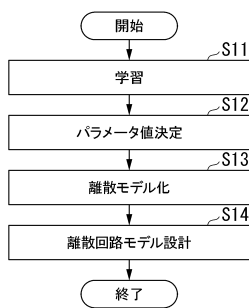


【図 4】

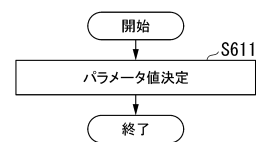


20

【図 5】



【図 6】

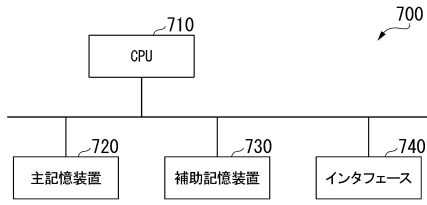


30

40

50

【図 7】



10

20

30

40

50

フロントページの続き

- (56)参考文献 国際公開第2020/241356(WO,A1)
国際公開第2019/125419(WO,A1)
国際公開第2013/119867(WO,A1)
- (58)調査した分野 (Int.Cl., DB名)
G06N 3/063