

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号  
特許第3676240号  
(P3676240)

(45) 発行日 平成17年7月27日(2005.7.27)

(24) 登録日 平成17年5月13日(2005.5.13)

(51) Int.Cl.<sup>7</sup>

F I

HO 1 L 25/07

HO 1 L 21/52

HO 1 L 25/18

HO 1 L 25/04

HO 1 L 21/52

C

J

請求項の数 10 (全 21 頁)

(21) 出願番号	特願2001-17405 (P2001-17405)	(73) 特許権者	000003078
(22) 出願日	平成13年1月25日 (2001.1.25)		株式会社東芝
(65) 公開番号	特開2001-298152 (P2001-298152A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成13年10月26日 (2001.10.26)	(74) 代理人	100083806
審査請求日	平成16年12月3日 (2004.12.3)		弁理士 三好 秀和
(31) 優先権主張番号	特願2000-29569 (P2000-29569)	(74) 代理人	100100712
(32) 優先日	平成12年2月7日 (2000.2.7)		弁理士 岩▲崎▼ 幸邦
(33) 優先権主張国	日本国 (JP)	(74) 代理人	100100929
			弁理士 川又 澄雄
早期審査対象出願		(74) 代理人	100108707
			弁理士 中村 友之
		(74) 代理人	100095500
			弁理士 伊藤 正和
		(74) 代理人	100101247
			弁理士 高橋 俊一
			最終頁に続く

(54) 【発明の名称】 圧接型半導体装置

(57) 【特許請求の範囲】

【請求項1】

表面側に第1の主電極及び制御電極を有し、裏面側に第2の主電極を有する複数の半導体素子と、

前記複数の半導体素子を表面上に配列し、この複数の半導体素子の第2の主電極に電気的に接続された第2の共通主電源板と、

前記複数の半導体素子の表面上に配置され、この複数の半導体素子の第1の主電極に電気的に接続される第1の共通主電源板と、

前記複数の半導体素子の配列間において複数の導体薄膜を絶縁体を介在して積層し、この積層された複数の導体薄膜をスルーホール配線により相互に電気的に接続するとともに、前記複数の半導体素子の制御電極に電気的に接続される制御信号経路を有し、前記複数の半導体素子のそれぞれに対応する領域に電極開口を有する共通制御信号板と

を備えたことを特徴とする圧接型半導体装置。

【請求項2】

前記共通制御信号板の制御信号経路は、前記複数の半導体素子の配列間及び前記複数の半導体素子のすべてが配列された領域を取り囲む周辺領域に配設されることを特徴とする請求項1に記載の圧接型半導体装置。

【請求項3】

前記共通制御信号板は、前記第1の共通主電源板の突起電極部に対応する領域に電極開口を有する平面メッシュ形状で構成されていることを特徴とする請求項1又は2に記載の

圧接型半導体装置。

【請求項 4】

前記共通制御信号板は、前記導体薄膜と前記絶縁体とを交互に複数積層し、最上層と最下層とにそれぞれソルダーレジスト膜を有するプリント配線基板であることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の圧接型半導体装置。

【請求項 5】

前記共通制御信号板は、前記導体薄膜と前記絶縁体とを交互に複数積層し、前記導体薄膜と前記絶縁体とを一体形成したプリント配線基板により構成されていることを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の圧接型半導体装置。

【請求項 6】

前記共通制御信号板と前記半導体素子の制御電極との間を電氣的に接続する制御信号プローブをさらに備えていることを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の圧接型半導体装置。

【請求項 7】

前記制御信号プローブの前記半導体素子の制御電極との接続部分は半円球形状により構成され、前記制御信号プローブは前記共通信号制御板の前記スルーホール配線に接続されていることを特徴とする請求項 6 に記載の圧接型半導体装置。

【請求項 8】

前記共通制御信号板と外部機器との間を電氣的に接続するゲート端子をさらに備えていることを特徴とする請求項 1 乃至 7 に記載の圧接型半導体装置。

【請求項 9】

前記ゲート端子は、一端が前記外部機器に接続され、他端が電氣的に並列接続状態において複数に分岐された制御信号リードをさらに備えていることを特徴とする請求項 8 に記載の圧接型半導体装置。

【請求項 10】

前記ゲート端子の制御信号リードの分岐部分には、前記共通制御信号板と電氣的に接続する接続ピンを有する制御信号接続部をさらに備えていることを特徴とする請求項 9 に記載の圧接型半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、圧接型半導体装置に関し、特に複数の半導体素子を有するマルチチップモジュール構造の圧接型半導体装置に関する。さらに、本発明は、車両のモータ制御等、電力供給制御に使用される圧接型半導体装置に適用して有効な技術に関する。

【0002】

【従来の技術】

電力供給制御に使用される圧接型半導体装置は、絶縁ゲート型バイポーラトランジスタ（以下、単に IGBT という。）等のいわゆるパワーデバイスからなる半導体素子を主体に構成されている。電流容量を稼ぐために、この種の圧接型半導体装置においては、複数の半導体素子を電氣的に並列に接続したマルチチップモジュール構造が採用されている。

【0003】

図 15 に示すように、一般的な圧接型半導体装置 100 は円形状の圧接型外囲器 101 の内部に複数の半導体素子 103A ~ 103I を行列状に配列している。複数の半導体素子 103A ~ 103I は図 16 に示すようにシリコン単結晶基板 103s をベースとした半導体チップであり、この半導体チップには IGBT が搭載されている。複数の半導体素子 103A ~ 103I のそれぞれの表面側には IGBT のエミッタ電極 103e 及びゲート電極 103g が配設され、裏面側にはコレクタ電極 103c が配設されている。

【0004】

図示していないが、複数の半導体素子 103A ~ 103I は共用のコレクタ電極板上に配列されており、複数の半導体素子 103A ~ 103I 上には共用のエミッタ電極板が配設

10

20

30

40

50

されている。複数の半導体素子 103A ~ 103I のそれぞれの裏面側のコレクタ電極 103c はコレクタ電極板に電氣的に接続されている。コレクタ電極板からコレクタ電極 103c にはコレクタ電流が供給されるようになっている。複数の半導体素子 103A ~ 103I のそれぞれの表面側のエミッタ電極 103e はエミッタ電極板に電氣的に接続されている。エミッタ電極 103e からエミッタ電極板にはエミッタ電流が取り出されるようになっている。

【0005】

一方、複数の半導体素子 103A ~ 103I のそれぞれのゲート電極 103g は圧接型外囲器 101 の外周囲の一部に配設されたゲート端子 104 に電氣的に接続されている。ゲート電極 103g とゲート端子 104 との間の接続は圧接型外囲器 101 の内部に引き回されたゲートリードワイヤ 105 により行われている。

10

【0006】

このように構成される圧接型半導体装置 100 においては、圧接型外囲器 101 の内部の配列位置によって複数の半導体素子 103A ~ 103I のそれぞれのゲート電極 103g とゲート端子 104 との間の距離が異なるので、ゲートリードワイヤ 105 の引き回し長さに差が生じてしまう。ゲートリードワイヤ 105 の配線長のばらつきは配線抵抗のばらつき並びにインダクタンスのばらつきとして表れる。このようなばらつきは例えば IGBT のターンオフ時の電流分担振動現象の原因となり、圧接型半導体装置 100 全体として誤動作を引き起こす原因となっていた。

【0007】

20

図 17 に示す圧接型半導体装置 200 は、図 15 に示す圧接型半導体装置 100 の技術的課題を解決するために考案されたものであり、圧接型外囲器 101 の内周囲に沿うリング形状のゲートリング 106 を備えている。このゲートリング 106 の断面積はゲートリードワイヤ 105 の断面積よりも大きく、ゲートリング 106 の一部はゲート端子 104 に電氣的に接続されている。複数の半導体素子 103A ~ 103I のそれぞれのゲート電極 103g は、最短距離になるように、ゲートリードワイヤ 107 を介在させてゲートリング 106 に電氣的に接続されている。ゲートリング 106 とゲートリードワイヤ 107 との間の接続には Pb - Sn 半田 108 が使用されている。

【0008】

なお、上記以外の圧接型半導体装置に関しては、例えば特開平 8 - 330338 号公報、特開平 9 - 321293 号公報等の開示がある。

30

【0009】

【発明が解決しようとする課題】

上記図 17 に示す圧接型半導体装置 200 においては、以下の点について配慮がなされていないかった。

【0010】

(1) ゲートリング 106 の断面積はゲートリードワイヤ 107 の断面積よりも大きく設定されているので、配線抵抗のばらつき並びにインダクタンスのばらつきを減少することができるものと期待されていた。ところが、ゲートリング 106 と複数の半導体素子 103A ~ 103I のそれぞれのゲート電極 103g との間は最終的にはゲートリードワイヤ 107 により接続する必要があり、ゲートリードワイヤ 107 の配線長は複数の半導体素子 103A ~ 103I の配列位置によりばらつきを生じる。例えば、圧接型外囲器 101 の周辺側に配列された半導体素子 103A のゲート電極 103g に接続されたゲートリードワイヤ 107 の配線長に対して、圧接型外囲器 101 の中央部分に配列された半導体素子 103E のゲート電極 103g に接続されたゲートリードワイヤ 107 の配線長は約 2 倍程度長くなってしまふ。従って、ゲート電圧の供給経路において配線抵抗のばらつき並びにインダクタンスのばらつきを十分に減少させることができないので、圧接型半導体装置 200 の誤動作の防止をより確実なものにすることが非常に難しかった。

40

【0011】

(2) さらに、ゲートリング 106 とゲートリードワイヤ 107 との間の半田 108 によ

50

る接合は、現在、自動化作業ではなく、接合箇所毎に手作業により行われている。このため、圧接型半導体装置 200 の組立作業において非常に作業性が悪く、製作コスト並びに製品コストが増大する要因となっていた。

【0012】

(3) さらに、圧接型半導体装置 200 においては、電流容量が大きく、発熱量も高いので、熱的応力若しくは機械的応力の影響が強い。このような応力が特にゲートリング 106 とゲートリードワイヤ 107 との間を接続する半田 108 の接合部分に集中した場合、この応力集中により半田 108 に切断不良や剥がれを生じる可能性があった。

【0013】

(4) さらに、圧接型半導体装置 200 においては、ゲートリング 106、ゲートリードワイヤ 107 等の導電性部品、これらの導電性部品を絶縁分離する絶縁性部品等、部品点数が増加する傾向にある。このため、装置構成が複雑になるばかりか、製作コスト並びに製品コストが増大する要因となっていた。

【0014】

本発明は上記課題を解決するためになされたものである。従って、本発明の目的は、複数の半導体素子の回路動作ばらつきを減少することができ、動作不良を防止して電氣的信頼性を向上することができる圧接型半導体装置を提供することである。

【0015】

さらに、本発明の他の目的は、上記目的を達成しつつ、複数の半導体素子の配列間の空きスペースを有効に利用し、装置の小型化を実現することができる圧接型半導体装置を提供することである。

【0016】

さらに、本発明の他の目的は、組立性を向上することができ、かつ組立上の信頼性を向上することができる圧接型半導体装置を提供することである。

【0017】

さらに、本発明の他の目的は、組立性並びに組立上の信頼性を向上することにより、製作コスト並びに製品コストを減少することができる圧接型半導体装置を提供することである。

【0018】

【課題を解決するための手段】

上記課題を解決するために、本発明の第 1 の特徴は、表面側に第 1 の主電極及び制御電極を有し、裏面側に第 2 の主電極を有する複数の半導体素子と、複数の半導体素子を表面上に配列し、この複数の半導体素子の第 2 の主電極に電氣的に接続された第 2 の共通主電源板と、複数の半導体素子の表面上に配置され、この複数の半導体素子の第 1 の主電極に電氣的に接続された第 1 の共通主電源板と、複数の半導体素子の配列間に配設され、この複数の半導体素子の制御電極に電氣的に接続された共通制御信号板とを備えた圧接型半導体装置としたことである。

【0019】

ここで、「半導体素子」としては、IGBT、MOSFET、静電誘導トランジスタ(SIT)、バイポーラトランジスタ(BJT)、静電誘導サイリスタ(SIサイリスタ)、GTOサイリスタ、インジェクションエンハンスドゲートトランジスタ(IEGT)等の半導体素子が好適である。従って、「第 1 の主電極」とは、SIサイリスタ又は GTO サイリスタにおいてはアノード領域若しくはカソード領域のいずれか一方、BJT 又は IGBT においてはエミッタ領域若しくはコレクタ領域のいずれか一方、MOSFET や SIT においてはソース領域若しくはドレイン領域のいずれか一方を意味する。「第 2 の主電極」とは、SIサイリスタ又は GTO サイリスタにおいては第 1 の主電極とはならないアノード領域若しくはカソード領域のいずれか一方、BJT 又は IGBT においては第 1 の主電極とはならないエミッタ領域若しくはコレクタ領域のいずれか一方、MOSFET や SIT においては第 1 の主電極とはならないソース領域若しくはドレイン領域のいずれか一方を意味する。すなわち、SIサイリスタ又は GTO サイリスタにおいては、第 1 の主

10

20

30

40

50

電極がアノード領域であれば、第2の主電極はカソード領域である。BJT又はIGBTにおいては、第1の主電極がエミッタ領域であれば、第2の主電極はコレクタ領域である。MOSFETやSITにおいては、第1の主電極がソース領域であれば、第2の主電極はドレイン領域である。また、「制御電極」とは、IGBT、MOSFET、SIT等においては、ゲート電極を意味し、BJTにおいてはベース電極を意味することは勿論である。

#### 【0020】

さらに、「共通制御信号板」とは、複数の半導体素子の制御電極にそれぞれ制御信号を供給する共通制御信号板という意味で使用される。この「共通制御信号板」には、板状で適度な剛性を有するもの、板状若しくは薄膜状で変形可能な柔軟性を有するもの等が少なくとも含まれる。「共通制御信号板」は、各々の半導体素子に接触しない程度で（絶縁分離を確保した状態で）、複数の半導体素子の配列間のほぼ全域に渡って配設されることが好ましい。つまり、本発明の第1の特徴に係る圧接型半導体装置において、「共通制御信号板」は、例えば図15に示す圧接型半導体装置100のゲートリードワイヤ105の断面積、又は図17に示す圧接型半導体装置200のゲートリードワイヤ107の断面積よりも断面積が大きい導体、又はこの導体を少なくとも含む基板を表す意で使用される。

10

#### 【0021】

そして、本発明の第1の特徴に係る圧接型半導体装置においては、共通制御信号板が、複数の半導体素子のそれぞれに対応する領域に電極開口を有する平面メッシュ形状で構成されることが好ましい。

20

#### 【0022】

このように構成される本発明の第1の特徴に係る圧接型半導体装置においては、複数の半導体素子の配列間のほぼ全域の広範囲に渡って共通制御信号板を構成したので、制御信号の伝達経路の配線抵抗及びインダクタンスを減少することができ、かつ均一化することができる。従って、複数の半導体素子のそれぞれの動作のばらつきを減少することができ、動作不良を防止することができるので、誤動作を防止することができ、電氣的信頼性に優れた圧接型半導体装置を実現することができる。さらに、本発明の第1の特徴に係る圧接型半導体装置においては、複数の半導体素子の配列間に共通制御信号板を配設したので、複数の半導体素子の配列間の空きスペースを有効に利用することができ、装置小型化を実現することができる。

30

#### 【0023】

本発明の第2の特徴は、本発明の第1の特徴に係る圧接型半導体装置において、共通制御信号板が、絶縁体と、絶縁体上の導体薄膜とを有する配線基板で構成されたことである。また、本発明の第2の特徴は、本発明の第1の特徴に係る圧接型半導体装置において、共通制御信号板が、絶縁体と導体薄膜とを交互に複数積層した多層配線基板で構成されたことである。ここで、「配線基板」又は「多層配線基板」には、プリント配線基板を実用的に使用することができる。

#### 【0024】

このように構成される本発明の第2の特徴に係る圧接型半導体装置においては、共通制御信号板を配線基板又は多層配線基板とし、1つの組立部品として装置内部に組み込むようにしたので、組立性を向上することができ、組立上の信頼性を向上することができる。従って、製作コストを減少することができ、又は製品コストを減少することができる圧接型半導体装置を実現することができる。さらに、本発明の第2の特徴に係る圧接型半導体装置においては、絶縁体と導体薄膜とにより共通制御信号板を構成し、絶縁体自体を半導体素子間や半導体素子と導体薄膜との間の絶縁分離に使用することができるので、特に新たに絶縁体を備える必要がなく、部品点数を削減することができる。さらに、本発明の第2の特徴に係る圧接型半導体装置においては、絶縁体と導体薄膜とが一体的に配設基板又は多層配線基板として構成されているので、装置内部の構造を簡易にすることができる。

40

#### 【0025】

本発明の第3の特徴は、本発明の第2の特徴に係る圧接型半導体装置において、共通制御

50

信号板の導体薄膜と半導体素子の制御電極との間を電氣的に接続する制御信号プローブをさらに備えたことである。制御信号プローブと半導体素子の制御電極との間は接触により電氣的に接続されていることが好ましい。

【0026】

このように構成される本発明の第3の特徴に係る圧接型半導体装置においては、共通制御信号板と半導体素子の制御電極との間を接触させるだけで電氣的に接続することができる。従って、組立性を向上することができ、組立上の信頼性を向上することができる。特に、半田接合作業をなくすることができるので、大幅な組立性の向上を図ることができ、かつ組立の自動化を実現することができる。

【0027】

本発明の第4の特徴は、本発明の第2の特徴に係る圧接型半導体装置において、共通制御信号板の導体薄膜と外部機器との間を電氣的に接続するゲート端子をさらに備えた圧接型半導体装置としたことである。ゲート端子は、一端が外部機器に接続され、他端が電氣的に並列接続状態において複数に分岐された制御信号リードをさらに備えている。制御信号リードの分岐部分には、共通制御信号板の導体薄膜に複数箇所において電氣的に接続する接続ピンを有する制御信号接続部をさらに備えている。

【0028】

このように構成される本発明の第4の特徴に係る圧接型半導体装置においては、ゲート端子の制御信号リードを複数に分岐したので、インダクタンスを減少することができる。さらに、制御信号リードに複数箇所において共通制御信号板に接続する制御信号接続部を備えたので、インダクタンスを減少することができ、かつ電流容量を増加させることができる。

【0029】

【発明の実施の形態】

以下、本発明の実施の形態を図面を参照して詳細に説明する。なお、本発明の実施の形態は、半導体素子としてIGBTを使用し、このIGBTを複数配列したマルチチップモジュール構造の圧接型半導体装置に本発明を適用した場合を説明するものである。

【0030】

〔圧接型半導体装置の全体構造〕

図1乃至図3に示すように、本実施の形態に係る圧接型半導体装置1は、表面側に第1の主電極610及び制御電極611を有し、裏面側に第2の主電極612を有する複数の半導体素子60と、複数の半導体素子60を表面上に配列し、この複数の半導体素子60の第2の主電極612に電氣的に接続された第2の共通主電源板（コレクタ圧接電極板）80と、複数の半導体素子60の表面上に配置され、この複数の半導体素子60の第1の主電極610に電氣的に接続された第1の共通主電源板（エミッタ圧接電極板）10と、複数の半導体素子60の配列間に配設され、この複数の半導体素子60の制御電極611に電氣的に接続された共通制御信号板30とを備えて構築されている。

【0031】

図3に示す半導体素子60は、表面側（図3中、上側）に第1の主電極610及び制御電極611を配設し、裏面側（図3中、下側）に第2の主電極612を配設している。この半導体素子60は、圧接型半導体装置1にフェイスダウン方式で組み込まれるので、図1及び図2に示す圧接型半導体装置1においては図中下側に第1の主電極610及び制御電極611が配設され、図中上側に第2の主電極612が配設されている。すなわち、図1及び図2において、圧接型半導体装置1にフェイスダウン方式で組み込まれる半導体素子60の表面上には図中下側に位置する第1の共通主電源板10が配設され、半導体素子60の裏面上には図中上側に位置する第2の共通主電源板80が配設されるようになっている。

【0032】

そして、圧接型半導体装置1には、さらに側囲体15、スペーサ20、導電性金属シート40、複数の第1の熱緩衝板50、複数の半導体素子61、第2の熱緩衝板70を少なく

10

20

30

40

50

とも備えている。

#### 【0033】

[半導体素子(IGBT)の構造]

図3及び図4に示すように、複数の半導体素子60は、高耐圧、大容量化に優れ、かつ高速なスイッチング動作が可能なIGBTでいずれも構成されている。半導体素子60はシリコン単結晶基板(シリコン単結晶チップ)600を主体に構成されており、このシリコン単結晶基板600にIGBTが構成されている。

#### 【0034】

IGBTは、第1の主電極領域として使用される高不純物密度のn型エミッタ領域604と、第2の主電極領域として使用される低不純物密度のp型コレクタ領域601と、制御電極領域として使用されるゲート電極606、高不純物密度のp型ベース領域603及び低不純物密度のn型ベース領域602とを備えて構成されている。

10

#### 【0035】

p型コレクタ領域601はシリコン単結晶基板600の裏面側に配設され、n型ベース領域602はシリコン単結晶基板600の表面側に配設されている。なお、n型ベース領域602は高不純物密度に設定してもよい。p型ベース領域603はn型ベース領域602の主面部に配設され、n型エミッタ領域604はp型ベース領域603の主面部に配設されている。ゲート電極606はシリコン単結晶基板600の表面上にゲート絶縁膜605を介在して形成されている。ゲート電極606は例えばシリコン多結晶膜で形成されている。ゲート絶縁膜605は例えばシリコン酸化膜、シリコン窒化膜等で形成されている。IGBTは、微少な複数のIGBTセルを行列状に配列し、これらのIGBTセルを電氣的に並列に接続することにより構成されている。

20

#### 【0036】

このように構成されるIGBTのn型エミッタ領域(第1の主電極領域)604に第1の主電極(エミッタ電極)610が電氣的に接続されている。ゲート電極(制御電極領域)606には制御電極611が電氣的に接続されている。p型コレクタ領域(第2の主電極領域)601には第2の主電極(裏面電極)612が電氣的に接続されている。第1の主電極610及び制御電極611は、シリコン単結晶基板600上に層間絶縁膜608を介在して、同一導電層(同一平面上)において同一導電性材料により形成されている。第1の主電極610及び制御電極611は例えばアルミニウム膜、アルミニウム合金(Al-Si, Al-Cu, Al-Cu-Si等)膜等の電気伝導性に優れた材料により形成されている。一方、第2の主電極612は、シリコン単結晶基板600の裏面上のほぼ全域に形成されており、例えばアルミニウム膜、アルミニウム合金膜等の電気伝導性に優れた材料で形成されている。

30

#### 【0037】

なお、複数の半導体素子61は、その構造を図示しないが、フリーホイールダイオード(FWD)として形成されており、表面上及び裏面上にはそれぞれ電極(図示しない。)が配設されている。

#### 【0038】

[第1の共通主電源板の構造]

40

図1、図2及び図5に示すように、圧接型半導体装置1の第1の共通主電源板10は、平面円盤形状で構成されており、複数の半導体素子60、61のそれぞれに共通の主電源板として形成されている。さらに、第1の共通主電源板10は、複数の半導体素子60及び61の動作で発生する熱を外部に放出する放熱板としての機能も備えている。

#### 【0039】

この第1の共通主電源板10においては、周縁に沿って複数の半導体素子(IGBT)60の第1の主電極610に接触し電氣的に接続するための第1の突起電極部111が複数配設され、中央部分に複数の半導体素子(FWD)61の電極に接触し電氣的に接続するための第2の突起電極部112が配設されている。この配列数に限定されるものではないが、本発明の実施の形態に係る圧接型半導体装置1においては、合計30個の第1の突起

50

電極部 1 1 1 が配設され、合計 3 0 個の半導体素子 6 0 が実装されるとともに、合計 1 2 個の第 2 の突起電極部 1 1 2 が配設され、合計 1 2 個の半導体素子 6 1 が実装されるようになっている。

【 0 0 4 0 】

第 1 の突起電極部 1 1 1 の平面形状は、半導体素子 6 0 の平面形状（第 1 の主電極 6 1 0 の平面形状）とほぼ同様の正方形形状で、制御電極 6 1 1 の部分を切り欠いた形状で構成されている。第 2 の突起電極部 1 1 2 の平面形状は半導体素子 6 1 の平面形状とほぼ同様の正方形形状で構成されている。

【 0 0 4 1 】

第 1 の共通主電源板 1 0 は、本発明の実施の形態において、電気伝導性に優れかつ熱伝導性に優れた銅（C u）板、銅合金板等の金属材料で形成されている。第 1 の共通主電源板 1 0 の第 1 の突起電極部 1 1 1 及び第 2 の突起電極部 1 1 2 は本発明の実施の形態において一体的に形成されている。この第 1 の共通主電源板 1 0 自体は切削加工により形成することが実用的である。

【 0 0 4 2 】

[ 側囲体の構造 ]

図 1、図 2 及び図 5 に示すように、第 1 の共通主電源板 1 0 の外周縁部には、金属製のリングフレーム 1 5 R を介在させて、円筒形状の側囲体 1 5 が取り付けられている。この側囲体 1 5 には円周方向に凹凸形状を有する沿面増加部 1 5 F が配設されている。沿面増加部 1 5 F は、側囲体 1 5 の第 1 の共通主電源板 1 0 と第 2 の共通主電源板 8 0 との間の表面距離を稼ぎ（長くし）、第 1 の共通主電源板 1 0 と第 2 の共通主電源板 8 0 との間の電気の流れを遮断し、絶縁耐性を高める機能を有している。

【 0 0 4 3 】

図 1 中及び図 2 中、第 1 の共通主電源板 1 0 は側囲体 1 5 の下側端部に取り付けられている。第 2 の共通主電源板 8 0 は側囲体 1 5 の上側端部に取り付けられている。側囲体 1 5 は、機械的強度に優れ、かつ絶縁性に優れた、例えばセラミックスで形成されている。さらに、側囲体 1 5 には、複数の半導体素子 6 0 の制御電極 6 1 1 に制御信号（ゲート電圧）を供給するためのゲート端子 1 5 G が配設されるようになっている。このゲート端子 1 5 G については後述する。

【 0 0 4 4 】

必ずしもこのような寸法に限定されるものではないが、本発明の実施の形態に係る圧接型半導体装置 1 においては、側囲体 1 5 の外径寸法は 1 5 5 m m ~ 1 6 5 m m に設定され、内径寸法は 1 3 5 m m ~ 1 4 5 m m に設定され、高さ寸法は 2 3 m m ~ 2 5 m m に設定されている。

【 0 0 4 5 】

[ スペースの構造 ]

図 1 中及び図 2 中、側囲体 1 5 の内部において、第 1 の共通主電源板 1 0 には、スペース 2 0 を介在させて共通制御信号板 3 0 が組み込まれるようになっている。図 1、図 2 及び図 6 に示すように、スペース 2 0 は、下側に配設される第 1 の共通主電源板 1 0 と上側に配設される共通制御信号板 3 0 との間を電氣的に絶縁するようになっている。

【 0 0 4 6 】

スペース 2 0 の平面形状は第 1 の共通主電源板 1 0 の平面形状と同様に円盤形状で形成されている。スペース 2 0 には第 1 の突起電極部 1 1 1 及び第 2 の突起電極部 1 1 2 の領域に対応する部分に第 1 の電極開口 2 1 が配設されており、この第 1 の電極開口 2 1 を通して第 1 の突起電極部 1 1 1 及び第 2 の突起電極部 1 1 2 が突出するようになっている。本発明の実施の形態において、第 1 の電極開口 2 1 は、2 個若しくは 3 個の複数個の第 1 の突起電極部 1 1 1、又は複数個の第 2 の突起電極部 1 1 2、又は第 1 の突起電極部 1 1 1 及び第 2 の突起電極部 1 1 2 の双方を通過させることができる長方形の開口形状で形成されている。

【 0 0 4 7 】

10

20

30

40

50



スペーサ 20 は、少なくとも電氣的に絶縁性を備えた材料、例えばシリコン樹脂、ポリエーテルイミド樹脂等の樹脂材料で形成されている。

【0048】

[ 共通制御信号板の構造 ]

図 1、図 2 及び図 7 に示すように、共通制御信号板 30 は、複数の半導体素子 60 のそれぞれの制御電極 611 に制御信号（ゲート電圧）を供給する共通の制御信号板として使用されている。この共通制御信号板 30 は、複数の半導体素子（IGBT）60 のそれぞれに対応する領域に第 2 の電極開口 36A を有し、複数の半導体素子（FWD）61 のそれぞれに対応する領域に第 2 の電極開口 36B を有する平面メッシュ形状で形成された多層配線基板で構成されている。

10

【0049】

第 2 の電極開口 36A の平面形状は、第 1 の突起電極部 111 を通過させるように、この第 1 の突起電極部 111 の平面形状に相似形状で、第 1 の突起電極部 111 の平面形状よりも一回り大きい寸法の形状で構成されている。第 2 の電極開口 36A の一部には、共通制御信号板 30 と複数の半導体素子 60 の制御電極 612 との間を電氣的に接続するための突出領域 36G が配設されている。この突出領域 36G にはスルーホール 33 及びスルーホール配線 34 が配設されるようになっている（図 7 及び図 8 参照。）。

【0050】

第 2 の電極開口 36B の平面形状は、第 2 の突起電極部 112 を通過させるように、この第 2 の突起電極部 112 の平面形状に相似形状で、第 2 の突起電極部 112 の平面形状よりも一回り大きい寸法の形状で構成されている。

20

【0051】

図 8 に示すように、共通制御信号板 30 は、絶縁体 32A の表面上に導体薄膜 31B、絶縁体 32B、導体薄膜 31C、絶縁体 32C、導体薄膜 31D のそれぞれを交互に積層し、さらに絶縁体 32A の裏面上に導体薄膜 31A を備えて構成されている。絶縁体 32A、32C のそれぞれには例えばガラスエポキシ樹脂を実用的に使用することができる。絶縁体 32B には例えばガラスエポキシ樹脂、シリコン酸化膜等を実用的に使用することができる。導体薄膜 31A ~ 31D のそれぞれには銅薄膜、銅合金薄膜等の導電性及び熱伝導性に優れた薄膜を実用的に使用することができる。

【0052】

導体薄膜 31A と 31D との表面上は、酸化防止を目的として、例えばニッケル（Ni）薄膜等の薄膜で被覆されていることが好ましい。さらに、他の導電体との間の電氣的な短絡を防止するために、絶縁体 32A の裏面上の導体薄膜 31A 上にはソルダーレジスト膜 35A が、絶縁体 32A の表面側の絶縁体 32C 上の最上層の導体薄膜 31D 上にはソルダーレジスト膜 35B がそれぞれ配設されている。

30

【0053】

この層数に限定されるものではないが、本発明の実施の形態に係る共通制御信号板 30 は、導体薄膜 31A ~ 31D のそれぞれの膜厚を  $60\mu\text{m}$  ~  $80\mu\text{m}$  に設定し、合計 4 層の導体薄膜 31A ~ 31D として合計の膜厚を稼ぐ（厚くする）ようになっている。導体薄膜 31A ~ 31D のそれぞれは、共通制御信号板 30 の板厚方向に向かって配設されたスルーホール 33 と、このスルーホール 33 の内壁に配設されたスルーホール配線 34 とにより相互に電氣的に接続されている。薄膜導体はスパッタリング法による成膜で、又は薄膜のラミネートで形成する場合が一般的であり、単層の薄膜導体の膜厚を十分に厚くすることは難しい。本発明の実施の形態に係る共通制御信号板 30 は、複数の導体薄膜 31A ~ 31D を備えて多層化し、複数の導体薄膜 31A ~ 31D の相互の間をスルーホール配線 34 により電氣的に接続することにより、実効的な導体薄膜つまり制御信号経路の膜厚（断面積）を稼ぐようになっている。

40

【0054】

さらに、導体薄膜 31A ~ 31D のそれぞれは、複数の半導体素子 60 間及び複数の半導体素子 61 間において、これらの半導体素子 60 又は 61 に接触しない（電氣的に短絡を

50

生じない)程度に広範囲に配設され、制御信号経路の断面積を稼ぐようになっている。すなわち、圧接型半導体装置1においては、複数の半導体素子60を挟み込むように第1の共通主電源板10と第2の共通主電源板80とが配設され、複数の半導体素子60の表面側及び裏面側には基本的に電極板スペースを確保することができないので、本発明の実施の形態に係る共通制御信号板30は、複数の半導体素子60間及び複数の半導体素子61間の空きスペースを有効に利用して、できる限り制御信号経路の断面積を増加できるように構成されている。本発明の実施の形態に係る共通制御信号板30の実効的な厚さは約1.5mm~1.7mmに設定されている。

#### 【0055】

さらに、図示していないが、本発明の実施の形態に係る共通制御信号板30においては、  
10  
導体薄膜31A~31Dのいずれか、好ましくは最下層の導体薄膜31A又は最上層の導体薄膜31Dを利用してこの圧接型半導体装置1の回路に必要な少なくとも抵抗素子が構成されている。このような抵抗素子は導体薄膜31Aや31Dと一体的に形成できる(平面パターンの変更のみで形成できる)ので、前述の図17に示すゲートリング106と抵抗としての機能を有するゲートリードワイヤ107との間の半田108による接合は必要としない。従って、共通制御信号板30の採用により、これらのゲートリング106及びゲートリードワイヤ107自体をなくすることができる。さらに、共通制御信号板30の採用により、手作業によるゲートリング106とゲートリードワイヤ107との間の半田接合を必要としないので、組立作業効率を大幅に改善することができる。特に、組立作業の  
20  
自動化を実現することができる。

#### 【0056】

##### [制御電極プローブの構造]

図7に示す共通制御信号板30の突出領域36Gにおいては、図8に示すように、共通制御信号板30の表面上に突出する制御電極プローブ37が取り付けられている。制御電極プローブ37の下側は、突出領域36Gにおいて共通制御信号板30のスルーホール33の内部に差し込まれ、スルーホール配線34と電氣的に接続されている。この制御電極プローブ37は、高さ調節を行うプローブスペーサ38を介在させて共通制御信号板30に取り付けられている。

#### 【0057】

制御電極プローブ37の上側は、半導体素子60の制御電極611に接触し、電氣的に接続されるようになっている。制御電極プローブ37の上側は、複数の半導体素子60のそれぞれの制御電極611において均一な接触面積が得られるように半円球形状で構成されている。さらに、図示しないが、制御電極プローブ37の内部には弾性体例えばコイルスプリングが配設されており、この弾性体により制御電極プローブ37の上側は適度な押圧力で制御電極611に接触するようになっている。制御電極プローブ37には、例えば電気伝導性に優れた銅、銅合金、鉄ニッケル合金等の導電性材料を実用的に使用することができる。銅、銅合金等の導電性材料を使用する場合には、酸化防止を目的として、表面に例えばニッケルめっきを行うことが好ましい。  
30

#### 【0058】

##### [ゲート端子の構造]

図1、図2及び図7に示すように、さらに共通制御信号板30の周縁部の少なくとも1カ所には、一端側がこの共通制御信号板30の導体薄膜31A~31Dのそれぞれに電氣的に接続され、他端側が圧接型半導体装置1の外部の外部機器に接続されるゲート端子15Gが配設されている。すなわち、ゲート端子15Gは、外部機器から共通制御信号板30の導体薄膜31A~31Dのそれぞれに制御信号を供給する機能を備えている。  
40

#### 【0059】

図9、図10及び図11に示すように、ゲート端子15Gは、側囲体15に配設されたリード保持パイプ15Pと、一端390がリード保持パイプ15P中に挿入され保持されるとともに他端391及び392が共通制御信号板30の導体薄膜31A~31Dに電氣的に接続される制御信号リード39とを少なくとも備えて構成されている。  
50

## 【 0 0 6 0 】

本実施の形態において、制御信号リード 3 9 の一端 3 9 0 は 1 本のリードであり、この一端 3 9 0 は中間パイプ 3 9 7 を介在させてリード保持パイプ 1 5 P 中に挿入されるようになっている。中間パイプ 3 9 7 は、制御信号リード 3 9 の一端 3 9 0 を軸方向に沿って若干スライドすることができるので、一端 3 9 0 の実行的な長さが調節できるようになっている。これは、共通制御信号板 3 0 に予め制御信号リード 3 9 を取り付けただ後に、この制御信号リード 3 9 の一端 3 9 0 を側囲体 1 5 に固定されたリード保持パイプ 1 5 P 中に挿入する際に、この挿入作業を容易に行うことができるようにしたものである。中間パイプ 3 9 7 は、電気伝導性に優れ、かつ機械加工し易い、例えば黄銅等の金属材料により形成されている。なお、中間パイプ 3 9 7 と制御信号リード 3 9 の一端 3 9 0 との間は、組立作業前に半田等の接合用金属により電気的かつ機械的に接続されるようになっている。

10

## 【 0 0 6 1 】

制御信号リード 3 9 の他端 3 9 1 及び 3 9 2 は、この分岐数に限定されるものではないが、電気的に並列状態において 2 本に分岐されている。このように制御信号リード 3 9 を複数本に分岐することにより、分岐数に応じてインダクタンスを減少することができる。制御信号リード 3 9 には、例えば電気伝導性に優れた銅線等を実用的に使用することができる。

## 【 0 0 6 2 】

さらに、制御信号リード 3 9 の他端 3 9 1 には、図 7 に示す共通制御信号板 3 0 の接続領域 3 6 G C において、複数箇所において導体薄膜 3 1 A ~ 3 1 D のそれぞれに電気的に接続する接続ピン 3 9 5 P 1 及び 3 9 5 P 2 を有する制御信号接続部 3 9 5 が配設されている。同様に、他端 3 9 2 には、共通制御信号板 3 0 の接続領域 3 6 G C において、複数箇所において導体薄膜 3 1 A ~ 3 1 D のそれぞれに電気的に接続する接続ピン 3 9 6 P 1 及び 3 9 6 P 2 を有する制御信号接続部 3 9 6 が配設されている。

20

## 【 0 0 6 3 】

制御信号接続部 3 9 5、3 9 6 は、いずれも、例えば銅板等の電気伝導性に優れた金属板を打ち抜き加工やエッチング加工により所定の板形状にし、さらに折り曲げ加工を施したものである。制御信号リード 3 9 の他端 3 9 1 と制御信号接続部 3 9 5 との間は、制御信号接続部 3 9 5 の一部 3 9 5 C を他端 3 9 1 に巻き付けてかしめ、さらに半田等の接続金属により電気的かつ機械的に接続されている。制御信号接続部 3 9 5 の接続ピン 3 9 5 P 1、3 9 5 P 2 のそれぞれは、共通制御信号板 3 0 の接続領域 3 6 G C において、スルーホール 3 3 に差し込まれ、スルーホール配線 3 4 に電気的に接続されるようになっている。複数本の接続ピン 3 9 5 P 1 及び 3 9 5 P 2 により制御信号接続部 3 9 5 と共通制御信号板 3 0 との間が電気的に接続されているので、インダクタンスを減少することができ、さらに電流容量を充分に確保することができる。制御信号接続部 3 9 5 の接続ピン 3 9 5 P 1 及び 3 9 5 P 2 の長さは共通制御信号板 3 0 の厚さよりも長く設定されている。これは、接続ピン 3 9 5 P 1 及び 3 9 5 P 2 を共通制御信号板 3 0 のスルーホール 3 3 に裏面側から差し込み、表面側において接続ピン 3 9 5 P 1 及び 3 9 5 P 2 の先端部分を折り曲げることにより、制御信号接続部 3 9 5 を共通制御信号板 3 0 に簡易に取り付けることができるようにしたものである。

30

40

## 【 0 0 6 4 】

同様に、制御信号リード 3 9 の他端 3 9 2 と制御信号接続部 3 9 6 との間は、制御信号接続部 3 9 6 の一部 3 9 6 C を他端 3 9 2 に巻き付けてかしめ、さらに半田等の接続金属により電気的かつ機械的に接続されている。制御信号接続部 3 9 6 の接続ピン 3 9 6 P 1、3 9 6 P 2 のそれぞれは、共通制御信号板 3 0 の接続領域 3 6 G C において、スルーホール 3 3 に差し込まれ、スルーホール配線 3 4 に電気的に接続されるようになっている。複数本の接続ピン 3 9 6 P 1 及び 3 9 6 P 2 により制御信号接続部 3 9 6 と共通制御信号板 3 0 との間が電気的に接続されているので、インダクタンスを減少することができ、さらに電流容量を充分に確保することができる。制御信号接続部 3 9 6 の接続ピン 3 9 6 P 1 及び 3 9 6 P 2 の長さは共通制御信号板 3 0 の厚さよりも長く設定されている。これは、

50

接続ピン 3 9 6 P 1 及び 3 9 6 P 2 を共通制御信号板 3 0 のスルーホール 3 3 に裏面側から差し込み、表面側において接続ピン 3 9 6 P 1 及び 3 9 6 P 2 の先端を折り曲げることで、制御信号接続部 3 9 6 を共通制御信号板 3 0 に簡易に取り付けることができるようにしたものである。

#### 【 0 0 6 5 】

制御信号リード 3 9 において、中央部等の絶縁性を確保したい箇所には、テフロン等の樹脂チューブ 3 9 3 が配設されている。

#### 【 0 0 6 6 】

##### [ 導電性金属シートの構造 ]

図 1、図 2 及び図 1 2 に示すように、導電性金属シート 4 0 は、第 1 の共通主電源板 1 0 の第 1 の突起電極部 1 1 1 上及び第 2 の突起電極部 1 1 2 上を覆うような、すなわち複数の半導体素子 6 0 のすべての第 1 の主電極 6 1 0 に電氣的に接続されるように、共通制御信号板 3 0 の表面上を覆う薄板状の導電板で構成されている。この導電性金属シート 4 0 は、複数の半導体素子 6 0 間の第 1 の主電極 6 1 0 間の寄生インダクタンスを低減することができ、寄生的に形成される L C R 共振回路による発振を防止することができる。

#### 【 0 0 6 7 】

導電性金属シート 4 0 は、制御信号プローブ 3 7 との間の電氣的な短絡を防止するために、制御信号プローブ 3 7 が配設される領域に制御信号プローブ 3 7 を通過させることができるプローブ切欠き部 4 1 及びプローブ開口 4 2 を備えている。導電性金属シート 4 0 には例えば導電性に優れた硬質の銅板、銅合金板等にプレス抜き加工を施したものを実用的に使用することができ、この導電性金属シート 4 0 には例えば酸化防止を目的として表面にニッケルめっきを施すことが好ましい。

#### 【 0 0 6 8 】

なお、L C R の共振条件によって発振が生じない場合には、圧接型半導体装置 1 に導電性金属シート 4 0 を備える必要はない。

#### 【 0 0 6 9 】

##### [ 第 1 の熱緩衝板の構造 ]

図 1 及び図 2 に示すように、導電性金属シート 4 0 上には複数の第 1 の熱緩衝板 5 0 を各々介在させて複数の半導体素子 6 0 及び複数の半導体素子 6 1 が配設されている。第 1 の熱緩衝板 5 0 は、複数の半導体素子 6 0 又は複数の半導体素子 6 1 と導電性金属シート 4 0 との間の熱膨張係数差で発生する応力を減少させることを目的として、半導体素子 6 0 毎、半導体素子 6 1 毎にそれぞれ配設されている。すなわち、複数の第 1 の熱緩衝板 5 0 は、半導体素子 6 0 若しくは半導体素子 6 1、又は第 1 の突起電極部 1 1 1 若しくは第 2 の突起電極部 1 1 2 の平面形状と類似する平面形状を有するチップ状で構成されている。

#### 【 0 0 7 0 】

第 1 の熱緩衝板 5 0 には、例えばシリコン単結晶の熱膨張係数と銅の熱膨張係数との間の熱膨張係数を有し、導電性に優れた 1 mm ~ 2 mm の板厚を有するモリブデン ( M o ) 板を実用的に使用することができる。また、第 1 の熱緩衝板 5 0 には、タングステン ( W ) 板等の高融点金属板を実用的に使用することができる。

#### 【 0 0 7 1 】

なお、半導体素子 6 0、半導体素子 6 1 のそれぞれの厚さが異なる場合には、第 1 の熱緩衝板 5 0 を高さ調節用のスペーサとして兼用させることができる。例えば、半導体素子 6 0 の厚さが薄く、半導体素子 6 1 の厚さが厚い場合には、板厚の厚い第 1 の熱緩衝板 5 0 上に半導体素子 6 0 を搭載し、板厚の薄い第 1 の熱緩衝板 5 0 上に半導体素子 6 1 を搭載し、全体として高さを均一に調節することができる。

#### 【 0 0 7 2 】

##### [ 第 2 の熱緩衝板の構造 ]

さらに、図 1 及び図 2 に示すように、複数の半導体素子 6 0 上及び複数の半導体素子 6 1 上には第 2 の熱緩衝板 7 0 を介在させて第 2 の共通主電源板 8 0 が配設されている。図 1 3 に示すように、第 2 の熱緩衝板 7 0 は、第 1 の熱緩衝板 5 0 とは異なり、複数の半導体

10

20

30

40

50

素子 6 0 及び複数の半導体素子 6 1 に共通の熱緩衝板として構成されている。すなわち、第 2 の熱緩衝板 7 0 は、第 1 の共通主電源板 1 0 の平面形状又は第 2 の共通主電源板 8 0 の平面形状とほぼ同様な円盤状で構成されている。第 2 の熱緩衝板 7 0 は、基本的には第 1 の熱緩衝板 5 0 と同様な機能を有し、複数の半導体素子 6 0 及び複数の半導体素子 6 1 と第 2 の共通主電源板 8 0 との間の熱膨張係数差で発生する応力を減少させることができるようになっている。従って、第 2 の熱緩衝板 7 0 は、適度な熱膨張係数を有し、導電性に優れた 1 mm ~ 2 mm の板厚を有するモリブデン板を実用的に使用することができる。

#### 【 0 0 7 3 】

本発明の実施の形態に係る第 2 の熱緩衝板 7 0 は、平面形状を円盤状としているが、必ずしもこのような形状に限定されるものではなく、第 1 の熱緩衝板 5 0 と同様に半導体素子 6 0 若しくは半導体素子 6 1、又は第 1 の突起電極部 1 1 1 若しくは第 2 の突起電極部 1 1 2 の平面形状と類似する平面形状を有するチップ状で構成してもよい。

#### 【 0 0 7 4 】

##### [ 第 2 の共通主電源板の構造 ]

図 1、図 2 及び図 1 4 に示すように、圧接型半導体装置 1 の第 2 の共通主電源板 8 0 は、第 1 の共通主電源板 1 0 の平面形状と同様な平面円盤形状で構成されており、複数の半導体素子 6 0、6 1 のそれぞれに共通の主電源板として構成されている。さらに、第 2 の共通主電源板 8 0 は、複数の半導体素子 6 0 及び 6 1 の動作で発生する熱を外部に放出する放熱板としての機能も備えている。この第 2 の共通主電源板 8 0 は、周縁において第 2 の熱緩衝板 7 0 を介在させて複数の半導体素子 6 0 の第 2 の主電極 6 1 2 に電氣的に接続され、中央部分において複数の半導体素子 6 1 の電極に電氣的に接続されている。

#### 【 0 0 7 5 】

第 2 の共通主電源板 8 0 は、本発明の実施の形態において、第 1 の共通主電源板 1 0 と同様な金属材料で形成されており、例えば切削加工により形成することが実用的である。

#### 【 0 0 7 6 】

第 2 の共通主電源板 8 0 の外周縁部には金属製のリングフレーム 8 0 R が取り付けられている。第 2 の共通主電源板 8 0 はリングフレーム 8 0 R を介在させて第 1 の共通主電源板 1 0 の側囲体 1 5 に取り付けられるようになっている。符号は付けないが、本発明の実施の形態においては、図 1 及び図 2 に示すように、側囲体 1 5 の上部に配設された金属製のリングフレームに第 2 の共通主電源板 8 0 のリングフレーム 8 0 R が溶接により接合されるようになっている。

#### 【 0 0 7 7 】

##### [ 圧接型半導体装置の特徴 ]

このような各構成部品を有する圧接型半導体装置 1 においては、第 1 の共通主電源板 1 0 の第 1 の突起電極部 1 1 1 上に導電性金属シート 4 0 及び第 1 の熱緩衝板 5 0 を介在させて複数の半導体素子 6 0 が搭載され、これらの複数の半導体素子 6 0 の第 1 の主電極 6 1 0 が第 1 の共通主電源板 1 0 に電氣的に接続されるようになっている。一方、第 1 の共通主電源板 1 0 の第 2 の突起電極部 1 1 2 上に導電性金属シート 4 0 及び第 1 の熱緩衝板 5 0 を介在させて複数の半導体素子 6 1 が搭載され、これらの複数の半導体素子 6 1 の電極が第 1 の共通主電源板 1 0 に電氣的に接続されるようになっている。さらに、複数の半導体素子 6 0 上及び複数の半導体素子 6 1 上には第 2 の熱緩衝板 7 0 を介在させて第 2 の共通主電源板 8 0 が配設され、複数の半導体素子 6 0 の第 2 の主電極 6 1 1 及び複数の半導体素子 6 1 の電極が第 2 の共通主電源板 8 0 に電氣的に接続されるようになっている。つまり、圧接型半導体装置 1 は、複数の半導体素子 6 0 及び 6 1 を第 1 の共通主電源板 1 0 と第 2 の共通主電源板 8 0 との間に挟み込み、複数の半導体素子 6 0 及び 6 1 を第 1 の共通主電源板 1 0 と第 2 の共通主電源板 8 0 とで圧接した状態で電氣的な導通がとられるようになっている。そして、圧接型半導体装置 1 においては、複数の半導体素子 6 0 の制御電極 6 1 1 に、ゲート端子 1 5 R の制御信号リード 3 9、共通制御信号板 3 0、制御信号プローブ 3 7 のそれぞれを通して制御信号が供給されるようになっている。

#### 【 0 0 7 8 】

10

20

30

40

50

このように、本発明の実施の形態に係る圧接型半導体装置 1 においては、複数の半導体素子 ( I G B T ) 6 0 の配列間のほぼ全域の広範囲に渡って共通制御信号 3 0 を構成したので、制御信号の伝達経路の配線抵抗及びインダクタンスを減少することができ、かつ均一化することができる。従って、複数の半導体素子 6 0 のそれぞれの動作のばらつきを減少することができ、動作不良を防止することができるので、誤動作を防止することができ、電氣的信頼性に優れた圧接型半導体装置 1 を実現することができる。

【 0 0 7 9 】

さらに、本発明の実施の形態に係る圧接型半導体装置 1 においては、複数の半導体素子 6 0 の配列間に共通制御信号板 3 0 を配設したので、複数の半導体素子 6 0 の配列間の空きスペースを有効に利用することができ、装置小型化を実現することができる。

10

【 0 0 8 0 】

さらに、本発明の実施の形態に係る圧接型半導体装置 1 においては、共通制御信号板 3 0 を多層配線基板とし、1つの組立部品として装置内部に組み込むようにしたので、組立性を向上することができ、組立上の信頼性を向上することができる。従って、製作コストを減少することができ、又は製品コストを減少することができる圧接型半導体装置 1 を実現することができる。さらに、本発明の実施の形態に係る圧接型半導体装置 1 においては、絶縁体 3 2 A と導体薄膜 3 1 A ~ 3 1 D ( 及び絶縁体 3 2 B ~ 3 2 C ) とにより共通制御信号板 3 0 を構成し、制御信号プローブ 3 7 を共通制御信号板 3 0 自体で保持可能なので、特に新たに絶縁体を備える必要がなく、部品点数を削減することができる。さらに、本発明の実施の形態に係る圧接型半導体装置 1 においては、絶縁体 3 2 A ~ 3 2 C と導体薄膜 3 1 A ~ 3 1 D とが一体的に構成されているので、装置内部の構造を簡易にすることができる。

20

【 0 0 8 1 】

さらに、本発明の実施の形態に係る圧接型半導体装置 1 においては、共通制御信号板 3 0 及び制御信号プローブ 3 7 を備えたことで、共通制御信号板 3 0 と半導体素子 6 0 の制御電極 6 1 1 との間を接触させるだけで電氣的に接続することができる。従って、組立性を向上することができ、組立上の信頼性を向上することができる。

【 0 0 8 2 】

さらに、本発明の実施の形態に係る圧接型半導体装置 1 においては、ゲート端子 1 5 G の制御信号リード 3 9 を複数の分岐された他端 3 9 1 及び 3 9 2 としたので、インダクタンスを減少することができる。

30

【 0 0 8 3 】

さらに、本発明の実施の形態に係る圧接型半導体装置 1 においては、ゲート端子 1 5 G の制御信号リード 3 9 に、共通制御信号板 3 0 の複数箇所において電氣的に接続する制御信号接続部 3 9 5 及び 3 9 6 を備えたので、インダクタンスを減少することができるとともに、電流容量を増加することができる。

【 0 0 8 4 】

そして、本発明の実施の形態に係る圧接型半導体装置 1 においては、特に、半田接合作業を根本的になくすことができるので、大幅な組立性の向上を図ることができる。

【 0 0 8 5 】

40

( その他の実施の形態 )

本発明は上記実施の形態によって記載したが、この開示の一部をなす論述及び図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなろう。

【 0 0 8 6 】

例えば、上記実施の形態は、圧接型半導体装置 1 の共通制御信号板 3 0 を多層配線基板で構成した場合を説明したが、本発明は、絶縁体上に単層の導体薄膜を形成した配線基板で共通制御信号板 3 0 を構成してもよい。さらに、本発明は、2層の導体薄膜、3層の導体薄膜、5層以上の導体薄膜を有する多層配線基板で共通制御信号板 3 0 を構成してもよい。さらに、本発明は、このような導体薄膜を絶縁体上のほぼ全域に形成しても良いし、一

50

定の配線幅を有する導体薄膜として同一層内に複数本配設することができる。

【0087】

さらに、上記実施の形態は、絶縁体32Aをガラスエポキシ樹脂とし、板状で適度な剛性を有する共通制御信号板30として構成したが、本発明は、絶縁体32Aを耐熱性に優れたポリイミド樹脂等、変形可能な柔軟性を有する板状又は薄膜状の共通制御信号板30として構成してもよい。さらに、本発明は、他の周囲の部品と電気的な短絡が問題ない範囲で、導電性板材そのもので共通制御信号板30を構成してもよい。

【0088】

また、本発明は、半導体素子60が必ずしもIGBTである必要はなく、MOSFET、SIT、BJT、Siサイリスタ、GTOサイリスタ、IEGT等の半導体素子を使用することができる。また、本発明は、すべて同一の半導体素子60例えばすべて同一のIGBTを備えた圧接型半導体装置1としてもよい。

10

【0089】

さらに、本発明は、圧接型半導体装置1の平面形状、特に第1の共通主電源板10の平面形状及び第2の共通主電源板80の平面形状が必ずしも円盤形状である必要はなく、例えば正方形形状、長方形形状、五角形以上の多角形状等で構成することができる。

【0090】

さらに、本発明は、上記図17に示すゲートリング106を併用することもできる。

【0091】

このように、本発明はここでは記載していない様々な実施の形態等を含むことは勿論である。従って、本発明の技術的範囲は上記の妥当な特許請求の範囲に係る発明特定事項によってのみ定められるものである。

20

【0092】

【発明の効果】

以上説明したように、本発明は、複数の半導体素子の動作ばらつきを減少することができ、動作不良を防止して電気的信頼性を向上することができる圧接型半導体装置を提供することができる。

【0093】

さらに、本発明は、複数の半導体素子の配列間の空きスペースを有効に利用し、装置の小型化を実現することができる圧接型半導体装置を提供することができる。

30

【0094】

さらに、本発明は、組立性を向上することができ、かつ組立上の信頼性を向上することができる圧接型半導体装置を提供することができる。さらに、本発明は、組立性並びに組立上の信頼性を向上することにより、製作コスト並びに製品コストを減少することができる圧接型半導体装置を提供することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態に係る圧接型半導体装置の断面構造図である。

【図2】本発明の実施の形態に係る各部品毎に分解した圧接型半導体装置の分解断面構造図である。

【図3】本発明の実施の形態に係る圧接型半導体装置の内部に配列される半導体素子の斜視図である。

40

【図4】本発明の実施の形態に係る半導体素子の要部の断面構造図である。

【図5】本発明の実施の形態に係る圧接型半導体装置の第1の共通主電源板の平面図である。

【図6】本発明の実施の形態に係る圧接型半導体装置のスペーサの平面図である。

【図7】本発明の実施の形態に係る圧接型半導体装置の共通制御信号板の平面図である。

【図8】本発明の実施の形態に係る圧接型半導体装置の共通制御信号板の要部の拡大断面構造図である。

【図9】本発明の実施の形態に係る圧接型半導体装置の制御端子（ゲート端子）の平面図である。

50

【図 10】図 9 の矢印 F 10 方向から見た制御端子の側面図である。

【図 11】図 9 の矢印 F 11 方向から見た制御端子の側面図である。

【図 12】本発明の実施の形態に係る圧接型半導体装置の導電性金属シートの平面図である。

【図 13】本発明の実施の形態に係る圧接型半導体装置の第 2 の熱緩衝板の平面図である。

【図 14】本発明の実施の形態に係る圧接型半導体装置の第 2 の共通主電源板の平面図である。

【図 15】本発明の先行技術に係る圧接型半導体装置の概略平面図である。

【図 16】本発明の先行技術に係る圧接型半導体装置の半導体素子の斜視図である。

10

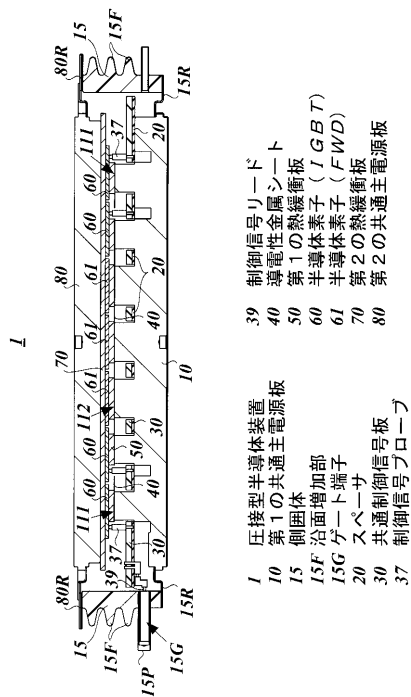
【図 17】本発明の先行技術に係る圧接型半導体装置の概略平面図である。

#### 【符号の説明】

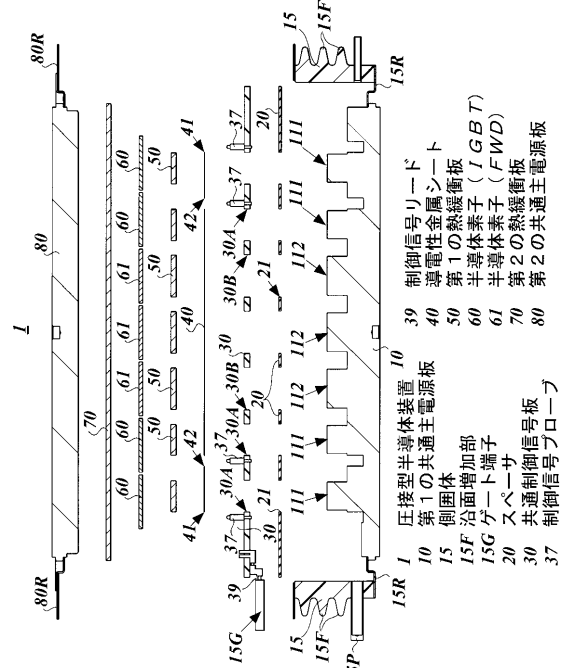
1	圧接型半導体装置	
10	第 1 の共通主電源板	
111	第 1 の突起電極部	
112	第 2 の突起電極部	
15	側囲体	
15F	沿面増加部	
15G	ゲート端子	
15P	リード保持パイプ	20
20	スペーサ	
30	共通制御信号板	
31A ~ 31D	導体薄膜	
32A ~ 32C	絶縁体	
33	スルーホール	
34	スルーホール配線	
36A, 36B	第 2 の電極開口	
36G	突出領域	
37	制御信号プローブ	
39	制御信号リード	30
390	制御信号リードの一端	
391, 392	制御信号リードの他端	
393	樹脂チューブ	
395, 396	制御信号接続部	
395P1, 395P2, 396P1, 396P2	接続ピン	
397	中間パイプ	
40	導電性金属シート	
50	第 1 の熱緩衝板	
60	半導体素子 ( I G B T )	
600	シリコン単結晶基板	40
610	第 1 の主電極	
611	制御電極	
612	第 2 の主電極	
61	半導体素子 ( F W D )	
70	第 2 の熱緩衝板	
80	第 2 の共通主電源板	



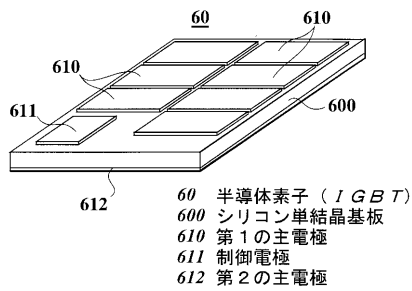
【図 1】



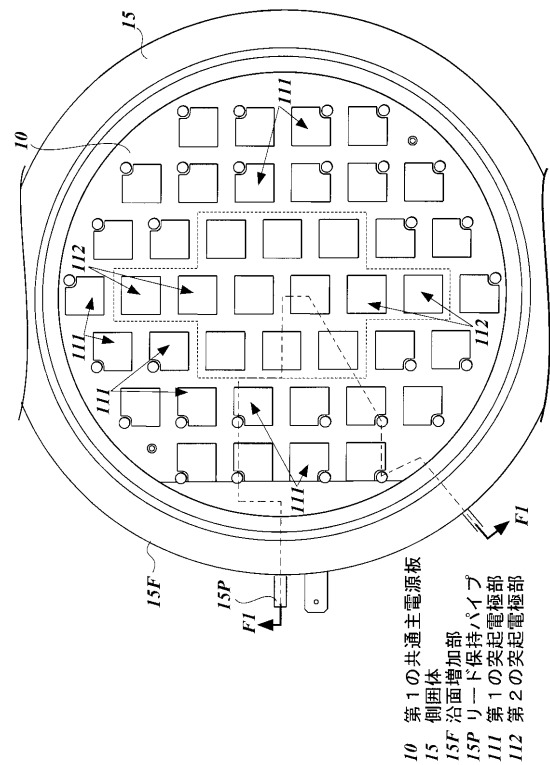
【図 2】



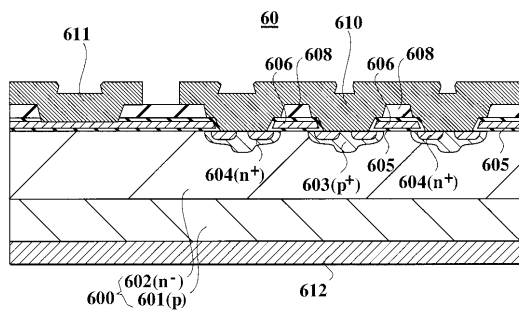
【図 3】



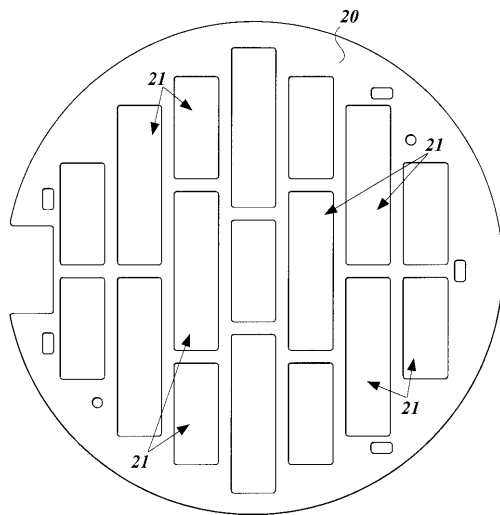
【図 5】



【図 4】

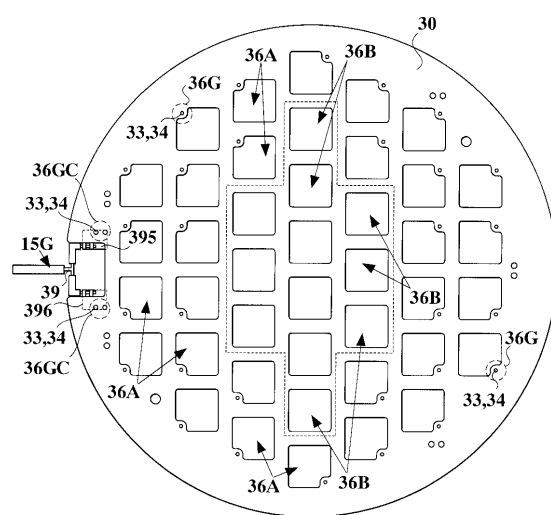


【図 6】



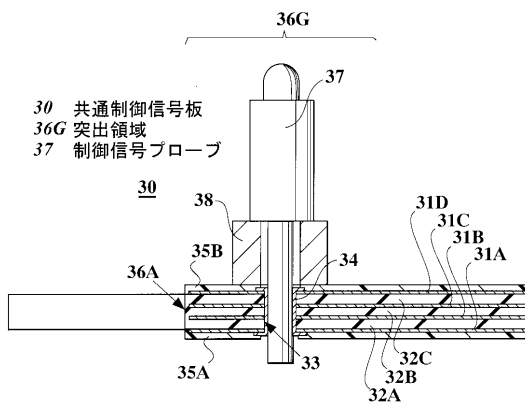
20 スペーサ  
21 第1の電極開口

【図 7】



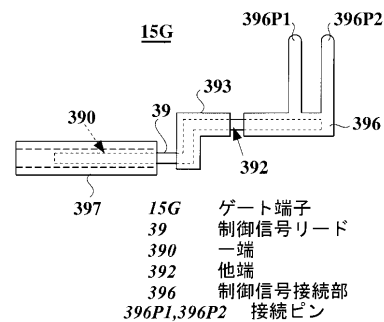
30 共通制御信号板  
33 スルーホール  
34 スルーホール配線  
36A 第2の電極開口  
36B 第2の電極開口  
36G 突出領域  
36GC 接続領域  
15G ゲート端子  
395 制御信号接続部  
396 制御信号接続部

【図 8】



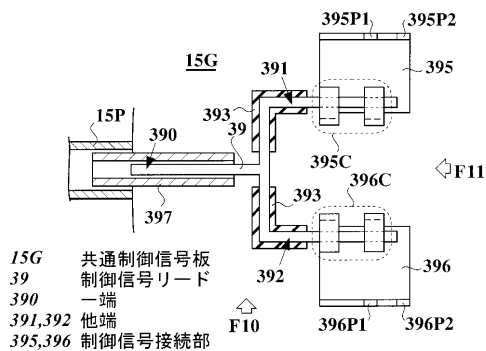
30 共通制御信号板  
36G 突出領域  
37 制御信号プローブ

【図 10】



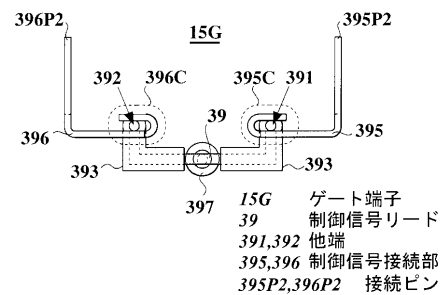
15G ゲート端子  
39 制御信号リード  
390 一端  
392 他端  
396 制御信号接続部  
396P1, 396P2 接続ピン

【図 9】



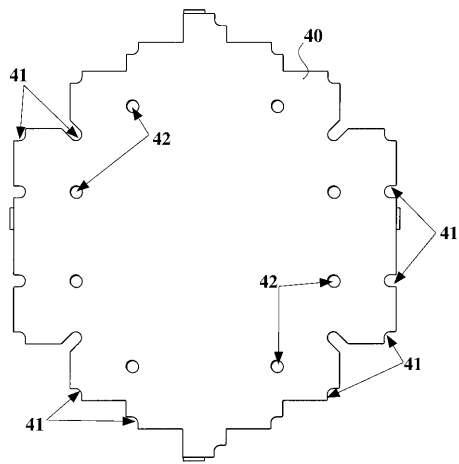
15G 共通制御信号板  
39 制御信号リード  
390 一端  
391, 392 他端  
395, 396 制御信号接続部

【図 11】



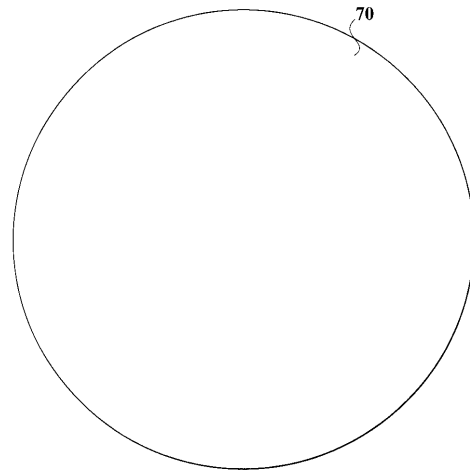
15G ゲート端子  
39 制御信号リード  
391, 392 他端  
395, 396 制御信号接続部  
395P2, 396P2 接続ピン

【図 1 2】



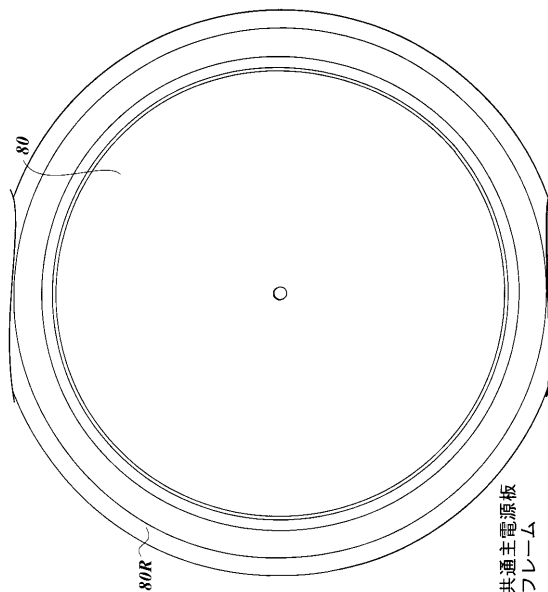
40 導電性金属シート  
41 ブローブ切欠き部  
42 ブローブ開口

【図 1 3】



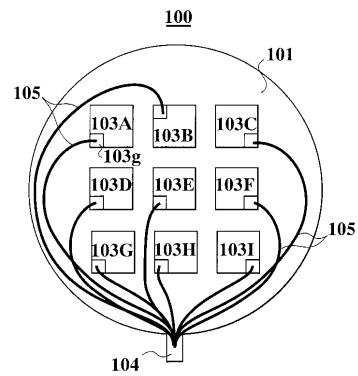
70 第2の熱緩衝板

【図 1 4】

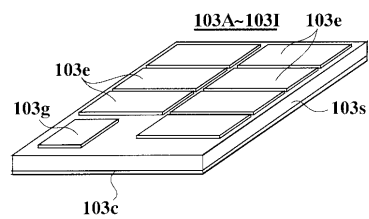


80 第2の共通主電源板  
80R リングフレーム

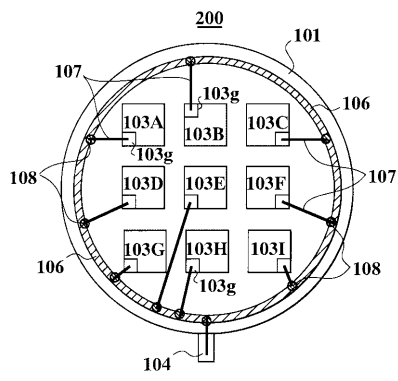
【図 1 5】



【図 1 6】



【 図 17 】



---

フロントページの続き

(74)代理人 100098327

弁理士 高松 俊雄

(72)発明者 三宅 英太郎

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 マイクロエレクトロニクスセンター内

(72)発明者 柳澤 暁

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 マイクロエレクトロニクスセンター内

審査官 今井 拓也

(56)参考文献 特開平08-330338(JP,A)

特開平09-321293(JP,A)

(58)調査した分野(Int.Cl.<sup>7</sup>, DB名)

H01L 25/07

H01L 25/18

H01L 21/52