

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7632409号  
(P7632409)

(45)発行日 令和7年2月19日(2025.2.19)

(24)登録日 令和7年2月10日(2025.2.10)

(51)国際特許分類 F I  
H 0 3 H 11/32 (2006.01) H 0 3 H 11/32  
H 0 3 H 7/42 (2006.01) H 0 3 H 7/42

請求項の数 5 (全15頁)

|          |                             |          |  |
|----------|-----------------------------|----------|--|
| (21)出願番号 | 特願2022-110438(P2022-110438) | (73)特許権者 | 000006231<br>株式会社村田製作所<br>京都府長岡京市東神足1丁目10番1号 |
| (22)出願日  | 令和4年7月8日(2022.7.8)          | (74)代理人  | 110002147<br>弁理士法人酒井国際特許事務所                  |
| (65)公開番号 | 特開2024-8506(P2024-8506A)    | (72)発明者  | 田中 聡<br>京都府長岡京市東神足1丁目10番1号<br>株式会社村田製作所内     |
| (43)公開日  | 令和6年1月19日(2024.1.19)        | (72)発明者  | 本多 悠里<br>京都府長岡京市東神足1丁目10番1号<br>株式会社村田製作所内    |
| 審査請求日    | 令和6年2月7日(2024.2.7)          | 審査官      | 石田 昌敏  |

最終頁に続く

(54)【発明の名称】 信号変換回路

(57)【特許請求の範囲】

【請求項1】

差動信号を構成する第1信号及び第2信号をシングルエンドの第3信号に変換する信号変換回路であって、

1次巻線の一端に前記第1信号が入力され、前記1次巻線の他端に前記第2信号が入力され、2次巻線の一端から前記第1信号と同じ極性の前記第3信号が出力され、前記2次巻線の他端が基準電位に電氣的に接続されたトランスと、

前記1次巻線の一端と基準電位との間に電氣的に接続された第1コンデンサと、

前記1次巻線の他端と前記2次巻線の一端との間に電氣的に接続された負性容量と、を含む、

信号変換回路。

【請求項2】

請求項1に記載の信号変換回路であって、

前記負性容量は、インダクタである、

信号変換回路。

【請求項3】

請求項1に記載の信号変換回路であって、

前記負性容量は、

能動素子を含むアクティブ負性容量回路である、

信号変換回路。

## 【請求項 4】

請求項 3 に記載の信号変換回路であって、  
 前記アクティブ負性容量回路は、  
 コレクタ又はドレインが、第 1 端子に電氣的に接続され、ベース又はゲートが第 2 端子に電氣的に接続された第 1 トランジスタと、  
 コレクタ又はドレインが、前記第 2 端子に電氣的に接続され、ベース又はゲートが前記第 1 端子に電氣的に接続された第 2 トランジスタと、  
 前記第 1 トランジスタのエミッタ又はソースに電氣的に接続された第 1 定電流源と、  
 前記第 2 トランジスタのエミッタ又はソースに電氣的に接続された第 2 定電流源と、  
 前記第 1 トランジスタのエミッタ又はソースと、前記第 2 トランジスタのエミッタ又はソースと、の間に電氣的に接続された第 2 コンデンサと、  
 を含む、  
 信号変換回路。

10

## 【請求項 5】

請求項 3 に記載の信号変換回路であって、  
 前記アクティブ負性容量回路は、  
コレクタ又はドレインが、第 1 端子に電氣的に接続された第 1 トランジスタと、  
コレクタ又はドレインが、第 2 端子に電氣的に接続された第 2 トランジスタと、  
 エミッタ又はソースが前記第 1 トランジスタのベース又はゲートに電氣的に接続され、  
 ベース又はゲートが前記第 2 端子に電氣的に接続され、コレクタ又はドレインが電源電位に電氣的に接続された第 3 トランジスタと、  
 エミッタ又はソースが前記第 2 トランジスタのベース又はゲートに電氣的に接続され、  
 ベース又はゲートが前記第 1 端子に電氣的に接続され、コレクタ又はドレインが電源電位に電氣的に接続された第 4 トランジスタと、  
前記第 1 トランジスタのエミッタ又はソースに電氣的に接続された第 1 定電流源と、  
前記第 2 トランジスタのエミッタ又はソースに電氣的に接続された第 2 定電流源と、  
前記第 1 トランジスタのエミッタ又はソースと、前記第 2 トランジスタのエミッタ又はソースと、の間に電氣的に接続された第 2 コンデンサと、  
 を含む、  
 信号変換回路。

20

30

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、差動信号をシングルエンド信号に変換する信号変換回路に関する。

## 【背景技術】

## 【0002】

トランスを用いて、電力増幅器などが出力する差動信号をシングルエンド信号に変換する場合、1 次巻線と 2 次巻線との間に存在する寄生容量の影響により、差動信号が入力される 1 次巻線の両端の入力インピーダンスに非対称性が生じる。

## 【0003】

関連する技術として、下記の特許文献 1 の第 6 図及びその説明には、シングルエンド信号を差動信号に変換する場合に、1 次巻線と 2 次巻線との間の寄生容量により、1 次巻線に非対称性が生じることが示されている。

40

## 【0004】

特許文献 1 の第 7 図及びその説明には、上記の非対称性を解決するために、1 次巻線のセンタータップを接地し、1 次巻線の一端に信号を入力し、1 次巻線の他端をフローティングにすることが、記載されている。

## 【先行技術文献】

## 【特許文献】

## 【0005】

50

【文献】特許第 2 9 3 8 0 8 2 号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

上記した通り、特許文献 1 には、寄生容量の影響を低減するトランスの構成技術が記載されている。しかしながら、特許文献 1 記載の技術では、寄生容量を含めてトランスを設計する必要がある。従って、特許文献 1 記載の技術では、インピーダンスの十分大きな変換比が得られないなど、設計の自由度が低下する問題があった。

【0007】

本発明は、上記に鑑みてなされたものであって、設計の自由度の低下を抑制することを目的とする。

10

【課題を解決するための手段】

【0008】

本発明の一側面の信号変換回路は、差動信号を構成する第 1 信号及び第 2 信号をシングルエンドの第 3 信号に変換する信号変換回路であって、1 次巻線の一端に第 1 信号が入力され、1 次巻線の他端に第 2 信号が入力され、2 次巻線の一端から第 1 信号と同じ極性の第 3 信号が出力され、2 次巻線の他端が基準電位に電氣的に接続されたトランスと、1 次巻線の一端と基準電位との間に電氣的に接続された第 1 コンデンサと、1 次巻線の他端と 2 次巻線の一端との間に電氣的に接続された負性容量と、を含む。

【発明の効果】

20

【0009】

本発明によれば、設計の自由度の低下を抑制することが可能となる。

【図面の簡単な説明】

【0010】

【図 1】図 1 は、比較例の信号変換回路の構成を示す図である。

【図 2】図 2 は、本開示の信号変換回路の原理を示す図である。

【図 3】図 3 は、第 1 の実施の形態の信号変換回路の構成を示す図である。

【図 4】図 4 は、第 2 の実施の形態の信号変換回路の概略平面図である。

【図 5】図 5 は、第 3 の実施の形態の信号変換回路の構成を示す図である。

【図 6】図 6 は、第 3 の実施の形態の信号変換回路の負性容量回路の構成を示す図である。

30

【図 7】図 7 は、第 4 の実施の形態の負性容量回路の構成を示す図である。

【図 8】図 8 は、第 5 の実施の形態の負性容量回路の構成を示す図である。

【発明を実施するための形態】

【0011】

以下に、本発明の信号変換回路の実施の形態を図面に基づいて詳細に説明する。なお、この実施の形態により本発明が限定されるものではない。各実施の形態は例示であり、異なる実施の形態で示した構成の部分的な置換又は組み合わせが可能であることは言うまでもない。

【0012】

< 本開示の原理及び比較例 >

40

以下、本開示の原理について説明するが、本開示の原理の理解を容易にするために、比較例について先に説明する。

【0013】

( 比較例 )

図 1 は、比較例の信号変換回路の構成を示す図である。

【0014】

信号変換回路 2 0 1 は、差動信号を構成する第 1 入力信号 2 1 及び第 2 入力信号 2 2 を、シングルエンドの出力信号 2 3 に変換する。

【0015】

増幅器 3 1 は、トランジスタ 4 1 を含む。トランジスタ 4 1 は、第 1 極性の第 1 入力信

50

号 2 1 を、コレクタ又はドレインから信号変換回路 2 0 1 の第 1 入力端子  $I N +$  に出力する。第 1 極性は、正極性が例示されるが、本開示はこれに限定されない。

【 0 0 1 6 】

増幅器 3 2 は、トランジスタ 4 2 を含む。トランジスタ 4 2 は、第 2 極性の第 2 入力信号 2 2 を、コレクタ又はドレインから信号変換回路 2 0 1 の第 2 入力端子  $I N -$  に出力する。第 2 極性は、負極性が例示されるが、本開示はこれに限定されない。

【 0 0 1 7 】

第 1 入力信号 2 1 と第 2 入力信号 2 2 とは、振幅の大きさが同じ、且つ、位相が逆である（位相が 1 8 0 度異なる）ものとする。

【 0 0 1 8 】

信号変換回路 2 0 1 は、トランス 1 0 を含む。トランス 1 0 は、第 1 巻線 1 1 と、第 2 巻線 1 2 と、を含む。第 1 巻線 1 1 と第 2 巻線 1 2 とは、電磁界的に結合されている。

【 0 0 1 9 】

第 1 巻線 1 1 の一端 1 1 a は、第 1 入力端子  $I N +$  に電氣的に接続されている。第 1 巻線 1 1 の他端 1 1 b は、第 2 入力端子  $I N -$  に電氣的に接続されている。

【 0 0 2 0 】

第 1 巻線 1 1 のセンタータップ 1 1 c は、直流電源 5 1 の高電位側端に電氣的に接続されている。直流電源 5 1 の低電位側端は、基準電位に電氣的に接続されている。基準電位は、接地電位が例示されるが、本開示はこれに限定されない。

【 0 0 2 1 】

直流電源 5 1 は、第 1 巻線 1 1 を介して、トランジスタ 4 1 及び 4 2 のコレクタ又はドレインにバイアス電圧を与えるが、本開示はこれに限定されない。トランジスタ 4 1 及び 4 2 のコレクタ又はドレインへは、第 1 巻線 1 1 を介するのではなく、チョークコイル（図示せず）を介してバイアス電圧が夫々与えられても良い。

【 0 0 2 2 】

第 2 巻線 1 2 の一端 1 2 a は、信号変換回路 2 0 1 の出力端子  $O U T$  に電氣的に接続されている。第 2 巻線 1 2 の他端 1 2 b は、基準電位に電氣的に接続されている。

【 0 0 2 3 】

出力端子  $O U T$  からは、シングルエンドの出力信号 2 3 が出力される。出力信号の極性は、第 1 極性である。出力信号 2 3 の振幅は、第 1 入力信号 2 1 及び第 2 入力信号 2 2 と比較して、相対的に大きい。

【 0 0 2 4 】

トランス 1 0 は、第 1 巻線 1 1 と第 2 巻線 1 2 とを巻き合わせて構成されている。そのため、第 1 巻線 1 1 の一端 1 1 a と第 2 巻線 1 2 の一端 1 2 a との間には、寄生容量  $C_{P1}$  が生ずる。第 1 巻線 1 1 の他端 1 1 b と第 2 巻線 1 2 の他端 1 2 b との間には、寄生容量  $C_{P2}$  が生ずる。

【 0 0 2 5 】

第 2 巻線 1 2 の一端 1 2 a と、他端 1 2 b とでは、電圧波形が異なる。そのため、第 1 入力端子  $I N +$  の側と、第 2 入力端子  $I N -$  の側とでは、動作の非対称性が現れる。

【 0 0 2 6 】

即ち、第 1 入力端子  $I N +$  の側は、寄生容量  $C_{P1}$  を介して、出力信号 2 3 の影響を受ける。一方、第 2 入力端子  $I N -$  の側は、寄生容量  $C_{P2}$  が負荷として追加されるが、寄生容量  $C_{P2}$  の接続先は基準電位であり、出力信号 2 3 の影響を受けない。

【 0 0 2 7 】

これにより、第 1 入力端子  $I N +$  の入力インピーダンスと、第 2 入力端子  $I N -$  の入力インピーダンスと、が異なることになる。つまり、トランジスタ 4 1 の負荷インピーダンスと、トランジスタ 4 2 の負荷インピーダンスと、が異なることになる。

【 0 0 2 8 】

従って、第 1 入力信号 2 1 と第 2 入力信号 2 2 とは、振幅が異なったり、位相差が 1 8 0 ° からずれたりしてしまう。或いは、第 1 入力信号 2 1 又は第 2 入力信号 2 2 の信号波

10

20

30

40

50

形が乱れたりしてしまう。

【 0 0 2 9 】

( 本開示の原理 )

図 2 は、本開示の信号変換回路の原理を示す図である。

【 0 0 3 0 】

信号変換回路 1 は、信号変換回路 2 0 1 ( 図 1 参照 ) と比較して、容量  $C_a$  と、負性容量  $-C_b$  と、を含む。ここで、 $C_a > 0$  であり、 $-C_b < 0$  である。なお、負性容量は、図 1 では容量の記号を用いて記載されているものの、便宜上容量として示しているだけであり、実際は容量素子から構成されるわけではない。例えば、後述のとおり、トランジスタを合成した回路や、二酸化ハフニウムといった材料を用いて構成される回路である。

10

【 0 0 3 1 】

容量  $C_a$  の一端は、増幅器 3 1 及び第 1 入力端子  $I_{N+}$  に電氣的に接続されている。容量  $C_a$  の他端は、基準電位に電氣的に接続されている。

【 0 0 3 2 】

負性容量  $-C_b$  の一端は、第 2 入力端子  $I_{N-}$  及び第 1 巻線 1 1 の他端 1 1 b に電氣的に接続されている。負性容量  $-C_b$  の他端は、第 2 巻線 1 2 の一端 1 2 a 及び出力端子  $O_{UT}$  に電氣的に接続されている。

【 0 0 3 3 】

ここで、第 1 入力信号 2 1、第 2 入力信号 2 2 及び出力信号 2 3 の角周波数を  $\omega$  とし、第 1 入力信号 2 1 の電圧を  $V_1$  とし、第 2 入力信号 2 2 の電圧を  $-V_1$  とし、出力信号 2 3 の電圧を  $aV_1$  とする。  $a$  は、正の数である。

20

【 0 0 3 4 】

寄生容量  $C_{P1}$  の両端間の電圧は、 $V_1(1-a)$  である。従って、寄生容量  $C_{P1}$  に流れる電流  $I_{11}$  は、次の式 ( 1 ) で表される。

$$I_{11} = V_1(1-a) \cdot C_{P1} \cdot \omega \cdot \sin(\omega t) \quad \dots (1)$$

【 0 0 3 5 】

寄生容量  $C_{P2}$  の両端間の電圧は、 $-V_1$  である。従って、寄生容量  $C_{P2}$  に流れる電流  $I_{22}$  は、次の式 ( 2 ) で表される。

$$I_{22} = -V_1 \cdot C_{P2} \cdot \omega \cdot \sin(\omega t) \quad \dots (2)$$

【 0 0 3 6 】

本開示は、非対称性を解消するために、次の 2 つの対策を行う。

30

【 0 0 3 7 】

第 1 の対策として、容量  $C_a$  の一端が、第 1 入力端子  $I_{N+}$  に電氣的に接続されている。容量  $C_a$  の他端は、基準電位に電氣的に接続されている。

【 0 0 3 8 】

容量  $C_a$  の値は、寄生容量  $C_{P2}$  の値とほぼ同じに設定 ( 例えば、容量  $C_a$  の値が、容量  $C_{P2}$  の値に比べて  $\pm 30\%$  以内の差分を有する場合も含む ) する。

【 0 0 3 9 】

容量  $C_a$  の両端間の電圧は、 $V_1$  である。従って、容量  $C_a$  に流れる電流  $I_{12}$  は、次の式 ( 3 ) で表される。

40

$$\begin{aligned} I_{12} &= V_1 \cdot C_a \cdot \omega \cdot \sin(\omega t) \\ &= V_1 \cdot C_{P2} \cdot \omega \cdot \sin(\omega t) \quad \dots (3) \end{aligned}$$

【 0 0 4 0 】

式 ( 2 ) 及び式 ( 3 ) を参照すると、電流  $I_{12}$  は、電流  $I_{22}$  と比べて極性が反転しており、電流  $I_{12}$  と電流  $I_{22}$  とは対称になる。

【 0 0 4 1 】

第 2 の対策として、負の静電容量を持つ負性容量  $-C_b$  が、第 2 入力端子  $I_{N-}$  と出力端子  $O_{UT}$  との間に電氣的に接続されている。

【 0 0 4 2 】

容量  $-C_b$  の両端間の電圧は、 $-V_1(1+a)$  ある。従って、容量  $-C_b$  に流れる電流

50

$I_{21}$ は、次の式(4)で表される。

$$I_{21} = V_1 (1 + a) C_b \cdots (4)$$

【0043】

次の式(5)が成立するように、負性容量  $-C_b$  の値を設定する。

$$C_b = ((a - 1) / (a + 1)) C_{p1} \cdots (5)$$

【0044】

式(5)を式(4)に代入すると、次の式(6)が得られる。

$$\begin{aligned} I_{21} &= V_1 (1 + a) C_b \\ &= V_1 (1 + a) ((a - 1) / (a + 1)) C_{p1} \\ &= V_1 (a - 1) C_{p1} \\ &= -V_1 (1 - a) C_{p1} \cdots (6) \end{aligned}$$

10

【0045】

式(1)及び式(6)を参照すると、電流  $I_{21}$  は、電流  $I_{11}$  と比べて極性が反転しており、電流  $I_{21}$  と電流  $I_{11}$  とは対称になる。

【0046】

上記のように、本開示は、容量  $C_a$  及び負性容量  $-C_b$  を追加することで、寄生容量  $C_{p1}$  及び寄生容量  $C_{p2}$  に起因する非対称性を解消することができる。これにより、本開示は、第1入力端子  $I_{N+}$  及び第2入力端子  $I_{N-}$  の入力インピーダンスの対称性を保つことができ、増幅器31及び増幅器32の負荷インピーダンスの対称性を保つことができる。

【0047】

20

<第1の実施の形態>

図3は、第1の実施の形態の信号変換回路の構成を示す図である。

【0048】

信号変換回路1Aは、信号変換回路1(図2参照)と比較して、負性容量  $-C_b$  の一例として、インダクタ  $L_a$  を含む。

【0049】

信号変換回路1Aでは、負性容量  $-C_b$  を簡便に実現できるインダクタ  $L_a$  を用いて、非対称性の解消を実現した。

【0050】

負性容量  $-C_b$  とインダクタ  $L_a$  とのインピーダンスを比較すると、次の式(7)の通りとなる。

30

$$j L_a = j / (-C_b) \cdots (7)$$

【0051】

つまり、インダクタ  $L_a$  の値を次の式(8)のように設定すれば、各角周波数において非対称性を解消できる。

$$L_a = 1 / (\omega^2 C_b) \cdots (8)$$

【0052】

信号変換回路1Aは、周波数依存性が存在するものの、負性容量  $-C_b$  を用いることなく、増幅器31及び増幅器32の負荷インピーダンスの非対称性を解消することができる。

【0053】

40

<第2の実施の形態>

第2の実施の形態の構成要素のうち、第1の実施の形態と同一の構成要素については、同一の符号を付して説明を省略する。

【0054】

図4は、第2の実施の形態の信号変換回路の概略平面図である。

【0055】

第2の実施の形態は、信号変換回路1A(図3参照)を電力増幅器の出力整合回路へ適用した場合に、平面上に配置した具体例である。

【0056】

信号変換回路1Aは、基板61に形成されている。第1巻線11と第2巻線12とは、

50

基板 6 1 の異なる層に形成されていることとするが、本開示はこれに限定されない。第 1 巻線 1 1 と第 2 巻線 1 2 とは、基板 6 1 の同じ層に形成されても良い。

【 0 0 5 7 】

第 1 巻線 1 1 の第 1 入力端子  $I_{N+}$  及び第 2 入力端子  $I_{N-}$  は、図 4 中の左側に形成されている。第 1 巻線 1 1 は、略円形状を有する。第 1 巻線 1 1 のセンタータップ 1 1 c は、第 1 巻線 1 1 の図 4 中の右端に位置する。センタータップ 1 1 c には、直流電源 5 1 からバイアス電圧が入力される。

【 0 0 5 8 】

第 2 巻線 1 2 の出力端子  $O_{UT}$  は、図 4 中の右側に形成されている。第 2 巻線 1 2 は、第 1 巻線 1 1 の内側を略 1 周した後、第 1 巻線 1 1 を跨いで、第 1 巻線の外側を略 1 周している。第 2 巻線 1 2 の他端は、基準電位に電氣的に接続されている。

10

【 0 0 5 9 】

第 1 巻線 1 1 に流れる電流 7 1 及び第 2 巻線 1 2 に流れる電流 7 2 は、第 1 巻線 1 1 及び第 2 巻線 1 2 の磁界の向きが共通になる方向に、流れる。

【 0 0 6 0 】

出力整合回路では、負荷インピーダンスよりも出力インピーダンス（例えば、50  $\Omega$ ）の方が大きい場合が多い。従って、第 2 巻線 1 2 のインダクタンス値は、第 1 巻線 1 1 のインダクタンス値よりも大きい場合が多い。

【 0 0 6 1 】

容量  $C_a$  及びインダクタ  $L_a$  は、例えば、SMD（Surface Mount Device：表面実装部品）であることが例示されるが、本開示はこれに限定されない。

20

【 0 0 6 2 】

容量  $C_a$  は、第 1 入力端子  $I_{N+}$  の近傍に配置することが例示されるが、本開示はこれに限定されない。例えば、容量  $C_a$  と第 1 入力端子  $I_{N+}$  との間の距離は、他の構成要素と第 1 入力端子  $I_{N+}$  との間の距離よりも、短くすることが例示される。

【 0 0 6 3 】

インダクタ  $L_a$  のインダクタンス値は、比較的大きな値となる場合が多い。例えば、信号の周波数を 1.85 GHz（ギガヘルツ）とし、第 2 巻線 1 2 と第 1 巻線 1 1 との巻線比を 2 : 1 とし、 $C_{p1} = C_{p2} = C_a = 1.0$  pF（ピコファラド）とした場合、インダクタ  $L_a$  のインダクタンス値は、15.5 nH（ナノヘンリー）となる。従って、インダクタ  $L_a$  は、直列接続されている配線 6 2 及び配線 6 3 のインダクタンス値も含めて、設計することができる。

30

【 0 0 6 4 】

第 2 の実施の形態は、第 1 の実施の形態の信号変換回路 1 A を基板 6 1 上に実現でき、物理的に回路を実現できる。

【 0 0 6 5 】

< 第 3 の実施の形態 >

第 3 の実施の形態の構成要素のうち、他の実施の形態と同一の構成要素については、同一の符号を付して説明を省略する。

【 0 0 6 6 】

図 5 は、第 3 の実施の形態の信号変換回路の構成を示す図である。

40

【 0 0 6 7 】

信号変換回路 1 B は、信号変換回路 1（図 2 参照）と比較して、負性容量 -  $C_b$  の一例として、負性容量回路 8 1 を含む。負性容量回路 8 1 は、能動素子（トランジスタ）を用いて実現されたアクティブ負性容量回路である。

【 0 0 6 8 】

負性容量回路 8 1 の第 1 端子 8 1 a 及び第 2 端子 8 1 b は、後で説明するように、電源電位  $V_{CC}$  に電氣的に接続されており、直流レベルを有する。そこで、第 2 入力端子  $I_{N-}$  と第 1 端子 8 1 a との間に、DC カットコンデンサ  $C_{DC}$  が設けられている。なお必要に応じて出力側にも DC カットコンデンサ  $C_{DC2}$  を追加しても良い。

50

## 【 0 0 6 9 】

図 6 は、第 3 の実施の形態の信号変換回路の負性容量回路の構成を示す図である。

## 【 0 0 7 0 】

負性容量回路 8 1 は、抵抗 9 1 及び抵抗 9 2 と、トランジスタ 9 3 及びトランジスタ 9 4 と、コンデンサ 9 5 と、定電流源 9 6 及び定電流源 9 7 と、を含む。

## 【 0 0 7 1 】

トランジスタ 9 3 及びトランジスタ 9 4 はバイポーラトランジスタとするが、本開示はこれに限定されない。トランジスタ 9 3 及びトランジスタ 9 4 は、F E T (Field Effect Transistor) であっても良い。トランジスタ 9 3 及びトランジスタ 9 4 が F E T の場合、ソースがエミッタに相当し、ゲートがベースに相当し、ドレインがコレクタに相当する。

10

## 【 0 0 7 2 】

抵抗 9 1 の抵抗値と抵抗 9 2 の抵抗値とは同じとするが、本開示はこれに限定されない。トランジスタ 9 3 の電気的特性とトランジスタ 9 4 の電気的特性とは同じとするが、本開示はこれに限定されない。定電流源 9 6 の電流値と定電流源 9 7 の電流値とは同じとするが、本開示はこれに限定されない。

## 【 0 0 7 3 】

抵抗 9 1 及び抵抗 9 2 の抵抗値は、電源電位 V C C やトランジスタ 9 3 及びトランジスタ 9 4 の電気的特性などに基づいて、設定される。

## 【 0 0 7 4 】

抵抗 9 1 の一端は、電源電位 V C C に電氣的に接続されている。抵抗 9 1 の他端は、第 1 端子 8 1 a、トランジスタ 9 3 のコレクタ、及び、トランジスタ 9 4 のベースに、電氣的に接続されている。

20

## 【 0 0 7 5 】

抵抗 9 2 の一端は、電源電位 V C C に電氣的に接続されている。抵抗 9 2 の他端は、第 2 端子 8 1 b、トランジスタ 9 4 のコレクタ、及び、トランジスタ 9 3 のベースに、電氣的に接続されている。

## 【 0 0 7 6 】

トランジスタ 9 3 のベースは、第 2 端子 8 1 b に電氣的に接続されている。トランジスタ 9 4 のベースは、第 1 端子 8 1 a に電氣的に接続されている。

## 【 0 0 7 7 】

コンデンサ 9 5 の一端は、トランジスタ 9 3 のエミッタに電氣的に接続されている。コンデンサ 9 5 の他端は、トランジスタ 9 4 のエミッタに電氣的に接続されている。

30

## 【 0 0 7 8 】

定電流源 9 6 は、トランジスタ 9 3 のエミッタと基準電位との間に電氣的に接続されている。

## 【 0 0 7 9 】

定電流源 9 7 は、トランジスタ 9 4 のエミッタと基準電位との間に電氣的に接続されている。

## 【 0 0 8 0 】

第 1 端子 8 1 a の直流レベルは、電源電位 V C C から抵抗 9 1 の電圧降下分を引いたレベルとなる。同様に、第 2 端子 8 1 b の直流レベルは、電源電位 V C C から抵抗 9 2 の電圧降下分を引いたレベルとなる。

40

## 【 0 0 8 1 】

トランジスタ 9 3 は、直流的には、コレクタバイアス電圧及びベースバイアス電圧が与えられ、コレクタ電流  $I_{31}$  及びエミッタ電流  $I_{32}$  が流れる。同様に、トランジスタ 9 4 は、直流的には、コレクタバイアス電圧及びベースバイアス電圧が与えられ、コレクタ電流  $I_{41}$  及びエミッタ電流  $I_{42}$  が流れる。

## 【 0 0 8 2 】

第 1 端子 8 1 a の電圧が交流的に下降し且つ第 2 端子 8 1 b の電圧が交流的に上昇する場合の負性容量回路 8 1 の動作について説明する。

50

## 【 0 0 8 3 】

トランジスタ 9 3 は、ベース電圧が上昇するので、コレクタ電流  $I_{31}$  及びエミッタ電流  $I_{32}$  が増加する。一方、トランジスタ 9 4 は、ベース電圧が下降するので、コレクタ電流  $I_{41}$  及びエミッタ電流  $I_{42}$  が減少する。

## 【 0 0 8 4 】

エミッタ電流  $I_{32}$  の増加分は、コンデンサ 9 5 を介して、定電流源 9 7 に流れる。

## 【 0 0 8 5 】

第 1 端子 8 1 a から交流的に流入する電流は、コレクタ電流  $I_{31}$  が増加するので、増加する。第 2 端子 8 1 b から交流的に流入する電流は、コレクタ電流  $I_{41}$  が減少するので、減少する。

10

## 【 0 0 8 6 】

第 1 端子 8 1 a の電圧が交流的に上昇し且つ第 2 端子 8 1 b の電圧が交流的に下降する場合の負性容量回路 8 1 の動作は、上記と逆になる。

## 【 0 0 8 7 】

インダクタ  $L_a$  を負性容量の代わりに用いた場合、ある角周波数  $\omega_c$  でのみ  $\omega_c L_a = 1 / (\omega_c C_b)$  が成立する。これに比較してトランジスタ 9 3 及びトランジスタ 9 4 を用いると、広帯域に動作可能である。従って、負性容量回路 8 1 は、インダクタ  $L_a$  と比較して、広帯域な負性容量を実現できる。

## 【 0 0 8 8 】

これにより、信号変換回路 1 B は、信号変換回路 1 及び信号変換回路 1 A と比較して、広帯域に非対称性を解消することができる。

20

## 【 0 0 8 9 】

< 第 4 の実施の形態 >

第 4 の実施の形態の構成要素のうち、他の実施の形態と同一の構成要素については、同一の符号を付して説明を省略する。

## 【 0 0 9 0 】

図 7 は、第 4 の実施の形態の負性容量回路の構成を示す図である。

## 【 0 0 9 1 】

負性容量回路 8 1 A は、負性容量回路 8 1 ( 図 6 参照 ) と比較して、抵抗 9 1 及び抵抗 9 2 に代えて、トランジスタ 9 8 及びトランジスタ 9 9 を含む。

30

## 【 0 0 9 2 】

トランジスタ 9 8 及びトランジスタ 9 9 はバイポーラトランジスタとするが、本開示はこれに限定されない。トランジスタ 9 8 及びトランジスタ 9 9 は、FET であっても良い。

## 【 0 0 9 3 】

トランジスタ 9 8 の電気的特性とトランジスタ 9 9 の電気的特性とは同じとするが、本開示はこれに限定されない。

## 【 0 0 9 4 】

トランジスタ 9 8 のコレクタは、電源電位  $V_{CC}$  に電氣的に接続されている。トランジスタ 9 8 のベースは、第 2 端子 8 1 b に電氣的に接続されている。トランジスタ 9 8 のエミッタは、トランジスタ 9 3 のベースに電氣的に接続されている。つまり、トランジスタ 9 8 は、エミッタフォロワ接続されている。

40

## 【 0 0 9 5 】

トランジスタ 9 9 のコレクタは、電源電位  $V_{CC}$  に電氣的に接続されている。トランジスタ 9 9 のベースは、第 1 端子 8 1 a に電氣的に接続されている。トランジスタ 9 9 のエミッタは、トランジスタ 9 4 のベースに電氣的に接続されている。つまり、トランジスタ 9 9 は、エミッタフォロワ接続されている。

## 【 0 0 9 6 】

負性容量回路 8 1 A は、負性容量回路 8 1 と比較して、エミッタフォロワ接続されたトランジスタ 9 8 及びトランジスタ 9 9 を含むことにより、第 1 端子 8 1 a 及び第 2 端子 8 1 b に入力される電圧の許容最大電圧振幅を大きくすることができる。なお、ここでは図

50

6に記載していた抵抗91及び92を省略して記載している。第1端子81a及び第2端子81bに適切な直流バイアスが印加されれば、抵抗91及び92は省略できる。

【0097】

<第5の実施の形態>

第5の実施の形態の構成要素のうち、他の実施の形態と同一の構成要素については、同一の符号を付して説明を省略する。

【0098】

図8は、第5の実施の形態の負性容量回路の構成を示す図である。

【0099】

負性容量回路81Bは、負性容量回路81(図6参照)と比較して、抵抗91及び抵抗92並びにトランジスタ93及びトランジスタ94に代えて、トランジスタ101及びトランジスタ102を含む。トランジスタ101及びトランジスタ102は、FETである。

10

【0100】

トランジスタ101の電気的特性とトランジスタ102の電気的特性とは同じとするが、本開示はこれに限定されない。

【0101】

トランジスタ101のドレインは、第1端子81aに電気的に接続されている。トランジスタ101のゲートは、第2端子81bに電気的に接続されている。トランジスタ101のソースは、コンデンサ95の一端及び定電流源96に電気的に接続されている。

【0102】

トランジスタ102のドレインは、第2端子81bに電気的に接続されている。トランジスタ102のゲートは、第1端子81aに電気的に接続されている。トランジスタ102のソースは、コンデンサ95の他端及び定電流源97に電気的に接続されている。

20

【0103】

このように、負性容量回路81Bは、能動素子としてFETを利用して実現することができる。なお、ここでは図6に記載していた抵抗91及び92を省略して記載している。第1端子81a及び第2端子81bに適切な直流バイアスが印加されれば、抵抗91及び92は省略できる。

【0104】

<付記>

第3から第5の実施の形態では、能動素子(トランジスタ)を使用して負性容量回路を実現したが、本開示はこれに限定されない。負性容量回路は、 $\text{HfO}_2$ (二酸化ハフニウム)などの負性容量特性を有する材料を用いて実現することも可能である。

30

【0105】

<本開示の構成例>

本開示は、下記の構成をとることもできる。

【0106】

(1)

差動信号を構成する第1信号及び第2信号をシングルエンドの第3信号に変換する信号変換回路であって、

40

1次巻線の一端に第1信号が入力され、1次巻線の他端に第2信号が入力され、2次巻線の一端から第1信号と同じ極性の第3信号が出力され、2次巻線の他端が基準電位に電気的に接続されたトランスと、

1次巻線の一端と基準電位との間に電気的に接続された第1コンデンサと、

1次巻線の他端と2次巻線の一端との間に電気的に接続された負性容量と、

を含む、

信号変換回路。

【0107】

(2)

上記(1)に記載の信号変換回路であって、

50

負性容量は、インダクタである、  
信号変換回路。

【0108】

(3)

上記(1)に記載の信号変換回路であって、  
負性容量は、  
能動素子を含むアクティブ負性容量回路である、  
信号変換回路。

【0109】

(4)

上記(3)に記載の信号変換回路であって、  
アクティブ負性容量回路は、  
コレクタ又はドレインが、第1端子に電氣的に接続され、ベース又はゲートが第2端子  
に電氣的に接続された第1トランジスタと、  
コレクタ又はドレインが、第2端子に電氣的に接続され、ベース又はゲートが第1端子  
に電氣的に接続された第2トランジスタと、  
第1トランジスタのエミッタ又はソースに電氣的に接続された第1定電流源と、  
第2トランジスタのエミッタ又はソースに電氣的に接続された第2定電流源と、  
第1トランジスタのエミッタ又はソースと、第2トランジスタのエミッタ又はソースと  
、の間に電氣的に接続された第2コンデンサと、  
を含む、  
信号変換回路。

10

20

【0110】

(5)

上記(4)に記載の信号変換回路であって、  
アクティブ負性容量回路は、  
エミッタ又はソースが第1トランジスタのベース又はゲートに電氣的に接続され、ベー  
ス又はゲートが第2端子に電氣的に接続され、コレクタ又はドレインが電源電位に電氣的  
に接続された第3トランジスタと、  
エミッタ又はソースが第2トランジスタのベース又はゲートに電氣的に接続され、ベー  
ス又はゲートが第1端子に電氣的に接続され、コレクタ又はドレインが電源電位に電氣的  
に接続された第4トランジスタと、  
を更に含む、  
信号変換回路。

30

【0111】

なお、上記した実施の形態は、本発明の理解を容易にするためのものであり、本発明を  
限定して解釈するためのものではない。本発明は、その趣旨を逸脱することなく、変更/  
改良され得るとともに、本発明にはその等価物も含まれる。

【符号の説明】

【0112】

- 1、201 信号変換回路  
10 トランス  
11 第1巻線  
12 第2巻線  
31、32 増幅器  
41、42、93、94、98、99、101、102 トランジスタ  
51 直流電源  
61 基板  
81 負性容量回路  
91、92 抵抗

40

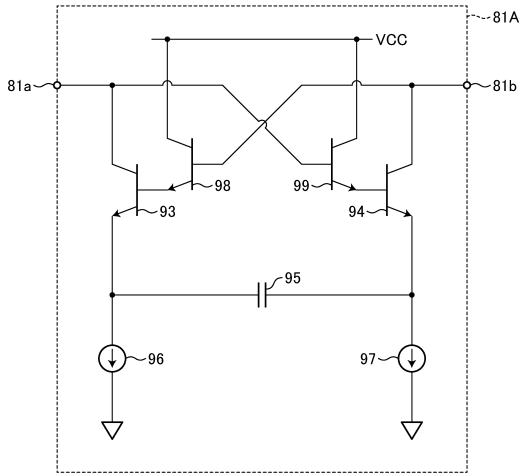
50





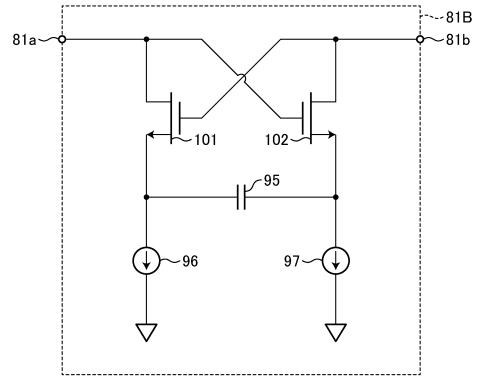
【 図 7 】

図7



【 図 8 】

図8



10

20

30

40

50

---

フロントページの続き

- (56)参考文献 特表2010-530151(JP,A)  
特表2021-533563(JP,A)  
特開平02-007406(JP,A)  
米国特許出願公開第2012/0139658(US,A1)
- (58)調査した分野 (Int.Cl., DB名)  
H03H 11/00 - 11/54  
H03H 7/30 - 7/54