



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0041966
(43) 공개일자 2020년04월22일

<p>(51) 국제특허분류(Int. Cl.) <i>G01R 31/3183</i> (2006.01) <i>G01R 31/319</i> (2006.01)</p> <p>(52) CPC특허분류 <i>G01R 31/3183</i> (2013.01) <i>G01R 31/31924</i> (2013.01)</p> <p>(21) 출원번호 10-2020-7007981</p> <p>(22) 출원일자(국제) 2018년07월25일 심사청구일자 2020년03월18일</p> <p>(85) 번역문제출일자 2020년03월18일</p> <p>(86) 국제출원번호 PCT/JP2018/027949</p> <p>(87) 국제공개번호 WO 2019/054059 국제공개일자 2019년03월21일</p> <p>(30) 우선권주장 JP-P-2017-174700 2017년09월12일 일본(JP)</p>	<p>(71) 출원인 도쿄엘렉트론가부시기가이샤 일본 도쿄도 미나토쿠 아카사카 5초메 3반 1고</p> <p>(72) 발명자 이시이 시게키 일본 4078511 야마나시켄 나라사키시 후지이쵸 기 타게조 2381-1 도쿄 엘렉트론 테크놀로지 솔루션 즈 가부시기가이샤 나이 스기야마 가츠야키 일본 4078511 야마나시켄 나라사키시 후지이쵸 기 타게조 2381-1 도쿄 엘렉트론 테크놀로지 솔루션 즈 가부시기가이샤 나이 (뒷면에 계속)</p> <p>(74) 대리인 김태홍, 김진희</p>
---	--

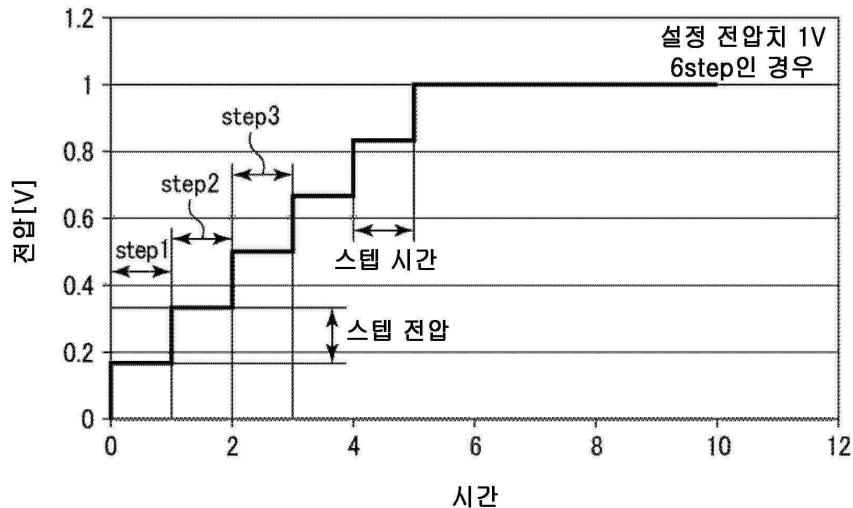
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 전압 인가 장치 및 출력 전압 파형의 형성 방법

(57) 요약

기관 상에 형성된 복수의 피검사 디바이스에 대하여 전기적 특성을 검사하는 테스터에 있어서, 피검사 디바이스에 전압을 인가하는 전압 인가 장치는, 소정의 설정 조건이 주어졌을 때에, 그것에 적합한 복수의 과도 스텝을 갖는 스텝형의 과도 전압 파형이 형성되도록, 과도 전압 설정 파라미터로서, 과도 스텝수, 스텝 시간, 스텝 전압을 설정하고, 이들에 기초하여, 스텝형의 과도 전압 파형을 갖는 출력 전압을 형성한다. 출력 전압을 DUT에 스텝 입력했을 때의 응답이 오버슈트가 생기는 2차 이상의 고차 지연계이며, 각 과도 스텝의 스텝 시간의 종점이, 2차 지연계의 스텝 응답 곡선에서의 라이징 시간의 종점으로부터 지나친 시간까지의 사이의 시간이 되도록 설정된다.

대표도 - 도5



(72) 발명자

나리카와 겐이치

일본 4078511 야마나시켄 나라사키시 후지이쵸 기
타게조 2381-1 도쿄 엘렉트론 테크놀로지 솔루션즈
가부시키키가이샤 나이

시나가와 고지

일본 4078511 야마나시켄 나라사키시 후지이쵸 기
타게조 2381-1 도쿄 엘렉트론 테크놀로지 솔루션즈
가부시키키가이샤 나이

나구라 다쿠미

일본 4078511 야마나시켄 나라사키시 후지이쵸 기
타게조 2381-1 도쿄 엘렉트론 테크놀로지 솔루션즈
가부시키키가이샤 나이

명세서

청구범위

청구항 1

기관 상에 형성된 복수의 피검사 디바이스에 대하여 전기적 특성을 검사하는 테스터에 있어서, 상기 피검사 디바이스에 전압을 인가하는 전압 인가 장치로서,

상기 전압 인가 장치는, 설정 전압치를 포함하는 미리 정해진 설정 조건이 주어졌을 때에, 상기 미리 정해진 설정 조건에 적합한, 복수의 과도 스텝을 갖는 스텝형의 과도 전압 파형이 형성되도록, 과도 전압 설정 파라미터로서, 과도 스텝수, 스텝 시간, 스텝 전압을 설정하는 전압 설정부를 가지며,

상기 전압 설정부에서 설정된 상기 과도 전압 설정 파라미터에 기초하여, 상기 스텝형의 과도 전압 파형을 갖는 출력 전압을 출력하고,

상기 디바이스의 전원으로로부터 출력된 출력 전압을, 상기 전압 인가 장치에 접속된 상기 피검사 디바이스에 스텝 입력했을 때의 응답이, 설정 전압에 대하여 오버슈트가 생기는 2차 이상의 고차 지연계이며,

상기 전압 설정부에 설정된 상기 각 과도 스텝의 상기 스텝 시간의 중점이, 상기 고차 지연계의 스텝 응답 곡선에서의 라이징 시간의 중점으로부터 지나친 시간까지의 사이의 시간이 되도록 설정되는 것인 전압 인가 장치.

청구항 2

제1항에 있어서, 디지털 아날로그 컨버터와, 출력 회로를 더 가지며, 상기 전압 설정부에서 설정된 상기 과도 전압 설정 파라미터를 포함하는 신호가, 상기 디지털 아날로그 컨버터 및 상기 출력 회로를 거쳐, 상기 스텝형의 과도 전압 파형을 갖는 출력 전압으로서 출력되는 것인 전압 인가 장치.

청구항 3

제1항 또는 제2항에 있어서, 상기 과도 전압 파형은, 상기 과도 스텝의 상기 스텝 전압이, 상기 과도 스텝이 진행됨에 따라서 작아지도록 형성되는 것인 전압 인가 장치.

청구항 4

제1항 내지 제3항 중 어느 한 항에 있어서, 상기 전압 설정부는, 설정 전압치를 포함하는 복수의 설정 조건에 대응하여, 상기 과도 전압 설정 파라미터로서, 상기 과도 스텝수, 상기 스텝 시간, 상기 스텝 전압이 복수 기억된 데이터베이스로부터, 상기 미리 정해진 설정 조건에 적합한 상기 과도 스텝수, 상기 스텝 시간, 상기 스텝 전압을 취득하는 것인 전압 인가 장치.

청구항 5

제1항 내지 제4항 중 어느 한 항에 있어서, 디바이스 전원(DPS), 파라메트릭 측정 유닛(PMU) 및 각종 드라이버 중 어느 하나인 것인 전압 인가 장치.

청구항 6

기관 상에 형성된 복수의 피검사 디바이스에 대하여 전기적 특성을 검사하는 테스터에 있어서, 상기 피검사 디바이스에 전압을 인가하는 전압 인가 장치로부터 출력하는 출력 전압 파형의 형성 방법으로서,

설정 전압치를 포함하는 조건이 주어졌을 때에, 상기 조건에 적합한 복수의 과도 스텝을 갖는 스텝형의 과도 전압 파형이 형성되도록, 과도 전압 설정 파라미터로서, 과도 스텝수, 스텝 시간, 스텝 전압을 설정하는 단계와,

상기 과도 전압 설정 파라미터에 기초하여, 상기 스텝형의 과도 전압 파형을 갖는 출력 전압을 형성하는 단계를 포함하며,

상기 전압 인가 장치로부터 출력된 출력 전압을, 상기 전압 인가 장치에 접속된 상기 피검사 디바이스에 스텝 입력했을 때의 응답이, 설정 전압에 대하여 오버슈트가 생기는 2차 이상의 고차 지연계이며,

상기 각 과도 스텝의 상기 스텝 시간의 중점이, 상기 고차 지연계의 스텝 응답 곡선에서의 라이징 시간의 중점 으로부터 지나친 시간까지의 사이의 시간이 되도록 설정되는 것인 출력 전압 파형의 형성 방법.

청구항 7

제6항에 있어서, 상기 과도 전압 파형은, 상기 과도 스텝의 상기 스텝 전압이, 상기 과도 스텝이 진행됨에 따라서 작아지도록 형성되는 것인 출력 전압 파형의 형성 방법.

청구항 8

제6항 또는 제7항에 있어서, 설정 전압치를 포함하는 복수의 설정 조건에 대응하여, 상기 과도 전압 설정 파라미터로서, 상기 과도 스텝수, 상기 스텝 시간, 상기 스텝 전압이 복수 기억된 데이터베이스로부터, 미리 정해진 설정 조건에 적합한 상기 과도 스텝수, 상기 스텝 시간, 상기 스텝 전압을 취득하는 것인 출력 전압 파형의 형성 방법.

발명의 설명

기술 분야

[0001] 본 개시는, 디바이스의 전기적 검사를 행하는 테스터에 이용되며, 디바이스에 전압을 인가하는 전압 인가 장치 및 출력 전압 파형의 형성 방법에 관한 것이다.

배경 기술

[0002] 반도체 디바이스의 제조 프로세스에서는, 반도체 웨이퍼(이하 단순히 웨이퍼라고 기재함)에서의 모든 프로세스가 종료한 단계에서, 웨이퍼에 형성되어 있는 복수의 피검사 디바이스(Device Under Test; DUT)에 관해, 여러가지 전기적 검사가 행해진다.

[0003] 이러한 검사 대상 디바이스인 DUT의 전기적 특성의 검사는, 프로브 카드를 통하여 테스터에 의해 행해진다. 프로브 카드는, 웨이퍼 상의 DUT의 전극 패드에 접촉되는 복수의 프로브(접촉자)를 구비하고 있고, 각 프로브를 웨이퍼 상의 각 전극 패드에 접촉시킨 상태로, 테스터로부터 각 프로브에 전기 신호를 보내는 것에 의해, 웨이퍼 상의 DUT의 검사가 행해진다.

[0004] 테스터는, DUT에 소정의 전압을 인가하는 전압 인가 장치인 디바이스 전원(Device Power Supply; DPS)을 가지며, DPS로부터 DUT에 소정의 전압이 인가된다. DPS의 출력 전압의 라이징 파형(과도 전압)은, DPS의 회로 특성이나, 디바이스 전원 라인에 접속되는 부하에 의해 결정된다. 구체적으로는, DPS로부터 DUT까지의 디바이스 전원 라인에 대용량 부하를 접속하는 구성과, 대용량 부하를 접속하지 않는 구성이 존재한다. 대용량 부하를 접속하는 구성에 DPS의 수동 소자로 구성되는 위상 보상 회로를 최적화시키면, 대용량 부하를 접속하지 않는 경우에 DPS의 출력 전압의 라이징 파형이 열화하여, 예컨대 오버슈트가 발생한다.

[0005] 이와 같이 출력 전압의 라이징 파형이 열화하면, 출력 전압이 단조롭게 증가하지 않음으로써 DUT가 오작동하거나, 라이징 파형에 과도한 오버슈트가 발생한 경우에는, DUT에 스트레스를 준다고 하는 문제가 있다.

[0006] 이러한 문제에 대응한 기술로서, 특허문헌 1에는, 테스터의 전원으로부터 반도체 웨이퍼의 반도체 소자에 전압을 인가할 때에 스텝형으로 전압을 인가하는 기술이 제안되어 있다.

선행기술문헌

특허문헌

[0007] (특허문헌 0001) 특허문헌 1 : 일본 실용신안 공개 평3-17581호 공보(일본 실용신안 출원 평1-78138호의 마이크로 필름)

발명의 내용

해결하려는 과제

[0008] 본 개시는, 회로의 변경을 수반하지 않고, DUT에 인가되는 출력 전압의 라이징 파형의 열화를 억제하여, 단시간에 설정 전압치에 도달시키는 것이 가능한 기술을 제공한다.

과제의 해결 수단

[0009] 본 개시의 일양태에 관한 실시형태에 관한 전압 인가 장치는, 기관 상에 형성된 복수의 피검사 디바이스에 대하여 전기적 특성을 검사하는 테스터에 있어서, 상기 피검사 디바이스에 전압을 인가하는 전압 인가 장치로서, 상기 전압 인가 장치는, 설정 전압치를 포함하는 소정의 설정 조건이 주어졌을 때에, 상기 소정의 설정 조건에 적합한, 복수의 과도 스텝을 갖는 스텝형의 과도 전압 파형이 형성되도록, 과도 전압 설정 파라미터로서, 과도 스텝수, 스텝 시간, 스텝 전압을 설정하는 전압 설정부를 가지며, 상기 전압 설정부에서 설정된 상기 과도 전압 설정 파라미터에 기초하여, 상기 스텝형의 과도 전압 파형을 갖는 출력 전압을 출력하고, 상기 디바이스 전원으로로부터 출력된 출력 전압을, 상기 전압 인가 장치에 접속된 상기 피검사 디바이스에 스텝 입력했을 때의 응답이, 설정 전압에 대하여 오버슈트가 생기는 2차 이상의 고차 지연계이며, 상기 전압 설정부에 설정된 상기 각 과도 스텝의 상기 스텝 시간의 중점이, 상기 고차 지연계의 스텝 응답 곡선에서의 라이징 시간의 중점으로부터 지나친 시간까지의 사이의 시간이 되도록 설정된다.

발명의 효과

[0010] 본 개시에 의하면, 회로의 변경을 수반하지 않고, DUT에 인가되는 출력 전압의 라이징 파형의 열화를 억제하여, 단시간에 설정 전압치에 도달시킬 수 있다.

도면의 간단한 설명

[0011] 도 1은 본 발명의 일 실시형태에 관한 디바이스 전원이 이용되는 검사 장치의 일례의 개략 구성을 나타내는 단면도이다.

도 2는 도 1의 검사 장치에서의 제어부의 하드웨어 구성을 나타내는 단면도이다.

도 3은 본 발명의 일 실시형태에 관한 디바이스 전원을 나타내는 블록도이다.

도 4는 출력 전압의 라이징 파형을 형성하는 방법을 나타내는 플로우차트이다.

도 5는 도 4의 출력 전압의 라이징 파형을 형성하는 방법에 의해 형성된 출력 전압의 과도 전압 파형의 일례를 모식적으로 나타내는 도면이다.

도 6은 일반적인 2차 지연계의 스텝 응답 출력의 곡선을 나타내는 도면이다.

도 7은 0.5 V, 0.2 V, 0.15 V, 0.1 V, 0.05 V의 전압을 각각 출력한 경우의 2차 지연계의 스텝 응답을 나타내는 도면이다.

도 8은 1 V의 전압을 출력한 경우와, 스텝 전압을 0.5 V→0.2 V→0.15 V→0.1 V→0.05 V로 한 스텝형의 과도 전압 파형을 출력한 경우의 2차 지연계의 스텝 응답을 나타내는 도면이다.

도 9는 DPS로부터 1 V의 전압을 출력하고, DUT 단부에 큰 오버슈트가 생기는 조건에 있어서, 실제로 DPS로부터 출력되는 과도 전압 파형을, 스텝 전압을 0.5 V→0.2 V→0.15 V→0.1 V→0.05 V로 변화시킨 5 스텝으로 하고, 각 스텝의 스텝 시간을, 라이징 시간 Tr의 중점으로부터 지나친 점 Tp의 사이에 대응하는 시간이 되도록 설정하여 출력한 과도 전압 파형을 나타내는 도면이다.

도 10은 도 9의 과도 전압 파형이 출력되었을 때에, 실제 DUT 단부에서의 응답 파형을 나타내는 사진이다.

발명을 실시하기 위한 구체적인 내용

[0012] 이하, 첨부 도면을 참조하여 실시형태에 관해 상세히 설명한다.

[0013] <검사 장치>

[0014] 도 1은, 일 실시형태에 관한 디바이스 전원이 이용되는 검사 장치의 일례의 개략 구성을 나타내는 단면도이다.

[0015] 도 1에서, 검사 장치(1)는, 프로버(2)와, 테스터(3)를 구비하고 있다. 프로버(2)는, 웨이퍼(W)에 형성된 복수의 DUT에 대하여, 검사 신호의 전달을 행하는 프로브를 접촉시키기 위한 것이다. 또한, 테스터(3)는, 웨이퍼(W)의 각 DUT에 전기 신호를 보낼과 더불어, DUT로부터의 응답 신호를 수신하여 웨이퍼(W) 상의 DUT의 전기적 특성 검

사를 행하기 위한 것이다.

- [0016] 프로버(2)는, 로더부(11)와, 검사실(12)과, 재치대(13)와, 홀더(14)와, 프로브 카드(15)와, 얼라인먼트 기구(16)와, 프로버 제어부(17)를 구비하고 있다. 로더부(11)는, 복수의 웨이퍼(W)를 수납하는 용기인 FOUP(10)가 재치되며, 웨이퍼(W)를 반송하는 반송 장치(도시하지 않음)를 갖는다. 검사실(12)에서는 웨이퍼(W)의 검사가 행해진다. 재치대(13)는, 검사실(12) 내에서 웨이퍼(W)를 재치하고, 웨이퍼(W)를 X, Y, Z 및 θ 방향으로 이동시키는 구동부(도시하지 않음)를 갖는다. 홀더(14)는, 재치대(13)의 상측에 배치되며, 프로브 카드(15)를 지지한다. 프로브 카드(15)는, 지지 기관(15a)과 복수의 프로브(접촉자)(15b)를 갖는다. 프로브 카드(15)는, 포고핀을 통해 다수의 접촉 단자를 갖는 접촉링(21) 및 인터포저(피포먼스 보드)(22)를 통해 테스터(3)에 접속된다. 얼라인먼트 기구(16)는, 복수의 프로브(15b)와 웨이퍼(W)에 형성된 복수의 DUT의 전극 패드(도시하지 않음)의 위치 맞춤을 행한다. 프로버 제어부(17)는, 프로버(2)의 각 구성부를 제어하기 위한 것이다.
- [0017] 테스터(3)는, 테스터 본체(31)와, 테스터 제어부(32)를 갖고 있다. 테스터 본체(31)는, 웨이퍼(W)의 DUT에 전압을 인가하는 전압 인가 장치인 디바이스 전원(DPS)(33)과, DUT의 테스트를 행하기 위해 필요한 회로 및 콘덴서 등의 부품(도시하지 않음)을 갖고 있다.
- [0018] 테스터 제어부(32)는, 테스터(3)의 각 구성부를 제어한다. 본 실시형태에서는, 특히 DPS(33)의 제어에 특징이 있고, DPS(33)의 일부로서 기능하는 전압 설정부(41)를 갖고 있다. 테스터 제어부(32)는, 전형적으로는 컴퓨터이다. 도 2는, 도 1에 나타난 테스터 제어부(32)의 하드웨어 구성의 일례를 나타내고 있다. 테스터 제어부(32)는, 주제어부(101)와, 키보드, 마우스 등의 입력 장치(102)와, 프린터 등의 출력 장치(103)와, 표시 장치(104)와, 기억 장치(105)와, 외부 인터페이스(106)와, 이들을 서로 접속하는 버스(107)를 구비하고 있다. 주제어부(101)는, CPU(중앙 처리 장치)(111), RAM(랜덤 액세스 메모리)(112) 및 ROM(리드 온리 메모리)(113)를 갖고 있다. 기억 장치(105)는, 컴퓨터 관독 가능한 기억 매체에 대한 정보의 기록 및 관독을 행하도록 되어 있다. 기억 매체로는, 예컨대 하드디스크, 광디스크, 플래시메모리와 같은 반도체 메모리 등을 들 수 있다. 기억 매체에는, 본 실시형태에 관한 검사 방법을 행하기 위한 레시피 등이 기억되어 있는 것 외에, 후술하는 DPS(33)의 전압 설정부에 있어서 설정되는 DUT에 대한 인가 전압을 설정하기 위한 데이터베이스로서도 기능한다.
- [0019] <디바이스 전원>
- [0020] 다음으로, 전압 인가 장치인 디바이스 전원(33)에 대해 설명한다. 도 3은, 본 발명의 일실시형태에 관한 디바이스 전원을 나타내는 블록도이다.
- [0021] 도 3에 나타난 바와 같이, DPS(33)은, DPS 본체(40)와, 테스터 제어부(32)의 일부를 이루는 전압 설정부(41)를 갖는다. DPS 본체(40)는, 디지털 아날로그 컨버터(DAC)(42)와 출력 회로(43)를 가지며, 전압 설정부(41)로부터의 설정 전압 신호(디지털 신호)가 입력되고, DAC(42)에 의해 아날로그 신호로 변환되고, 출력 회로(43)를 거쳐 소정의 출력 전압이 출력된다. 출력 전압은 급전선로(44)를 통해 DUT(45)에 인가된다. 급전선로(44)의 DPS(33)측이 DPS 단부(44a)이고, DUT(45)측이 DUT 단부(44b)이다. 급전선로(44)의 DUT 단부(44b)측에 부하(46)가 마련되어 있다. 부하(46)의 값은 검사의 종류 등에 따라 변화하며, 제로인 경우도 있다.
- [0022] 전압 설정부(41)는, DUT(45)에 인가되는 DUT 단부의 전압이, 오버슈트 등이 없는 적절한 것이 되도록, DPS 단부에서의 출력 전압의 라이징 파형(과도 전압 파형)을 형성하기 위한 파라미터를 설정하는 것이다. 구체적으로는, 기억 장치(105)의 기억 매체에서의 데이터베이스에는, 설정 전압치(정상치)를 포함하는 조건, 예컨대, 설정 전압치 외에, 출력 회로(43)의 회로 특성, DUT 단부의 부하(46)의 값 등에 대응하여, 출력 전압의 라이징 파형(과도 전압 파형)을 설정하기 위한 과도 전압 설정 파라미터가 복수 기억되어 있다. 설정 전압치(정상치)를 포함하는 조건이 주어졌을 때에 데이터베이스로부터 적합한 과도 전압 설정 파라미터를 취득하여, 후술하는 바와 같이 출력 전압의 라이징 파형(과도 전압 파형)을 설정한다.
- [0023] <출력 전압 파형의 형성 방법>
- [0024] 다음으로, 출력 전압 파형의 형성 방법에 대해 설명한다. 여기서는, 전압 설정부(41)는, 출력 전압의 라이징 파형(과도 전압 파형)을 설정하고, DUT 단부에서의 라이징 파형(과도 전압 파형)이 오버슈트하지 않도록 출력 전압 파형을 형성한다. 구체적으로는, 전압 설정부(41)는, 출력 전압의 라이징 파형(과도 전압 파형)이 스텝형이 되도록 전압 설정한다.
- [0025] 도 4는, 출력 전압의 라이징 파형을 형성하는 방법을 나타내는 플로우차트이다. 처음에, 설정 전압치(정상치)의 값을 포함하는 조건이 주어졌을 때에, 그것에 따라서, 기억 장치(105)의 기억 매체에서의 데이터베이스로부터

입력 전압의 라이징 파형(과도 전압 파형)의 과도 전압 설정 파라미터를 취득한다(스텝 1).

[0026] 본 실시형태에서는 출력 전압의 라이징 파형(과도 전압 파형)을 스텝형(계단형)으로 설정하기 때문에, 과도 전압 설정 파라미터로는, 과도 스텝수, 스텝 시간, 스텝 전압이 이용된다. 데이터베이스에는, 설정 전압치(정상치)를 포함하는 조건, 예컨대, 설정 전압치 외에, 출력 회로(43)의 회로 특성, DUT 단부의 부하(46)의 값 등에 대응한 과도 스텝수, 스텝 시간 및 스텝 전압의 데이터가 복수 저장되어 있다. 과도 스텝수는, 스텝형의 과도 전압 파형의 스텝수이며, 스텝 시간은 과도 전압 파형의 하나의 스텝의 시간이며, 스텝 전압은 과도 전압 파형의 하나의 스텝에서의 상승 전압이다. 이 때, 설정 전압치(정상치)를 포함하는 조건이 주어지면, 그 조건에 따른 과도 스텝수, 스텝 시간, 스텝 전압을 취득하고 설정한다.

[0027] 이어서, 설정해야 할 과도 스텝이 있는지 아닌지를 판단하여(스텝 2), 설정해야 할 과도 스텝이 있는 경우에는 과도 전압을 설정(출력)한다(스텝 3). 스텝 시간의 종료를 판단하여(스텝 4), 종료한 시점에서 스텝 2로 되돌아가고, 과도 스텝이 있는 경우, 다음 과도 스텝에 관해, 스텝 3의 과도 전압의 설정(출력)을 행한다. 이것을 반복하여, 다음에 설정하는 과도 스텝이 없어진 시점에서, 설정 전압, 즉 출력 전압의 라이징 파형(과도 전압 파형)을 출력한다(스텝 5).

[0028] 이 때의 실제로 설정한 출력 전압의 과도 전압 파형의 일례를 도 5에 나타낸다. 본 예는, 설정 전압치를 1 V, 과도 스텝수를 6으로 한 경우의 예이다. 도 5에서는, 편의상, 스텝 시간, 스텝 전압을 균등하게 한 예를 나타내고 있지만, 이러한 값은 조건에 의해 최적화된다.

[0029] <파라미터의 설정 수법>

[0030] 다음으로, 전압 설정 파라미터인 과도 스텝수, 스텝 시간, 스텝 전압의 설정 수법에 관해 설명한다.

[0031] 테스터에 접속되는 DUT는, 기생 커패시터나 기생 인덕턴스를 고려하면 RLC 회로라고 생각되고, 스텝 입력에 대한 응답은, 예컨대 2차 지연계가 되어, 오버슈트가 발생하는 것으로 생각된다.

[0032] 2차 지연계의 스텝 응답 출력의 곡선은, 일반적으로 도 6과 같아지는 것이 알려져 있다. 도 6 중, A_{max} 는 최대 지나친 양(오버슈트), 즉 출력치와 목표치의 차가 최대가 되는 값이다. T_p 는 지나친 시간이며, 이것은 최대 지나친 양이 되기까지의 시간이다. T_r 은, 출력치가 목표치의 10%부터 90%에 도달하기까지의 시간인 라이징 시간이다. T_d 는, 출력치가 목표치의 50%의 값에 도달하기까지의 시간인 지연 시간이다. T_s 는 목표치로부터 어떤 오차 범위에 들어가기까지의 시간인 정정 시간이며, T_L 은 허비 시간이다.

[0033] 또한, 2차 지연계의 스텝 응답의 식은 이하의 (1) 식으로 표시된다.

[0034] [수 1]

$$y(t) = \mathcal{L}^{-1} \left| \frac{\omega_n^2}{s(s^2 + 2\zeta\omega_n s + \omega_n^2)} \right|$$

$$= 1 - \frac{e^{-\zeta\omega_n t}}{\sqrt{1-\zeta^2}} \sin \left(\omega_n \sqrt{1-\zeta^2} t + \tan^{-1} \frac{\sqrt{1-\zeta^2}}{\zeta} \right)$$

[0035]

[0036] 단, t : 시간, ω_n : 고유각 주파수, ζ : 감쇠 계수이며, $0 < \zeta < 1$ 이다.

[0037] 본 실시형태와 같이, 과도 전압을 스텝형으로 인가하는 경우, 각 스텝에서 오버슈트가 발생하지 않고, 신속하게 설정 전압치(정상치)까지 상승시키는 것이 필요하다. 그것을 위해서는, 각 과도 스텝에서의 전압치에 대응하여 얻어지는 도 6의 곡선에 있어서, 라이징 시간 T_r 의 중점으로부터 지나친 점 T_p 의 사이에서 다음 설정 출력으로 전환하는 것이 유효하다는 것이 판명되었다. 따라서, 본 실시형태에서는, 전술한 각 과도 스텝의 스텝 시간의 중점을, 각 과도 스텝의 스텝 전압에 대응하는 2차 지연계의 스텝 응답의 곡선에서의 라이징 시간 T_r 의 중점으로부터 지나친 점 T_p 까지의 사이의 시간이 되도록 설정한다.

[0038] 이 때, 과도 스텝의 스텝 전압은, 과도 스텝이 진행됨에 따라 작아지는 것이 바람직하다. 즉, 과도 스텝 t 의 설정 전압을 V_t 로 하고, 그 전단계의 과도 스텝 $t-1$ 의 설정 전압을 V_{t-1} , 그 후단계의 과도 스텝 $t+1$ 의 설정 전압을 V_{t+1} 로 한 경우, $V_t - V_{t-1} > V_{t+1} - V_t$ 가 되도록 하는 것이 바람직하다. 이 때의 과도 스텝 t 의 스텝 전압이 $V_t - V_{t-1}$ 이

고, 과도 스텝 t+1의 스텝 전압이 $V_{t+1}-V_t$ 이다. 이와 같이 함으로써, 오버슈트를 보다 생기기 어렵게 할 수 있다.

[0039] 예컨대, 상기 (1)식에 따르면, 0.5 V, 0.2 V, 0.15 V, 0.1 V, 0.05 V의 전압을 각각 출력한 경우의 2차 지연계의 스텝 응답은, 도 7에 나타난 바와 같아진다. 도 8은, 1 V의 전압을 출력한 경우와, 스텝 전압을 0.5 V→0.2 V→0.15 V→0.1 V→0.05 V로 한 스텝형의 과도 전압 파형을 출력한 경우의 2차 지연계의 스텝 응답을 나타내는 도면이다. 스텝형의 과도 전압 파형은, 각 스텝에서의 스텝 시간의 중점을, 라이징 시간 T_r 의 중점으로부터 지나친 점 T_p 의 사이의 시간이 되도록 설정하여 중첩하고, 합계가 1 V가 되도록 출력한 것이다. 도 8에 나타난 바와 같이, 1 V의 전압을 출력한 경우의 2차 지연계의 스텝 응답에서는 큰 오버슈트를 발생시키는 데 비해, 스텝형의 과도 전압 파형을 상기와 같이 중첩한 경우는, 2차 지연계의 스텝 응답에 있어서 오버슈트를 제거할 수 있는 것을 알 수 있다. 또, 라이징 시간 T_r 의 중점으로부터 지나친 점 T_p 의 사이에 대응하는 시간에서는, 각 스텝에 있어서, 이론적으로는 오버슈트가 발생하는 경우도 있을 수 있지만, 실제로는, 각 전압이 중첩될 때에 응답의 지연이 존재하고, 오버슈트는 거의 생기지 않는다.

[0040] 이와 같이, 본 실시형태에서는, 설정 전압치를 포함하는 복수의 설정 조건에 대응하여, 과도 전압 설정 파라미터로서, 과도 스텝수, 스텝 시간 및 스텝 전압의 데이터가 복수 저장되어 있다. 그리고, 테스터(3)의 DPS(33)에 있어서, 전압 설정부(41)가, 주어진 소정의 설정 조건에 따라서, 데이터베이스로부터 과도 스텝수, 스텝 시간, 스텝 전압을 취득하고, 스텝형으로 출력 전압을 형성한다. 이 때, 테스터에 접속되는 DUT는, 기생 커패시터나 기생 인덕턴스를 고려하면 RLC 회로라고 생각되고, 스텝 입력에 대한 응답은 예컨대 2차 지연계가 된다고 생각된다. 이 때문에, 각 과도 스텝에서의 스텝 시간의 중점을, 2차 지연계의 스텝 응답 곡선에서의 라이징 시간 T_r 의 중점으로부터 지나친 점 T_p 의 사이에 대응하는 시간이 되도록 설정한다. 이것에 의해, DPS(33)의 출력 회로(43)의 변경을 수반하지 않고, DPS(33)로부터 출력되어 DUT 단부(44b)에 인가되는 전압의 라이징 파형을, 오버슈트 등이 거의 생기지 않는 것으로 할 수 있다. 또한, 이것에 의해 스텝 시간을 단시간으로 할 수도 있어, 단 시간에 설정 전압치에 도달시킬 수 있다.

[0041] 특허문헌 1에는, 테스터의 전원으로부터 웨이퍼에 형성된 DUT에 전압을 인가할 때에 스텝형으로 전압을 인가하는 기술이 제안되어 있지만, 특허문헌 1의 기술에서는, 단순히 스텝형으로 전압을 인가할 뿐이며, 시간이 관리되지 않았다. 이 때문에, 각 단에서 오버슈트가 발생할 우려가 있고, DUT에 대한 악영향을 확실하게 해소하는 것은 어렵다. 또한, 각 단에서의 오버슈트를 발생시키지 않도록 하기 위해서는, 1단당의 전압 상승을 작게 하여 횟수를 늘릴 필요가 있지만, 이 경우에는, 정상 전압이 될 때까지 매우 시간이 걸린다. 이것에 대하여, 본 실시형태에서는, 전술한 바와 같이, 회로의 변경을 수반하지 않고, DUT에 인가되는 출력 전압의 라이징 파형의 열화를 억제하여, 단 시간에 설정 전압치에 도달시킬 수 있다.

[0042] DPS로부터 1 V의 전압을 출력하고, DUT 단부에 큰 오버슈트가 생기는 조건에 있어서, 실제로 도 9에 나타난 바와 같이, DPS(33)로부터 출력되는 과도 전압 파형을, 스텝 전압을 0.5 V→0.2 V→0.15 V→0.1 V→0.05 V로 변화시킨 5 스텝으로 했다. 그리고, 각 스텝의 스텝 시간을, 라이징 시간 T_r 의 중점으로부터 지나친 점 T_p 의 사이에 대응하는 시간이 되도록 설정하여 출력했다. 그 결과, DUT 단부에서의 응답 파형은 도 10과 같이, 출력 응답이 중첩되어 슬로프가 형성된 것이 되어, 오버슈트가 생기지 않는 것이 확인되었다.

[0043] 종래, 테스터에 있어서는, 프로브 카드와 접속되는 포고핀의 단부(포고 단부)에서의 성능이 스펙되기 때문에, DUT 단부에 부하를 접속한 경우는, 기대한 전원 파형을 얻을 수 있는지 아닌지를 평가하는 것이 필요로 되었다. 평가한 결과, 오버슈트 등이 발생하는 경우는, 보상 회로를 프로브 카드에 만들어 넣는 등의 대책이 필요했다. 그러나, 본 실시형태에서는, DPS 회로의 변경이 불필요할 뿐만 아니라, 이러한 보상 회로도 이용할 필요도 없고, 또한, 기대한 전원 파형을 얻을 수 있는지 아닌지는 평가의 시간도 필요없어, 간편하게 오버슈트를 억제할 수 있다. 이 때문에, 본 실시형태의 기술은 매우 유용하다.

[0044] <다른 적용>

[0045] 이상, 실시형태에 관해 설명했지만, 이번에 개시된 실시형태는 모든 점에서 예시이며 제한적인 것이 아니라고 생각되어야 한다. 상기 실시형태는, 첨부한 특허청구범위 및 그 주지를 이탈하지 않고, 여러가지 형태로 생략, 치환, 변경되어도 좋다.

[0046] 예컨대, 상기 실시형태에서는, 스텝 전압을 스텝의 진행과 함께 서서히 감소시켰지만, 이것에 한정되지 않으며, 전압이 일정한 경우나, 후속 스텝의 전압의 증가분이 증가하는 경우, 증가 및 감소가 혼재하는 경우 등이어도 좋다.

[0047] 또한, 상기 실시형태에서는 DUT 단부에서의 전압의 2차 지연계의 오버슈트를 억제하는 경우에 관해 나타냈지만, 이것에 한정되지 않고, 전압의 오버슈트가 생기는 고차 지연계라면 적용할 수 있고, 또한, DUT 단부에서의 전압이 단조롭게 증가하지 않는 등, 다른 라이징 파형 불량률의 경우에도 적용할 수 있다.

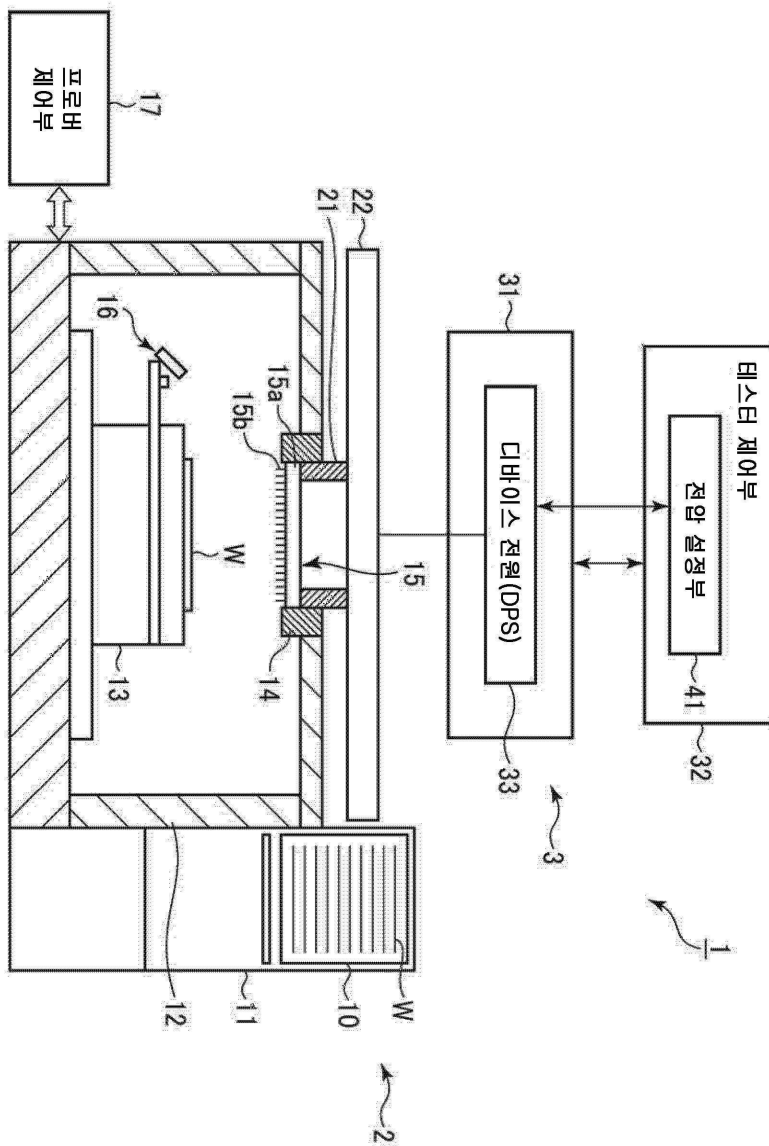
[0048] 또한, 상기 실시형태에서는, 테스터에 이용되며, 디바이스에 전압을 인가 하는 전압 인가 장치로서, DPS의 경우에 관해 설명했지만, 이것에 한정되지 않고, DUT에 전압을 인가할 때에 이용되는 테스터 구성 요소의 파라메트릭 측정 유닛(PMU)이나, 각종 드라이버 등, 다른 전압 인가 장치에 본 발명을 적용할 수도 있다.

부호의 설명

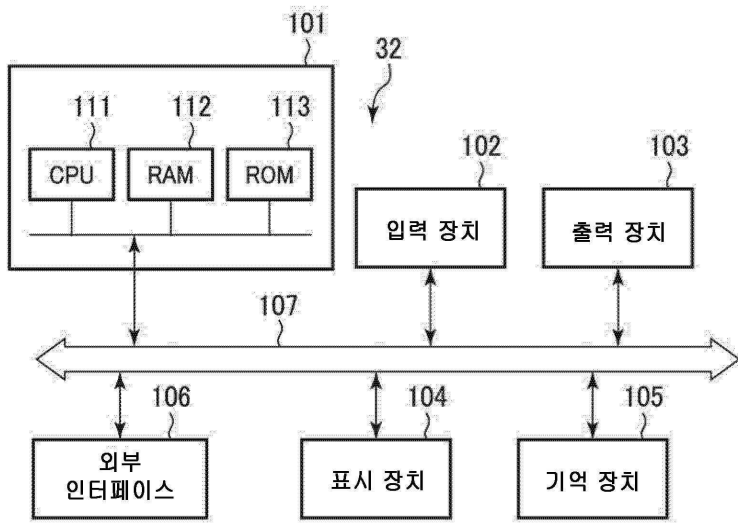
[0049] 1 : 검사 장치, 2 : 프로버, 3 : 테스터, 31 : 테스터 본체, 32 : 테스터 제어부, 33 : 디바이스 전원(DPS), 40 : DPS 본체, 41 : 전압 설정부, 45 : DUT, 46 : 부하, W : 웨이퍼

도면

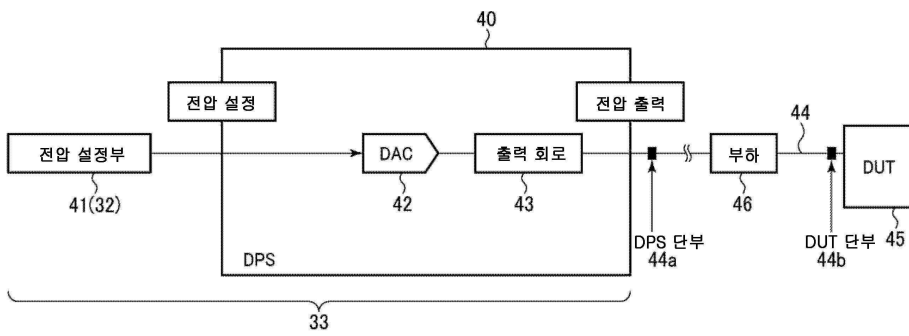
도면1



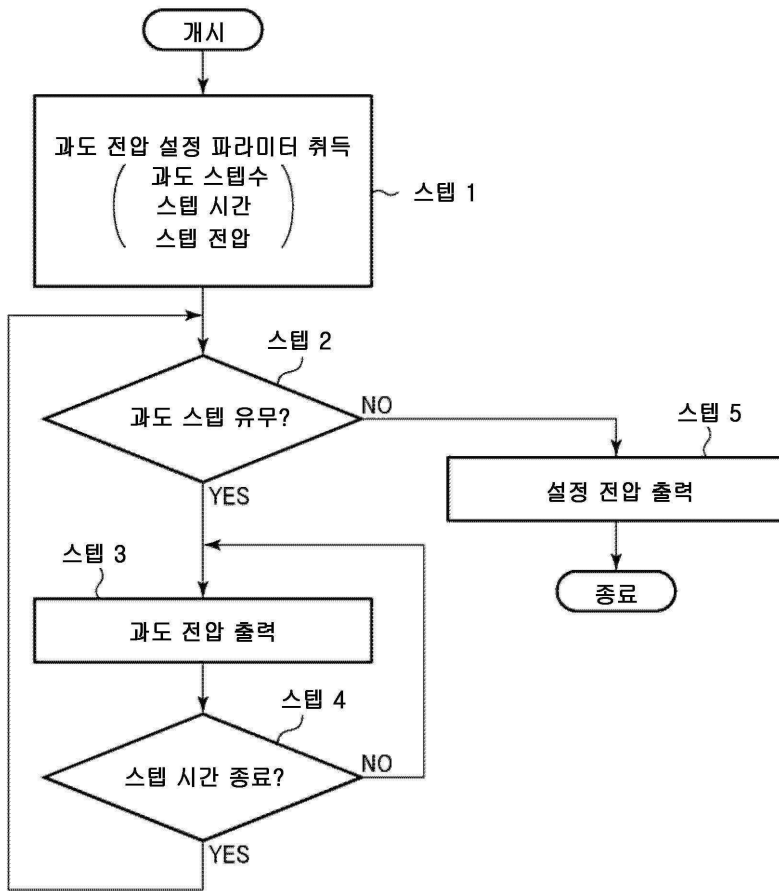
도면2



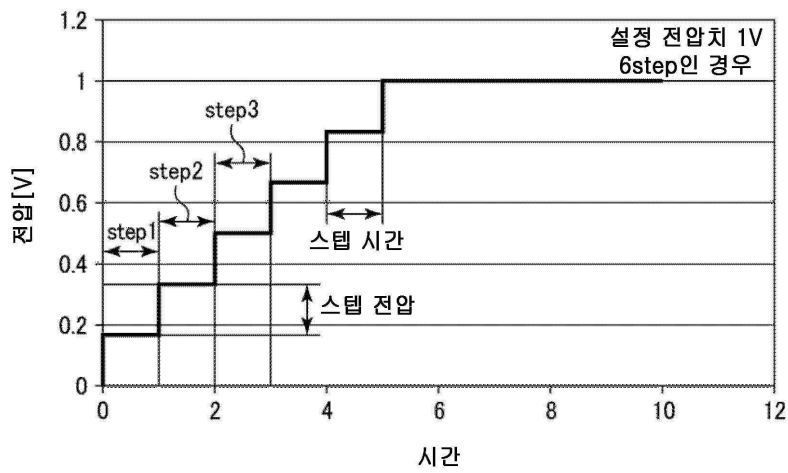
도면3



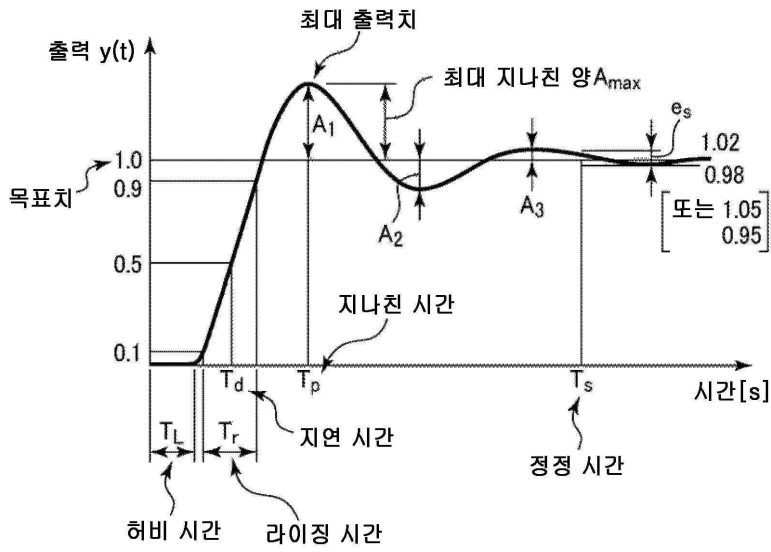
도면4



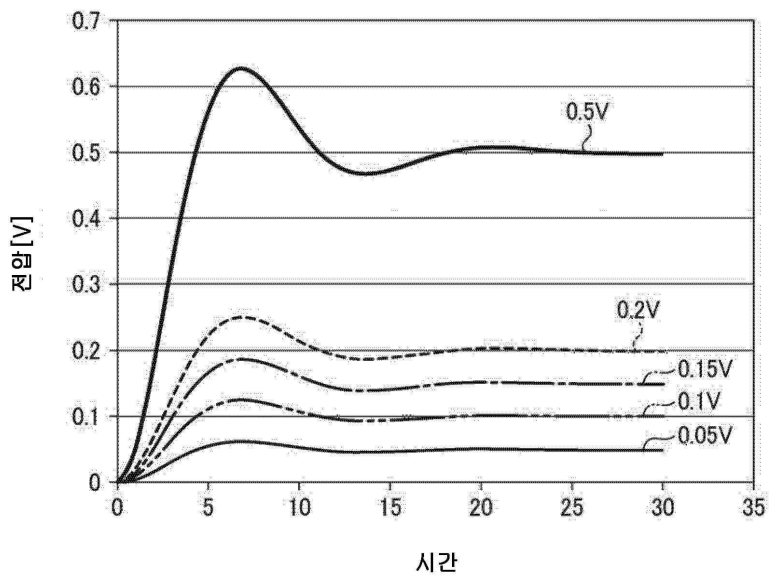
도면5



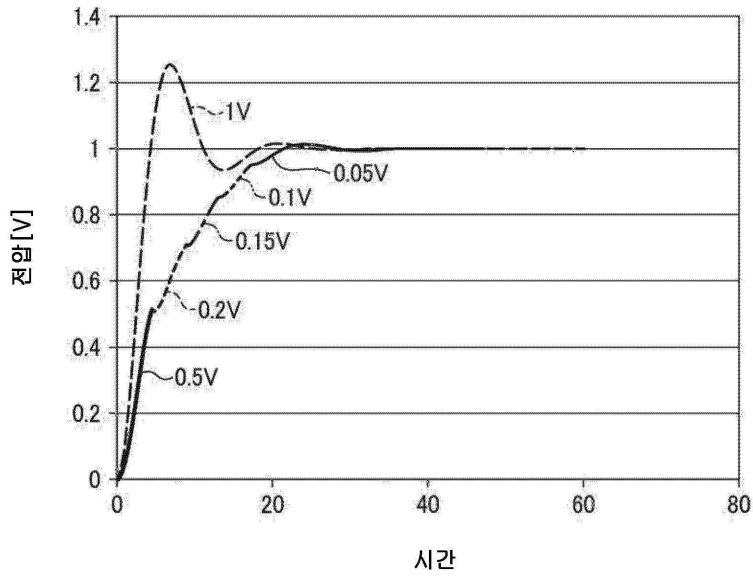
도면6



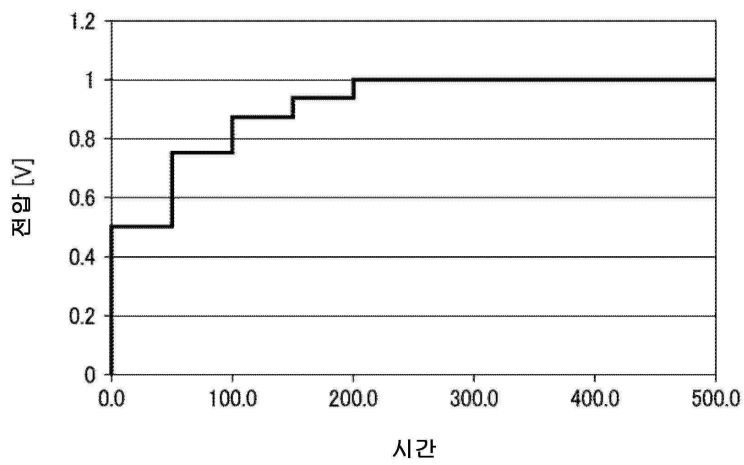
도면7



도면8



도면9



도면10

