



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0017880
(43) 공개일자 2017년02월15일

- | | |
|--|---|
| <p>(51) 국제특허분류(Int. Cl.)
 <i>H01L 21/20</i> (2006.01) <i>H01L 21/02</i> (2006.01)
 <i>H01L 21/205</i> (2006.01) <i>H01L 21/324</i> (2017.01)
 <i>H01L 21/48</i> (2006.01) <i>H01L 21/56</i> (2006.01)</p> <p>(52) CPC특허분류
 <i>H01L 21/2007</i> (2013.01)
 <i>H01L 21/02381</i> (2013.01)</p> <p>(21) 출원번호 10-2016-7031258
 (22) 출원일자(국제) 2014년06월13일
 심사청구일자 없음
 (85) 번역문제출일자 2016년11월08일
 (86) 국제출원번호 PCT/US2014/042316
 (87) 국제공개번호 WO 2015/191082
 국제공개일자 2015년12월17일</p> | <p>(71) 출원인
 인텔 코퍼레이션
 미합중국 캘리포니아 95054 산타클라라 미션 칼리지 블러바드 2200</p> <p>(72) 발명자
 전, 기민
 미국 97006 오리건주 헬스보로 유닛 203 노스웨스트 193번 애비뉴 1879
 라크마디, 윌리
 미국 97007 오리건주 비버튼 사우스웨스트 넷크래커 코트 10945
 (뒷면에 계속)</p> <p>(74) 대리인
 양영준, 김연송, 백만기</p> |
|--|---|

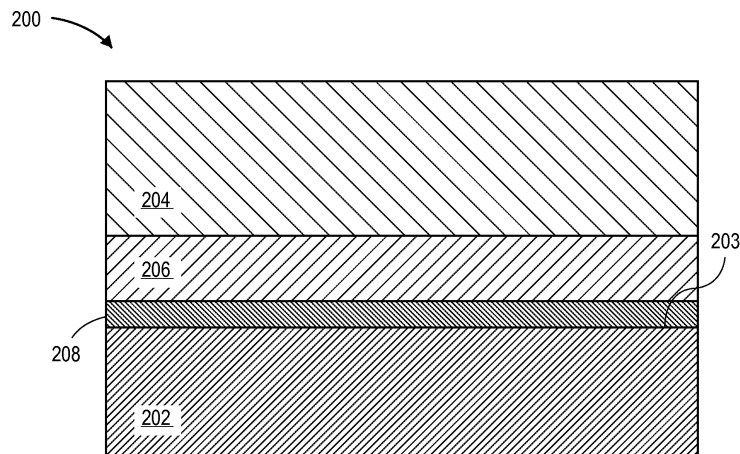
전체 청구항 수 : 총 25 항

(54) 발명의 명칭 웨이퍼 본딩을 위한 표면 캡슐화

(57) 요약

캡슐화 층을 갖는 웨이퍼 본딩을 위한 기술들이 개시된다. 제1 반도체 기판이 제공된다. 그 다음, 캡슐화 층이 제1 반도체 기판의 최상부 상에 형성된다. 캡슐화 층은, 산화제에 노출될 때 안정한 산화물을 생성하는 캡슐화 재료로 형성된다. 제1 본딩 층이 캡슐화 층의 최상부 상에 형성된다. 다음으로, 제2 반도체 기판이 제공된다. 제2 본딩 층이 제2 본딩 층의 최상부 상에 형성된다. 그 후, 제1 본딩 층을 제2 본딩 층에 부착함으로써 제1 반도체 기판이 제2 반도체 기판에 본딩된다.

대표도 - 도2a



(52) CPC특허분류

H01L 21/205 (2013.01)

H01L 21/324 (2013.01)

H01L 21/4832 (2013.01)

H01L 21/566 (2013.01)

H01L 21/568 (2013.01)

(72) 발명자

글래스, 글렌

미국 97229 오리건주 포틀랜드 노스웨스트 124번

애비뉴 5009

머시, 아난드

미국 97229 오리건주 포틀랜드 노스웨스트 루체른

코트 10934

명세서

청구범위

청구항 1

기관들을 본딩(bonding)하는 방법으로서,

제1 반도체 기관을 제공하는 단계;

상기 제1 반도체 기관의 최상부 상에 캡슐화 층을 형성하는 단계 — 상기 캡슐화 층은, 산화제에 노출될 때 안정한 산화물을 생성하는 캡슐화 재료로 형성됨 —;

상기 캡슐화 층의 최상부 상에 제1 본딩 층을 형성하는 단계 — 상기 제1 본딩 층은 제1 최상부 표면을 가짐 —;

제2 반도체 기관을 제공하는 단계;

상기 제2 반도체 기관의 최상부 상에 제2 본딩 층을 형성하는 단계 — 상기 제2 본딩 층은 제2 최상부 표면을 가짐 —; 및

상기 제1 최상부 표면을 상기 제2 최상부 표면에 본딩함으로써 상기 제1 반도체 기관을 상기 제2 반도체 기관에 부착하는 단계를 포함하는,

기관들을 본딩하는 방법.

청구항 2

제1항에 있어서,

상기 제1 반도체 기관은, 산화제에 노출될 때 불안정한 산화물을 생성하는 제1 반도체 재료를 포함하는,

기관들을 본딩하는 방법.

청구항 3

제2항에 있어서,

상기 제1 반도체 재료는 게르마늄을 포함하는,

기관들을 본딩하는 방법.

청구항 4

제2항에 있어서,

상기 산화제는 산소 및 물 중 적어도 하나인,

기관들을 본딩하는 방법.

청구항 5

제1항에 있어서,

상기 캡슐화 재료는 실리콘을 포함하는,

기관들을 본딩하는 방법.

청구항 6

제1항에 있어서,

상기 제1 최상부 표면 및 상기 제2 최상부 표면을 표면 처리하는 단계를 더 포함하는,

기관들을 본딩하는 방법.

청구항 7

제6항에 있어서,

상기 제1 최상부 표면 및 상기 제2 최상부 표면을 표면 처리하는 단계는, 상기 제1 최상부 표면 및 상기 제2 최상부 표면에 하이드록시 말단(hydroxyl termination)을 생성하는,

기관들을 본딩하는 방법.

청구항 8

제1항에 있어서,

상기 제1 반도체 기관을 상기 제2 반도체 기관에 부착하는 단계는, 상기 제1 본딩 층 및 상기 제2 본딩 층의 확산 본딩에 의해 수행되는,

기관들을 본딩하는 방법.

청구항 9

제8항에 있어서,

열적 어닐링을 적용하는 단계를 더 포함하는,

기관들을 본딩하는 방법.

청구항 10

제1항에 있어서,

상기 제1 본딩 층 및 상기 제2 본딩 층을 형성하는 단계는 퇴적 프로세스에 의해 형성되는,

기관들을 본딩하는 방법.

청구항 11

제10항에 있어서,

상기 퇴적 프로세스는, 실리콘 산화물 재료를 퇴적하는 CVD 프로세스인,

기관들을 본딩하는 방법.

청구항 12

제1항에 있어서,

상기 제1 본딩 층을 형성하는 단계는 산화에 의해 수행되는,

기관들을 본딩하는 방법.

청구항 13

본딩된 반도체 구조체로서,

제1 반도체 기관;

제2 반도체 기관;

상기 제1 반도체 기관과 상기 제2 반도체 기관 사이에 배치되는 본딩 층 — 상기 본딩 층은 상기 제1 반도체 기관을 상기 제2 반도체 기관에 부착시킴 —; 및

상기 제1 반도체 기관과 상기 본딩 층 사이에 배치되는 캡슐화 층을 포함하는,

본딩된 반도체 구조체.

청구항 14

제13항에 있어서,
상기 제1 반도체 기판은 게르마늄을 포함하는,
본딩된 반도체 구조체.

청구항 15

제13항에 있어서,
상기 제2 반도체 기판은 실리콘을 포함하는,
본딩된 반도체 구조체.

청구항 16

제13항에 있어서,
상기 캡슐화 층은 실리콘을 포함하는,
본딩된 반도체 구조체.

청구항 17

제13항에 있어서,
상기 캡슐화 층은 2 내지 6 nm 범위의 두께를 갖는,
본딩된 반도체 구조체.

청구항 18

제13항에 있어서,
상기 본딩 층은, 2 내지 3 J/m²의 접착 강도로 상기 제1 기판을 상기 제2 기판에 본딩하는,
본딩된 반도체 구조체.

청구항 19

제13항에 있어서,
상기 본딩 층은 50 내지 150 nm 범위의 두께를 갖는,
본딩된 반도체 구조체.

청구항 20

컴퓨터 디바이스로서,
마더보드;
상기 마더보드 상에 장착되는 프로세서; 및
상기 프로세서와 동일한 칩 상에 제조되거나 상기 마더보드 상에 장착되는 통신 칩을 포함하고,
상기 프로세서는,
제1 반도체 기판;
제2 반도체 기판;
상기 제1 반도체 기판과 상기 제2 반도체 기판 사이에 배치되는 본딩 층 - 상기 본딩 층은 상기 제1 반도체 기판을 상기 제2 반도체 기판에 부착시킴 -; 및

상기 제1 반도체 기판과 상기 본딩 층 사이에 배치되는 캡슐화 층을 포함하는,
컴퓨터 디바이스.

청구항 21

제20항에 있어서,
상기 제1 반도체 기판은 게르마늄을 포함하는,
컴퓨터 디바이스.

청구항 22

제20항에 있어서,
상기 제2 반도체 기판은 실리콘을 포함하는,
컴퓨터 디바이스.

청구항 23

제20항에 있어서,
상기 캡슐화 층은 실리콘을 포함하는,
컴퓨터 디바이스.

청구항 24

제23항에 있어서,
상기 캡슐화 층은 에피택셜(epitaxial) 실리콘인,
컴퓨터 디바이스.

청구항 25

제20항에 있어서,
상기 캡슐화 층은 2 내지 6 nm 범위의 두께를 갖는,
컴퓨터 디바이스.

발명의 설명

기술 분야

[0001] 본 발명의 실시예들은 일반적으로 반도체 웨이퍼 본딩(bonding) 프로세스들에 관한 것이다. 더 상세하게는, 본 발명의 실시예들은 반도체 웨이퍼 본딩 프로세스들을 위한 표면 캡슐화 층들에 관한 것이다.

배경 기술

[0002] 실리콘은, 태블릿들, 셀 폰들 및 랩탑/노트북 컴퓨터들과 같은 현대의 일렉트로닉스에서의 반도체 디바이스들을 제조하기 위해 전 세계적으로 채택된 반도체 재료이다. 그러나, 이러한 산업에서 기술적 진보는, 더 적은 전력 소모 및 더 높은 성능과 같은 현대의 소비자의 요구 및 기대가 주어지면, 반도체 디바이스들의 제조를 위한 기본 재료로서의 실리콘의 능력들로는 불충분하게 되는 지점까지 진행해 왔다. 그 결과, 실리콘의 적절한 대체물 또는 보완물을 발견하기 위한 노력으로 대안적인 재료들이 개발되고 있다. 연구에 의하면 게르마늄이 가장 촉망받는 이러한 반도체 재료들 중 하나임을 나타낸다.

도면의 간단한 설명

[0003] 도 1a는 제1 기판 및 제2 기판을 갖는 종래의 이종(heterogeneous) 본딩된 웨이퍼 구조체의 단면도를 예시한다.

도 1b는 종래의 이중 본딩된 웨이퍼 구조체로부터 형성되는 종래의 핀(fin)들의 단면도를 예시한다.

도 2a는 본 발명의 일 실시예에 따라, 캡슐화 층을 갖는 이중 본딩된 웨이퍼 구조체의 단면도를 예시한다.

도 2b는 본 발명의 일 실시예에 따라, 캡슐화 층을 갖는 이중 본딩된 웨이퍼 구조체로 형성되는 핀들의 단면도를 예시한다.

도 3a 내지 도 3d는 본 발명의 일 실시예에 따라, 제2 기관과의 본딩을 위해 제1 기관을 준비하는 방법의 단면도들을 예시한다.

도 4a 내지 도 4c는 본 발명의 일 실시예에 따라, 제1 기관과의 본딩을 위해 제2 기관을 준비하는 방법의 단면도들을 예시한다.

도 5a 내지 도 5b는 본 발명의 일 실시예에 따라, 제1 기관과 제2 기관을 본딩하는 방법의 단면도들을 예시한다.

도 6a는 본 발명의 일 실시예에 따라, 산화물 층에 의해 기관에 이중 부착되는 캡슐화 층을 갖는 핀을 포함하는 비평면적 finFET 디바이스의 등각도를 예시한다.

도 6b는 본 발명의 일 실시예에 따라, 산화물 층에 의해 기관에 이중 부착되는 캡슐화 층을 갖는 핀을 포함하는 비평면적 finFET 디바이스의 단면도를 예시한다.

도 7은 본 발명의 하나 이상의 실시예들을 구현하는 인터포저(interposer)를 예시한다.

도 8은 본 발명의 일 실시예에 따라 구축되는 컴퓨팅 디바이스를 예시한다.

발명을 실시하기 위한 구체적인 내용

[0004]

캡슐화 층을 포함하는 본딩된 기관 스택(stack)들 및 이들의 제조 방법들이 본원에서 설명된다. 하기 설명에서, 예시적인 구현들의 다양한 형태들은, 본 기술분야의 다른 기술자들에게 자신들의 작업의 요지를 전달하기 위해 본 기술분야의 통상의 기술자들에 의해 통상적으로 이용되는 용어들을 이용하여 설명될 것이다. 그러나, 본 발명이 설명된 형태들 중 오직 일부만으로도 실시될 수 있음은 본 기술분야의 통상의 기술자들에게 자명할 것이다. 설명의 목적으로, 예시적인 구현들의 철저한 이해를 제공하기 위해 특정 숫자들, 재료들 및 구성들이 기술된다. 그러나, 특정 세부사항들 없이도 본 발명이 실시될 수 있음은 실시될 수 있음은 본 기술분야의 통상의 기술자들에게 자명할 것이다. 다른 예들에서, 예시적인 구현들을 모호하게 하지 않기 위해 널리 공지된 특징들은 생략 또는 단순화된다.

[0005]

다양한 동작들은 다수의 이산적인 동작들로, 결국, 본 발명을 이해하는데 가장 도움이 되는 방식으로 설명될 것이지만, 설명의 순서는, 이러한 동작들이 반드시 순서 의존적인 것을 의미하도록 해석되어서는 안 된다. 특히, 이러한 동작들은 제시 순서대로 수행될 필요가 없다.

[0006]

본 발명의 실시예들은, 제1 기관을 제2 기관에 본딩하기 위해 캡슐화 층을 통합하는 방법들로 의도된다. 본 발명의 일 실시예에서, 제1 기관이 제공된다. 일 실시예에서, 제1 기관은, 산화되는 경우 서브-산화물(sub-oxide)들을 생성하는 반도체 재료로 형성된다. 일 실시예에서, 반도체 재료는 게르마늄이다. 그 다음, 캡슐화 층이 제1 기관의 최상부 표면 상에 형성된다. 그 후, 제1 본딩 산화물 층이 캡슐화 층 상에 퇴적된다. 캡슐화 층은, 제1 본딩 산화물 층이 제1 기관과 접촉하는 것을 금지함으로써 제1 기관의 산화를 방지한다. 일 실시예에서, 캡슐화 층은, 산화되는 경우 안정한 산화물을 생성하는 재료로 형성된다. 일 실시예에서, 재료는 실리콘이다. 실리콘 기관과 같은 제2 기관이 제공된다. 제2 본딩 산화물 층이 제2 기관의 최상부 표면 상에 퇴적된다. 그 다음, 제1 본딩 산화물 층을 제2 본딩 산화물 층에 부착함으로써 제2 기관 및 제1 기관은 함께 본딩된다. 캡슐화 층은 본딩 동안 제1 기관의 산화를 방지하여, 제2 기관으로부터 제1 기관의 디라미네이션(delamination) 가능성을 실질적으로 최소화함으로써 제1 기관과 제2 기관 사이에 견고한 결합(bond)을 생성한다.

[0007]

도 1a에 도시된 바와 같이, 웨이퍼 본딩을 위한 기술들은, 게르마늄 기관(102)을, 예를 들어 실리콘과 같은 상이한 반도체 재료로 형성된 다른 기관(104)에 부착하기 위해 얇은 산화물 층(106)을 활용한다. 산화물 층(106)이 베어(bare) 게르마늄 상에 퇴적되는 경우, 산화물 층(106)과 게르마늄 기관(102) 사이의 계면에서 자연적으로 산화가 발생하여, 게르마늄 산화물(108)의 얇은 층을 형성할 수 있다. 추가적으로, 산화물 층(106)이 반도체 기관(104)을 게르마늄 기관(102)에 화학적으로 본딩하는 경우, 화학적 본딩의 부산물로서 물 분자들이 생

성된다. 물 분자들은 게르마늄 기판을 추가적으로 산화시킬 뿐만 아니라 퇴적 프로세스로부터 형성된 게르마늄 산화물 층을 용해한다. 다운스트림 반도체 프로세스들은 또한 게르마늄 기판의 추가적인 산화를 도출할 수 있다. 예를 들어, 도 1b에 예시된 바와 같이, 게르마늄 기판(102)을 패터닝함으로써 핀들(111)이 형성될 수 있다. 핀들(111)을 형성함으로써, 게르마늄 기판(102)과 산화물 층(106) 사이 노출된 계면 영역들(112)은 다운스트림 반도체 프로세스들 동안 게르마늄 기판(102)의 추가적인 산화를 허용할 수 있다. 게르마늄 산화물(108) 층은, 게르마늄 기판(102)과 실리콘 기판(104) 사이에서 열악한 접착을 초래하는 불안정한 산화물 층이다. 추가적으로, 게르마늄 산화물(108) 층은 물에서 쉽게 용해된다. 따라서, 게르마늄 기판(102)은, 산화물 층(106)으로부터의 디라미네이션에 의해 실리콘 기판(104)으로부터 쉽게 분리된다.

[0008] 도 2a는, 본 발명의 일 실시예에 따라, 캡슐화 층(208)을 갖는 이중 본딩된 기판 스택(200)의 단면도를 예시한다. 일 실시예에서, 제1 기판(202)은, 안정한 산화물 상(phase)이 없는 반도체 재료이다. 즉, 반도체 재료는, 산소(O_2) 및/또는 물(H_2O)과 같은 산화제에 노출되는 경우 불안정한 산화물 재료를 형성한다. 일 실시예에서, 제1 반도체 재료는 게르마늄이다. 제2 기판(204)이 제공된다. 제2 기판(204)은 반도체 제조에 이용되는 임의의 적절한 기판일 수 있다. 일 실시예에서, 제2 기판(204)은 벌크(bulk) 단결정(monocrystalline) 실리콘 기판이다.

[0009] 본딩된 산화물 층(206)은 제1 기판(202)과 제2 기판(204) 사이에 배치된다. 일 실시예에서, 본딩된 산화물 층(206)은 제2 기판(204)과 캡슐화 층(208) 사이에 직접 배치된다. 본딩된 산화물 층(206)은 캡슐화 층(208) 및 제1 기판(202)을 제2 기판(204)에 부착하여, 이중 본딩된 기판 스택(200)과 같은 이중 구조체를 형성한다. 그 다음, 이중 본딩된 기판 스택(200)은, 도 6에 예시된 비평면적 finFET 디바이스와 같은 반도체 디바이스 또는 복수의 반도체 디바이스들을 형성하기 위해 이용될 수 있다. 본딩된 산화물 층(206)은, 기판들을 함께 본딩할 수 있는 임의의 적절한 재료로 형성될 수 있다. 일 실시예에서, 본딩된 산화물 층(206)은 실리콘 산화물(SiO_2)로 형성된다. 특정 실시예에서, 본딩된 산화물 층(206)은 실리콘 이산화물(SiO_2)로 형성된다. 본딩된 산화물 층(206)은, 산화물 확산 본딩 프로세스와 같은 본딩 프로세스에 의해 함께 융합된 2개의 별개의 본딩 산화물 층들로 이루어질 수 있다.

[0010] 캡슐화 층(208)은 제1 기판(202)의 최상부 표면(203) 바로 위에 배치된다. 캡슐화 층(208)은, 산화물 재료의 퇴적 동안 게르마늄 기판과 같은 제1 기판(202)의 산화를 방지한다. 추가적으로, 캡슐화 층(208)은 산화물 확산 본딩 프로세스 동안 생성되는 물 부산물들을 흡수한다. 캡슐화 층(208)은 또한 다운스트림 반도체 프로세스들로부터 제1 기판(202)의 산화를 최소화할 수 있다. 예를 들어, 도 2b에 도시된 바와 같이, 제1 기판(202)을 패터닝함으로써 핀들(211)이 형성될 수 있다. 핀들(211)을 형성함으로써, 핀들(211)의 엣지 근처의 노출된 계면 영역들(213)은 다운스트림 반도체 프로세스들로부터의 물에 대한 노출에 취약해질 수 있다. 그러나, 제1 기판(202)과 캡슐화 층(208) 사이의 계면에 불안정한 산화물이 존재하지 않기 때문에, 핀들(211)은 쉽게 디라미네이트되지 않는다. 필수적으로, 캡슐화 층(208)은 계면에서 제1 기판(202)의 산화를 방지 및/또는 최소화하기 위한 패시베이션(passivation) 층으로 작용한다. 제1 기판의 산화를 방지 및/또는 최소화하는 것은, 견고한 결합이 제2 기판(204)과 제1 기판(202) 사이에 형성되도록 허용한다. 실시예들에서, 캡슐화 층(208)은, O_2 및/또는 H_2O 와 같은 산화제에 노출되는 경우 안정한 산화물 상을 형성하는 재료로 형성된다. 캡슐화 층은 제1 기판(202)의 산화를 방지하기에 충분한 두께를 갖도록 형성될 수 있다. 일 실시예에서, 캡슐화 층(208)은 2 내지 6 nm 범위의 두께를 갖는다. 특정 실시예에서, 캡슐화 층(208)은 약 4 nm의 두께를 갖는다. 추가적으로, 실시예들에서, 캡슐화 층(208)은, 제1 기판(202) 상에서 헤테로에피택셜리(heteroepitaxially) 성장될 수 있는 재료로 형성된다. 일 실시예에서, 캡슐화 층(208)은, 산화되는 경우 안정한 산화물을 형성하는 재료로 형성된다. 일 실시예에서, 캡슐화 층은 실리콘으로 형성된다. 특정 실시예에서, 캡슐화 층(208)은 에피택셜(epitaxial) 실리콘이다.

[0011] 도 3a 내지 도 5b는 본 발명의 실시예들에 따른 이중 본딩된 기판 스택(200)을 형성하는 방법을 예시한다. 더 구체적으로, 도 3a 내지 도 3d는, 본 발명의 실시예들에 따라, 제2 본딩 기판(400)과의 본딩을 위해 제1 본딩 기판(300)을 형성하는 방법의 단면도들을 예시한다. 도 4a 내지 도 4c는, 본 발명의 실시예들에 따라, 제1 본딩 기판(300)과의 본딩을 위해 제2 본딩 기판(400)을 형성하는 방법의 단면도들을 예시한다. 도 5a 내지 도 5b는, 본 발명의 실시예들에 따라, 제1 본딩 기판(300)을 제2 본딩 기판(400)에 본딩하는 방법의 단면도들을 예시한다.

[0012] 이제, 도 3a 내지 도 3d를 참조하여, 제1 본딩 기판(300)을 형성하는 방법이 예시된다. 도 3a에서, 최상부 표면(203)을 갖는 제1 기판(202)이 제공된다. 일 실시예에서, 제1 기판(202)은, 안정한 산화물 상이 없는 재료로

형성된다. 즉, 재료는, O_2 및/또는 H_2O 와 같은 산화제에 노출되는 경우 불안정한 산화물 재료를 형성한다. 불안정한 산화물 재료는, 화학량론적 이상(stoichiometric ideal)보다 작은 서브-산화물 재료일 수 있다. 예를 들어, 화학량론적으로 이상적인 게르마늄 산화물(GeO_2)은 2:1의 산소-대-게르마늄 비를 가질 수 있다. 비-화학량론적으로 이상적인 것보다 작은 게르마늄 산화물(예를 들어, GeO_x , 여기서 x 는 2보다 작음)은 2:1보다 작은 산소-대-게르마늄 비(즉, $GeO_{1.5}$ 또는 $GeO_{1.8}$)를 가질 수 있다. 불안정한 산화물 재료들은 외부 환경과의 반응에 취약하다. 제1 기판(202)은, 불안정한 산화물을 형성하는 임의의 재료로 형성될 수 있다. 일 실시예에서, 제1 기판(202)은 게르마늄으로 형성된다. 일 실시예에서, 제1 기판(202)은, 갈륨 비소(GaAs), 인듐 갈륨 비소(InGaAs), 알루미늄 갈륨 비소(AlGaAs) 및 인듐 주석(InSb)과 같은(그러나, 이에 제한되는 것은 아님), 불안정한 산화물을 형성하는 다른 재료들로 형성된다. 일 실시예에서, 제1 기판(202)은 벌크 게르마늄 기판으로 형성된다. 일 실시예에서, 제1 기판(202)은, 적어도 50%의 Ge를 포함하는 반도체 재료로 형성된다. 특정 실시예에서, 제1 기판(202)은, 적어도 90%의 Ge를 포함하는 반도체 재료로 형성된다. 일 실시예에서, 제1 기판(202)의 적어도 최상부 표면은, 산화제에 노출되는 경우 불안정한 산화물을 형성하는 재료로 형성된다.

[0013] 다음으로, 도 3b에 도시된 바와 같이, 캡슐화 층(208)은 제1 기판(202)의 최상부 표면(203) 상에 형성된다. 일 실시예에서, 캡슐화 층(208)은, 안정한 산화물 상을 갖는 재료로 형성된다. 즉, 재료는, O_2 및/또는 H_2O 와 같은(그러나, 이에 제한되는 것은 아님) 산화제에 노출되는 경우 불안정한 산화물을 형성하지 않는다. 일 실시예에서, 캡슐화 층(208)은 실리콘으로 형성된다. 특정 실시예에서, 캡슐화 층(208)은 에피택셜 실리콘이다. 일 실시예에서, 캡슐화 층(208)은 에피택셜 실리콘이고, 제1 기판(202)은 게르마늄이다. 캡슐화 층(208)은 제1 기판(202) 상에 헤테로에피택셜리 성장되어, 캡슐화 층(208)은 제1 기판(202)의 하나 이상의 결정학상의 배향들에 락킹된다(locked). 따라서, 캡슐화 층(208)은 제1 기판(202)의 격자 구조체와 통합될 수 있다. 대안적으로, 캡슐화 층(208)은 비정질 막으로서 퇴적될 수 있다. 캡슐화 층(208)은, 화학 기상 퇴적(CVD), 물리 기상 퇴적(PVD), 원자 층 퇴적(ALD) 및 분자 빔 에피택시(MBE)와 같은(그러나, 이에 제한되는 것은 아님) 본 기술분야에 널리 공지된 임의의 적절한 프로세스에 의해 형성될 수 있다. 일 실시예에서, 캡슐화 층(208)은, 제1 기판(202)의 산화가 발생하는 것을 방지하기 위해, 제1 기판(202)의 최상부 표면(203)을 패시베이션하기에 충분한 두께 t_1 을 갖는다. 추가적으로, 캡슐화 층(208)의 두께 t_1 은, 제1 기판(202)의 최상부 표면(203)에 물이 접촉하는 것을 방지하기 위해, 웨이퍼 본딩 프로세스 동안 생성되는 실질적으로 모든 물 부산물들을 흡수하기에 충분하다. 일 실시예에서, 캡슐화 층(208)의 두께 t_1 은 2 nm 내지 6 nm의 범위이다. 특정 실시예에서, 캡슐화 층(208)의 두께 t_1 은 약 4 nm이다.

[0014] 그 다음, 도 3c에 도시된 바와 같이 캡슐화 층(208)의 최상부 표면(209) 상에 제1 본딩 산화물 층(206A)이 형성되어, 제1 본딩 기판(300)을 형성한다. 제1 본딩 산화물 층(206A)은 최상부 표면(210)을 갖는다. 제1 본딩 산화물 층(206A)은, 아래에서 설명되는 도 4b의 제2 본딩 산화물 층(206B)과 같은 다른 재료에 화학적으로 본딩할 수 있는 재료로 형성될 수 있다. 일 실시예에서, 제1 본딩 산화물 층(206A)은 산화물 재료로 형성된다. 예를 들어, 일 실시예에서, 제1 본딩 산화물 층(206A)은 SiO_x 이다. 특정 실시예에서, 본딩 산화물 층(206A)은 SiO_2 이다. 제1 본딩 산화물 층(206A)은, 다른 본딩 층에 접촉되는 경우 강한 결합을 형성하기에 충분한 두께 t_2 를 갖도록 형성된다. 두께 t_2 는, 통상적인 웨이퍼 핸들링 힘 뿐만 아니라 후속적인 반도체 프로세싱을 견딜 수 있는 본딩 강도를 갖는 결합 형성을 가능하게 한다. 일 실시예에서, 본딩 강도는 $2-3 \text{ J/m}^2$ 의 범위이다. 추가적으로, 일 실시예에서, 두께 t_2 는, 본딩 산화물 층(206A) 위에 형성되지 않는 인접 디바이스들과 같은 다른 디바이스들과의 집적을 가능하게 할만큼 충분히 얇다. 따라서, 일 실시예에서, 제1 본딩 산화물 층(206A)의 두께 t_2 는 25 nm 내지 75 nm의 범위이다. 특정 실시예에서, 제1 본딩 산화물 층(206A)의 두께 t_2 는 50 nm이다. 제1 본딩 산화물 층(206A)은, 화학 기상 퇴적(CVD) 또는 물리 기상 퇴적(PVD)과 같은 임의의 적절한 퇴적 프로세스에 의해 형성될 수 있다. 대안적으로, 제1 본딩 산화물 층(206A)은, 캡슐화 층(208)의 일부가 산화물 재료를 형성하도록 소모되는 산화에 의해 형성될 수 있다. 일 실시예에서, 캡슐화 층(208)의 최상부 부분은 제1 본딩 산화물 층(206A)으로 산화된다. 이러한 실시예들에서, 캡슐화 층(208)은 산화 프로세스 동안 캡슐화 재료의 소모 및 체적 팽창을 보상하기 위해, 초기에, 최종 캡슐화 층 두께 t_1 과 최종 제1 산화물 층 두께 t_2 의 합과 동일한 균등한 두께 t_3 을 갖도록 형성된다.

[0015] 다음으로, 도 3d에서, 제1 본딩 기판(300)은 본딩을 위해 준비된다. 일 실시예에서, 제1 본딩 기판(300)의 준비는, 하이드록시(hydroxyl)(OH) 말단(termination)(302)의 군(population)을 최대화하도록 제1 본딩 산화물 층(206A)의 최상부 표면(210)을 처리하는 것을 포함한다. 각각의 OH 말단(302)은, 화학적 결합이 형성될 수 있는 활성 사이트(site)이다. 제1 본딩 산화물 층(206A)의 최상부 표면(210)에서 OH 말단(302)을 최대화하는 것

은, 화학적 본딩이 발생할 수 있는 더 많은 활성 사이트들을 생성한다. 따라서, 제1 본딩 산화물 층(206A)은 더 강한 화학적 결합을 형성할 수 있다. 특정 실시예에서, 제1 본딩 산화물 층(206A)의 최상부 표면(210)은 플라즈마 프로세스 또는 습식 화학 처리에 의해 활성화된다. 일 실시예에서, 플라즈마 프로세스는, 실온에서 O_2 에시(ash)와 같은 산소 플라즈마 프로세스이다. 대안적으로, 일 실시예에서, 습식 화학 처리는, 염산을 포함한 화학적 혼합물에 의한 RCA 세정이다. 일 실시예에서, OH 말단(302)을 최대화하는 것은, 과산화수소(H_2O_2)와 같은 화학적 용액에 제1 본딩 산화물 층(206A)의 최상부 표면(210)을 노출시킴으로써 수행된다.

[0016] 도 4a 내지 도 4c에서, 본 발명의 실시예들에 따라 제2 본딩 기관(400)을 형성하는 방법이 예시된다. 도 4a에서, 최상부 표면(205)을 갖는 제2 기관(204)이 초기에 제공된다. 제2 기관(204)은 반도체 디바이스 제조에 이용되는 임의의 적절한 기관일 수 있다. 예를 들어, 일 실시예에서, 제2 기관(204)은 벌크 단결정 실리콘 기관이다. 대안적인 실시예에서, 제2 기관(204)은 사파이어 기관이다.

[0017] 그 후, 도 4b에서, 본 발명의 실시예들에 따라, 제2 본딩 산화물 층(206B)이 제2 기관(204)의 최상부 표면(205) 바로 위에 형성되어, 제2 본딩 기관(400)을 형성한다. 일 실시예에서, 제2 본딩 산화물 층(206B)은 최상부 표면(212)을 갖는다. 제2 본딩 산화물 층(206B)의 최상부 표면(212)은 또한 제2 본딩 기관(400)의 최상부 표면(212)이다. 제2 본딩 산화물 층(206B)은, 제1 본딩 산화물 층(206A)과 화학적으로 본딩할 수 있는 임의의 적절한 산화물 층으로 형성될 수 있다. 일 실시예에서, 제2 본딩 산화물 층(206B)은 제1 본딩 산화물 층(206A)과 동일한 재료로 형성된다. 대안적으로 제2 본딩 산화물 층(206B)은 제1 본딩 산화물 층(206A)과 상이한 재료로 형성된다. 일 실시예에서, 제2 본딩 산화물 층(206B)은 SiO_x 로 형성된다. 특정 실시예에서, 제2 본딩 산화물 층(206B)은 SiO_2 로 형성된다. 제2 본딩 산화물 층(206B)은, 웨이퍼 조작 및 후속 반도체 프로세싱을 견디기 위해, 제1 본딩 산화물 층(206A)과 강한 화학적 결합을 가능하게 하기에 충분한 두께 t_4 를 갖는다. 일 실시예에서, 제2 본딩 산화물 층(206B)의 두께 t_4 는 25 nm 내지 75 nm의 범위이다. 특정 실시예에서, 제2 본딩 산화물 층(206B)의 두께 t_4 는 50 nm이다.

[0018] 다음으로, 도 4c에서, 제2 본딩 기관(400)은 본딩을 위해 준비된다. 앞서 설명된 도 3d의 제1 본딩 산화물 층(206A)의 최상부 표면(210)과 유사하게, 제2 본딩 산화물 층(206B)의 최상부 표면(212)은 하이드록시(OH) 말단(402)의 군을 최대화하도록 처리된다. OH 말단(402)의 수를 증가시키는 것은, 제2 본딩 산화물 층(206B)이 제1 본딩 산화물 층(206A)과 강한 화학적 결합을 형성하도록 허용한다. 본 발명의 실시예들에 따라 강한 화학적 결합을 형성하는 프로세스는 아래에서 논의된다.

[0019] 도 5a는, 본딩을 위해 서로 정렬되는 제1 본딩 기관(300) 및 제2 본딩 기관(400)을 예시한다. 제1 본딩 산화물 층(206A) 상의 OH 말단(302)은, 제2 본딩 산화물 층(206B) 상의 OH 말단(402)을 향할 수 있다.

[0020] 그 후, 도 5b에 도시된 바와 같이, 제1 본딩 기관(300)은 제2 본딩 기관(400)과 본딩되어, 본 발명의 실시예들에 따른 이중 본딩된 기관 스택(200)을 형성한다. 실시예들에서, 제1 본딩 기관(300)의 제1 본딩 산화물(206A)은 본딩 사이트(502)에서 제2 본딩 기관(400)의 제2 본딩 산화물(206B)과 본딩된다. 따라서, 제1 및 제2 본딩 산화물들(206A 및 206B)은 단일 본딩된 산화물 층(206)으로 융합된다. 일 실시예에서, 본딩된 산화물 층(206)은, 제1 기관(202)을 제2 기관(204)에 고정적으로 본딩하기에 충분한 접착 강도를 형성하는 두께 t_5 를 가져서, 이중 본딩된 기관 스택(200)은 통상적인 웨이퍼 핸들링 및 후속적 반도체 프로세싱을 견딜 수 있다. 추가적으로, 본딩된 산화물 층(206)은, 본딩 산화물 층(206B) 위에 형성되지 않는 인접 디바이스들과 같은 다른 디바이스들과의 디바이스 집적을 가능하게 할만큼 충분히 얇다. 특정 실시예에서, 본딩된 산화물 층(206)의 두께 t_5 는, 각각 제1 본딩 산화물 층(206A) 및 제2 본딩 산화물 층(206B)의 두께들 t_2 및 t_4 의 합이다. 예를 들어, 본딩된 산화물 층(206)의 두께 t_5 는 50 nm 내지 150 nm의 범위일 수 있다. 일 실시예에서, 본딩된 산화물 층(206)의 두께 t_5 는 100 nm이다. 일 실시예에서, 본딩된 산화물 층(206)에 의해 생성되는 접착 강도는 적어도 2 J/m^2 이다. 특정 실시예에서, 접착 강도는 $2-3 \text{ J/m}^2$ 의 범위이다.

[0021] 제1 본딩 기관(300)은, 확산 산화물 본딩과 같은 임의의 적절한 직접 본딩 프로세스에 의해 제2 본딩 기관(400)에 본딩될 수 있다. 이러한 실시예들에서, 본딩은, 초기에, 제1 본딩 기관(300)의 최상부 표면(210)을 제2 본딩 기관(400)의 최상부 표면(212) 바로 위에 배치함으로써 수행된다. 일 실시예에서, 2개의 기관들 사이의 접촉을 유지하기 위해 압력이 인가되지 않는다. 그 대신, 반데르발스 힘(Van der Waals' forces)(즉, 정전기력)이 2개의 기관들을 제자리에 일시적으로 홀딩하기 위해 충분한 초기의 약한 결합을 생성한다. 그 후, 제1 본딩 산화물 층(206A)을 제2 본딩 산화물 층(206B)에 화학적으로 본딩하기 위해 열적 어닐링이 적용되어, 본딩된 산화물 층(206)을 형성할 수 있다. 일 실시예에서, 열적 어닐링은, 화학적 결합(예를 들어, 공유 결합

을 통한 링킹 양이온(linking cation)들에 의해 제1 본딩 산화물 층(206A)을 제2 본딩 산화물 층(206B)에 완전히 융합하기에 충분한 특정 시간 기간 동안 특정 온도에서 수행된다. 특정 실시예에서, 열적 어닐링은 주위 압력 하에서 1/2 내지 1 시간 동안 300-400℃의 온도에서 수행된다.

[0022] 제1 본딩 기관(300)의 OH 말단(302)은, 열적 어닐링 동안 제2 본딩 기관(400)의 OH 말단(402)과 화학적 결합들을 형성하고, 본딩 사이트(502)에서 화학적 반응의 부산물로서 물을 생성한다. 이러한 물 분자들은, 제2 기관(204) 및 캡슐화 층(208)과 같은 본딩 사이트(502)에 근접한 반도체 재료들로 확산될 수 있다. 캡슐화 층(208)이 산화제에 노출되는 경우 안정한 산화물을 생성하는 재료로 형성되기 때문에, 물 분자들이 캡슐화 층(208)의 일부를 산화시키는 경우에도, 본딩된 산화물 층(206)과의 강력한 결합이 유지될 수 있다. 일 실시예에서, 캡슐화 층(208)은 물 분자들을 흡수하고, 물 분자들이 제1 기관(202)에 도달하는 것을 방지한다. 따라서, 물 분자들은 제1 기관(202)과 실질적으로 접촉하지 않을 것이고, 제1 기관(202)과 캡슐화 층(208) 사이의 계면에 어떠한 불안정한 산화물 층도 실질적으로 형성되지 않을 것이다. 따라서, 제1 기관(202)과 제2 기관(204) 사이의 견고한 결합이 획득되어 이중 본딩된 기관 스택(200)을 형성할 수 있다.

[0023] 제1 및 제2 기관들(202 및 204)은 베어 기관들로서 도시되지만, 실시예들은 이에 제한되지 않는다. 일 실시예에서, 제1 기관(202)은, 캡슐화 층(208)의 반대쪽에서 제1 기관(202)의 표면에 이전에 형성된 복수의 디바이스들을 포함한다. 따라서, 제1 기관(202)이 제2 기관(204)과 본딩되는 경우, 복수의 반도체 디바이스들은 제2 기관(204) 상으로 전사된다.

[0024] 추가적으로, 제1 기관(202) 및 제2 기관(204)은 개별적인 웨이퍼들일 수 있다. 따라서, 본 발명의 실시예들은, 2개의 개별적인 웨이퍼들 사이에서 웨이퍼-대-웨이퍼 본딩을 수행하기 위해 이용될 수 있다. 단일 웨이퍼는, 다양한 배열들의 많은 상이한 재료들로 형성된 최상부 표면을 포함할 수 있다. 따라서, 2개의 별개의 웨이퍼들을 본딩하는 것은, 일부 이중 본딩된 영역들 및 일부 동종 본딩된 영역들을 도출할 수 있다.

[0025] 다음으로, 원하는 경우, 하나 이상의 반도체 디바이스들이 제2 기관(204) 상에 형성될 수 있다. 반도체 디바이스들은 평면적 트랜지스터들, 비평면적 트랜지스터들 또는 이들의 조합일 수 있다. 비평면적 트랜지스터들은 이중-게이트 트랜지스터들 및 삼중-게이트 트랜지스터들과 같은 finFET 트랜지스터들을 포함한다. 도 6a는, 기관(204) 상에 형성된 비평면적 finFET 트랜지스터(600)의 등각도를 예시한다. 비평면적 finFET 트랜지스터(600)는, 본딩된 산화물 층(206) 및 캡슐화 층(208)에 의해 기관(204)에 부착되는 핀(211)을 포함한다. 핀(211)은 게르마늄과 같은 반도체 재료로 형성될 수 있다. 게이트 스택이 핀(211)의 노출된 표면들을 랩 어라운드(wrap around)할 수 있고, 본딩된 산화물 층(206)의 최상부 표면들 상에 배치될 수 있다. 게이트 스택은 적어도 2개의 층들, 즉, 게이트 유전체 층(604) 및 게이트 전극 층으로 형성될 수 있다. 게이트 유전체 층(604)의 일부는 핀(211)과 게이트 전극 층 사이에 직접 배치될 수 있다.

[0026] 게이트 유전체 층(604)은 하나의 층 또는 층들의 스택을 포함할 수 있다. 하나 이상의 층들은 실리콘 산화물, 실리콘 이산화물(SiO_2) 및/또는 고(high)-k 유전체 재료를 포함할 수 있다. 고-k 유전체 재료는 하프늄, 실리콘, 산소, 티타늄, 탄탈륨, 란타늄, 알루미늄, 지르코늄, 바륨, 스트론튬, 이트륨, 납, 스칸듐, 니오븀 및 아연과 같은 원소들을 포함할 수 있다. 게이트 유전체 층에서 이용될 수 있는 고-k 재료들의 예들은, 하프늄 산화물, 하프늄 실리콘 산화물, 란타늄 산화물, 란타늄 알루미늄 산화물, 지르코늄 산화물, 지르코늄 실리콘 산화물, 탄탈륨 산화물, 티타늄 산화물, 바륨 스트론튬 티타늄 산화물, 바륨 티타늄 산화물, 스트론튬 티타늄 산화물, 이트륨 산화물, 알루미늄 산화물, 납 스칸듐 탄탈륨 산화물 및 납 아연 니오베이트(niobate)를 포함하지만 이에 제한되는 것은 아니다. 일부 실시예들에서, 어닐링 프로세스가 게이트 유전체 층 상에서 수행되어, 고-k 재료가 이용되는 경우 게이트 유전체 층의 품질을 개선할 수 있다.

[0027] 게이트 전극 층은 게이트 유전체 층(604) 상에 형성되고, 트랜지스터가 PMOS 트랜지스터인지 NMOS 트랜지스터인지 여부에 따라 적어도 하나의 P-타입 일함수 금속 또는 N-타입 일함수 금속으로 이루어질 수 있다. 일부 구현들에서, 게이트 전극 층은 둘 이상의 금속 층들의 스택으로 이루어질 수 있고, 여기서, 하나 이상의 금속 층들은 일함수 금속 층(603)이고, 적어도 하나의 금속 층은 충전(fill) 금속 층(602)이다.

[0028] PMOS 트랜지스터의 경우, 게이트 전극에 이용될 수 있는 금속들은, 루테튬, 팔라듐, 백금, 코발트, 니켈 및 도전성 금속 산화물들, 예를 들어, 루테튬 산화물을 포함하지만 이에 제한되는 것은 아니다. P-타입 금속 층은, 약 4.9 eV 내지 약 5.2 eV인 일함수를 갖는 PMOS 게이트 전극의 형성을 가능하게 할 것이다. NMOS 트랜지스터의 경우, 게이트 전극에 이용될 수 있는 금속들은, 하프늄, 지르코늄, 티타늄, 탄탈륨, 알루미늄, 이러한 금속들의 합금들 및 이러한 금속들의 탄화물, 예를 들어, 하프늄 탄화물, 지르코늄 탄화물, 티타늄 탄화물, 탄탈륨 탄화물 및 알루미늄 탄화물을 포함하지만 이에 제한되는 것은 아니다. N-타입 금속 층은, 약 3.9 eV 내지 약

4.2 eV인 일함수를 갖는 NMOS 게이트 전극의 형성을 가능하게 할 것이다.

- [0029] 도 6a에 예시된 바와 같이, 게이트 전극은, 본딩된 산화물 층(206)의 표면에 실질적으로 평행한 바닥부를 포함하는 "U"-형상 구조체, 및 본딩된 산화물 층(206)의 최상부 표면에 실질적으로 수직인 2개의 측벽 부분들로 이루어질 수 있다. 다른 구현에서, 게이트 전극을 형성하는 금속 층들 중 적어도 하나는, 본딩된 산화물 층(206)의 최상부 표면에 실질적으로 평행하고 본딩된 산화물 층(206)의 최상부 표면에 실질적으로 수직인 측벽 부분들을 포함하지 않는 단순히 평면적 층일 수 있다. 본 발명의 추가적인 구현들에서, 게이트 전극은 U-형상 구조체들 및 평면적인 비-U-형상 구조체들의 조합으로 이루어질 수 있다. 예를 들어, 게이트 전극은, 하나 이상의 평면적 비-U-형상 층들의 최상부에 형성된 하나 이상의 U-형상 금속 층들로 이루어질 수 있다.
- [0030] 본 발명의 일부 구현들에서, 한 쌍의 측벽 스페이서(spacer)들이, 게이트 스택을 둘러싸는 게이트 스택의 대향 측면들 상에 형성될 수 있다. 측벽 스페이서들은, 실리콘 질화물, 실리콘 산화물, 실리콘 탄화물, 탄소로 도핑된 실리콘 질화물 및 실리콘 산질화물(oxynitride)과 같은 재료로 형성될 수 있다. 측벽 스페이서들을 형성하기 위한 프로세스들은 본 기술분야에 널리 공지되어 있고, 일반적으로 퇴적 및 에칭 프로세스 단계들을 포함한다. 대안적인 구현에서, 복수의 스페이서 쌍들이 이용될 수 있는데, 예를 들어, 2개의 쌍들, 3개의 쌍들 또는 4개의 쌍들의 측벽 스페이서들이 게이트 스택의 대향 측면들 상에 형성될 수 있다.
- [0031] 본 기술분야에 널리 공지된 바와 같이, finFET 트랜지스터(600)의 게이트 스택에 인접한 핀(211) 내에서 소스 및 드레인 구역들(606 및 608)이 형성된다. 도 6b에 도시된 바와 같이, 채널 구역(610)은 핀(211) 내에 그리고 소스 및 드레인 구역들(606 및 608) 사이에 배치된다.
- [0032] 도 6b는, 도 6a에 도시된 바와 같이, 핀(211)을 따른 라인에 걸친 비평면적 finFET 트랜지스터(600)의 단면도를 예시한다. 비평면적 finFET 트랜지스터(600)는, 게이트 유전체 층(604), P- 또는 N-타입 일함수 금속 층(603) 및 충전 금속 층(602)으로 형성된 게이트 스택을 포함한다. 게이트 스택은 핀(211) 바로 위에 배치된다. 핀(211)은, 게이트 스택 바로 아래에 배치되는 채널 구역(610), 및 채널 구역(610)의 대향 측면들 상에 배치되는 소스 및 드레인 구역들(606 및 608)을 포함할 수 있다. 추가로, 핀(211)은 캡슐화 층(208)을 포함한다. 본 발명의 실시예들에 따르면, 캡슐화 층(208)은, 핀(211)이 본딩된 산화물 층(206)에 고정적으로 부착되어 비평면적 finFET 트랜지스터(600)를 형성하도록 허용한다.
- [0033] 도 7은, 본 발명의 실시예들에 따른 하나 이상의 본딩된 구조체들을 포함하는 인터포저(700)를 예시한다. 인터포저(700)는, 제1 기판(702)을 제2 기판(704)에 브릿지하기 위해 이용되는 개입 기판이다. 제1 기판(702)은, 예를 들어, 집적 회로 다이일 수 있다. 집적 회로 다이는 본 발명의 실시예들에 따른 본딩된 구조체를 포함할 수 있다. 제2 기판(704)은, 예를 들어, 메모리 모듈, 컴퓨터 마더보드 또는 다른 집적 회로 다이일 수 있다. 일반적으로, 인터포저(700)의 목적은, 연결부를 더 넓은 피치로 확산시키는 것 또는 연결부를 상이한 연결부에 리라우팅(reroute)하는 것이다. 예를 들어, 인터포저(700)는 집적 회로 다이를 볼 그리드 어레이(BGA)(706)에 커플링할 수 있고, BGA(706)는 후속적으로 제2 기판(704)에 커플링될 수 있다. 일부 실시예들에서, 제1 및 제2 기판들(702/704)은 인터포저(700)의 대향 측면들에 부착된다. 다른 실시예들에서, 제1 및 제2 기판들(702/704)은 인터포저(700)의 동일한 측면에 부착된다. 그리고 추가적인 실시예들에서, 3개 이상의 기판들이 인터포저(700)를 이용하여 상호연결된다. 제1 기판(702) 및/또는 제2 기판(704)은 본 발명의 실시예들에 따른 본딩된 구조체들을 포함할 수 있다.
- [0034] 인터포저(700)는, 에폭시 수지, 유리섬유-강화된 에폭시 수지, 세라믹 재료 또는 폴리머 재료, 예를 들어, 폴리이미드로 형성될 수 있다. 추가적인 구현들에서, 인터포저는, 예를 들어, 실리콘, 게르마늄과 같은 반도체 기판에 이용하기 위해 앞서 설명된 것과 동일한 재료들 및 다른 III-V족 및 IV족 재료들을 포함할 수 있는 대안적인 견고한 또는 유연한 재료들로 형성될 수 있다.
- [0035] 인터포저는, 실리콘 관통 비아(through-silicon via, TSV)들(712)을 포함하지만 이에 제한되는 것은 아닌 비아들(710) 및 금속 상호연결부들(708)을 포함할 수 있다. 인터포저(700)는, 수동 및 능동 디바이스들 둘 모두를 포함하는 내장된 디바이스들(714)을 더 포함할 수 있다. 이러한 디바이스들은, 커패시터들, 디커플링 커패시터들, 저항기들, 인덕터들, 퓨즈(fuse)들, 다이오드들, 변환기들, 센서들, 및 정전기 방전(ESD) 디바이스들을 포함하지만 이에 제한되는 것은 아니다. 무선-주파수(RF) 디바이스들, 전력 증폭기들, 전력 관리 디바이스들, 안테나들, 어레이들, 센서들 및 MEMS 디바이스들과 같은 더 복잡한 디바이스들이 또한 인터포저(700) 상에 형성될 수 있다.
- [0036] 본 발명의 실시예들에 따르면, 본원에서 개시되는 장치들 또는 프로세스들은 인터포저(700)의 제조에서 이용될

수 있다.

- [0037] 도 8은, 본 발명의 일 실시예에 따른 컴퓨팅 디바이스(800)를 예시한다. 컴퓨팅 디바이스(800)는 다수의 컴포넌트들을 포함할 수 있다. 일 실시예에서, 이러한 컴포넌트들은 하나 이상의 마더보드들에 부착된다. 대안적인 실시예에서, 이러한 컴포넌트들은 마더보드보다는 단일의 SoC(system-on-a-chip) 다이 상에 제조된다. 컴퓨팅 디바이스(800)의 컴포넌트들은, 집적 회로 다이(802) 및 적어도 하나의 통신 칩(808)을 포함하지만 이에 제한되는 것은 아니다. 일부 구현들에서, 통신 칩(808)은 집적 회로 다이(802)의 일부로서 제조된다. 집적 회로 다이(802)는 CPU(804) 뿐만 아니라 온-다이(on-die) 메모리(806)를 포함할 수 있고, 메모리(806)는 종종, 내장된 DRAM(eDRAM) 또는 스핀-전달-토크 메모리(STTM 또는 STTM-RAM)와 같은 기술들에 의해 제공될 수 있는 캐시 메모리로서 이용된다.
- [0038] 컴퓨팅 디바이스(800)는, 마더보드에 물리적으로 및 전기적으로 커플링되거나 커플링되지 않을 수 있는, 또는 SoC 다이 내에 제조되거나 그렇지 않을 수 있는 다른 컴포넌트들을 포함할 수 있다. 이러한 다른 컴포넌트들은, 휘발성 메모리(810)(예를 들어, DRAM), 비휘발성 메모리(812)(예를 들어, ROM 또는 플래쉬 메모리), 그래픽스 프로세싱 유닛(814)(GPU), 디지털 신호 프로세서(816), 암호 프로세서(842)(하드웨어 내에서 암호화 알고리즘들을 실행하는 특수 프로세서), 칩셋(820), 안테나(822), 디스플레이 또는 터치스크린 디스플레이(824), 터치스크린 제어기(826), 배터리(828) 또는 다른 전원, 전력 증폭기(미도시), 글로벌 포지셔닝 시스템(GPS) 디바이스(828), 나침반(830), 모션 코프로세서 또는 센서들(832)(가속도계, 자이로스코프 및 나침반을 포함할 수 있음), 스피커(834), 카메라(836), 사용자 입력 디바이스들(838)(예를 들어, 키보드, 마우스, 스타일러스 및 터치패드), 및 대용량 저장 디바이스(840)(예를 들어, 하드 디스크 드라이브, 컴팩트 디스크(CD), 디지털 다기능 디스크(DVD) 등)를 포함하지만 이에 제한되는 것은 아니다.
- [0039] 통신 칩(808)은, 컴퓨팅 디바이스(800)로의 및 그로부터의 데이터의 전송을 위한 무선 통신들을 가능하게 한다. 용어 "무선" 및 이의 파생어들은, 비고체 매체를 통한 변조된 전자기 방사의 이용을 통해 데이터를 통신할 수 있는 회로들, 디바이스들, 시스템들, 방법들, 기술들, 통신 채널들 등을 설명하기 위해 이용될 수 있다. 이 용어는, 연관된 디바이스들이 어떠한 특정 와이어들도 포함하지 않음을 의미하지는 않지만, 일부 실시예들에서는, 포함하지 않을 수 있다. 통신 칩(808)은, Wi-Fi (IEEE 802.11 패밀리), WiMAX (IEEE 802.16 패밀리), IEEE 802.20, 롱 텀 에볼루션(LTE), Ev-DO, HSPA+, HSDPA+, HSUPA+, EDGE, GSM, GPRS, CDMA, TDMA, DECT, 블루투스, 이들의 파생물들 뿐만 아니라 3G, 4G, 5G 및 그 이후의 것들로 지정된 임의의 다른 무선 프로토콜들을 포함하지만 이에 제한되는 것은 아닌 임의의 다수의 무선 표준들 또는 프로토콜들을 구현할 수 있다. 컴퓨팅 디바이스(800)는 복수의 통신 칩들(808)을 포함할 수 있다. 예를 들어, 제1 통신 칩(808)은, Wi-Fi 및 블루투스와 같은 더 짧은 범위의 무선 통신들에 전용될 수 있고, 제2 통신 칩(808)은, GPS, EDGE, GPRS, CDMA, WiMAX, LTE, Ev-DO 등과 같은 더 긴 범위의 무선 통신들에 전용될 수 있다.
- [0040] 컴퓨팅 디바이스(800)의 프로세서(804)는, 본 발명의 구현들에 따라 형성되는, 캡슐화 층이 형성된 이중 본딩된 기판 스택을 포함하도록 형성되는 하나 이상의 디바이스들을 포함한다. 용어 "프로세서"는, 레지스터들 및/또는 메모리로부터의 전자 데이터를 프로세싱하여, 그 전자 데이터를, 레지스터들 및/또는 메모리에 저장될 수 있는 다른 전자 데이터로 변환하는 임의의 디바이스 또는 디바이스의 일부를 지칭할 수 있다.
- [0041] 통신 칩(808)은 또한, 본 발명의 구현들에 따라 형성되는, 캡슐화 층이 형성된 이중 본딩된 기판 스택을 포함하도록 형성되는 하나 이상의 디바이스들을 포함할 수 있다.
- [0042] 추가적인 실시예들에서, 컴퓨팅 디바이스(800) 내에 하우징되는 다른 컴포넌트는, 본 발명의 구현들에 따라 형성되는, 캡슐화 층이 형성된 이중 본딩된 기판 스택을 포함하도록 형성되는 하나 이상의 디바이스들을 포함할 수 있다.
- [0043] 다양한 실시예들에서, 컴퓨팅 디바이스(800)는, 랩탑, 컴퓨터, 넷북 컴퓨터, 노트북 컴퓨터, 울트라북 컴퓨터, 스마트폰, 태블릿, 개인 휴대 정보 단말(PDA), 울트라-모바일 PC, 모바일 폰, 데스크탑 컴퓨터, 서버, 프린터, 스캐너, 모니터, 셋탑 박스, 엔터테인먼트 제어 유닛, 디지털 카메라, 휴대용 음악 플레이어, 디지털 비디오 레코더일 수 있다. 추가적인 구현들에서, 컴퓨팅 디바이스(800)는, 데이터를 프로세싱하는 임의의 다른 전자 디바이스일 수 있다.
- [0044] 일 실시예에서, 기판들을 본딩하는 방법은, 제1 반도체 기판을 제공하는 단계, 제1 반도체 기판의 최상부 상에 캡슐화 층을 형성하는 단계 -캡슐화 층은, 산화제에 노출될 때 안정한 산화물을 생성하는 캡슐화 재료로 형성됨-, 캡슐화 층의 최상부 상에 제1 본딩 층을 형성하는 단계 -제1 본딩 층은 제1 최상부 표면을 가짐-, 제2

반도체 기판을 제공하는 단계, 제2 반도체 기판의 최상부 상에 제2 본딩 층을 형성하는 단계 - 제2 본딩 층은 제2 최상부 표면을 가짐 -, 및 제1 최상부 표면을 제2 최상부 표면에 본딩함으로써 제1 반도체 기판을 제2 반도체 기판에 부착하는 단계를 포함한다.

[0045] 일 실시예에서, 제1 반도체 기판은, 산화제에 노출될 때 불안정한 산화물을 생성하는 제1 반도체 재료를 포함한다. 일 실시예에서, 제1 반도체 재료는 게르마늄을 포함할 수 있다. 추가적으로, 일 실시예에서, 캡슐화 재료는 실리콘을 포함한다. 일 실시예에서, 산화제는 산소 및 물 중 적어도 하나이다. 일 실시예에서, 방법은, 제1 최상부 표면 및 제2 최상부 표면을 표면 처리하는 단계를 더 포함한다. 일 실시예에서, 제1 최상부 표면 및 제2 최상부 표면을 표면 처리하는 단계는, 제1 최상부 표면 및 상기 제2 최상부 표면에 하이드록시 말단을 생성한다. 일 실시예에서, 제1 최상부 표면 및 제2 최상부 표면을 표면 처리하는 단계는 플라즈마 프로세스를 포함한다. 일 실시예에서, 플라즈마 프로세스는 주위 압력 하의 O_2 애시이다.

[0046] 일 실시예에서, 제1 반도체 기판을 제2 반도체 기판에 부착하는 단계는, 제1 본딩 층 및 제2 본딩 층의 확산 본딩에 의해 수행된다. 일 실시예에서, 제1 반도체 기판을 제2 반도체 기판에 부착하는 단계는 열적 어닐링을 적용하는 단계를 포함한다. 일 실시예에서, 열적 어닐링은 1/2 내지 1 시간 동안 300-400°C의 온도에서 수행된다. 일 실시예에서, 제1 본딩 층 및 제2 본딩 층을 형성하는 단계는 퇴적 프로세스에 의해 형성된다. 퇴적 프로세스는, 실리콘 산화물 재료를 퇴적하는 CVD 프로세스일 수 있다. 일 실시예에서, 제1 본딩 층을 형성하는 단계는 산화에 의해 수행된다.

[0047] 일 실시예에서, 본딩된 반도체 구조체는, 제1 반도체 기판, 제2 반도체 기판, 제1 반도체 기판과 제2 반도체 기판 사이에 배치되는 본딩 층 - 본딩 층은 제1 반도체 기판을 제2 반도체 기판에 부착시킴 -, 및 제1 반도체 기판과 본딩 층 사이에 배치되는 캡슐화 층을 포함한다. 일 실시예에서, 제1 반도체 기판은 게르마늄을 포함한다. 일 실시예에서, 제2 반도체 기판은 실리콘을 포함한다. 일 실시예에서, 캡슐화 층은 실리콘을 포함한다. 일 실시예에서, 캡슐화 층은 에피택셜 실리콘이다. 일 실시예에서, 캡슐화 층은, 물 부산물들이 제1 반도체 기판에 도달하는 것을 방지한다. 일 실시예에서, 캡슐화 층은 2 내지 6 nm 범위의 두께를 갖는다. 일 실시예에서, 본딩 층은, 2 내지 3 J/m²의 접착 강도로 상기 제1 표면을 제2 기판에 본딩한다. 일 실시예에서, 본딩 층은 50 내지 150 nm 범위의 두께를 갖는다.

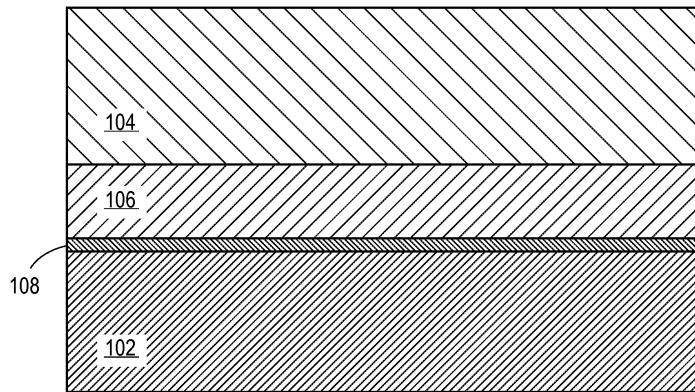
[0048] 일 실시예에서, 컴퓨터 디바이스는 마더보드, 마더보드 상에 장착되는 프로세서, 및 프로세서와 동일한 칩 상에 제조되거나 마더보드 상에 장착되는 통신 칩을 포함하고, 프로세스는, 제1 반도체 기판, 제2 반도체 기판, 제1 반도체 기판과 제2 반도체 기판 사이에 배치되는 본딩 층 - 본딩 층은 제1 반도체 기판을 제2 반도체 기판에 부착시킴 -, 및 제1 반도체 기판과 본딩 층 사이에 배치되는 캡슐화 층을 포함한다. 일 실시예에서, 제1 반도체 기판은 게르마늄을 포함한다. 일 실시예에서, 제2 반도체 기판은 실리콘을 포함한다. 일 실시예에서, 캡슐화 층은 실리콘을 포함한다. 일 실시예에서, 캡슐화 층은 에피택셜 실리콘이다. 일 실시예에서, 캡슐화 층은 2부터 6 nm까지의 범위의 두께를 갖는다.

[0049] 요약서에서 설명되는 것을 포함하는 본 발명의 예시된 구현의 상기 설명은, 포괄적인 것 또는 본 발명을 개시된 바로 그 형태들로 제한하는 것으로 의도되지 않는다. 본 발명의 특정 구현들 및 본 발명에 대한 예들은 본원에서 예시적 목적으로 설명되지만, 관련 기술 분야의 통상의 기술자들이 인식할 바와 같이, 본 발명의 범주 내에서 다양한 동등한 변형들이 가능하다.

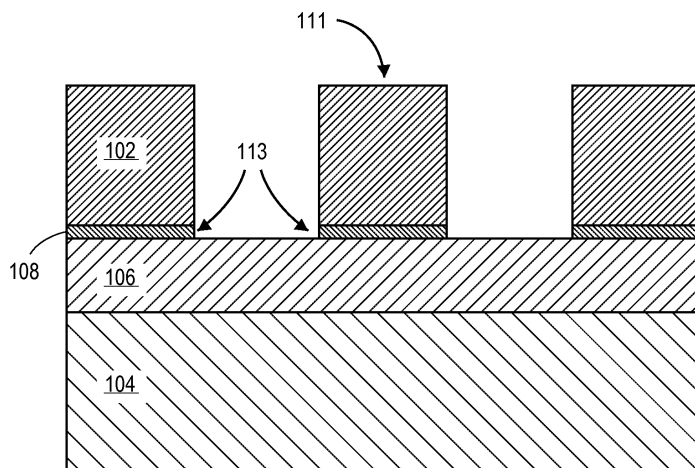
[0050] 이러한 변형들은, 상기 상세한 설명의 관점에서 본 발명에 대해 행해질 수 있다. 하기 청구항들에서 이용되는 용어들이, 본 발명을 본 명세서 및 청구항들에 개시된 특정 구현들로 제한하는 것으로 해석되어서는 안 된다. 오히려, 본 발명의 범주는, 전적으로, 청구항 해석의 확립된 원칙들에 따라 해석되어야 하는 하기 청구항들에 의해 결정되어야 한다.

도면

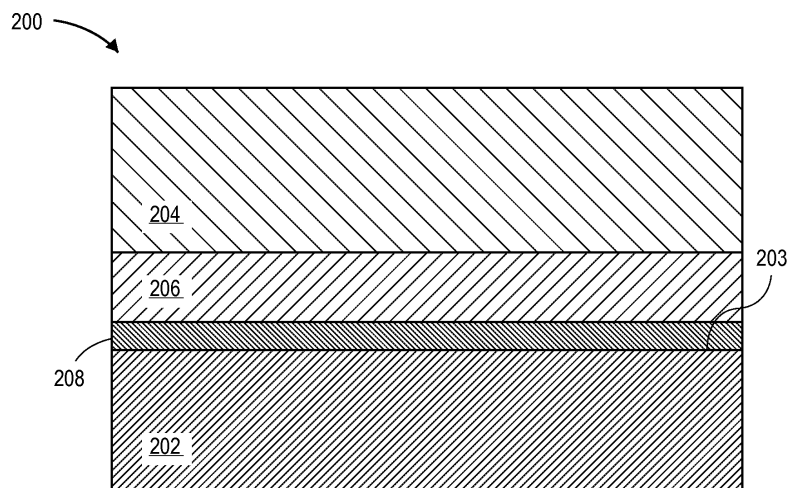
도면1a



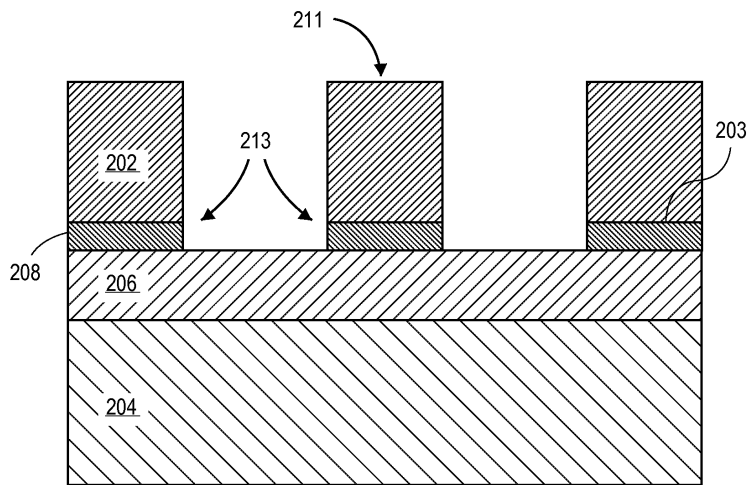
도면1b



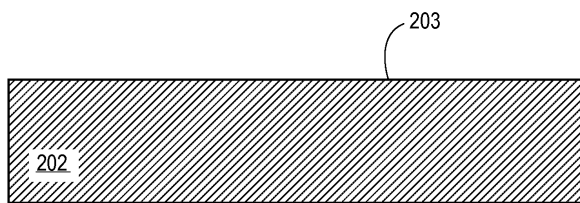
도면2a



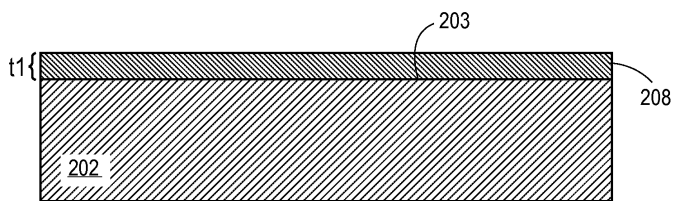
도면2b



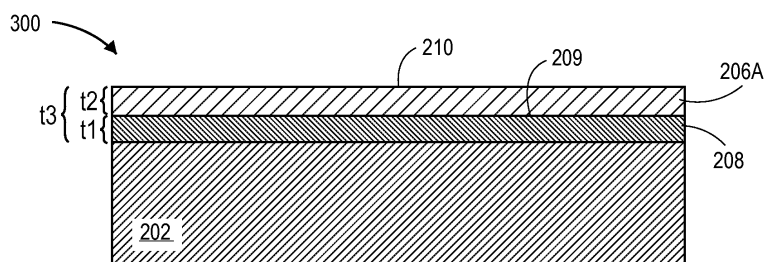
도면3a



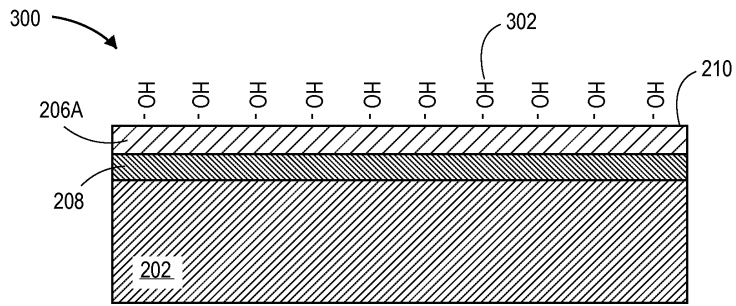
도면3b



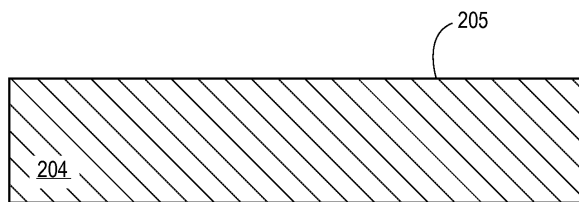
도면3c



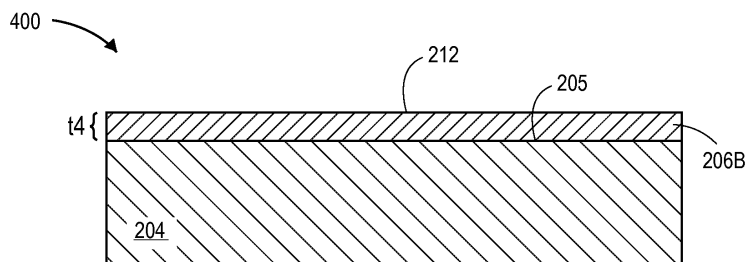
도면3d



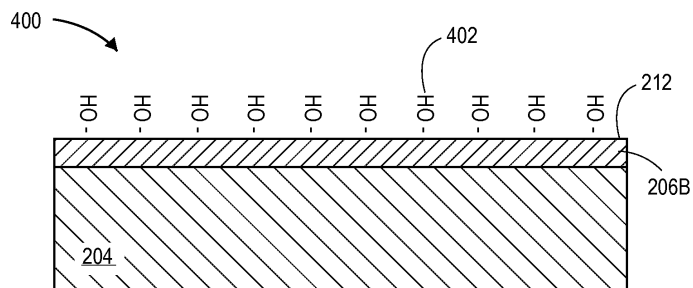
도면4a



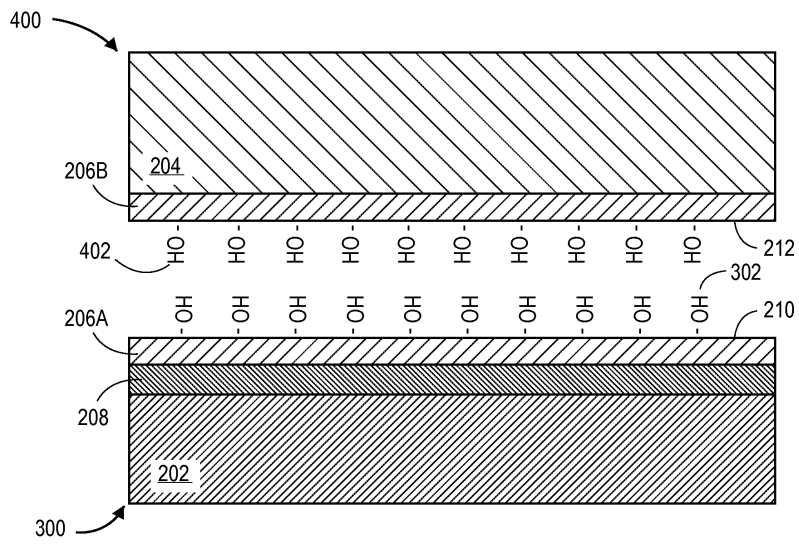
도면4b



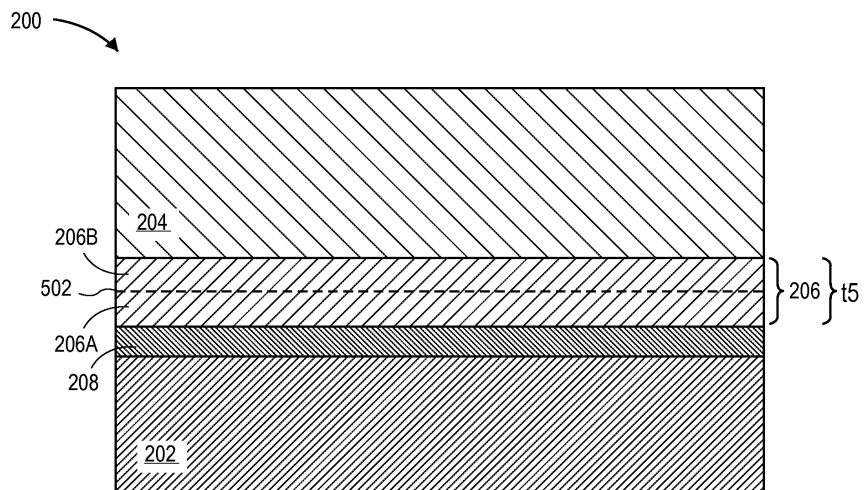
도면4c



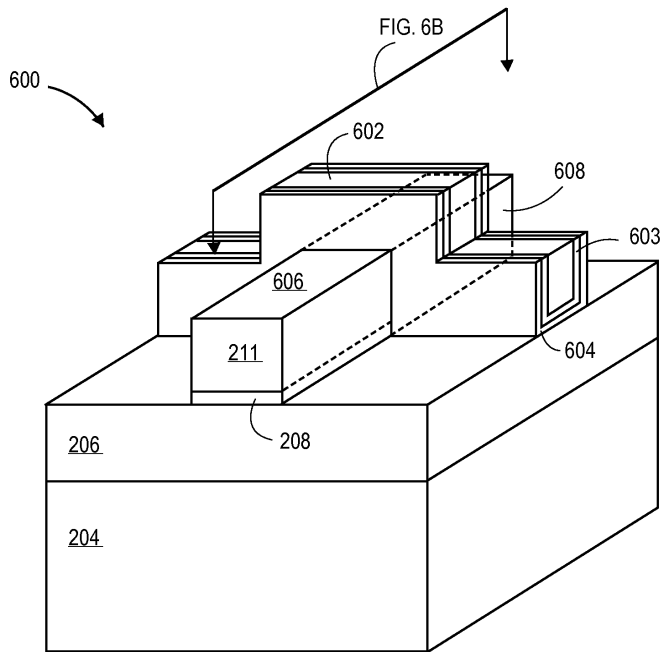
도면5a



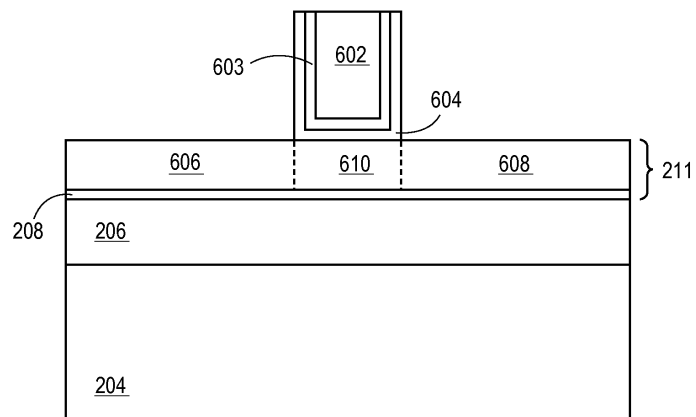
도면5b



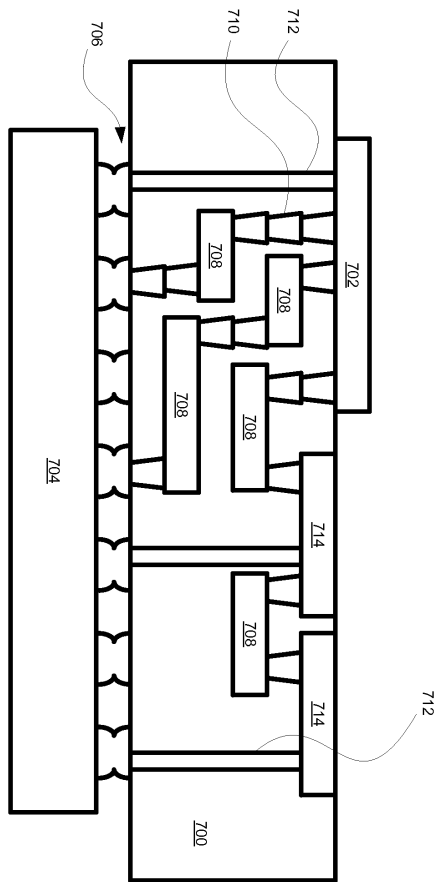
도면6a



도면6b



도면7



도면8

