

(21)申請案號：097148661

(22)申請日：中華民國 97 (2008) 年 12 月 12 日

(51)Int. Cl.:

H01L27/088 (2006.01)

H01L29/786 (2006.01)

(71)申請人：財團法人工業技術研究院(中華民國) INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE (TW)

新竹縣竹東鎮中興路 4 段 195 號

(72)發明人：賴志明 LAI, CHIH MING (TW)；鄭君丞 CHENG, CHUN CHENG (TW)；葉永輝 YEH, YUNG HUI (TW)

(74)代理人：詹銘文；蕭錫清

申請實體審查：有 申請專利範圍項數：33 項 圖式數：4 共 33 頁

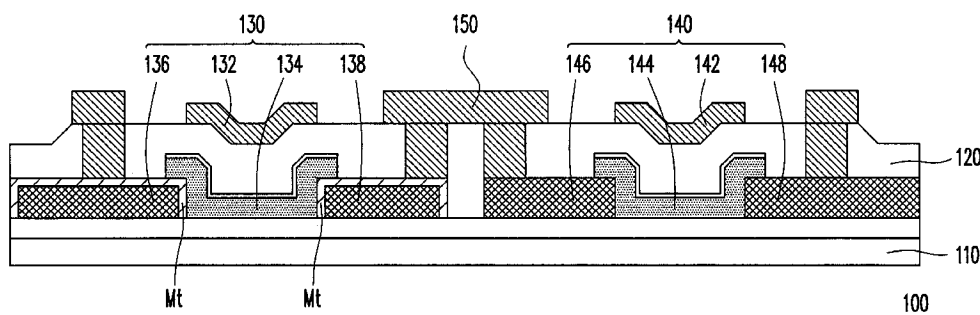
## (54)名稱

積體電路結構

INTEGRATED CIRCUIT STRUCTURE

## (57)摘要

一種積體電路結構，包括一基板、一絕緣層、一第一電晶體以及一第二電晶體。絕緣層、第一電晶體以及第二電晶體配置於基板上。第一電晶體包括一第一閘極、一第一氧化物半導體層、一第一源極以及一第一汲極。第一源極與第一汲極直接接觸第一氧化物半導體層的部分由一含鈦金屬所構成。第二電晶體包括一第二閘極、一第二氧化物半導體層、一第二源極以及一第二汲極。第二源極與第二汲極直接接觸第二氧化物半導體層的部分由一不含鈦金屬所構成。另外，第一氧化物半導體層與第二氧化物半導體層可具有不同厚度或是不同載子濃度。



100：積體電路結構

110：基板

120：絕緣層

130：第一電晶體

132：第一閘極

134：第一氧化物半導體層

136：第一源極

138：第一汲極

140：第二電晶體

142：第二閘極

144：第二氧化物半導體層

146：第二源極

148：第二汲極

150：連接金屬



## 六、發明說明：

### 【發明所屬之技術領域】

本發明是有關於一種積體電路結構，且特別是有關於一種具有氧化物半導體元件的積體電路結構。

### 【先前技術】

半導體工業是近年來發展速度最快之高科技工業之一。隨著電子技術的日新月異，高科技電子產業的相繼問世，使得更人性化、功能更佳的電子產品不斷地推陳出新。

在眾多電子產品中，軟性電子產品因為具有重量輕、攜帶容易、可捲曲等特點而具有高度的發展潛能。然而，以常見的薄膜電晶體而言，薄膜電晶體中的半導體通道層多為非晶矽或是多晶矽。此類薄膜電晶體在受到撓曲狀態下，薄膜電晶體的電性特性將會受到影響，例如其開啟之後的導通電流在撓曲與未撓曲的狀態下將會有所不同。所以，非晶矽或是多晶矽薄膜電晶體不適用於應用在軟性電子產品中。

氧化物半導體在撓曲狀態下仍可以維持穩定的電性特性，所以較為適合應用在各種軟式電子產品中。不過，氧化物半導體一般是 n 型半導體，若要將氧化物半導體薄膜電晶體應用於積體電路結構的設計中，則只能將其閘極與汲極相接以作為電子電路的負載。換言之，習知的氧化物半導體薄膜電晶體無法靈活地應用於積體電路結構設計中。

**【發明內容】**

本發明提供一種積體電路結構，由多個氧化物半導體薄膜電晶體所構成，其中這些氧化物半導體薄膜電晶體具有不同的臨限電壓。

本發明提供一種積體電路結構，可由多個不同特性的氧化物半導體薄膜電晶體所構成。

本發明提供一種積體電路結構，由多個氧化物半導體薄膜電晶體所構成，且這些氧化物半導體薄膜電晶體具有不同的電性特性。

本發明提出一種積體電路結構，包括一基板、一絕緣層、一第一電晶體以及一第二電晶體。絕緣層配置於基板上。第一電晶體包括一第一閘極、一第一氧化物半導體層、一第一源極以及一第一汲極。第一閘極配置於基板上，而絕緣層配置於第一閘極與第一氧化物半導體層之間，且第一閘極與第一氧化物半導體層的面積部分重疊。第一源極與第一汲極連接於第一氧化物半導體層，且分別位於第一閘極的兩側。第一源極與第一汲極直接接觸第一氧化物半導體層的部分由一含鈦金屬所構成。第二電晶體包括一第二閘極、一第二氧化物半導體層、一第二源極以及一第二汲極。第二閘極配置於基板上，而絕緣層配置於第二閘極與第二氧化物半導體層之間，且第二閘極與第二氧化物半導體層的面積部分重疊。第二源極與第二汲極連接於第二氧化物半導體層，且第二源極與第二汲極分別位於第二閘

極的兩側。第二源極與第二汲極直接接觸第二氧化物半導體層的部分由一不含鈦金屬所構成。

本發明另提出一種積體電路結構，其包括一基板、一第一絕緣層、一第二絕緣層、一第一電晶體以及一第二電晶體。第一絕緣層與第二絕緣層配置於基板上，且第一絕緣層位於第二絕緣層與基板之間。第一電晶體包括一第一閘極、一第一氧化物半導體層、一第一源極以及一第一汲極。第一閘極配置於第一絕緣層與基板之間，而第一絕緣層位於第一閘極與第一氧化物半導體層之間，且第一閘極與第一氧化物半導體層的面積部分重疊。第一源極與第一汲極連接至第一氧化物半導體層，並分別位於第一閘極的兩側。第二電晶體包括一第二閘極、一第二氧化物半導體層、一第二源極以及一第二汲極。第二閘極配置於第二絕緣層遠離基板之一側，而第二絕緣層位於第二閘極與第二氧化物半導體層之間，且第二閘極與第二氧化物半導體層的面積部分重疊。第一氧化物半導體層的厚度與第二氧化物半導體層的厚度不同。第二源極與第二汲極連接至第二氧化物半導體層，並分別位於第二閘極的兩側。

本發明又提出一種積體電路結構，其包括一基板、一第一絕緣層、一第二絕緣層、一第一電晶體以及一第二電晶體。第一絕緣層與第二絕緣層配置於基板上，且第一絕緣層位於第二絕緣層與基板之間。第一電晶體包括一第一閘極、一第一氧化物半導體層、一第一源極以及一第一汲極。第一閘極配置於第一絕緣層與基板之間，而第一絕緣

層位於第一閘極與第一氧化物半導體層之間，且第一閘極與第一氧化物半導體層的面積部分重疊。第一源極與第一汲極連接於第一氧化物半導體層，並分別位於第一閘極的兩側。第二電晶體包括一第二閘極、一第二氧化物半導體層、一第二源極以及一第二汲極。第二閘極配置於第二絕緣層遠離基板之一側，而第二絕緣層位於第二閘極與第二氧化物半導體層之間，且第二閘極與第二氧化物半導體層的面積部分重疊。第一氧化物半導體層的載子濃度與第二氧化物半導體層的載子濃度不同。第二源極與第二汲極連接至第二氧化物半導體層，並分別位於第二閘極的兩側。

基於上述，本發明利用至少兩個氧化物半導體薄膜電晶體來構成積體電路結構。所以，本發明的積體電路結構可以應用在可撓性的電子產品中，以使積體電路的應用範圍更加擴張。詳言之，為了使各個氧化物半導體薄膜電晶體呈現不同的電性特性，本發明選擇含鈦金屬直接接觸氧化物半導體層來構成積體電路結構中部份電晶體的源極與汲極。或是，改變積體電路結構中部份電晶體的氧化物半導體層的厚度與含氧量。

為讓本發明之上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

### 【實施方式】

圖 1 繪示為本發明之一第一實施例的積體電路結構的剖面示意圖。請參照圖 1，積體電路結構 100 包括一基板

110、一絕緣層 120、一第一電晶體 130 以及一第二電晶體 140。絕緣層 120 配置於基板 110 上。第一電晶體 130 包括一第一閘極 132、一第一氧化物半導體層 134、一第一源極 136 以及一第一汲極 138。另外，第二電晶體 140 包括一第二閘極 142、一第二氧化物半導體層 144、一第二源極 146 以及一第二汲極 148。

第一閘極 132 配置於基板 110 上，而絕緣層 120 配置於第一閘極 132 與第一氧化物半導體層 134 之間，且第一閘極 132 與第一氧化物半導體層 134 的面積部分重疊。第一源極 136 與第一汲極 138 連接於第一氧化物半導體層 134，且分別位於第一閘極 132 的兩側。此外，第一源極 136 與第一汲極 138 直接接觸第一氧化物半導體層 134 的部分由一含鈦金屬所構成。在本實施例中，第一閘極 132 位於絕緣層 120 遠離基板 110 之一側，且絕緣層 120 位於基板 110 以及第一閘極 132 之間。換言之，第一電晶體 130 為頂閘型設計的薄膜電晶體。

同時，第二閘極 142、第二氧化物半導體層 144、第二源極 146 以及第二汲極 148 的配置關係與第一電晶體 130 中各元件的配置關係相同。也就是說，第二閘極 142 亦可以位於絕緣層 120 遠離基板 110 之一側，且絕緣層 120 位於基板 110 以及第二閘極 142 之間。值得一提的是，第二源極 146 與第二汲極 148 直接接觸第二氧化物半導體層 144 的部分由一不含鈦金屬所構成。此外，積體電路結構 100 更包括一連接金屬 150，其連接於第一電晶體 130 與第

二電晶體 140 之間。也就是說，第一電晶體 130 與第二電晶體 140 彼此是電性連接的。

由圖 1 可知，本實施例的第一源極 136 與第一汲極 138 例如是由多層金屬結構所構成，其中包覆於最外層的結構層 Mt 是含鈦金屬層。另外，第二源極 146 與第二汲極 148 在此則例如是由單層結構所構成，其材質為不含鈦之金屬。當然，本發明並不限於此，在其他實施例中，第一源極 136 與第一汲極 138 可以是由單層的含鈦金屬材料製作而成，而第二源極 146 與第二汲極 148 也可以由多層金屬結構所構成。

在本實施例中，單層結構的第一源極 136 與第一汲極 138 可以選用鈦(Ti)或是氮化鈦(TiN)等材質，而多層結構的設計則可選用鈦/鋁 (Ti/Al) 疊層、鈦/金(Ti/Au) 疊層或是鈦/鋁/鈦 (Ti/Al/Ti) 疊層等。另外，應用於第二源極 146 與第二汲極 148 的材料例如有銦錫氧化物(ITO)、銦鋅氧化物(IZO)、鉬(Mo)、鉻(Cr)、鋁(Al)、金(Au)、鎢鉬合金(MoW) 或上述多種金屬的合金。實務上，第一源極 136 與第一汲極 138 直接接觸第一氧化物半導體層 134 的部分由含鈦金屬所構成，而第二源極 146 與第二汲極 148 直接接觸第二氧化物半導體層 144 的部分由不含鈦金屬所構成就可以構成本發明之積體電路 100。當然，其他導體材料也可以應用於本發明中，本發明並不限於上述材料。

由鈦金屬與氧化物半導體接觸時所具有的電性特性可知，第一氧化物半導體層 134 接觸結構層 Mt 的設計可

使得第一電晶體 130 的臨限電壓降為負值。第二氧化物半導體層 144 所接觸的第二源極 146 與第二汲極 148 由不含鈦的金屬所構成，所以第二電晶體 140 的臨限電壓為正值。因此，第一電晶體 130 與第二電晶體 140 可分別被視為一空乏型電晶體與一加強型電晶體。

換言之，本實施例利用含鈦金屬材料與氧化物半導體接觸時的電性特性不同於其他金屬材料的表現而使得第一電晶體 130 與第二電晶體 140 呈現不同的電性特性。所以，這兩種氧化物半導體薄膜電晶體的搭配配置就可以滿足多種電路設計的需求。也因此解決了習知氧化物半導體薄膜電晶體無法應用在積體電路設計的問題。

進一步而言，氧化物半導體層(134 及 144)的厚度較厚時，電晶體(130 及 140)的臨限電壓較大，反之，則電晶體(130 及 140)的臨限電壓將減小。另外，氧化物半導體層(134 及 144)若具有較大的載子濃度，則電晶體(130 及 140)的臨限電壓可增加。反之，氧化物半導體層(134 及 144)若具有較小的載子濃度，則電晶體(130 及 140)的臨限電壓將被降低。換言之，除了選用不同金屬材料接觸氧化物半導體薄膜，還可以藉由其他的方式來調整第一電晶體 130 與第二電晶體 140 的電性特性。因此，在本實施例中，第一氧化物半導體層 134 的厚度可以不同於第二氧化物半導體層 144 的厚度。或是，第一氧化物半導體層 134 的載子濃度也可以不同於第二氧化物半導體層 144 的載子濃度。

此外，本實施例以電性連接兩個電晶體 130、140 的

方式構成積體電路結構 100，而在其他實施例中也可以連接兩個以上不同電性的氧化物半導體薄膜電晶體作為積體電路結構之設計。也就是說，隨著電路的設計與效能的需求不同，可以將第一電晶體 130 與第二電晶體 140 以不同個數、不同連接方式配置於基板 110 上。

值得一提的是，第一氧化物半導體層 134 與第二氧化物半導體層 144 的材質包括氧化鋅、銦鎵鋅氧化物或銦鋅錫氧化物等氧化物材料。利用這些氧化物材料所製作的氧化物半導體薄膜電晶體對於撓曲狀態的敏感度較低，所以本實施例的積體電路結構 100 可選擇可撓性材質作為基板 110 以使積體電路結構 100 的應用範圍更為廣泛。常見的可撓性材質例如有聚亞醯胺、聚間苯二甲酸乙二酯 (polyethylene naphthalate, PEN) 或聚乙烯對苯二甲酸酯 (polyethylene terephthalate, PET)。這些可撓性材質的耐溫性較差，所以在習知的積體電路製程中離子佈值 (ion implant)、活化 (activation) 及擴散 (diffusion) 等高溫製程都可能使基板 110 變形而造成良率下降。本實施例的第一電晶體 130 與第二電晶體 140 僅由金屬材料的選用就可以具有不同的電性特性，且不需藉由任何高溫製程來改變兩電晶體 (130、140) 之特性。所以，積體電路結構 100 選擇可撓性材質作為基板 110 不會使基板 110 在製作過程之中受到損害。

在本實施例中，第一電晶體 130 中的含鈦金屬包括鈦或鈦合金。也就是說，本實施例並不限定於使用純的鈦金

屬直接接觸第一氧化物半導體層 134，而也可以使用鈦合金。不過，上述的各種材料僅是舉例說明之用，並非限定本發明。舉例而言，積體電路結構 100 中各電極的材料還包括有銻錫氧化物、鈾、鉻、鋁等各種導電材料。

圖 2 繪示為本發明之一第二實施例的積體電路結構的剖面示意圖。請參照圖 2，積體電路結構 200 的組成元件與積體電路結構 100 的組成元件大致相同，所以相同標號將表示相同的元件。兩者的差異之處在於：積體電路結構 200 的第一電晶體 230 以及第二電晶體 240 皆為底閘型設計的薄膜電晶體。此外，第一源極 236 與第一汲極 238 具有單層金屬結構，且第一源極 236 與第一汲極 238 的材質是鈦或鈦合金等含鈦金屬。第二源極 146 與第二汲極 148 的材料則為不含鈦材質

詳言之，由結構可知，本實施例的第一閘極 132 位於基板 110 以及絕緣層 120 之間。另外，第二閘極 142 也位於基板 100 以及絕緣層 120 之間。另外，為了保護第一電晶體 230 與第二電晶體 240，積體電路結構 200 更包括一保護層 260 以覆蓋第一電晶體 230 與第二電晶體 240。連接金屬 150 則例如是配置於保護層 260 上。

本實施例利用金屬材質的選用來改變第一電晶體 230 與第二電晶體 240 的特性，所以第一電晶體 230 與第二電晶體 240 一者為空乏型薄膜電晶體，而另一者為加強型薄膜電晶體。也就是說，若電性連接第一電晶體 230 與第二電晶體 240，則可形成特定效能的積體電路。在此，以一

個第一電晶體 230 連接一個第二電晶體 240 為例構成積體電路結構 200，但本發明不限於此。積體電路結構 200 也可以隨不同需求搭配不同數量的第一電晶體 230 與第二電晶體 240 以設計出不同的電路。

基於氧化物半導體薄膜電晶體對撓曲狀態的耐受度較高，積體電路結構 200 在被撓曲的狀態下仍可正常的運作，也就是各元件的電性特性不會因而改變。所以，本實施例可選用可撓性材質來製作基板 110 以使積體電路結構 200 進一步地應用於軟性電子產品中。如此一來，積體電路結構 200 的應用領域將更為廣泛。此外，積體電路結構 200 也可以具有積體電路結構 100 的各種特性與優點。

圖 3 繪示為本發明之一第三實施例的積體電路結構的剖面示意圖。請參照圖 3，積體電路結構 300 包括一基板 110、一第一絕緣層 320、一第二絕緣層 330、一第一電晶體 340 以及一第二電晶體 350。第一絕緣層 320 與第二絕緣層 330 配置於基板 110 上，且第一絕緣層 320 位於第二絕緣層 330 與基板 110 之間。第一電晶體 340 包括一第一閘極 342、一第一氧化物半導體層 344、一第一源極 346 以及一第一汲極 348。第二電晶體 350 包括一第二閘極 352、一第二氧化物半導體層 354、一第二源極 356 以及一第二汲極 358。

詳言之，第一閘極 342 配置於第一絕緣層 320 與基板 110 之間，而第一絕緣層 320 位於第一閘極 342 與第一氧化物半導體層 344 之間，且第一閘極 342 與第一氧化物半

導體層 344 的面積部分重疊。第一源極 346 與第一汲極 348 則連接於第一氧化物半導體層 344，並分別位於第一閘極 342 的兩側。也就是說，第一電晶體 340 為底閘型結構設計的薄膜電晶體。

另外，第二閘極 352 配置於第二絕緣層 330 遠離基板 110 之一側，而第二絕緣層 330 位於第二閘極 352 與第二氧化物半導體層 354 之間，且第二閘極 352 與第二氧化物半導體層 354 的面積部分重疊。第二源極 356 與第二汲極 358 連接至第二氧化物半導體層 354，並分別位於第二閘極 352 的兩側。值得一提的是，本實施例的第一氧化物半導體層 344 的厚度與第二氧化物半導體層 354 的厚度不同。此外，由結構可知，第二電晶體 350 為頂閘型設計的薄膜電晶體。

一般而言，氧化物半導體層的導電率會隨著其厚度改變，特別是應用於薄膜電晶體時。舉例而言，在氧化物半導體薄膜電晶體中，氧化物半導體層的厚度大於 50nm 時，氧化物半導體薄膜電晶體的臨限電壓將小於 0V。反之，氧化物半導體層的厚度小於 50nm 時，氧化物半導體薄膜電晶體的臨限電壓將大於 0V。也就是說，本實施例的積體電路結構 300 若需要使用不同臨限電壓的薄膜電晶體，可以使第一氧化物半導體層 344 與第二氧化物半導體層 354 具有不同的厚度。

舉例而言，若本實施例使得第一氧化物半導體層 344 的厚度小於 50nm，而第二氧化物半導體 354 的厚度大於

50nm，則第一電晶體 340 為加強型薄膜電晶體，而第二電晶體 350 為空乏型薄膜電晶體。藉由加強型-空乏型薄膜電晶體的連接設計，積體電路結構 300 將可執行各種功能。當然，本實施例也可以使得第一氧化物半導體層 344 的厚度大於 50nm，而第二氧化物半導體 354 的厚度小於 50nm。

在本實施例中，第一氧化物半導體層 344 與第二氧化物半導體層 354 具有不同的厚度可以使第一電晶體 340 與第二電晶體 350 具有不同的電性特性。此外，本實施例還可以搭配金屬材料的選擇使第一電晶體 340 與第二電晶體 350 的電性特性有所不同。詳言之，若第一氧化物半導體層 344 的厚度小於 50nm，而第二氧化物半導體 354 的厚度大於 50nm，則第一電晶體 340 為加強型薄膜電晶體，而第二電晶體 350 為空乏型薄膜電晶體。此時，本實施例可以進一步使第一源極 346 與第一汲極 348 直接接觸第一氧化物半導體層 344 的部份為不含鈦金屬材料。另外，第二源極 356 與第二汲極 358 直接接觸第二氧化物半導體層 354 的部份則為含鈦金屬材料。

另外，若第一氧化物半導體層 344 的厚度大於 50nm，而第二氧化物半導體 354 的厚度小於 50nm，則第一電晶體 340 為空乏型薄膜電晶體，而第二電晶體 350 為加強型薄膜電晶體。此時，第一源極 346 與第一汲極 348 直接接觸第一氧化物半導體層 344 的部份則可以為含鈦金屬材料，而第二源極 356 與第二汲極 358 直接接觸第二氧化物半導體層 354 的部份則為不含鈦金屬材料。

換言之，本實施例不僅可以藉由氧化物半導體層的厚度來調整第一電晶體 340 與第二電晶體 350 的電性特性，更可以進一步改變第一源極 346、第一汲極 348 與第二源極 356、第二汲極 358 的材料。同樣的，在第一實施例與第二實施例中，第一氧化物半導體層 134 與第二氧化物半導體層 144 的厚度也可以進一步做調整以使第一電晶體 130、230 與第二電晶體 140、240 具有不同的電性特性。

除此之外，本實施例的不需藉由任何高溫製程的應用以改變第一電晶體 340 與第二電晶體 350 的電性特性。所以，基板 110 選用可撓性材質製作時，積體電路結構 300 仍可以維持良好的品質。亦即，積體電路結構 300 可以應用於軟性電子產品當中。

圖 4 繪示為本發明之一第四實施例的積體電路結構的剖面示意圖。請參照圖 4，積體電路結構 400 與積體電路結構 300 具有大致相同的結構設計，在此，相同的元件標號將代表相同的元件。積體電路結構 400 包括一基板 110、一第一絕緣層 320、一第二絕緣層 330、一第一電晶體 440 以及一第二電晶體 450。第一電晶體 440 包括一第一閘極 342、一第一氧化物半導體層 444、一第一源極 346 以及一第一汲極 348。第二電晶體 450 包括一第二閘極 352、一第二氧化物半導體層 454、一第二源極 356 以及一第二汲極 358。在本實施例中，第一氧化物半導體層 444 與第二氧化物半導體層 454 的載子濃度不同。

第一氧化物半導體層 444 與第二氧化物半導體層 454

一般是以濺鍍方式形成的。在濺鍍製程中若可以調整濺鍍氣體的比例，將可以改變第一氧化物半導體層 444 與第二氧化物半導體層 454 的成分以及特性。氧化物半導體的濺鍍製程中常以氫氣為濺鍍氣體，同時以氧氣為反應氣體。當氧氣流量改變時，氧化半導體薄膜的載子濃度將會隨之改變，並呈現不同的特性。

舉例來說，在一製程中，氧化物半導體層(444 與 454)的製作過程可以選用銦鎵鋅氧化物靶材。銦鎵鋅的比例約為 1 : 1 : 1 時，氧氣與氫氣的流量比可以分別  $O_2/(Ar+O_2) > 0.1$  以及  $O_2/(Ar+O_2) < 0.1$ 。以前者條件所形成的氧化物半導體層的載子濃度大約小於  $10^{16} \text{cm}^{-3}$ ，而以後者條件所形成的氧化物半導體層的載子濃度則例如會大於  $10^{17} \text{cm}^{-3}$ 。因此，若利用不同製程氣體條件來製作第一氧化物半導體層 444 與第二氧化物半導體層 454，則第一電晶體 440 與第二電晶體 450 可以具有不同的電性特性。以上所述的氧氣與氫氣的流量比僅為舉例之用。實務上，因應靶材的成分不同與靶材中各成分之比例不同可以選用不同的製程氣體條件來調變第一氧化物半導體層 444 與第二氧化物半導體層 454 的載子濃度。

在本實施例中，若第一電晶體 440 欲設計為加強型的薄膜電晶體，而第二電晶體 450 欲設計為空乏型的薄膜電晶體，則可以在氧氣流量較高的製程條件下製作第一氧化物半導體層 444，而在氧氣流量較低的製程條件下製作第二氧化物半導體層 454。反之，則可以利用相反的製程條

件來分別製作第一氧化物半導體層 444 與第二氧化物半導體層 454。

實務上，為了避免製程條件不同而影響第一氧化物半導體層 444 與第二氧化物半導體層 454 的性質，製作第一電晶體 440 與第二電晶體 450 時，可以選擇先進行氧氣流量較高的製程步驟，而後進行氧氣流量較低的製程步驟。當然，本發明不限於此，在其他實施例中可以隨著不同製程需求加以安排各製程步驟的順序。

除此之外，為了進一步調整第一電晶體 440 與第二電晶體 450 的電性特性，第一源極 346、第一汲極 348 以及第二源極 356、第二汲極 358 可以分別採用不同的材料或是不同的結構設計加以製作。舉例而言，若第一電晶體 440 欲設計為加強型的薄膜電晶體，而第二電晶體 450 欲設計為空乏型的薄膜電晶體，則第一源極 346 與第一汲極 348 可選用不含鈦金屬加以製作，而第二源極 356 與第二汲極 358 選用含鈦之金屬加以製作。也就是說，本實施例直接接觸第二氧化物半導體層 454 的部份第二源極 356 與第二汲極 358 為含鈦金屬。同時，直接接觸第一氧化物半導體層 444 的部份第一源極 346 與第一汲極 348 為不含鈦金屬。

當然，若第一電晶體 440 欲設計為空乏型的薄膜電晶體，而第二電晶體 450 欲設計為加強型的薄膜電晶體，則直接接觸第一氧化物半導體層 444 的部份第一源極 346 與第一汲極 348 可為含鈦金屬，直接接觸第二氧化物半導體層 454 的部份第二源極 356 與第二汲極 358 則為不含鈦金

屬。

更進一步來說，本實施例除了利用製程條件的控制使第一電晶體 440 與第二電晶體 450 具有不同電性特性外，也可以同時調整第一氧化物半導體層 444 與第二氧化物半導體層 454 的厚度。也就是說，本實施例不僅利用製程條件的調變來改變第一電晶體 440 與第二電晶體 450 的電性特性，更可以搭配氧化物半導體層的厚度變化及金屬材質的選用來進一步調整第一電晶體 440 與第二電晶體 450 的電性特性。當然，本實施例所提出的製程條件的調整方式也可以應用於第一實施例、第二實施例與第三實施例中。

綜上所述，本發明利用電極材料的選擇、氧化物半導體層的厚度改變以及氧化物半導體層的製程條件改變以形成不同電性的電晶體。所以，本發明可以應用氧化物半導體薄膜電晶體於積體電路當中。氧化物半導體薄膜電晶體對於撓曲狀態的耐受性較大，而適於應用至軟性電子產品中。換言之，本發明的積體電路結構可以應用至軟性電子產品並具有良好的品質。

雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，故本發明之保護範圍當視後附之申請專利範圍所界定者為準。

### 【圖式簡單說明】

圖 1 繪示為本發明之一第一實施例的積體電路結構的

剖面示意圖。

圖 2 繪示為本發明之一第二實施例的積體電路結構的剖面示意圖。

圖 3 繪示為本發明之一第三實施例的積體電路結構的剖面示意圖。

圖 4 繪示為本發明之一第四實施例的積體電路結構的剖面示意圖。

### 【主要元件符號說明】

100、200、300、400：積體電路結構

110：基板

120：絕緣層

130、230、340、440：第一電晶體

132、342：第一閘極

134、344、444：第一氧化物半導體層

136、236、346：第一源極

138、238、348：第一汲極

140、240、350、450：第二電晶體

142、352：第二閘極

144、354、454：第二氧化物半導體層

146、356：第二源極

148、358：第二汲極

150：連接金屬

260：保護層

320：第一絕緣層

330：第二絕緣層

Mt：結構層

# 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：97148661

H01L 27/688 (2006.01)

※申請日：97.12.12

※IPC 分類：

H01L 29/86 (2006.01)

## 一、發明名稱：

積體電路結構/INTEGRATED CIRCUIT STRUCTURE

## 二、中文發明摘要：

一種積體電路結構，包括一基板、一絕緣層、一第一電晶體以及一第二電晶體。絕緣層、第一電晶體以及第二電晶體配置於基板上。第一電晶體包括一第一閘極、一第一氧化物半導體層、一第一源極以及一第一汲極。第一源極與第一汲極直接接觸第一氧化物半導體層的部分由一含鈦金屬所構成。第二電晶體包括一第二閘極、一第二氧化物半導體層、一第二源極以及一第二汲極。第二源極與第二汲極直接接觸第二氧化物半導體層的部分由一不含鈦金屬所構成。另外，第一氧化物半導體層與第二氧化物半導體層可具有不同厚度或是不同載子濃度。

## 三、英文發明摘要：

An integrated circuit structure including a substrate, an insulator layer, a first transistor and a second transistor is provided. The insulator layer, the first transistor and the second transistor are disposed on the substrate. The first

transistor includes a first gate, a first oxide semiconductor layer, a first source and a first drain. A portion of the first source and the first drain directly contacting with the first oxide semiconductor layer is composed of a metal with Ti. The second transistor includes a second gate, a second oxide semiconductor layer, a second source and a second drain. A portion of the second source and the second drain directly contacting with the second oxide semiconductor layer is composed of a metal without Ti. In addition, the first oxide semiconductor layer and the second oxide semiconductor layer may have different thickness or different carrier concentration.

#### 四、指定代表圖：

(一) 本案之指定代表圖：圖 1

(二) 本代表圖之元件符號簡單說明：

100：積體電路結構

110：基板

120：絕緣層

130：第一電晶體

132：第一閘極

134：第一氧化物半導體層

136：第一源極

138：第一汲極

## 七、申請專利範圍：

1. 一種積體電路結構，至少包括：

一基板；

一絕緣層，配置於該基板上；

一第一電晶體，至少包括：

一第一閘極，配置於該基板上；

一第一氧化物半導體層，該絕緣層配置於該第一閘極與該第一氧化物半導體層之間，且該第一閘極與該第一氧化物半導體層的面積部分重疊；

一第一源極，連接於該第一氧化物半導體層；

一第一汲極，連接於該第一氧化物半導體層，該第一源極與該第一汲極分別位於該第一閘極的兩側，其中該第一源極與該第一汲極直接接觸該第一氧化物半導體層的部分由一含鈦金屬所構成；

一第二電晶體，電性連接該第一電晶體並包括：

一第二閘極，配置於該基板上；

一第二氧化物半導體層，該絕緣層配置於該第二閘極與該第二氧化物半導體層之間，且該第二閘極與該第二氧化物半導體層的面積部分重疊；

一第二源極，連接於該第二氧化物半導體層；

以及

一第二汲極，連接於該第二氧化物半導體層，該第二源極與該第二汲極分別位於該第二閘極的兩側，其中該第二源極與該第二汲極直接接觸該第二氧

化物半導體層的部分由一不含鈦金屬所構成。

2. 如申請專利範圍第 1 項所述之積體電路結構，其中該第一氧化物半導體層的厚度與該第二氧化物半導體層的厚度不同。

3. 如申請專利範圍第 1 項所述之積體電路結構，其中該第一氧化物半導體層的載子濃度與該第二氧化物半導體層的載子濃度不同。

4. 如申請專利範圍第 1 項所述之積體電路結構，其中該第一閘極位於該基板以及該絕緣層之間。

5. 如申請專利範圍第 4 項所述之積體電路結構，其中該第二閘極位於該基板以及該絕緣層之間。

6. 如申請專利範圍第 1 項所述之積體電路結構，其中該第一閘極位於該絕緣層遠離該基板之一側，且該絕緣層位於該基板以及該第一閘極之間。

7. 如申請專利範圍第 6 項所述之積體電路結構，其中該第二閘極位於該絕緣層遠離該基板之一側，且該絕緣層位於該基板以及該第二閘極之間。

8. 如申請專利範圍第 1 項所述之積體電路結構，其中該含鈦金屬包括鈦、鈦合金。

9. 如申請專利範圍第 1 項所述之積體電路結構，更包括一連接金屬，連接於該第一電晶體與該第二電晶體之間。

10. 如申請專利範圍第 1 項所述之積體電路結構，其中該第一氧化物半導體層與該第二氧化物半導體層的材質

包括氧化鋅、銻鎳鋅氧化物或銻鋅錫氧化物。

11. 如申請專利範圍第 1 項所述之積體電路結構，其中該基板為一可撓性基板。

12. 如申請專利範圍第 11 項所述之積體電路結構，其中該可撓性基板的材質為聚亞醯胺、聚間苯二甲酸乙二酯 (polyethylene naphthalate, PEN) 或聚乙烯對苯二甲酸酯 (polyethylene terephthalate, PET)。

13. 一種積體電路結構，至少包括：

一基板；

一第一絕緣層，配置於該基板上；

一第二絕緣層，配置於該基板上，且該第一絕緣層位於該第二絕緣層與該基板之間；

一第一電晶體，至少包括：

一第一閘極，配置於該第一絕緣層與該基板之間；

一第一氧化物半導體層，該第一絕緣層位於該第一閘極與該第一氧化物半導體層之間，且該第一閘極與該第一氧化物半導體層的面積部分重疊；

一第一源極，連接至該第一氧化物半導體層；

一第一汲極，連接至該第一氧化物半導體層，該第一源極與該第一汲極分別位於該第一閘極的兩側；

一第二電晶體，電性連接該第一電晶體並包括：

一第二閘極，配置於該第二絕緣層遠離該基板

之一側；

一第二氧化物半導體層，該第二絕緣層位於該第二閘極與該第二氧化物半導體層之間，且該第二閘極與該第二氧化物半導體層的面積部分重疊，其中該第一氧化物半導體層的厚度與該第二氧化物半導體層的厚度不同；

一第二源極，連接至該第二氧化物半導體層；  
以及

一第二汲極，連接至該第二氧化物半導體層，該第二源極與該第二汲極分別位於該第二閘極的兩側。

14. 如申請專利範圍第 13 項所述之積體電路結構，更包括一連接金屬，連接於該第一電晶體與該第二電晶體之間。

15. 如申請專利範圍第 13 項所述之積體電路結構，其中該第一氧化物半導體層與該第二氧化物半導體層的材質包括氧化鋅、銦鎳鋅氧化物或銦鋅錫氧化物。

16. 如申請專利範圍第 13 項所述之積體電路結構，其中該基板為一可撓性基板。

17. 如申請專利範圍第 16 項所述之積體電路結構，其中該可撓性基板的材質為聚亞醞胺、聚間苯二甲酸乙二酯 (polyethylene naphthalate, PEN) 或聚乙烯對苯二甲酸酯 (polyethylene terephthalate, PET)。

18. 如申請專利範圍第 13 項所述之積體電路結構，

其中該第一氧化物半導體層的厚度大於 50nm，而該第二氧化物半導體層的厚度小於 50nm。

19. 如申請專利範圍第 13 項所述之積體電路結構，其中該第一氧化物半導體層的厚度小於 50nm，而該第二氧化物半導體層的厚度大於 50nm。

20. 如申請專利範圍第 13 項所述之積體電路結構，其中該第一氧化物半導體層的載子濃度與該第二氧化物半導體層的載子濃度不同。

21. 如申請專利範圍第 13 項所述之積體電路結構，其中該第一源極與該第一汲極直接接觸該第一氧化物半導體層的部分由一含鈦金屬所構成，而該第二源極與該第二汲極直接接觸該第二氧化物半導體層的部分由一不含鈦金屬所構成。

22. 如申請專利範圍第 13 項所述之積體電路結構，其中該第一源極與該第一汲極直接接觸該第一氧化物半導體層的部分由一不含鈦金屬所構成，而該第二源極與該第二汲極直接接觸該第二氧化物半導體層的部分由一含鈦金屬所構成。

23. 一種積體電路結構，至少包括：

- 一基板；
- 一第一絕緣層，配置於該基板上；
- 一第二絕緣層，配置於該基板上，且該第一絕緣層位於該第二絕緣層與該基板之間；
- 一第一電晶體，至少包括：

一第一閘極，配置於該第一絕緣層與該基板之間；

一第一氧化物半導體層，該第一絕緣層位於該第一閘極與該第一氧化物半導體層之間，且該第一閘極與該第一氧化物半導體層的面積部分重疊；

一第一源極，連接於該第一氧化物半導體層；

一第一汲極，連接於該第一氧化物半導體層，該第一源極與該第一汲極分別位於該第一閘極的兩側；

一第二電晶體，電性連接該第一電晶體並包括：

一第二閘極，配置於該第二絕緣層遠離該基板之一側；

一第二氧化物半導體層，該第二絕緣層位於該第二閘極與該第二氧化物半導體層之間，且該第二閘極與該第二氧化物半導體層的面積部分重疊，其中該第一氧化物半導體層的載子濃度與該第二氧化物半導體層的載子濃度不同；

一第二源極，連接至該第二氧化物半導體層；

以及

一第二汲極，連接至該第二氧化物半導體層，該第二源極與該第二汲極分別位於該第二閘極的兩側。

24. 如申請專利範圍第 23 項所述之積體電路結構，更包括一連接金屬，連接於該第一電晶體與該第二電晶體

之間。

25. 如申請專利範圍第 23 項所述之積體電路結構，其中該第一氧化物半導體層與該第二氧化物半導體層的材質包括氧化鋅、銦鎵鋅氧化物或銦鋅錫氧化物。

26. 如申請專利範圍第 23 項所述之積體電路結構，其中該基板為一可撓性基板。

27. 如申請專利範圍第 26 項所述之積體電路結構，其中該可撓性基板的材質為聚亞醯胺、聚間苯二甲酸乙二酯 (polyethylene naphthalate, PEN) 或聚乙烯對苯二甲酸酯 (polyethylene terephthalate, PET)。

28. 如申請專利範圍第 23 項所述之積體電路結構，其中該第一源極與該第一汲極直接接觸該第一氧化物半導體層的部分由一含鈦金屬所構成，而該第二源極與該第二汲極直接接觸該第二氧化物半導體層的部分由一不含鈦金屬所構成。

29. 如申請專利範圍第 28 項所述之積體電路結構，其中該第一氧化物半導體層與該第二氧化物半導體層具有不同的厚度。

30. 如申請專利範圍第 28 項所述之積體電路結構，其中該第一氧化物半導體層的厚度大於 50nm，而該第二氧化物半導體層的厚度小於 50nm。

31. 如申請專利範圍第 23 項所述之積體電路結構，其中該第一源極與該第一汲極直接接觸該第一氧化物半導體層的部分由一不含鈦金屬所構成，而該第二源極與該第

二汲極直接接觸該第二氧化物半導體層的部分由一含鈦金屬所構成。

32. 如申請專利範圍第 31 項所述之積體電路結構，其中該第一氧化物半導體層與該第二氧化物半導體層具有不同的厚度。

33. 如申請專利範圍第 31 項所述之積體電路結構，其中該第一氧化物半導體層的厚度小於 50nm，而該第二氧化物半導體層的厚度大於 50nm。

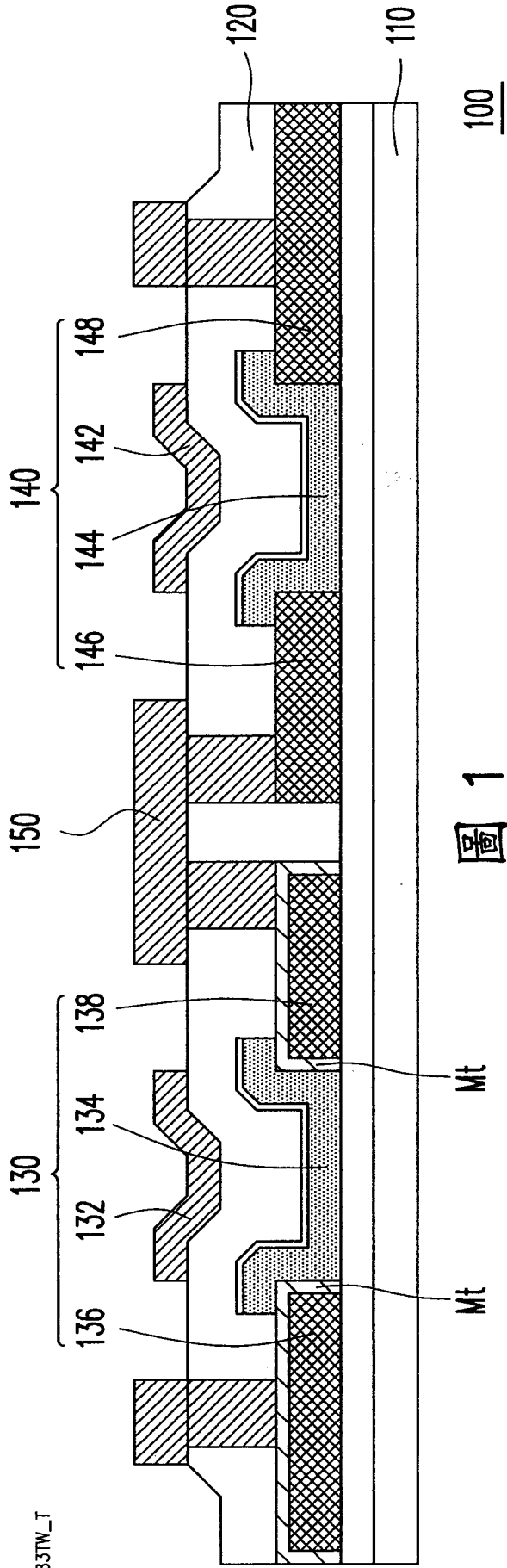


圖 1

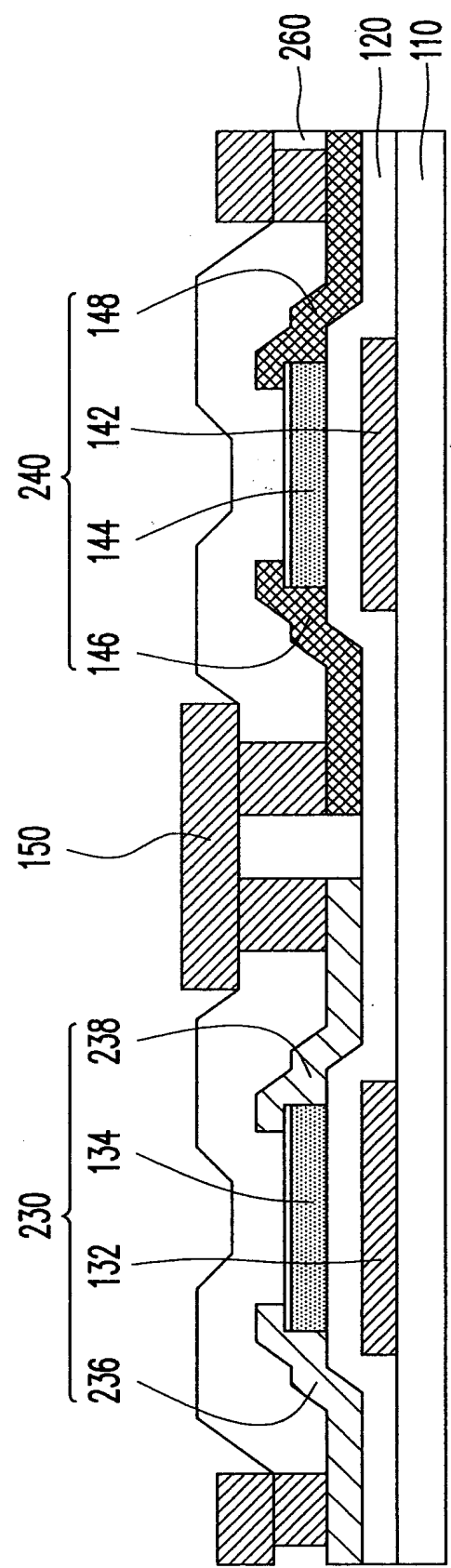


圖 2

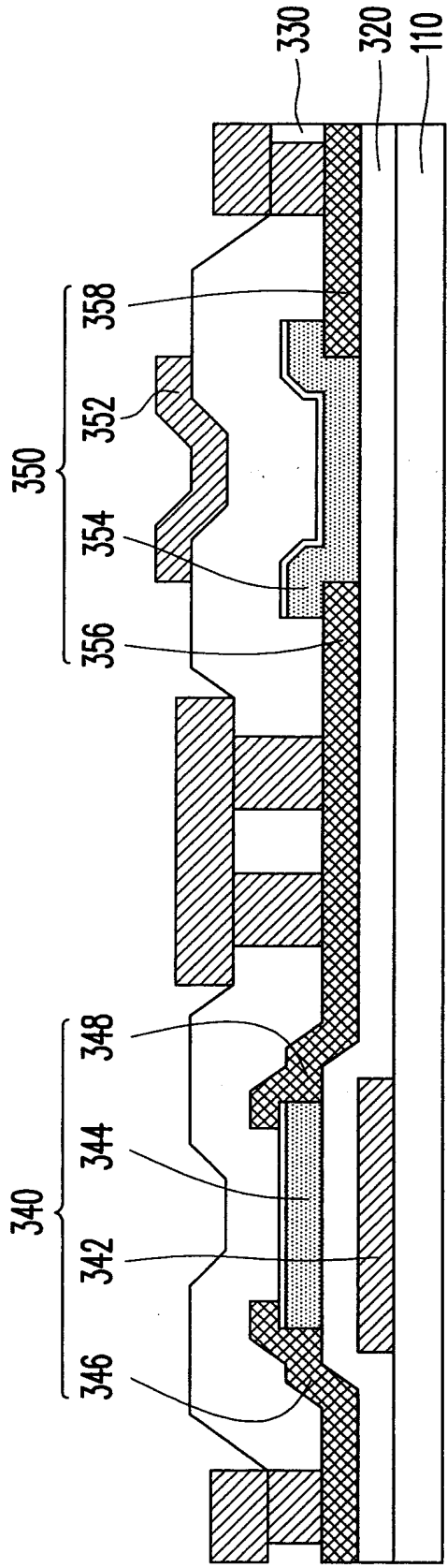


圖 3

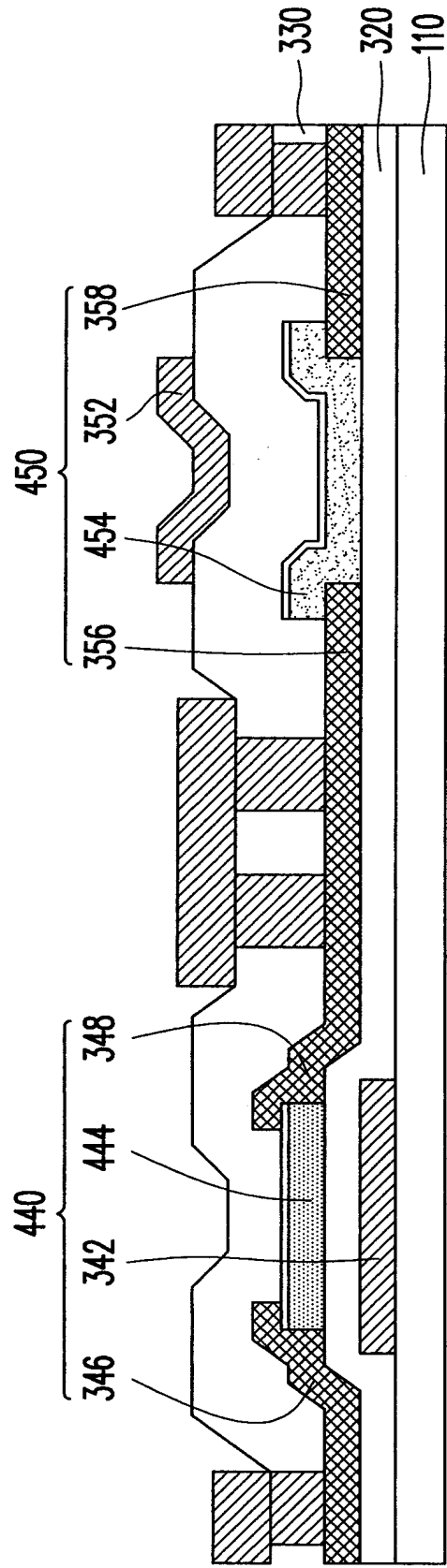


圖 4

transistor includes a first gate, a first oxide semiconductor layer, a first source and a first drain. A portion of the first source and the first drain directly contacting with the first oxide semiconductor layer is composed of a metal with Ti. The second transistor includes a second gate, a second oxide semiconductor layer, a second source and a second drain. A portion of the second source and the second drain directly contacting with the second oxide semiconductor layer is composed of a metal without Ti. In addition, the first oxide semiconductor layer and the second oxide semiconductor layer may have different thickness or different carrier concentration.

#### 四、指定代表圖：

(一) 本案之指定代表圖：圖 1

(二) 本代表圖之元件符號簡單說明：

100：積體電路結構

110：基板

120：絕緣層

130：第一電晶體

132：第一閘極

134：第一氧化物半導體層

136：第一源極

138：第一汲極

- 140：第二電晶體
- 142：第二閘極
- 144：第二氧化物半導體層
- 146：第二源極
- 148：第二汲極
- 150：連接金屬
- Mt：結構層

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無