

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6149142号
(P6149142)

(45) 発行日 平成29年6月14日(2017.6.14)

(24) 登録日 平成29年5月26日(2017.5.26)

(51) Int.Cl.

F I

HO 1 L 29/786 (2006.01)
 HO 1 L 21/336 (2006.01)
 HO 1 L 51/50 (2006.01)
 HO 5 B 33/14 (2006.01)

HO 1 L 29/78 6 1 9 A
 HO 1 L 29/78 6 1 8 B
 HO 5 B 33/14 A
 HO 5 B 33/14 Z

請求項の数 2 (全 56 頁)

(21) 出願番号 特願2016-141652 (P2016-141652)
 (22) 出願日 平成28年7月19日(2016.7.19)
 (62) 分割の表示 特願2015-21833 (P2015-21833)
 の分割
 原出願日 平成22年10月1日(2010.10.1)
 (65) 公開番号 特開2016-213489 (P2016-213489A)
 (43) 公開日 平成28年12月15日(2016.12.15)
 審査請求日 平成28年7月20日(2016.7.20)
 (31) 優先権主張番号 特願2009-235104 (P2009-235104)
 (32) 優先日 平成21年10月9日(2009.10.9)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 宮永 昭治
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 高橋 正弘
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 岸田 英幸
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

ゲート電極層と、
 前記ゲート電極層上の、膜厚100nm以上350nm以下のゲート絶縁層と、
 前記ゲート絶縁層上の酸化物半導体層と、
 前記酸化物半導体層上の、ソース電極層及びドレイン電極層と、
 前記酸化物半導体層上、前記ソース電極層上及び前記ドレイン電極層上の酸化シリコン層と、
 前記酸化物半導体層と前記酸化シリコン層との間の混合領域と、を有し、
 前記混合領域は、前記ソース電極層及び前記ドレイン電極層とは重ならず、
 前記混合領域は、金属元素と、シリコンと、酸素とを有し、
 前記酸化物半導体層は、前記金属元素を有することを特徴とする半導体装置。

【請求項2】

ゲート電極層と、
 前記ゲート電極層上の、膜厚100nm以上350nm以下のゲート絶縁層と、
 前記ゲート絶縁層上の、InとGaとZnとを含む酸化物半導体層と、
 前記酸化物半導体層上の、ソース電極層及びドレイン電極層と、
 前記酸化物半導体層上、前記ソース電極層上及び前記ドレイン電極層上の酸化シリコン層と、
 前記酸化物半導体層と前記酸化シリコン層との間の混合領域と、を有し、

10

20

前記混合領域は、前記ソース電極層及び前記ドレイン電極層とは重ならず、
前記混合領域は、金属元素と、シリコンと、酸素とを有し、
前記金属元素は、I n、G a、又はZ nであることを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

酸化物半導体を用いる半導体装置及びその作製方法に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

10

【背景技術】

【0003】

近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数～数百nm程度）を用いて薄膜トランジスタ（TFT）を構成する技術が注目されている。薄膜トランジスタは集積回路（Integrated Circuit：IC）や電気光学装置のような電子デバイスに広く応用され、特に画像表示装置のスイッチング素子として開発が急がれている。金属酸化物は多様に存在しさまざまな用途に用いられている。酸化インジウムはよく知られた材料であり、液晶ディスプレイなどで必要とされる透明電極材料として用いられている。

【0004】

20

金属酸化物の中には半導体特性を示すものがある。半導体特性を示す金属酸化物としては、例えば、酸化タングステン、酸化錫、酸化インジウム、酸化亜鉛などがあり、このような半導体特性を示す金属酸化物をチャネル形成領域とする薄膜トランジスタが既に知られている（特許文献1及び特許文献2参照。）。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2007-123861号公報

【特許文献2】特開2007-96055号公報

【発明の概要】

30

【発明が解決しようとする課題】

【0006】

しかしながら酸化物半導体は薄膜形成工程において化学量論的組成からのずれが生じてしまう。例えば、酸素の過不足によって酸化物半導体の電気伝導度が変化してしまう。また、酸化物半導体の薄膜形成中に混入する水素や水分が酸素（O）-水素（H）結合を形成して電子供与体となり、電気伝導度を変化させる要因となる。さらにO-Hは極性分子なので、酸化物半導体によって作製される薄膜トランジスタのような能動デバイスに対して特性の変動要因となる。

【0007】

このような問題に鑑み本発明の一形態は、安定した電気的特性を有する酸化物半導体を用いた半導体装置を提供することを目的とする。

40

【課題を解決するための手段】

【0008】

酸化物半導体層を用いる薄膜トランジスタの電気的特性変動を抑止するためにゲート絶縁層の膜厚を制御し、酸化物半導体層及び、該酸化物半導体層と接して形成される酸化物絶縁層（酸化シリコン層）との界面において、変動要因となる水素、水分、水酸基又は水素化合物（水素化合物ともいう）などの不純物を排除する。

【0009】

温度85℃で、12時間、ゲート電極層に30V、又は-30Vの電圧を印加（ゲート電圧V_gを30V又は-30V）する測定において、測定前と測定後の薄膜トランジスタの

50

しきい値電圧の値の差が1 V以下 (± 1 V以下) である薄膜トランジスタを有する半導体装置である。該薄膜トランジスタはゲート絶縁層の膜厚が100 nm以上350 nm以下、酸化物半導体層及び、該酸化物半導体層と接して形成される酸化物絶縁層(酸化シリコン層)との界面における水素濃度が $5 \times 10^{19} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{19} / \text{cm}^3$ 以下とする。

【0010】

ゲート絶縁層は酸化シリコン層、又はゲート電極層側から窒化シリコン層と酸化シリコン層との積層を用いることができる。膜厚100 nmの酸化シリコン層、又はゲート電極層側から膜厚100 nmの窒化シリコン層と膜厚100 nmの酸化シリコン層との積層とすればよい。

10

【0011】

ゲート絶縁層を100 nm以上350 nm以下の膜厚に制御することによって温度85で、12時間、ゲート電極層に30 V、又は-30 Vの電圧を印加(ゲート電圧 V_g を30 V又は-30 V)する測定において、測定前と測定後の薄膜トランジスタのしきい値電圧の値の差が1 V以下 (± 1 V以下) であるような電気特性が安定な薄膜トランジスタとすることができる。

【0012】

なお、前記測定において、ソース電極層とドレイン電極層は固定電圧(接地電圧)とされている。また、前記水素濃度は二次イオン質量分析(SIMS: Secondary Ion Mass Spectrometry)による水素濃度の定量結果である。

20

【0013】

未結合手に代表される欠陥を多く含む酸化シリコン層(SiO_x 、好ましくは x は2以上)を、酸化物半導体層に接して形成し、酸化物半導体層に含まれる水素や水分(水素原子や、 H_2O など水素原子を含む化合物)などの不純物を、上記酸化シリコン層に拡散させ、上記酸化物半導体層中の不純物濃度を低減すればよい。

【0014】

酸化シリコン層に含まれる欠陥には、シリコンの未結合手、酸素の未結合手、又はその両方が含まれる。酸素の未結合手を欠陥として多く含む酸化シリコン層は、主に水素に対して束縛エネルギーがより大きくなり、酸化物半導体層から酸化シリコン層への拡散が促進され、酸化シリコン層において不純物が安定化させることができるため好ましい。

30

【0015】

また、酸化物半導体層、又は酸化物半導体層に接する酸化シリコン層を、クライオポンプを用いて排気して不純物濃度が低減された成膜室内で、成膜すればよい。

【0016】

また、酸化物半導体層、及び酸化物半導体層に接する酸化シリコン層を、成膜する際に用いるスパッタガスも水素、水、水酸基又は水素化物などの不純物が、濃度ppm、ppb程度まで除去された高純度ガスを用いることが好ましい。

【0017】

本明細書で開示する発明の構成の一形態は、ゲート電極層と、ゲート電極層上の膜厚100 nm以上350 nm以下のゲート絶縁層と、ゲート絶縁層上の酸化物半導体層と、酸化物半導体層上のソース電極層及びドレイン電極層と、酸化物半導体層を含む薄膜トランジスタと、ソース電極層及びドレイン電極層上に酸化物半導体層の一部と接する酸化シリコン層とを有し、薄膜トランジスタは温度85で、12時間、ゲート電極層に30 V、又は-30 Vの電圧を印加する測定において、測定前と測定後の薄膜トランジスタのしきい値電圧の値の差が1 V以下である半導体装置である。

40

【0018】

本明細書で開示する発明の構成の他の一形態は、ゲート電極層と、ゲート電極層上の膜厚100 nm以上350 nm以下のゲート絶縁層と、ゲート絶縁層上の酸化物半導体層と、酸化物半導体層上のソース電極層及びドレイン電極層と、酸化物半導体層を含む薄膜トランジスタと、ソース電極層及びドレイン電極層上に酸化物半導体層の一部と接する酸化シ

50

リコン層とを有し、酸化物半導体層及び、酸化物半導体層と酸化シリコン層との界面における二次イオン質量分析による水素濃度が $5 \times 10^{19} / \text{cm}^3$ 以下とし、薄膜トランジスタは温度 85 で、12 時間、ゲート電極層に 30 V、又は -30 V の電圧を印加する測定において、測定前と測定後の薄膜トランジスタのしきい値電圧の値の差が 1 V 以下である半導体装置である。

【0019】

上記構成において、酸化シリコン層は欠陥を多く含むことが好ましい。また、酸化物半導体層と酸化シリコン層の界面に混合領域が設けられ、該混合領域は、酸素、シリコン、及び酸化物半導体層に含まれる金属元素を少なくとも一種以上含む構成としてもよい。上記混合領域は膜厚 1 nm 乃至 10 nm (好ましくは 2 nm 乃至 5 nm) とすればよい。混合領域を設け、酸化半導体層と酸化シリコン層とを明確な界面としないことで、より酸化半導体層から酸化シリコン層への水素の拡散が容易になる。

10

【0020】

上記構成において、酸化シリコン層を覆う保護絶縁層を有する構成であってもよい。

【0021】

本明細書で開示する発明の構成の他の一形態は、基板上にゲート電極層及び該ゲート電極層を覆う膜厚 100 nm 以上 350 nm 以下のゲート絶縁層を形成した後、該基板を減圧状態に保持された第 1 の処理室に導入し、第 1 の処理室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、第 1 処理室内に装着された金属酸化物のターゲットを用いてゲート絶縁層上に酸化物半導体層を形成し、酸化物半導体層上にソース電極層及びドレイン電極層を形成した後、該基板を第 2 処理室に導入し、第 2 の処理室内の残留水分を除去しつつ水素及び水分が除去された酸素を含むスパッタガスを導入し、第 2 処理室内に装着されたシリコンを含むターゲットを用いて、酸化物半導体層上に、欠陥を含む酸化シリコン層を形成し、該基板を 100 乃至 400 の温度に加熱して酸化物半導体層中に含まれる水素若しくは水分を酸化シリコン層側に拡散させる半導体装置の作製方法である。

20

【0022】

本明細書で開示する発明の構成の他の一形態は、基板上にゲート電極層及び該ゲート電極層を覆う膜厚 100 nm 以上 350 nm 以下のゲート絶縁層を形成した後、該基板を減圧状態に保持された第 1 の処理室に導入し、第 1 の処理室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、第 1 処理室内に装着された金属酸化物のターゲットを用いてゲート絶縁層上に酸化物半導体層を形成し、酸化物半導体層上にソース電極層及びドレイン電極層を形成した後、該基板を第 2 処理室に導入し、第 2 の処理室内の残留水分を除去しつつ水素及び水分が除去された酸素を含むスパッタガスを導入し、室温で第 2 処理室内に装着されたシリコンを含むターゲットを用いて酸化物半導体層上に、欠陥を含む酸化シリコン層を形成した後、該基板を減圧状態に保持された第 3 の処理室に導入し、第 3 の処理室内の残留水分を除去しつつ水素及び水分が除去された窒素を含むスパッタガスを導入し、第 3 処理室内に装着されたシリコンを含むターゲットを用いて酸化シリコン層上に窒化シリコン層を形成し、該基板を 100 乃至 400 の温度に加熱して酸化物半導体層中に含まれる水素若しくは水分を酸化シリコン層側に拡散させる半導体装置の作製方法である。

30

40

【0023】

本明細書で開示する発明の構成の他の一形態は、基板上にゲート電極層及び該ゲート電極層を覆う膜厚 100 nm 以上 350 nm 以下のゲート絶縁層を形成した後、該基板を減圧状態に保持された第 1 の処理室に導入し、第 1 の処理室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、第 1 処理室内に装着された金属酸化物のターゲットを用いてゲート絶縁層上に酸化物半導体層を形成し、酸化物半導体層上にソース電極層及びドレイン電極層を形成した後、該基板を第 2 処理室に導入し、第 2 の処理室内の残留水分を除去しつつ水素及び水分が除去された酸素を含むスパッタガスを導入し、室温で第 2 処理室内に装着されたシリコンを含むターゲットを用いて酸化物半導体層上に、欠

50

陥を含む酸化シリコン層を形成した後、該基板を減圧状態に保持された第3の処理室に導入し、該基板を100乃至400の温度に加熱し、第3の処理室内の残留水分を除去しつつ水素及び水分が除去された窒素を含むスパッタガスを導入し、第3処理室内に装着されたシリコンを含むターゲットを用いて酸化シリコン層上に窒化シリコン層を形成し、酸化物半導体層中に含まれる水素若しくは水分を酸化シリコン層側に拡散させる半導体装置の作製方法である。

【0024】

本明細書で開示する発明の構成の他の一形態は、基板上にゲート電極層及び該ゲート電極層を覆う膜厚100nm以上350nm以下のゲート絶縁層を形成した後、該基板を減圧状態に保持された第1の処理室に導入し、第1の処理室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、第1処理室内に装着された金属酸化物のターゲットを用いてゲート絶縁層上に酸化物半導体層を形成し、酸化物半導体層上にソース電極層及びドレイン電極層を形成した後、該基板を第2処理室に導入し、第2の処理室内の残留水分を除去しつつ水素及び水分が除去された酸素を含むスパッタガスを導入し、第2処理室内に装着されたシリコン半導体のターゲットを用いて、酸化物半導体層上に、欠陥を含む酸化シリコン層を形成し、酸素を含むスパッタガスを切り替えて窒素を含むスパッタガスを導入し、第2処理室内に装着されたシリコン半導体のターゲットを用いて酸化シリコン層上に窒化シリコン層を形成し、窒化シリコン層が形成された基板を100乃至400の温度に加熱して酸化物半導体層中に含まれる水素若しくは水分を酸化シリコン層側に拡散させる半導体装置の作製方法である。

【0025】

上記半導体装置の作製方法において、第2処理室に導入された該基板を0乃至50の温度とし、酸化物半導体層上に欠陥を含む酸化シリコン層を形成することができる。

【0026】

上記半導体装置の作製方法において、酸化物半導体層及び/又は酸化シリコン層を作製する際に、第1の処理室及び/又は第2の処理室の排気は吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。上記吸着型の真空ポンプは、酸化物半導体層及び/又は酸化シリコン層に含まれる水素、水、水酸基又は水素化物の量を低減するように作用する。

【0027】

上記半導体装置の作製方法において、酸化物半導体層を成膜するためのターゲットは、酸化亜鉛を主成分として含むものを用いることができる。また、ターゲットとして、インジウム、ガリウム、亜鉛を含む金属酸化物を用いることができる。

【0028】

上記半導体装置の作製方法において、酸化シリコン層を成膜するためのシリコンを含むターゲットは、シリコン半導体のターゲット又は合成石英のターゲットを用いることができる。

【0029】

上記各構成は、上記課題の少なくとも一つを解決する。

【0030】

なお、酸化物半導体層としては、 $InMO_3(ZnO)_m$ ($m > 0$) で表記される薄膜であり、その薄膜を酸化物半導体層として用いた薄膜トランジスタを作製する。なお、Mは、Ga、Fe、Ni、Mn及びCoから選ばれた一の金属元素または複数の金属元素を示す。例えばMとして、Gaの場合があることその他、GaとNiまたはGaとFeなど、Ga以外の上記金属元素が含まれる場合がある。また、上記酸化物半導体において、Mとして含まれる金属元素の他に、不純物元素としてFe、Niその他の遷移金属元素、または該遷移金属の酸化物が含まれているものがある。本明細書においては、 $InMO_3(ZnO)_m$ ($m > 0$) で表記される構造の酸化物半導体層のうち、MとしてGaを含む構造の酸化物半導体をIn-Ga-Zn-O系酸化物半導体とよび、その薄膜をIn-Ga-Zn-O系膜とも呼ぶ。

【0031】

また、酸化物半導体層に適用する金属酸化物として上記の他にも、In-Sn-O系、In-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系、In-Zn-O系、Sn-Zn-O系、Al-Zn-O系、In-O系、Sn-O系、Zn-O系の金属酸化物を適用することができる。また上記金属酸化物からなる酸化物半導体層に酸化シリコンを含ませてもよい。

【0032】

また、酸化物半導体層とソース電極及びドレイン電極の間に、酸化物導電層を形成してもよい。酸化物導電層とソース電極及びドレイン電極を形成するための金属層は、連続成膜が可能である。

10

【0033】

また、薄膜トランジスタは静電気などにより破壊されやすいため、ゲート線またはソース線に対して、画素部の薄膜トランジスタの保護用の保護回路を同一基板上に設けることが好ましい。保護回路は、酸化物半導体層を用いた非線形素子を用いて構成することが好ましい。

【0034】

なお、第1、第2として付される序数詞は便宜上用いるものであり、工程順又は積層順を示すものではない。また、本明細書において発明を特定するための事項として固有の名称を示すものではない。

【発明の効果】

20

【0035】

安定した電気的特性を有する酸化物半導体を用いた半導体装置を提供することができる。

【図面の簡単な説明】

【0036】

【図1】半導体装置の作製方法を説明する図。

【図2】成膜装置の一例を説明する図。

【図3】成膜装置の一例を説明する図。

【図4】成膜装置の一例を説明する図。

【図5】半導体装置の作製方法を説明する図。

【図6】半導体装置の作製方法を説明する図。

30

【図7】半導体装置を説明する図。

【図8】半導体装置の画素等価回路を説明する図。

【図9】半導体装置を説明する図。

【図10】半導体装置を説明する図。

【図11】半導体装置を説明する図。

【図12】半導体装置を説明する図。

【図13】半導体装置を説明する図。

【図14】半導体装置を説明する図。

【図15】半導体装置の画素等価回路を説明する図。

【図16】半導体装置を説明する図。

40

【図17】電子機器を示す図。

【図18】電子機器を示す図。

【図19】電子機器を示す図。

【図20】電子機器を示す図。

【図21】電子機器を示す図。

【発明を実施するための形態】

【0037】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、その形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。また、本発明は以下に示す実施の形態の記載内容に限定して解釈さ

50

れるものではない。

【0038】

(実施の形態1)

本実施の形態の半導体装置及び半導体装置の作製方法の一形態を、図1を用いて説明する。本実施の形態で示す半導体装置は薄膜トランジスタである。

【0039】

図1(A)乃至(E)に半導体装置の断面構造の一例を示す。図1(A)乃至(E)に示す薄膜トランジスタ110は、チャネルエッチ型と呼ばれるボトムゲート構造の一つであり逆スタガ型薄膜トランジスタともいう。

【0040】

酸化物半導体層を用いる薄膜トランジスタの電気的特性変動を抑止するためにゲート絶縁層の膜厚を制御し、酸化物半導体層及び、該酸化物半導体層と接して形成される酸化物絶縁層(酸化シリコン層)との界面において、変動要因となる水素、水分、水酸基又は水素化物の不純物を排除する。

【0041】

よって、本実施の形態の半導体装置に含まれる薄膜トランジスタ110は、温度85℃で、12時間、ゲート電極層に30V、又は-30Vの電圧を印加(ゲート電圧 V_g を30V又は-30V)する測定において、測定前と測定後の薄膜トランジスタ110のしきい値電圧の値の差が1V以下($\pm 1V$ 以下)であり、該薄膜トランジスタ110のゲート絶縁層の膜厚は100nm以上350nm以下に、酸化物半導体層及び、該酸化物半導体層と接して形成される酸化物絶縁層(酸化シリコン層)との界面における水素濃度は $5 \times 10^{19} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{19} / \text{cm}^3$ 以下に制御されている。

【0042】

なお、前記測定において、ソース電極層とドレイン電極層は固定電圧(接地電圧)とされている。また、前記水素濃度は二次イオン質量分析(SIMS: Secondary Ion Mass Spectrometry)による水素濃度の定量結果である。

【0043】

また、薄膜トランジスタ110はシングルゲート構造の薄膜トランジスタを用いて説明するが、必要に応じて、チャネル形成領域を複数有するマルチゲート構造の薄膜トランジスタも形成することができる。

【0044】

以下、図1(A)乃至(E)を用い、基板100上に薄膜トランジスタ110を作製する工程を説明する。

【0045】

まず、絶縁表面を有する基板100上に導電膜を形成した後、第1のフォトリソグラフィ工程によりゲート電極層101を形成する。形成されたゲート電極層の端部はテーパ形状であると、上に積層するゲート絶縁層の被覆性が向上するため好ましい。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0046】

絶縁表面を有する基板100に使用することができる基板に大きな制限はないが、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。バリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板を用いることができる。

【0047】

また、ガラス基板としては、後の加熱処理の温度が高い場合には、歪み点が730℃以上のものを用いると良い。また、ガラス基板には、例えば、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスなどのガラス材料が用いられている。なお、ホウ酸と比較して酸化バリウム(BaO)を多く含ませることで、より実用的な耐熱ガラスが得られる。このため、 B_2O_3 より BaO を多く含むガラス基板を用いることが好ましい

10

20

30

40

50

【0048】

なお、上記のガラス基板に代えて、セラミック基板、石英基板、サファイア基板などの絶縁体となる基板を用いても良い。他にも、結晶化ガラスなどを用いることができる。また、プラスチック基板等も適宜用いることができる。

【0049】

下地膜となる絶縁膜を基板100とゲート電極層101との間に設けてもよい。下地膜は、基板100からの不純物元素の拡散を防止する機能があり、窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜、又は酸化窒化シリコン膜から選ばれた一又は複数の膜による積層構造により形成することができる。

【0050】

また、ゲート電極層101の材料は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料又はこれらを主成分とする合金材料を用いて、単層で又は積層して形成することができる。

【0051】

例えば、ゲート電極層101の2層の積層構造としては、アルミニウム層上にモリブデン層が積層された2層の積層構造、または銅層上にモリブデン層を積層した2層構造、または銅層上に窒化チタン層若しくは窒化タンタル層を積層した2層構造、窒化チタン層とモリブデン層とを積層した2層構造とすることが好ましい。3層の積層構造としては、タングステン層または窒化タングステン層と、アルミニウムとシリコンの合金層またはアルミニウムとチタンの合金層と、窒化チタン層またはチタン層とを積層した積層や、モリブデン、アルミニウム、モリブデンの3層を用いることができる。なお、透光性を有する導電膜を用いてゲート電極層を形成することもできる。透光性を有する導電膜としては、透光性導電性酸化物等をその例に挙げることができる。

【0052】

次いで、ゲート電極層101上にゲート絶縁層102を形成する。酸化物半導体層を用いる薄膜トランジスタの電気的特性変動を抑止するためにゲート絶縁層102の膜厚を100nm以上350nm以下に制御する。

【0053】

ゲート絶縁層102は、プラズマCVD法又はスパッタリング法等を用いて、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、又は酸化アルミニウム層を単層で又は積層して形成することができる。なお、ゲート絶縁層102中に水素が多量に含まれないようにするためには、スパッタリング法でゲート絶縁層102を成膜することが好ましい。スパッタリング法により酸化シリコン膜を成膜する場合には、ターゲットとしてシリコンターゲット又は石英ターゲットを用い、スパッタガスとして酸素又は、酸素及びアルゴンの混合ガスを用いて行う。

【0054】

ゲート絶縁層102は、ゲート電極層101側から窒化シリコン層と酸化シリコン層を積層した構造とすることもできる。例えば、第1のゲート絶縁層としてスパッタリング法により膜厚50nm以上200nm以下の窒化シリコン層(SiN_y ($y > 0$))を形成し、第1のゲート絶縁層上に第2のゲート絶縁層として膜厚5nm以上300nm以下の酸化シリコン層(SiO_x ($x > 0$))を積層して、膜厚200nmのゲート絶縁層とする。

【0055】

ゲート絶縁層102は酸化シリコン層、又はゲート電極層101側から窒化シリコン層と酸化シリコン層との積層を用いることができる。例えば、ゲート絶縁層として膜厚100nmの酸化シリコン層、又はゲート電極層101側から第1のゲート絶縁層として膜厚100nmの窒化シリコン層、第2のゲート絶縁層として膜厚100nmの酸化シリコン層とを積層を用いればよい。

【0056】

ゲート絶縁層を100nm以上350nm以下の膜厚に制御することによって温度85

10

20

30

40

50

で、12時間、ゲート電極層に30V、又は-30Vの電圧を印加（ゲート電圧 V_g を30V又は-30V）する測定において、測定前と測定後の薄膜トランジスタのしきい値電圧の値の差が1V以下（ $\pm 1V$ 以下）であるような電気特性が安定な薄膜トランジスタとすることができる。

【0057】

また、ゲート絶縁層102に水素、水酸基及び水分がなるべく含まれないようにするために、成膜の前処理として、スパッタリング装置の予備加熱室でゲート電極層101が形成された基板100を200以上の温度で加熱し、基板100に吸着した不純物を除去することができる。

【0058】

次いで、ゲート絶縁層102上に、膜厚2nm以上200nm以下の酸化物半導体膜120を形成する（図1（A）参照。）。

【0059】

なお、酸化物半導体膜120をスパッタリング法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁層102の表面に付着しているゴミを除去することが好ましい。逆スパッタとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側にRF電源を用いて電圧を印加することによって、基板表面をプラズマに曝して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などを用いてもよい。

【0060】

酸化物半導体膜120はスパッタリング法により成膜する。酸化物半導体膜120は、In-Ga-Zn-O系膜、In-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系、In-Zn-O系、Sn-Zn-O系、Al-Zn-O系、In-O系、Sn-O系、Zn-O系の酸化物半導体膜を用いる。本実施の形態では、酸化物半導体膜120をIn-Ga-Zn-O系金属酸化物ターゲットを用いてスパッタリング法により成膜する。また、酸化物半導体膜120は、スパッタガスとして希ガス（代表的にはアルゴン）、酸素、又は希ガス（代表的にはアルゴン）及び酸素を用いることができ、該スパッタガスの雰囲気下においてスパッタリング法により形成することができる。また、スパッタリング法を用いる場合、 SiO_2 を2重量%以上10重量%以下含むターゲットを用いて成膜を行ってもよい。

【0061】

酸化物半導体膜120を、成膜する際に用いるスパッタガスは水素、水、水酸基又は水素化物などの不純物が、濃度ppm、ppb程度まで除去された高純度ガスを用いることが好ましい。

【0062】

酸化物半導体膜120をスパッタリング法で作製するためのターゲットとして、酸化亜鉛を主成分とする金属酸化物のターゲットを用いることができる。また、金属酸化物のターゲットの他の例としては、In、Ga、及びZnを含む金属酸化物ターゲット（組成比として、 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1$ [mol数比]、 $In : Ga : Zn = 1 : 1 : 0.5$ [atom比]）を用いることができる。また、In、Ga、及びZnを含む金属酸化物ターゲットとして、 $In : Ga : Zn = 1 : 1 : 1$ [atom比]、又は $In : Ga : Zn = 1 : 1 : 2$ [atom比]の組成比を有するターゲットを用いることもできる。金属酸化物ターゲットの充填率は90%以上100%以下、好ましくは95%以上99.9%以下である。充填率の高い金属酸化物ターゲットを用いることにより、成膜した酸化物半導体膜は緻密な膜となる。

【0063】

酸化物半導体膜120は、減圧状態に保持された処理室内に基板を保持し、基板を室温以上400未満の温度に加熱する。そして、処理室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、金属酸化物をターゲットとして基板100上に酸化物半導体膜120を成膜する。処理室内の残留水分を除去するためには、吸着型の真空

10

20

30

40

50

ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブレーションポンプを用いることが好ましい。また、排気手段としては、ターボ分子ポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した処理室は、例えば、水素原子や、 H_2O など水素原子を含む化合物や、炭素原子を含む化合物等が排気されるため、当該処理室で成膜した酸化物半導体膜に含まれる不純物の濃度を低減できる。

【0064】

成膜条件の一例としては、基板とターゲットの間との距離を100mm、圧力0.6Pa、直流(DC)電源0.5kW、酸素(酸素流量比率100%)雰囲気下の条件が適用される。なお、パルス直流(DC)電源を用いると、成膜時に発生する粉状物質(パーティクル、ゴミともいう)が軽減でき、膜厚分布も均一となるために好ましい。酸化物半導体膜は好ましくは5nm以上30nm以下とする。なお、適用する酸化物半導体材料により適切な厚みは異なり、材料に応じて適宜厚みを選択すればよい。

10

【0065】

上記のようにして酸化物半導体膜120をスパッタリング法で成膜することで、二次イオン質量分析(SIMS: Secondary Ion Mass Spectrometry)による水素濃度の定量結果が $5 \times 10^{19} / cm^3$ 以下、好ましくは $1 \times 10^{19} / cm^3$ 以下(さらに好ましくは $5 \times 10^{18} cm^{-3}$ 以下)、に抑制された酸化物半導体膜120を得ることができる。

【0066】

酸化物半導体膜120は、成膜時に膜にダメージを与えないようなスパッタリング条件で成膜する。また、基板を室温以上400℃未満の温度として成膜することによって、高温の加熱処理による酸化物半導体膜の変質(例えば、In-Ga-Zn-O系膜であれば、ZnOが膜の外部に析出してしまうなど)を防止することができる。

20

【0067】

スパッタリング法にはスパッタ用電源に高周波電源を用いるRFスパッタリング法と、DCスパッタリング法があり、さらにパルスのバイアスを与えるパルスDCスパッタリング法もある。RFスパッタリング法は主に絶縁膜を成膜する場合に用いられ、DCスパッタリング法は主に金属膜を成膜する場合に用いられる。

【0068】

また、材料の異なるターゲットを複数設置できる多元スパッタ装置もある。多元スパッタ装置は、同一チャンバーで異なる材料膜を積層成膜することも、同一チャンバーで複数種類の材料を同時に放電させて成膜することもできる。

30

【0069】

また、チャンバー内部に磁石機構を備えたマグネトロンスパッタリング法を用いるスパッタ装置や、グロー放電を使わずマイクロ波を用いて発生させたプラズマを用いるECRスパッタリング法を用いるスパッタ装置がある。

【0070】

また、スパッタリング法を用いる成膜方法として、成膜中にターゲット物質とスパッタガス成分とを化学反応させてそれらの化合物薄膜を形成するリアクティブスパッタリング法や、成膜中に基板にも電圧をかけるバイアスパッタリング法もある。

40

【0071】

次いで、酸化物半導体膜を第2のフォトリソグラフィ工程により島状の酸化物半導体層121に加工する(図1(B)参照。)。また、島状の酸化物半導体層121を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0072】

また、ゲート絶縁層102にコンタクトホールを形成する場合、その工程は酸化物半導体層121の形成時に行うことができる。

【0073】

50

なお、ここでの酸化物半導体膜 120 のエッチングは、ドライエッチングでもウェットエッチングでもよく、両方を用いてもよい。

【0074】

ドライエッチングに用いるエッチングガスとしては、塩素を含むガス（塩素系ガス、例えば塩素（ Cl_2 ）、塩化硼素（ BCl_3 ）、塩化珪素（ SiCl_4 ）、四塩化炭素（ CCl_4 ）など）が好ましい。

【0075】

また、フッ素を含むガス（フッ素系ガス、例えば四弗化炭素（ CF_4 ）、弗化硫黄（ SF_6 ）、弗化窒素（ NF_3 ）、トリフルオロメタン（ CHF_3 ）など）、臭化水素（ HBr ）、酸素（ O_2 ）、これらのガスにヘリウム（ He ）やアルゴン（ Ar ）などの希ガスを添加したガス、などを用いることができる。

10

【0076】

ドライエッチング法としては、平行平板型 RIE（Reactive Ion Etching）法や、ICP（Inductively Coupled Plasma：誘導結合型プラズマ）エッチング法を用いることができる。所望の加工形状にエッチングできるように、エッチング条件（コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等）を適宜調節する。

【0077】

ウェットエッチングに用いるエッチング液としては、燐酸と酢酸と硝酸を混ぜた溶液、アンモニア過水（31重量%過酸化水素水：28重量%アンモニア水：水＝5：2：2）などを用いることができる。また、ITO07N（関東化学社製）を用いてもよい。

20

【0078】

また、ウェットエッチング後のエッチング液はエッチングされた材料とともに洗浄によって除去される。その除去された材料を含むエッチング液の廃液を精製し、含まれる材料を再利用してもよい。当該エッチング後の廃液から酸化物半導体層に含まれるインジウム等の材料を回収して再利用することにより、資源を有効活用し低コスト化することができる。

【0079】

所望の加工形状にエッチングできるように、材料に合わせてエッチング条件（エッチング液、エッチング時間、温度等）を適宜調節する。

30

【0080】

なお、次工程の導電膜を形成する前に逆スパッタを行い、酸化物半導体層 121 及びゲート絶縁層 102 の表面に付着しているレジスト残渣などを除去することが好ましい。

【0081】

次いで、ゲート絶縁層 102、及び酸化物半導体層 121 上に、導電膜を形成する。導電膜をスパッタリング法や真空蒸着法で形成すればよい。導電膜の材料としては、Al、Cr、Cu、Ta、Ti、Mo、W から選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜等が挙げられる。また、マンガン、マグネシウム、ジルコニウム、ベリリウム、のいずれか一または複数から選択された材料を用いてもよい。また、金属導電膜は、単層構造でも、2層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する2層構造、Ti膜と、そのTi膜上に重ねてアルミニウム膜を積層し、さらにその上にTi膜を成膜する3層構造などが挙げられる。また、Alに、チタン（Ti）、タンタル（Ta）、タングステン（W）、モリブデン（Mo）、クロム（Cr）、ネオジム（Nd）、スカンジウム（Sc）から選ばれた元素を単数、又は複数組み合わせた膜（合金膜）、もしくは窒化膜を用いてもよい。

40

【0082】

第3のフォトリソグラフィ工程により導電膜上にレジストマスクを形成し、選択的にエッチングを行ってソース電極層 115a、ドレイン電極層 115b を形成した後、レジストマスクを除去する（図1（C）参照。）。

50

【 0 0 8 3 】

なお、導電膜のエッチングの際に、酸化物半導体層 1 2 1 は除去されないようにそれぞれの材料及びエッチング条件を適宜調節する。

【 0 0 8 4 】

本実施の形態では、導電膜として T i 膜を用いて、酸化物半導体層 1 2 1 には I n - G a - Z n - O 系酸化物を用いて、エッチング液としては、アンモニア過水 (3 1 重量 % 過酸化水素水 : 2 8 重量 % アンモニア水 : 水 = 5 : 2 : 2) を用いる。

【 0 0 8 5 】

なお、第 3 のフォトリソグラフィ工程では、酸化物半導体層 1 2 1 は一部のみがエッチングされ、溝部 (凹部) を有する酸化物半導体層となることもある。また、ソース電極層 1 1 5 a、ドレイン電極層 1 1 5 b を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

10

【 0 0 8 6 】

また、フォトリソグラフィ工程で用いるフォトマスク数及び工程数を削減するため、透過した光が複数の強度となる露光マスクである多階調マスクによって形成されたレジストマスクを用いてエッチング工程を行ってもよい。多階調マスクを用いて形成したレジストマスクは複数の膜厚を有する形状となり、エッチングを行うことでさらに形状を変形することができるため、異なるパターンに加工する複数のエッチング工程に用いることができる。よって、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するレジストマスクを形成することができる。よって露光マスク数を削減することができ、対応するフォトリソグラフィ工程も削減できるため、工程の簡略化が可能となる。

20

【 0 0 8 7 】

N₂O、N₂、または A r などのガスを用いたプラズマ処理によって露出している酸化物半導体層の表面に付着した吸着水などを除去してもよい。また、酸素とアルゴンの混合ガスを用いてプラズマ処理を行ってもよい。

【 0 0 8 8 】

プラズマ処理を行った場合、大気に触れることなく、酸化物半導体層の一部に接する保護絶縁膜となる酸化物絶縁層として酸化シリコン層 1 1 6 を形成する。本実施の形態では、酸化物半導体層 1 2 1 がソース電極層 1 1 5 a、ドレイン電極層 1 1 5 b と重ならない領域において、酸化物半導体層 1 2 1 と酸化シリコン層 1 1 6 とが接するように形成する。

30

【 0 0 8 9 】

酸化シリコン層 1 1 6 として、島状の酸化物半導体層 1 2 1、ソース電極層 1 1 5 a、ドレイン電極層 1 1 5 b まで形成された基板 1 0 0 を室温以上 1 0 0 未満の温度に加熱し、水素及び水分が除去された高純度酸素を含むスパッタガスを導入しシリコン半導体のターゲットを用いて、欠陥を含む酸化シリコン層を成膜する。なお、酸化シリコン層 1 1 6 は、酸化シリコン (S i O x、好ましくは x は 2 以上) 層となるように形成する。

【 0 0 9 0 】

酸化シリコン層 1 1 6 を、成膜する際に用いるスパッタガスは水素、水、水酸基又は水素化物などの不純物が、濃度 p p m、p p b 程度まで除去された高純度ガスを用いることが好ましい。

40

【 0 0 9 1 】

例えば、純度が 6 N (9 9 . 9 9 9 9 %) であり、ボロンがドーブされたシリコンターゲット (抵抗値 0 . 0 1 c m) を用い、ターゲットと基板との間の距離 (T - S 間距離) を 8 9 m m、圧力 0 . 4 P a、直流 (D C) 電源 6 k W、酸素 (酸素流量比率 1 0 0 %) 雰囲気下でパルス D C スパッタリング法により酸化シリコン膜を成膜する。膜厚は 3 0 0 n m とする。なお、シリコンターゲットに代えて石英 (好ましくは合成石英) を酸化シリコン膜を成膜するためのターゲットとして用いることができる。なお、スパッタガスとして酸素又は、酸素及びアルゴンの混合ガスを用いて行う。

【 0 0 9 2 】

50

この場合において、処理室内の残留水分を除去しつつ酸化シリコン層 116 を成膜することが好ましい。酸化物半導体層 121 及び酸化シリコン層 116 に水素、水酸基又は水分が含まれないようにするためである。

【0093】

なお、酸化シリコン層に代えて、酸化窒化シリコン層、酸化アルミニウム層、または酸化窒化アルミニウム層などを用いることもできる。

【0094】

次に、欠陥を含む酸化シリコン層 116 と酸化物半導体層 121 とを接した状態で 100 乃至 400 で加熱処理を行う。この加熱処理によって酸化物半導体層 121 中に含まれる水素若しくは水分を欠陥を含む酸化シリコン層 116 に拡散させることができる。酸化シリコン層 116 は欠陥（ダングリングボンド）を多く含むため、島状の酸化物半導体層 121 に含まれる水素、水酸基又水分等の不純物は、酸化物半導体層 121 と酸化シリコン層 116 が接する界面を介して、酸化シリコン層 116 に拡散する。具体的には、酸化物半導体層 121 に含まれる水素原子や、 H_2O など水素原子を含む化合物や、炭素原子を含む化合物等が酸化シリコン層 116 に拡散移動し易くなる。

【0095】

酸化物半導体層から酸化シリコン層への水素の拡散について、水素原子が酸化物半導体層（アモルファス IGZO）内と酸化シリコン層（アモルファス SiO_x ）内のどちらに存在しやすいかを計算した。

【0096】

環境における水素原子の安定性を評価するために水素原子の束縛エネルギー E_{bind} を以下で定義し、評価を行った。 $E_{bind} = \{E(\text{元の構造}) + E(H)\} - E(H\text{を付加した構造})$ この束縛エネルギー E_{bind} が大きい方が水素原子は存在しやすいといえる。 $E(\text{元の構造})$ 、 $E(H)$ 、 $E(H\text{を付加した構造})$ はそれぞれ、元の構造のエネルギー、水素原子のエネルギー、Hを付加した構造のエネルギーを表す。この束縛エネルギーをアモルファス IGZO、ダングリングボンド（以下、DBと略す）無しのアモルファス SiO_2 、DB有りのアモルファス SiO_x を2種類、の計4つに対して計算した。

【0097】

計算には密度汎関数法の計算プログラムであるCASTEPを用いた。密度汎関数の方法として平面波基底擬ポテンシャル法を用い、汎関数はLDAを用いた。カットオフエネルギーは300 eVとした。k点は $2 \times 2 \times 2$ のグリッドとした。

【0098】

計算した構造に関して以下に記す。はじめに元の構造に関して以下に記す。アモルファス IGZOのユニットセルはInを12原子、Gaを12原子、Znを12原子、Oを48原子、計84原子を含む。DB無しのアモルファス SiO_2 のユニットセルはSiを16原子、Oを32原子、計48原子を含む。DB有りのアモルファス SiO_x (1)は、DBの無いアモルファス SiO_2 からOを抜き、上記Oと結合していたSiの内1つにHを結合させた構造である。つまり、Siを16原子、Oを31原子、Hを1原子、計48原子を含む。DB有りのアモルファス SiO_x (2)は、DBの無いアモルファス SiO_2 からSiを抜き、上記Siと結合していたOの内3つにHを結合させた構造である。つまり、Siを15原子、Oを32原子、Hを3原子、計50原子を含む。Hを付加した構造は上記の4つの構造にHを付加した構造である。尚、Hは、アモルファス IGZOではO原子、DBの無いアモルファス SiO_2 ではSi、DB有りのアモルファス SiO_x ではDBを有する原子に付加した。Hを計算した構造はユニットセル内にHを一つ含む。なお、各構造のセルサイズを表1にまとめた。

【0099】

【表 1】

構造	セルサイズ(nm) 角度
アモルファスIGZO	$1.0197 \times 1.0197 \times 1.0197$ $\alpha = \beta = \gamma = 90^\circ$
DB無しのアモルファスSiO ₂ DB有りのアモルファスSiO _x (1) DB有りのアモルファスSiO _x (2)	$0.9127 \times 0.9127 \times 0.9127$ $\alpha = \beta = \gamma = 90^\circ$
水素原子	$1.0000 \times 1.0000 \times 1.0000$ $\alpha = \beta = \gamma = 90^\circ$

【0100】

10

計算結果を表 2 に示す。

【0101】

【表 2】

	Hを付加した構造 のエネルギー(eV)	元の構造のエネ ルギー(eV)	水素原子のエ ネルギー(eV)	束縛エネ ルギー(eV)
アモルファスIGZO	-84951.3359	-84935.6442	-13.0015	2.69
DB無し のアモルファスSiO ₂	-15783.8101	-15770.6279	-13.0015	0.18
DB有りの アモルファスSiO _x (1)	-15363.1459	-15345.6884	-13.0015	4.46
DB有りの アモルファスSiO _x (2)	-15722.2053	-15702.5905	-13.0015	6.61

20

【0102】

以上より、Si を抜き該 Si と結合していた O の内 3 つに H を結合させた DB がある場合のアモルファス SiO_x(2) が最も束縛エネルギーが大きく、次に O を抜き該 O と結合していた Si の内 1 つに H を結合させた SiO_x(1)、次に IGZO、最も小さいのが DB 無しのアモルファス SiO₂ の順となった。よって、水素はアモルファス SiO_x 中の DB に結合した場合に最も安定となる。

【0103】

よって、以下のような過程が考えられる。アモルファス SiO_x は多量の DB が存在する。従って、アモルファス IGZO アモルファス SiO_x 界面を拡散する水素原子はアモルファス SiO_x 内の DB に捉えられる事で安定化する。よって、アモルファス IGZO 内の水素原子はアモルファス SiO_x 中の DB に移動する。

30

【0104】

さらに、Si を抜くことでタングリングボンドを発生させた構造である DB がある場合のアモルファス SiO_x(2) が、O を抜くことでタングリングボンドを発生させた構造である DB がある場合のアモルファス SiO_x(1) より束縛エネルギーが大きいことから、SiO_x において、水素原子は O と結合することでより安定する。従って SiO_x において、x が 2 以上であることが好ましい。

【0105】

欠陥を含む酸化シリコン層において、酸素の未結合手を欠陥として多く含む酸化シリコン層であると、水素に対する束縛エネルギーが強くなるので、より酸化物半導体層から、水素若しくは水素を含む不純物を、欠陥を含む酸化シリコン層に拡散させることができる。従って SiO_x において、x が 2 以上であることが好ましい。

40

【0106】

また、酸化物半導体層 121 に接して酸化シリコン層 116 を形成すると、酸化物半導体層と酸化シリコン層との界面に酸化物半導体及び酸化シリコンを含む混合領域 119 が形成される(図 1(D) 参照。)

【0107】

混合領域 119 は、酸素、シリコン、及び酸化物半導体に含まれる少なくとも一種以上の金属元素を有する。例えば、酸化物半導体として In-Ga-Zn-O 系酸化物を用いる

50

場合、混合領域には、In、Ga、及びZnのうち少なくとも一種以上の金属元素と、シリコン、及び酸素が含まれる。混合領域において酸化物半導体に含まれる金属をMとすると、M-OH、M-H、M-O-Si-H、M-O-Si-OHなど様々な状態で存在しえり、例えばZn-HやZn-OHなどが考えられる。

【0108】

混合領域の膜厚は、1nm乃至10nm、好ましくは2nm乃至5nmとする。混合領域の膜厚は、酸化シリコン層を形成する際のスパッタリング法の成膜条件によって制御することができる。スパッタリング法の電源のパワーをより強く、基板とターゲットとの間の距離をより近くすれば、混合領域を厚く形成することができる。また、より強いパワーでスパッタリング法を行うことによって、酸化物半導体層表面に付着した吸着水等を除去す

10

【0109】

混合領域119を酸化物半導体層121と酸化シリコン層116との間に設けることによって、より上記酸化物半導体層121に含まれる水素原子や、H₂Oなど水素原子を含む化合物や、炭素原子を含む化合物等の酸化シリコン層116への拡散が促進され、移動し易くなる。

【0110】

以上の工程で、水素や水分などの不純物を排除し、酸化物半導体層121及び酸化シリコン層116との界面における水素濃度が $5 \times 10^{19} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{19} / \text{cm}^3$ 以下とすることができる。このように水素や水分などの不純物を極低濃度と

20

することによって、酸化物半導体層表層部のバックチャネル側での寄生チャネルの発生を抑えることができる。

【0111】

従って水素及び水素化物の濃度が低減された酸化物半導体層112を有する薄膜トランジスタ110を形成することができる（図1（E）参照。）。

【0112】

上記のように酸化物半導体膜を成膜するに際し、反応雰囲気中の残留水分を除去することで、該酸化物半導体膜中の水素及び水素化物の濃度を低減することができる。それにより酸化物半導体膜の安定化を図ることができる。

【0113】

酸化物絶縁層上に保護絶縁層を設けてもよい。本実施の形態では、保護絶縁層103を酸化シリコン層116上に形成する。保護絶縁層103としては、窒化シリコン膜、窒化酸化シリコン膜、または窒化アルミニウム膜などを用いる。

30

【0114】

保護絶縁層103として、酸化シリコン層116まで形成された基板100を100～400の温度に加熱し、水素及び水分が除去された高純度窒素を含むスパッタガスを導入しシリコン半導体のターゲットを用いて窒化シリコン膜を成膜する。この場合においても、酸化シリコン層116と同様に、処理室内の残留水分を除去しつつ保護絶縁層103を成膜することが好ましい。

【0115】

保護絶縁層103を形成する場合、保護絶縁層103の成膜時に100～400に基板100を加熱することで、酸化物半導体層中に含まれる水素若しくは水分を酸化物絶縁層（欠陥を含む酸化シリコン膜）に拡散させることができる。よって上記酸化シリコン層116の形成後に加熱処理を行わなくてもよい。

40

【0116】

酸化シリコン層116と保護絶縁層103として窒化シリコン層を積層する場合、酸化シリコン層と窒化シリコン層を同じ処理室において、共通のシリコンターゲットを用いて成膜することができる。先に酸素を含むスパッタリングガスを導入して、処理室内に装着されたシリコンターゲットを用いて酸化シリコン層を形成し、次にスパッタリングガスを窒素を含むスパッタリングガスに切り替えて同じシリコンターゲットを用いて窒化シリコン

50

層を成膜する。酸化シリコン層と窒化シリコン層とを大気に曝露せずに連続して形成することができるため、酸化シリコン層表面に水素や水分などの不純物が吸着することを防止することができる。この場合、酸化シリコン層 116 と保護絶縁層 103 として窒化シリコン層を積層した後、酸化物半導体層中に含まれる水素若しくは水分を酸化物絶縁層（欠陥を含む酸化シリコン膜）に拡散させる加熱処理（温度 100 乃至 400 ）を行えばよい。

【0117】

保護絶縁層の形成後、さらに大気中、100 以上 200 以下、1 時間以上 30 時間以下での加熱処理を行ってもよい。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100 以上 200 の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。また、この加熱処理を、酸化物絶縁膜の形成前に、減圧下で行ってもよい。減圧下で加熱処理を行うと、加熱時間を短縮することができる。この加熱処理によって、ノーマリーオフとなる薄膜トランジスタを得ることができる。よって半導体装置の信頼性を向上できる。

【0118】

欠陥を含む酸化シリコン層上に、基板を加熱して窒化シリコン層を成膜することで、酸化物半導体膜から該酸化シリコン膜に水素、水分を拡散させつつ、同時に外気から水分の侵入を防ぐバリア膜を設けることができる。

【0119】

また、ゲート絶縁層上にチャネル形成領域とする酸化物半導体層を成膜するに際し、反応雰囲気中の残留水分を除去することで、該酸化物半導体層中の水素及び水素化合物の濃度を低減することができる。また、酸化物半導体層に接して欠陥を含む酸化シリコン層を設けることで酸化物半導体層中の水素、水分を酸化シリコン膜へ拡散させ酸化物半導体層の水素及び水素化合物の濃度を低減することができる。

【0120】

上記の工程は、液晶表示パネル、エレクトロルミネセンス表示パネル、電子インクを用いた表示装置などのバックプレーン（薄膜トランジスタが形成された基板）の製造に用いることができる。上記の工程は、400 以下の温度で行われるため、厚さが 1 mm 以下で、一辺が 1 m を超えるガラス基板を用いる製造工程にも適用することができる。また、400 以下の処理温度で全ての工程を行うことができるので、表示パネルを製造するために多大なエネルギーを消費しないで済む。

【0121】

図 3 は酸化物半導体膜及び酸化物半導体膜を用いた半導体装置の作製に用いることのできる成膜装置 1000 の一例を示す。

【0122】

成膜装置 1000 は、ローダー室 1110 と、アンローダー室 1120 を有し、それぞれ処理前の基板を収納するカセット 1111 と、処理済みの基板を収納するカセット 1121 が設置されている。ローダー室 1110 と、アンローダー室 1120 の間には第 1 の搬送室 1100 があり、基板を搬送する搬送手段 1101 が設置されている。

【0123】

成膜装置 1000 は第 2 の搬送室 1200 を有している。第 2 の搬送室 1200 には搬送手段 1201 が設置され、ゲートバルブを介して周囲に 4 つの処理室（第 1 の処理室 1210、第 2 の処理室 1220、第 3 の処理室 1230、及び第 4 の処理室 1240）と接続されている。なお、第 1 の処理室 1210 はゲートバルブを介して、一方が第 1 の搬送室 1100 と接続され、他方が第 2 の搬送室 1200 と接続されている。

【0124】

第 2 の搬送室 1200、第 1 の処理室 1210、第 2 の処理室 1220、第 3 の処理室 1230、及び第 4 の処理室 1240 には、それぞれ排気手段 1205、排気手段 1215、排気手段 1225、排気手段 1235、及び排気手段 1245 が設けられている。また、これらの排気手段は各処理室の使用用途に応じて適宜排気装置を選定すればよいが、特

10

20

30

40

50

にクライオポンプを備えた排気手段が好ましい。また、ターボ分子ポンプにコールドトラップを備えた手段であってもよい。

【0125】

酸化物半導体膜を成膜する場合、酸化物半導体膜を成膜する処理室はもちろんのこと、酸化物半導体膜に接する膜、及び酸化物半導体膜の成膜前後の工程において、処理室内に残留する水分が不純物として混入しないよう、クライオポンプなどの排気手段を用いることが好ましい。

【0126】

第1の処理室1210には、基板加熱手段1211が設けられている。また、第1の処理室1210は、大気圧状態の第1の搬送室1100から減圧状態の第2の搬送室1200に、基板を搬送する受け渡し室の役割を有している。受け渡し室を設けることにより、第2の搬送室1200を大気による汚染から守ることができる。

10

【0127】

第2の処理室1220、第3の処理室1230、及び第4の処理室1240には、それぞれスパッタリング法により窒化シリコン膜、酸化シリコン膜、酸化物半導体膜を成膜するための構成が備えられている。すなわち、各処理室にはターゲット、基板加熱手段が備えられ、スパッタガスを導入するガス供給手段、グロー放電生成手段が付加されている。

【0128】

成膜装置1000の動作の一例について説明する。ここでは、図1(A)で示すように、ゲート電極層101が形成された基板にゲート絶縁層と酸化物半導体層を連続成膜する方法について説明する。

20

【0129】

搬送手段1101が、カセット1111から第1の処理室1210に、ゲート電極層110が形成された基板100を搬送する。次いで、ゲートバルブを閉じ第1の処理室1210で基板100を予備加熱し、基板に吸着した不純物を脱離させ排気する。不純物は、例えば、水素原子や、 H_2O など水素原子を含む化合物や、炭素原子を含む化合物などである。

【0130】

次いで、基板100を第2の処理室1220に搬送して窒化シリコン膜を成膜し、その後基板100を第3の処理室1230に搬送して酸化シリコン膜を成膜してゲート絶縁層102を形成する。第2の処理室1220、及び第3の処理室1230はクライオポンプ等により排気され、成膜室内の不純物濃度が低減されていると好ましい。不純物が低減された処理室内で積層された窒化シリコン膜と酸化シリコン膜は、含有する水素、水酸基又は水分等が抑制されたゲート絶縁層102として用いる。

30

【0131】

次いで、基板100を第4の処理室1240に搬送する。第4の処理室1240は、酸化物半導体用のターゲットを備えており、排気手段としてクライオポンプを有している。第4の処理室1240では、酸化物半導体層を成膜する。

【0132】

第4の処理室1240において酸化物半導体膜120を形成する方法を図2を用いて説明する。図2に示すように第4の処理室1240は排気室5002を介してメインバルブによって排気手段1245と接続され、電源5003、ドライポンプ5001、カソード5005、ステージ昇降機構5006、基板ステージ5007、ゲートバルブ5008、冷却水5009、流量調節器5010、ガスタンク5011を有しており、基板ステージ5007上に基板100が保持され、カソード5005側に酸化物半導体用のターゲット5004が装着されている。

40

【0133】

第4の処理室1240はまずドライポンプ5001によって排気室5002を介して排気され、減圧化される。次にクライオポンプである排気手段1235によって排気され、第4の処理室1240内の水素、水分、水素化物、水素化合物などの不純物を排気する。な

50

お、クライオポンプに代えて、ターボ分子ポンプを用い、当該ターボ分子ポンプの吸気口上に水分等を吸着させるためのコールドトラップを設ける構成としても良い。

【0134】

ゲート絶縁層102まで形成された基板100をゲートバルブ5008を通して第4の処理室1240へ搬送し、基板ステージ5007上に保持する。ガスタンク5011から流量調節器5010によって流量を制御しながらスパッタガスを第4の処理室1240内に導入し、電源5003よりカソード5005に電圧を印加してプラズマを発生させ、ターゲット5004を用いて基板100上に酸化物半導体膜120を形成する。

【0135】

図2では第3の処理室を例として説明したが、本明細書における成膜装置のどの処理室においても図2の方法が適宜適用できる。

10

【0136】

第3の処理室1240では室内に残留する水分がクライオポンプにより除去され、酸化物半導体膜120の水素濃度を低減することができる。また、酸化物半導体膜120は基板を加熱しながら成膜する。クライオポンプにより処理室内に残留する水分を除去しながらスパッタ成膜を行うことで、酸化物半導体膜120を成膜する際の基板温度は室温以上400 未満とすることができる。

【0137】

以上のようにして、成膜装置1000によってゲート絶縁層102から酸化物半導体膜120を連続して形成することができる。なお、図3では、3つ以上の処理室が搬送室を介して接続する構成を有しているがこれに限られない。例えば、基板の搬入口と搬出口を有し、各処理室が互いに接続する構成、所謂インライン型の構成としてもよい。

20

【0138】

図4は、図1(C)で示すように島状の酸化物半導体層121上に、酸化シリコン層116及び保護絶縁層103を形成するための成膜装置3000の一例を示す。

【0139】

成膜装置3000は、ローダー室3110と、アンローダー室3120を有し、それぞれ処理前の基板を収納するカセット3111と、処理済みの基板を収納するカセット3121が設置されている。

【0140】

30

また、成膜装置3000は第1の搬送室3100を有している。第1の搬送室3100には搬送手段3101が設置され、ゲートバルブを介して周囲に5つの処理室(第1の処理室3210、第2の処理室3220、第3の処理室3230、第4の処理室3240、及び第5の処理室3250)と接続されている。

【0141】

ローダー室3110、アンローダー室3120、第1の搬送室3100、第1の処理室3210、第2の処理室3220、第3の処理室3230、第4の処理室3240、及び第5の処理室3250には、それぞれ排気手段3115、排気手段3125、排気手段3105、排気手段3215、排気手段3225、排気手段3235、排気手段3245、及び排気手段3255が設けられており、減圧状態を実現できる。また、これらの排気手段は各処理室の使用用途に応じて適宜排気装置を選定すればよいが、特にクライオポンプを備えた排気手段が好ましい。また、ターボ分子ポンプにコールドトラップを備えた手段であってもよい。

40

【0142】

ローダー室3110、及びアンローダー室3120は第1の搬送室3100に、基板を搬送する受け渡し室の役割を有している。受け渡し室を設けることにより、第1の搬送室3100を大気による汚染から守ることができる。

【0143】

第1の処理室3210及び第4の処理室3240には、それぞれ基板加熱手段3211、及び基板加熱手段3241が設けられている。第2の処理室3220、第3の処理室32

50

30には、それぞれスパッタリング法により酸化シリコン膜、窒化シリコン膜を成膜するための構成が備えられている。すなわち、各処理室にはターゲット、基板加熱手段が備えられ、スパッタガスを導入するガス供給手段、グロー放電生成手段が付加されている。また、第5の処理室3250には冷却手段3251が設けられている。

【0144】

成膜装置3000の動作の一例について説明する。ここでは、図1(C)で示した島状の酸化物半導体層121上に、酸化シリコン層116及び保護絶縁層103を形成する方法について説明する。

【0145】

はじめに、ローダー室3110を排気し、ローダー室3110の圧力が第1の搬送室3100の圧力と概略等しくなったら、ゲートバルブを開き第1の搬送室3100を介してローダー室3110から第1の処理室3210へ基板100を搬送する。

【0146】

次いで、基板100を第1の処理室3210の基板加熱手段3211で予備加熱し、基板100に吸着した不純物を脱離し排気することが好ましい。不純物としては、例えば、水素原子や、 H_2O など水素原子を含む化合物や、炭素原子を含む化合物などである。なお、予備加熱の温度としては、100 以上400 以下好ましくは150 以上300 以下である。なお、第1の処理室3210に設ける排気手段はクライオポンプが好ましい。基板100に吸着していた不純物が予備加熱により脱離し、第1の処理室3210内に拡散するため、クライオポンプを用いて不純物を第1の処理室3210から排出する必要がある。なお、この予備加熱の処理は省略することもできる。

【0147】

次いで、基板100を第2の処理室3220に搬送し、酸化シリコン層116を成膜する。例えば、酸化シリコン層116として酸化シリコン膜を成膜する。第2の処理室3220はクライオポンプ等により排気され、成膜室内の不純物濃度が低減されている。不純物が低減された処理室内で成膜された酸化物絶縁膜は、不純物濃度が抑制される。具体的には、酸化物絶縁膜に含まれる水素濃度を低減することができる。また、酸化シリコン層116は基板100を加熱しながら成膜しても良いが、酸化シリコン層116に欠陥を含ませるため0 乃至50 程度の温度、好ましくは室温で成膜することが望ましい。

【0148】

スパッタリング法により酸化シリコン層116として酸化シリコン膜を成膜する場合、ターゲットとして石英ターゲットまたはシリコンターゲットを用いることができ、特にシリコンターゲットが好ましい。シリコンターゲットを用いて、酸素、及び希ガス雰囲気下でスパッタリング法により成膜した酸化シリコン膜は、シリコン原子または酸素原子の未結合手(ダングリングボンド)を含ませることができる。また、欠陥を含む酸化シリコン層116において、酸素の未結合手を欠陥として多く含む酸化シリコン層116であると、水素、水酸基又は水分などの不純物に対する束縛エネルギーが大きくなるので、より酸化物半導体層121から、水素若しくは水素を含む不純物を、欠陥を含む酸化シリコン層に拡散させることができる。

【0149】

未結合手を多く含む酸化シリコン層116を島状の酸化物半導体層121に接して設けることにより、島状の酸化物半導体層121に含まれる水素、水酸基又は水分などの不純物は、島状の酸化物半導体層121と酸化シリコン層116が接する界面を介して、酸化シリコン層116に拡散し易くなる。具体的には、島状の酸化物半導体層121に含まれる水素原子や、 H_2O など水素原子を含む化合物が酸化シリコン層116に拡散移動し易くなる。その結果、島状の酸化物半導体層121の不純物濃度が低減される。

【0150】

次いで、基板100を第3の処理室3230に搬送し、酸化シリコン層116上に保護絶縁層103を成膜する。保護絶縁層103としては、不純物元素の拡散を防止する機能があればよく、例えば窒化シリコン膜、窒化酸化シリコン膜などにより形成することができ

10

20

30

40

50

る。また、第3の処理室3230はクライオポンプ等により排気され、成膜室内の不純物濃度が低減されている状態が好ましい。

【0151】

保護絶縁層103は薄膜トランジスタ110の外部から不純物が拡散し、侵入することを防止する。不純物は、水素、 H_2O など水素原子を含む化合物や、炭素原子を含む化合物などである。

【0152】

スパッタリング法により保護絶縁層103として窒化シリコン膜を成膜する場合、例えば、シリコンターゲットを用い、第3の処理室3230に窒素とアルゴンの混合ガスを導入して、反応性スパッタリングにより成膜を行う。基板温度を、100 以上400 以下 10
例えば200 以上350 以下として成膜する。加熱しながら成膜することにより、水素、水酸基又は水分など水素原子を含む不純物を酸化シリコン層116に拡散させ、島状の酸化物半導体層121における当該不純物濃度を低減させることができる。特に、水素原子の拡散が促進される200 以上350 以下の温度範囲が好適である。

【0153】

また、酸化シリコン層116と保護絶縁層103として窒化シリコン層を積層する場合、酸化シリコン層と窒化シリコン層を同じ処理室において、共通のシリコンターゲットを用いて成膜することができる。先に酸素を含むエッチングガスを導入して、処理室内に装着されたシリコンターゲットを用いて酸化シリコン層を形成し、次にエッチングガスを窒素を含むエッチングガスに切り替えて同じシリコンターゲットを用いて窒化シリコン層を成 20
膜する。酸化シリコン層と窒化シリコン層とを大気に曝露せずに連続して形成することができるため、酸化シリコン層表面に水素や水分などの不純物が吸着することを防止することができる。この場合、酸化シリコン層116と保護絶縁層103として窒化シリコン層を積層した後、酸化物半導体層中に含まれる水素若しくは水分を酸化物絶縁層（欠陥を含む酸化シリコン膜）に拡散させる加熱処理（温度100 乃至400 ）を行えばよい。

【0154】

なお、水素、水酸基又は水分など水素原子を含む不純物を酸化シリコン層116に拡散させ、島状の酸化物半導体層121における当該不純物濃度を低減させるために、保護絶縁層103を成膜した後に加熱処理を行っても良い。

【0155】

例えば、図4で示すように、基板100を第4の処理室3240に搬送し成膜後の加熱処理を行う。成膜後の加熱処理において基板温度を100 以上400 以下とする。加熱処理により、酸化物半導体層に含まれる不純物を島状の酸化物半導体層121と酸化シリコン層116が接する界面を介して、酸化シリコン層116に拡散し易くなる。具体的には、島状の酸化物半導体層121に含まれる水素原子や、 H_2O など水素原子を含む化合物が酸化物絶縁膜に拡散移動し易くなる。その結果、酸化物半導体層の不純物濃度が低減される。

【0156】

加熱処理の後、基板100を第5の処理室3250に搬送する。成膜後の加熱処理の基板温度Tから、再び水等の不純物が入らないよう、十分低い温度まで冷却する。具体的には加熱温度Tよりも100 以上下がるまで徐冷する。冷却は、窒素、またはヘリウム、ネオン、アルゴン等を第5の処理室3250に導入して行ってもよい。なお、冷却に用いる窒素、またはヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N（99.9999%）以上、好ましくは7N（99.99999%）以上、（即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下）とすることが好ましい。

【0157】

クライオポンプを設けた排気手段を適用した成膜装置3000を用いることで、処理室内の不純物を低減できる。処理室の内壁に吸着していた不純物が脱離し、成膜中の基板や、膜の中に不純物が混入する不具合を低減できる。また、予備加熱中の雰囲気から脱離する 50

不純物を排気して、基板に再吸着される現象を防ぐことができる。

【0158】

このようにして形成した酸化シリコン層116は、未結合手を多く含む。島状の酸化物半導体層121に接して酸化シリコン層116を設けることにより、島状の酸化物半導体層121に含まれる不純物、具体的には水素原子や、 H_2O など水素原子を含む化合物が島状の酸化物半導体層121から酸化シリコン層116へ拡散、移動し、その結果、島状の酸化物半導体層121に含まれる不純物濃度を低減できる。

【0159】

例えば、本実施の形態で例示する成膜装置を用いて形成した酸化物絶縁層が接して設けられた酸化物半導体層をチャンネル形成領域に適用した薄膜トランジスタは、ゲート電極に電圧を印加しない状態、所謂オフ状態において、チャンネル形成領域のキャリア濃度が低減されているため、オフ電流が少なく、良好な特性を示す。

10

【0160】

なお、図4では、3つ以上の処理室が搬送室を介して接続する構成を例示したがこれに限られない。例えば、基板の搬入口と搬出口を有し、各処理室が互いに接続する構成、所謂インライン型の構成としてもよい。

【0161】

上記の成膜装置を用いた工程は、液晶表示パネル、エレクトロルミネセンス表示パネル、電子インクを用いた表示装置などのバックプレーン（薄膜トランジスタが形成された基板）の製造に用いることができる。上記の成膜装置を用いた工程は、400以下の温度で行われるため、厚さが1mm以下で、一辺が1mを超えるガラス基板を用いる製造工程にも適用することができる。また、400以下の処理温度で全ての工程を行うことができるので、表示パネルを製造するために多大なエネルギーを消費しないで済む。

20

【0162】

以上のように、酸化物半導体層を用いる薄膜トランジスタを有する半導体装置において、安定な電気特性を有し信頼性の高い半導体装置を提供することができる。

【0163】

（実施の形態2）

本実施の形態は、本明細書で開示する半導体装置に適用できる薄膜トランジスタの他の例を示す。

30

【0164】

本実施の形態の半導体装置及び半導体装置の作製方法の一形態を、図5を用いて説明する。

【0165】

図5（A）乃至（E）に半導体装置の断面構造の一例を示す。図5（A）乃至（E）に示す薄膜トランジスタ160は、チャンネル保護型（チャンネルストップ型ともいう）と呼ばれるボトムゲート構造の一つであり逆スタガ型薄膜トランジスタともいう。

【0166】

酸化物半導体層を用いる薄膜トランジスタの電気的特性変動を抑止するためにゲート絶縁層の膜厚を制御し、酸化物半導体層及び、該酸化物半導体層と接して形成される酸化物絶縁層（酸化シリコン層）との界面において、変動要因となる水素、水分、水酸基又は水素化物などの不純物を排除する。

40

【0167】

よって、本実施の形態の半導体装置に含まれる薄膜トランジスタ160は、温度85で、12時間、ゲート電極層に30V、又は-30Vの電圧を印加（ゲート電圧 V_g を30V又は-30V）する測定において、測定前と測定後の薄膜トランジスタ160のしきい値電圧の値の差が1V以下（ $\pm 1V$ 以下）であり、該薄膜トランジスタ160のゲート絶縁層の膜厚は100nm以上350nm以下に、酸化物半導体層及び、該酸化物半導体層と接して形成される酸化物絶縁層（酸化シリコン層）との界面における水素濃度は $5 \times 10^{19} / cm^3$ 以下、好ましくは $1 \times 10^{19} / cm^3$ 以下に制御されている。

50

【0168】

また、薄膜トランジスタ160はシングルゲート構造の薄膜トランジスタを用いて説明したが、必要に応じて、チャネル形成領域を複数有するマルチゲート構造の薄膜トランジスタも形成することができる。

【0169】

以下、図5(A)乃至(E)を用い、基板150上に薄膜トランジスタ160を作製する工程を説明する。

【0170】

まず、絶縁表面を有する基板150上に導電膜を形成した後、第1のフォトリソグラフィ工程によりゲート電極層151を形成する。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

10

【0171】

また、ゲート電極層151の材料は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料又はこれらを主成分とする合金材料を用いて、単層で又は積層して形成することができる。

【0172】

次いで、ゲート電極層151上にゲート絶縁層152a、152bを形成する。酸化物半導体層を用いる薄膜トランジスタの電気的特性変動を抑止するためにゲート絶縁層152a、152bの合計膜厚を100nm以上350nm以下に制御する。

20

【0173】

本実施の形態では、ゲート絶縁層152aとしてスパッタリング法により膜厚100nmの窒化シリコン層、ゲート絶縁層152bとしてスパッタリング法により膜厚100nmの酸化シリコン層を形成する。

【0174】

ゲート絶縁層を100nm以上350nm以下の膜厚に制御することによって温度85で、12時間、ゲート電極層に30V、又は-30Vの電圧を印加(ゲート電圧Vgを30V又は-30V)する測定において、測定前と測定後の薄膜トランジスタのしきい値電圧の値の差が1V以下(±1V以下)であるような電気特性が安定な薄膜トランジスタとすることができる。

30

【0175】

次いで、ゲート絶縁層152b上に、酸化物半導体膜を形成し、第2のフォトリソグラフィ工程により島状の酸化物半導体層171に加工する。本実施の形態では、酸化物半導体膜としてIn-Ga-Zn-O系金属酸化物ターゲットを用いてスパッタリング法により成膜する。

【0176】

酸化物半導体膜は、減圧状態に保持された処理室内に基板を保持し、基板を室温以上400未満の温度に加熱する。そして、処理室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、金属酸化物をターゲットとして基板150上に酸化物半導体膜を成膜する。処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボ分子ポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した処理室は、例えば、水素原子や、H₂Oなど水素原子を含む化合物や、炭素原子を含む化合物等が排気されるため、当該処理室で成膜した酸化物半導体膜に含まれる不純物の濃度を低減できる。

40

【0177】

成膜条件の一例としては、基板とターゲットの間との距離を100mm、圧力0.6Pa、直流(DC)電源0.5kW、酸素(酸素流量比率100%)雰囲気下の条件が適用される。なお、パルス直流(DC)電源を用いると、成膜時に発生する粉状物質(パーティクル、ゴミともいう)が軽減でき、膜厚分布も均一となるために好ましい。酸化物半導体

50

膜は好ましくは5 nm以上30 nm以下とする。なお、適用する酸化物半導体材料により適切な厚みは異なり、材料に応じて適宜厚みを選択すればよい。

【0178】

次いで、ゲート絶縁層152b、及び酸化物半導体層171上に、酸化シリコン層173を形成する。

【0179】

酸化シリコン層173として、島状の酸化物半導体層171まで形成された基板150を室温以上100 未満の温度に加熱し、水素及び水分が除去された高純度酸素を含むスパッタガスを導入しシリコン半導体を含むターゲットを用いて、欠陥を含む酸化シリコン層を成膜する。なお、酸化シリコン層173は、欠陥を含む。酸化シリコン層173はSiO_x（好ましくはxは2以上）膜とすると望ましい。

10

【0180】

また、欠陥を含む酸化シリコン層173において、酸素の未結合手を欠陥として多く含む酸化シリコン層173であると、水素、水酸基又は水分などの不純物に対する束縛エネルギーが大きくなるので、より酸化物半導体層171から、水素若しくは水素を含む不純物を、欠陥を含む酸化シリコン層に拡散させることができる。

【0181】

例えば、純度が6N（99.9999%）であり、ボロンがドーブされたシリコンターゲット（抵抗値0.01 cm）を用い、ターゲットと基板との間の距離（T-S間距離）を89mm、圧力0.4Pa、直流（DC）電源6kW、酸素（酸素流量比率100%）雰囲気下でパルスDCスパッタリング法により酸化シリコン層173を成膜する。膜厚は300nmとする。なお、シリコンターゲットに代えて石英（好ましくは合成石英）を酸化シリコン層173を成膜するためのターゲットとして用いることができる。また、酸化シリコン層173は基板150を加熱しながら成膜しても良いが、酸化シリコン層173に欠陥を含ませるため0乃至50程度の温度、好ましくは室温で成膜することが望ましい。

20

【0182】

この場合において、処理室内の残留水分を除去しつつ酸化シリコン層173を成膜することが好ましい。酸化物半導体層171及び酸化シリコン層173に水素、水酸基又は水分が含まれないようにするためである。

30

【0183】

なお、酸化シリコン層に代えて、酸化窒化シリコン層、酸化アルミニウム層、または酸化窒化アルミニウムなどを用いることもできる。

【0184】

また、酸化物半導体層171に接して酸化シリコン層173を形成すると、酸化物半導体層と酸化シリコン層との界面に酸化物半導体及び酸化シリコンを含む混合領域179が形成される（図5（B）参照。）

【0185】

混合領域179は、酸素、シリコン、及び酸化物半導体に含まれる少なくとも一種以上の金属元素を有する。

40

【0186】

混合領域の膜厚は、1nm乃至10nm、好ましくは2nm乃至5nmとする。混合領域の膜厚は、酸化シリコン層を形成する際のスパッタリング法の成膜条件によって制御することができる。スパッタリング法の電源のパワーをより強く、基板とターゲットとの間の距離をより近くすれば、混合領域を厚く形成することができる。また、より強いパワーでスパッタリング法を行うことによって、酸化物半導体層表面に付着した吸着水等を除去することもできる。

【0187】

混合領域179を酸化物半導体層171と酸化シリコン層173との間に設けることによって、より上記酸化物半導体層171に含まれる水素原子や、H₂Oなど水素原子を含む

50

化合物や、炭素原子を含む化合物等の酸化シリコン層 173 への拡散が促進され、移動し易くなる。

【0188】

次に、欠陥を含む酸化シリコン層 173 と酸化物半導体層 171 とを接した状態で 100 乃至 400 で加熱処理を行う。この加熱処理によって酸化物半導体層 171 中に含まれる水素若しくは水分を、欠陥を含む酸化シリコン層 173 に拡散させることができる。酸化シリコン層 173 は欠陥（ダングリングボンド）を多く含むため、島状の酸化物半導体層 171 に含まれる水素、水酸基又水分等の不純物は、酸化物半導体層 171 と酸化シリコン層 173 が接する界面を介して、酸化シリコン層 173 に拡散する。具体的には、酸化物半導体層 171 に含まれる水素原子や、 H_2O など水素原子を含む化合物や、炭素原子を含む化合物等が酸化シリコン層 173 に拡散移動し易くなる。

10

【0189】

水素及び水素化物の濃度が低減された酸化物半導体層 162 を形成することができる。具体的には、酸化物半導体層 162 及び酸化シリコン層 173 との界面における水素濃度が $5 \times 10^{19} / cm^3$ 以下、好ましくは $1 \times 10^{19} / cm^3$ 以下とすることができる。

【0190】

酸化シリコン層 173 上に第 3 のフォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッチングを行って酸化シリコン層 166 を形成した後、レジストマスクを除去する（図 5（C）参照。）。

【0191】

20

次いで、ゲート絶縁層 152a、152b、酸化物半導体層 162、及び酸化シリコン層 166 上に、導電膜を形成した後、第 4 のフォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッチングを行ってソース電極層 165a、ドレイン電極層 165b を形成した後、レジストマスクを除去する（図 5（D）参照。）。

【0192】

ソース電極層 165a、ドレイン電極層 165b の材料としては、Al、Cr、Cu、Ta、Ti、Mo、W から選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜等が挙げられる。また、金属導電膜は、単層構造でも、2 層以上の積層構造としてもよい。

【0193】

30

以上の工程で、水素及び水素化物の濃度が低減された酸化物半導体層 162 を有する薄膜トランジスタ 160 を形成することができる（図 5（D）参照。）。

【0194】

上記のように酸化物半導体膜を成膜するに際し、反応雰囲気中の残留水分を除去することで、該酸化物半導体膜中の水素及び水素化物の濃度を低減することができる。それにより酸化物半導体膜の安定化を図ることができる。

【0195】

酸化物絶縁層上に保護絶縁層を設けてもよい。本実施の形態では、保護絶縁層 153 を酸化シリコン層 166、ソース電極層 165a、ドレイン電極層 165b 上に形成する。保護絶縁層 153 としては、窒化シリコン膜、窒化酸化シリコン膜、または窒化アルミニウム膜などを用いる。本実施の形態では、保護絶縁層 153 を、窒化シリコン膜を用いて形成する（図 5（E）参照。）。

40

【0196】

なお、ソース電極層 165a、ドレイン電極層 165b、酸化シリコン層 166 上にさらに酸化物絶縁層を形成し、該酸化物絶縁層上に保護絶縁層 153 を積層してもよい。また、保護絶縁層 153 上に平坦化絶縁層を形成してもよい。

【0197】

欠陥を含む酸化シリコン層上に、基板を加熱して窒化シリコン層を成膜することで、酸化物半導体膜から該酸化シリコン膜に水素、水分を拡散させつつ、同時に外気から水分の侵入を防ぐバリア膜を設けることができる。

50

【0198】

また、ゲート絶縁層上にチャネル形成領域とする酸化物半導体層を成膜するに際し、反応雰囲気中の残留水分を除去することで、該酸化物半導体層中の水素及び水素化合物の濃度を低減することができる。また、酸化物半導体層に接して欠陥を含む酸化シリコン層を設けることで酸化物半導体層中の水素、水分を酸化シリコン膜へ拡散させ酸化物半導体層の水素及び水素化合物の濃度を低減することができる。

【0199】

本実施の形態は、他の実施の形態と適宜組み合わせることで実施することが可能である。

【0200】

以上のように、酸化物半導体層を用いる薄膜トランジスタを有する半導体装置において、安定な電気特性を有し信頼性の高い半導体装置を提供することができる。

10

【0201】

(実施の形態3)

本実施の形態は、本明細書で開示する半導体装置に適用できる薄膜トランジスタの他の例を示す。

【0202】

本実施の形態の半導体装置及び半導体装置の作製方法の一形態を、図6を用いて説明する。

【0203】

酸化物半導体層を用いる薄膜トランジスタの電気的特性変動を抑止するためにゲート絶縁層の膜厚を制御し、酸化物半導体層及び、該酸化物半導体層と接して形成される酸化物絶縁層(酸化シリコン層)との界面において、変動要因となる水素、水分、水酸基又は水素化合物などの不純物を排除する。

20

【0204】

よって、本実施の形態の半導体装置に含まれる薄膜トランジスタ190は、温度85℃で、12時間、ゲート電極層に30V、又は-30Vの電圧を印加(ゲート電圧 V_g を30V又は-30V)する測定において、測定前と測定後の薄膜トランジスタ190のしきい値電圧の値の差が1V以下($\pm 1V$ 以下)であり、該薄膜トランジスタ190のゲート絶縁層の膜厚は100nm以上350nm以下に、酸化物半導体層及び、該酸化物半導体層と接して形成される酸化物絶縁層(酸化シリコン層)との界面における水素濃度は $5 \times 10^{19} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{19} / \text{cm}^3$ 以下に制御されている。

30

【0205】

また、薄膜トランジスタ190はシングルゲート構造の薄膜トランジスタを用いて説明したが、必要に応じて、チャネル形成領域を複数有するマルチゲート構造の薄膜トランジスタも形成することができる。

【0206】

以下、図6(A)乃至(C)を用い、基板140上に薄膜トランジスタ190を作製する工程を説明する。

【0207】

まず、絶縁表面を有する基板140上に導電膜を形成した後、第1のフォトリソグラフィ工程によりゲート電極層181を形成する。本実施の形態では、ゲート電極層181として、膜厚150nmのタンゲステン膜を、スパッタリング法を用いて形成する。

40

【0208】

次いで、ゲート電極層181上にゲート絶縁層142を形成する。酸化物半導体層を用いる薄膜トランジスタの電気的特性変動を抑止するためにゲート絶縁層142の膜厚を100nm以上350nm以下に制御する。本実施の形態では、ゲート絶縁層142としてプラズマCVD法により膜厚100nm以下の酸化窒化シリコン層を形成する。

【0209】

ゲート絶縁層を100nm以上350nm以下の膜厚に制御することによって温度85℃で、12時間、ゲート電極層に30V、又は-30Vの電圧を印加(ゲート電圧 V_g を3

50

0 V又は - 30 V)する測定において、測定前と測定後の薄膜トランジスタのしきい値電圧の値の差が1 V以下(±1 V以下)であるような電気特性が安定な薄膜トランジスタとすることができる。

【0210】

次いで、ゲート絶縁層142上に、導電膜を形成し、第2のフォトリソグラフィ工程により導電膜上にレジストマスクを形成し、選択的にエッチングを行ってソース電極層195a、ドレイン電極層195bを形成した後、レジストマスクを除去する。

【0211】

次に酸化物半導体膜を形成し、第3のフォトリソグラフィ工程により島状の酸化物半導体層141に加工する(図6(A)参照。)。本実施の形態では、酸化物半導体膜としてIn-Ga-Zn-O系金属酸化物ターゲットを用いてスパッタリング法により成膜する。

10

【0212】

減圧状態に保持された処理室内に基板を保持し、基板を室温、又は400未満の温度に加熱する。そして、処理室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、金属酸化物をターゲットとして基板140上に酸化物半導体膜を成膜する。処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリーメーションポンプを用いることが好ましい。また、排気手段としては、ターボ分子ポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した処理室は、例えば、水素原子や、H₂Oなど水素原子を含む化合物や、炭素原子を含む化合物等が排気されるため、当該処理室で成膜した酸化物半導体膜に含まれる不純物の濃度を低減できる。

20

【0213】

成膜条件の一例としては、基板とターゲットの間との距離を100mm、圧力0.6Pa、直流(DC)電源0.5kW、酸素(酸素流量比率100%)雰囲気下の条件が適用される。なお、パルス直流(DC)電源を用いると、成膜時に発生する粉状物質(パーティクル、ゴミともいう)が軽減でき、膜厚分布も均一となるために好ましい。酸化物半導体膜は好ましくは5nm以上30nm以下とする。なお、適用する酸化物半導体材料により適切な厚みは異なり、材料に応じて適宜厚みを選択すればよい。

【0214】

次いで、ゲート絶縁層142、酸化物半導体層141、ソース電極層195a、及びドレイン電極層195b上に、酸化シリコン層196を形成する。

30

【0215】

酸化シリコン層196として、島状の酸化物半導体層141まで形成された基板140を室温、又は100未満の温度に加熱し、水素及び水分が除去された高純度酸素を含むスパッタガスを導入しシリコン半導体のターゲットを用いて、欠陥を含む酸化シリコン層を成膜する。酸化シリコン層196はSiO_x(好ましくはxは2以上)膜とすると望ましい。

【0216】

また、欠陥を含む酸化シリコン層196において、酸素の未結合手を欠陥として多く含む酸化シリコン層196であると、水素、水酸基又は水分などの不純物に対する束縛エネルギーが大きくなるので、より酸化物半導体層141から、水素若しくは水素を含む不純物を、欠陥を含む酸化シリコン層に拡散させることができる。

40

【0217】

例えば、純度が6Nであり、ボロンがドーブされたシリコンターゲット(抵抗値0.01cm)を用い、ターゲットと基板との間の距離(T-S間距離)を89mm、圧力0.4Pa、直流(DC)電源6kW、酸素(酸素流量比率100%)雰囲気下でパルスDCスパッタリング法により酸化シリコン層196を成膜する。膜厚は300nmとする。なお、シリコンターゲットに代えて石英(好ましくは合成石英)を酸化シリコン層196を成膜するためのターゲットとして用いることができる。また、酸化シリコン層196は基板140を加熱しながら成膜しても良いが、酸化シリコン層196に欠陥を含ませるため

50

0 乃至 50 程度の温度、好ましくは室温で成膜することが望ましい。

【0218】

この場合において、処理室内の残留水分を除去しつつ酸化シリコン層 196 を成膜することが好ましい。酸化物半導体層 141 及び酸化シリコン層 196 に水素、水酸基又は水分が含まれないようにするためである。

【0219】

なお、酸化シリコン層に代えて、酸化窒化シリコン層、酸化アルミニウム層、または酸化窒化アルミニウムなどを用いることもできる。

【0220】

また、酸化物半導体層 141 に接して酸化シリコン層 196 を形成すると、酸化物半導体層と酸化シリコン層との界面に酸化物半導体及び酸化シリコンを含む混合領域 199 が形成される。

【0221】

混合領域 199 は、酸素、シリコン、及び酸化物半導体に含まれる少なくとも一種以上の金属元素を有する。

【0222】

混合領域の膜厚は、1 nm 乃至 10 nm、好ましくは 2 nm 乃至 5 nm とする。混合領域の膜厚は、酸化シリコン層を形成する際のスパッタリング法の成膜条件によって制御することができる。スパッタリング法の電源のパワーをより強く、基板とターゲットとの間の距離をより近くすれば、混合領域を厚く形成することができる。また、より強いパワーでスパッタリング法を行うことによって、酸化物半導体層表面に付着した吸着水等を除去することもできる。

【0223】

混合領域 199 を酸化物半導体層 141 と酸化シリコン層 196 との間に設けることによって、より上記酸化物半導体層 141 に含まれる水素原子や、 H_2O など水素原子を含む化合物や、炭素原子を含む化合物等の酸化シリコン層 196 への拡散が促進され、移動し易くなる。

【0224】

次いで、保護絶縁層 183 を酸化シリコン層 196 上に形成する。保護絶縁層 183 としては、窒化シリコン膜、窒化酸化シリコン膜、または窒化アルミニウム膜などを用いる。保護絶縁層 183 として、酸化シリコン層 196 まで形成された基板 140 を 100 ~ 400 の温度に加熱し、水素及び水分が除去された高純度窒素を含むスパッタガスを導入しシリコン半導体のターゲットを用いて窒化シリコン膜を成膜する。

【0225】

保護絶縁層 183 の成膜時に 100 ~ 400 に基板 140 を加熱することで、酸化物半導体層中に含まれる水素若しくは水分を酸化物絶縁層（欠陥を含む酸化シリコン膜）に拡散させることができる。酸化シリコン層 196 は欠陥（ダングリングボンド）を多く含むため、島状の酸化物半導体層 141 に含まれる水素、水酸基又水分等の不純物は、酸化物半導体層 141 と酸化シリコン層 196 が接する界面を介して、酸化シリコン層 196 に拡散する。具体的には、酸化物半導体層 141 に含まれる水素原子や、 H_2O など水素原子を含む化合物や、炭素原子を含む化合物等が酸化シリコン層 196 に拡散移動し易くなる。

【0226】

以上の工程で、水素及び水素化物の濃度が低減された酸化物半導体層 192 を有する薄膜トランジスタ 190 を形成することができる（図 6（C）参照。）。具体的には、酸化物半導体層 141 及び酸化シリコン層 196 との界面における水素濃度が $5 \times 10^{19} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{19} / \text{cm}^3$ 以下とすることができる。

【0227】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【0228】

以上のように、酸化物半導体層を用いる薄膜トランジスタを有する半導体装置において、安定な電気特性を有し信頼性の高い半導体装置を提供することができる。

【0229】

(実施の形態4)

本実施の形態は、本明細書で開示する半導体装置に適用できる薄膜トランジスタの例を示す。

【0230】

本実施の形態では、ゲート電極層、ソース電極層及びドレイン電極層に透光性を有する導電材料を用いる例を示す。従って、他は上記実施の形態と同様に行うことができ、上記実施の形態と同一部分又は同様な機能を有する部分、及び工程の繰り返しの説明は省略する。また同じ箇所の詳細な説明は省略する。

【0231】

例えば、ゲート電極層、ソース電極層、ドレイン電極層の材料として、可視光に対して透光性を有する導電材料、例えばIn-Sn-O系、In-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系、In-Zn-O系、Sn-Zn-O系、Al-Zn-O系、In-O系、Sn-O系、Zn-O系の金属酸化物を適用することができ、膜厚は50nm以上300nm以下の範囲内で適宜選択する。ゲート電極層、ソース電極層、ドレイン電極層に用いる金属酸化物の成膜方法は、スパッタリング法や真空蒸着法(電子ビーム蒸着法など)や、アーク放電イオンプレーティング法や、スプレー法を用いる。また、スパッタリング法を用いる場合、SiO₂を2重量%以上10重量%以下含むターゲットを用いて成膜を行い、透光性を有する導電膜に結晶化を阻害するSiO_x($x > 0$)を含ませ、後の工程で行う加熱処理の際に酸化物半導体が結晶化してしまうのを抑制することが好ましい。

【0232】

なお、透光性を有する導電膜の組成比の単位は原子%とし、電子線マイクロアナライザー(EPMA:Electron Probe X-ray MicroAnalyzer)を用いた分析により評価するものとする。

【0233】

また、薄膜トランジスタが配置される画素には、画素電極層、またはその他の電極層(容量電極層など)や、配線層(容量配線層など)に可視光に対して透光性を有する導電膜を用いると、高開口率を有する表示装置を実現することができる。勿論、画素に存在するゲート絶縁層、酸化物絶縁層、保護絶縁層、平坦化絶縁層も可視光に対して透光性を有する膜を用いることが好ましい。

【0234】

本明細書において、可視光に対して透光性を有する膜とは可視光の透過率が75~100%である膜厚を有する膜を指し、その膜が導電性を有する場合は透明の導電膜とも呼ぶ。また、ゲート電極層、ソース電極層、ドレイン電極層、画素電極層、またはその他の電極層や、その他の配線層に適用する金属酸化物として、可視光に対して半透明の導電膜を用いてもよい。可視光に対して半透明とは可視光の透過率が50~75%であることを指す。

【0235】

薄膜トランジスタに透光性を持たせると、開口率を向上させることができる。特に10インチ以下の小型の液晶表示パネルにおいて、ゲート配線の本数を増やすなどして表示画像の高精細化を図るため、画素寸法を微細化しても、高い開口率を実現することができる。また、薄膜トランジスタの構成部材に透光性を有する膜を用いることで、広視野角を実現するため、1画素を複数のサブピクセルに分割しても高い開口率を実現することができる。即ち、高密度の薄膜トランジスタ群を配置しても開口率を大きくとることができ、表示領域の面積を十分に確保することができる。例えば、一つの画素内に2~4個のサブピクセルを有する場合、薄膜トランジスタが透光性を有するため、開口率を向上させることができる。また、薄膜トランジスタの構成部材と同工程で同材料を用いて保持容量を形成す

10

20

30

40

50

ると、保持容量も透光性とすることができるため、さらに開口率を向上させることができる。

【0236】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【0237】

(実施の形態5)

本実施の形態は、本明細書で開示する半導体装置に適用できる薄膜トランジスタの例を示す。

【0238】

本実施の形態では、実施の形態1において、酸化物半導体層とソース電極層又はドレイン電極層との間に、ソース領域及びドレイン領域として酸化物導電層を設ける例を図7に示す。従って、他は実施の形態1と同様に行うことができ、実施の形態1と同一部分又は同様な機能を有する部分、及び工程の繰り返しの説明は省略する。また、図7は、図1と工程が一部異なる点以外は同じであるため、同じ箇所には同じ符号を用い、同じ箇所の詳細な説明は省略する。

10

【0239】

図7に示す薄膜トランジスタ130はチャネルエッチ型の薄膜トランジスタであり、絶縁表面を有する基板100上に、ゲート電極層101、ゲート絶縁層102、酸化物半導体層112、酸化物導電層118a、118b、ソース電極層115a、及びドレイン電極層115bを含む。また、薄膜トランジスタ130を覆い、酸化物半導体層112に接する酸化シリコン層116が設けられ、さらにその上に保護絶縁層103が積層されている。酸化シリコン層116は欠陥を含み、酸化物半導体層112と酸化シリコン層116との間には混合領域119が設けられている。

20

【0240】

実施の形態1に従って、基板100上にゲート電極層101を形成し、ゲート絶縁層102を積層する。ゲート絶縁層102上に酸化物半導体膜を形成し、酸化物半導体層を形成する。

【0241】

酸化物半導体層上に酸化物導電層118a、118bを形成する。本実施の形態では酸化物導電層118a、118bを酸化物半導体層と同じフォトリソグラフィ工程によって形状を加工する例を示すが、酸化物導電層118a、118bはソース電極層及びドレイン電極層と同じフォトリソグラフィ工程によって形状を加工してもよい。

30

【0242】

酸化物導電層118a、118bの成膜方法は、スパッタリング法や真空蒸着法(電子ビーム蒸着法など)や、アーク放電イオンプレーティング法や、スプレー法を用いる。酸化物導電層118a、118bの材料としては、酸化亜鉛を成分として含むものが好ましく、酸化インジウムを含まないものであることが好ましい。そのような酸化物導電層118a、118bとして、酸化亜鉛、酸化亜鉛アルミニウム、酸窒化亜鉛アルミニウム、酸化亜鉛ガリウムなどを適用することができる。膜厚は50nm以上300nm以下の範囲内で適宜選択する。また、スパッタリング法を用いる場合、SiO₂を2重量%以上10重量%以下含むターゲットを用いて成膜を行い、酸化物導電膜に結晶化を阻害するSiO_x(x>0)を含ませ、後の工程で行う加熱処理の際に酸化物導電膜が結晶化してしまうのを抑制することが好ましい。

40

【0243】

本実施の形態では酸化物導電層を酸化物半導体層と同じフォトリソグラフィ工程によって形状を加工した後、ソース電極層115a、ドレイン電極層115bをマスクとして、さらに酸化物導電層をエッチングし、酸化物導電層118a、118bを形成する。酸化亜鉛を成分とする酸化物導電層118a、118bは、例えばレジストの剥離液のようなアルカリ性溶液を用いて容易にエッチングすることができる。

【0244】

50

酸化物半導体層と酸化物導電層のエッチング速度の差を利用して、チャネル領域を形成するために酸化物導電層を分割するためのエッチング処理を行う。酸化物導電層のエッチング速度が酸化物半導体層と比較して速いことを利用して、酸化物半導体層上の酸化物導電層を選択的にエッチングする。

【0245】

よって、ソース電極層115a、ドレイン電極層115bの形成に用いるレジストマスクの除去は、アッシング工程によって除去することが好ましい。剥離液を用いたエッチングの場合は、酸化物導電層及び酸化物半導体層が過剰にエッチングされないように、エッチング条件(エッチャントの種類、濃度、エッチング時間)を適宜調整する。

【0246】

酸化物半導体層112と金属材料からなるドレイン電極層115bの間に設けられる酸化物導電層118bは低抵抗ドレイン領域(LRN(Low Resistance N-type conductivity)領域、LRD(Low Resistance Drain)領域とも呼ぶ)としても機能する。同様に、酸化物半導体層112と金属材料からなるソース電極層115aの間に設けられる酸化物導電層118aは低抵抗ソース領域(LRN(Low Resistance N-type conductivity)領域、LRS(Low Resistance Source)領域とも呼ぶ)としても機能する。酸化物半導体層、低抵抗ドレイン領域、金属材料からなるドレイン電極層の構成とすることによって、よりトランジスタの耐圧を向上させることができる。具体的には、低抵抗ドレイン領域のキャリア濃度は、例えば $1 \times 10^{20} / \text{cm}^3$ 以上 $1 \times 10^{21} / \text{cm}^3$ 以下の範囲内であると好ましい。

【0247】

ソース領域及びドレイン領域として、酸化物導電層を酸化物半導体層とソース電極層及びドレイン電極層との間に設けることで、ソース領域及びドレイン領域の低抵抗化を図ることができ、トランジスタの高速動作をすることができる。ソース領域及びドレイン領域として酸化物導電層を用いることは、周辺回路(駆動回路)の周波数特性を向上させるために有効である。金属電極(Ti等)と酸化物半導体層との接触に比べ、金属電極(Ti等)と酸化物導電層との接触は、接触抵抗を下げるからである。

【0248】

また、半導体装置で配線材料の一部として用いられているモリブデン(Mo)は(例えば、Mo/Al/Mo)、酸化物半導体層との接触抵抗が高くて課題であった。これは、Tiに比べMoは酸化しにくいいため酸化物半導体層から酸素を引き抜く作用が弱く、Moと酸化物半導体層の接触界面がn型化しないためである。しかし、かかる場合でも、酸化物半導体層とソース電極層及びドレイン電極層との間に酸化物導電層を介在させることで接触抵抗を低減でき、周辺回路(駆動回路)の周波数特性を向上させることができる。

【0249】

薄膜トランジスタのチャネル長が、酸化物導電層のエッチングの際に決められるため、より短チャネル化ができる。例えば、チャネル長 L_0 、 $1 \mu\text{m}$ 以上 $2 \mu\text{m}$ 以下と短くして、動作速度を高速化することができる。

【0250】

実施の形態1を例として説明したが、本実施の形態は、他の実施の形態と適宜組み合わせることで実施することが可能である。

【0251】

以上のように、酸化物半導体層を用いる薄膜トランジスタを有する半導体装置において、安定な電気特性を有し信頼性の高い半導体装置を提供することができる。

【0252】

(実施の形態6)

本実施の形態では、実施の形態1乃至5に示した半導体装置において、薄膜トランジスタと、エレクトロルミネッセンスを利用する発光素子とを用い、アクティブマトリクス型の発光表示装置を作製する一例を示す。

【0253】

エレクトロルミネッセンスを利用する発光素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般的に、前者は有機EL素子、後者は無機EL素子と呼ばれている。

【0254】

有機EL素子は、発光素子に電圧を印加することにより、電流が流れる。そして、それらキャリア（電子および正孔）が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

【0255】

無機EL素子は、その素子構成により、分散型無機EL素子と薄膜型無機EL素子とに分類される。分散型無機EL素子は、発光材料の粒子をバインダ中に分散させた発光層を有するものであり、発光メカニズムはドナー準位とアクセプター準位を利用するドナー-アクセプター再結合型発光である。薄膜型無機EL素子は、発光層を誘電体層で挟み込み、さらにそれを電極で挟んだ構造であり、発光メカニズムは金属イオンの内殻電子遷移を利用する局在型発光である。なお、ここでは、発光素子として有機EL素子を用いて説明する。

【0256】

図8は、半導体装置の例としてデジタル時間階調駆動を適用可能な画素構成の一例を示す図である。

【0257】

デジタル時間階調駆動を適用可能な画素の構成及び画素の動作について説明する。ここでは酸化物半導体層をチャネル形成領域に用いるnチャネル型のトランジスタを1つの画素に2つ用いる例を示す。

【0258】

画素6400は、スイッチング用トランジスタ6401、駆動用トランジスタ6402、発光素子6404及び容量素子6403を有している。スイッチング用トランジスタ6401はゲートが走査線6406に接続され、第1電極（ソース電極及びドレイン電極の一方）が信号線6405に接続され、第2電極（ソース電極及びドレイン電極の他方）が駆動用トランジスタ6402のゲートに接続されている。駆動用トランジスタ6402は、ゲートが容量素子6403を介して電源線6407に接続され、第1電極が電源線6407に接続され、第2電極が発光素子6404の第1電極（画素電極）に接続されている。発光素子6404の第2電極は共通電極6408に相当する。共通電極6408は、同一基板上に形成される共通電位線と電気的に接続される。

【0259】

なお、発光素子6404の第2電極（共通電極6408）には低電源電位が設定されている。なお、低電源電位とは、電源線6407に設定される高電源電位を基準にして低電源電位<高電源電位を満たす電位であり、低電源電位としては例えばGND、0Vなどが設定されていても良い。この高電源電位と低電源電位との電位差を発光素子6404に印加して、発光素子6404に電流を流して発光素子6404を発光させるため、高電源電位と低電源電位との電位差が発光素子6404の順方向しきい値電圧以上となるようにそれぞれの電位を設定する。

【0260】

なお、容量素子6403は駆動用トランジスタ6402のゲート容量を代用して省略することも可能である。駆動用トランジスタ6402のゲート容量については、チャネル領域とゲート電極との間で容量が形成されていてもよい。

【0261】

ここで、電圧入力電圧駆動方式の場合には、駆動用トランジスタ6402のゲートには、駆動用トランジスタ6402が十分にオンするか、オフするかとの二つの状態となるようなビデオ信号を入力する。つまり、駆動用トランジスタ6402は線形領域で動作させる。

10

20

30

40

50

駆動用トランジスタ 6402 は線形領域で動作させるため、電源線 6407 の電圧よりも高い電圧を駆動用トランジスタ 6402 のゲートにかける。なお、信号線 6405 には、(電源線電圧 + 駆動用トランジスタ 6402 の V_{th}) 以上の電圧をかける。

【0262】

また、デジタル時間階調駆動に代えて、アナログ階調駆動を行う場合、信号の入力を異ならせることで、図 8 と同じ画素構成を用いることができる。

【0263】

アナログ階調駆動を行う場合、駆動用トランジスタ 6402 のゲートに発光素子 6404 の順方向電圧 + 駆動用トランジスタ 6402 の V_{th} 以上の電圧をかける。発光素子 6404 の順方向電圧とは、所望の輝度とする場合の電圧を指しており、少なくとも順方向しきい値電圧を含む。なお、駆動用トランジスタ 6402 が飽和領域で動作するようなビデオ信号を入力することで、発光素子 6404 に電流を流すことができる。駆動用トランジスタ 6402 を飽和領域で動作させるため、電源線 6407 の電位は、駆動用トランジスタ 6402 のゲート電位よりも高くする。ビデオ信号をアナログとすることで、発光素子 6404 にビデオ信号に応じた電流を流し、アナログ階調駆動を行うことができる。

【0264】

なお、図 8 に示す画素構成は、これに限定されない。例えば、図 8 に示す画素に新たにスイッチ、抵抗素子、容量素子、トランジスタ又は論理回路などを追加してもよい。

【0265】

次に、発光素子の構成について、図 9 を用いて説明する。ここでは、駆動用 T F T が n 型の場合を例に挙げて、画素の断面構造について説明する。図 9 (A) (B) (C) の半導体装置に用いられる駆動用 T F T 7001、7011、7021 は、実施の形態 1 乃至 5 で示す薄膜トランジスタを適用することができる。本実施の形態では実施の形態 4 を用いる例を示し、実施の形態 4 と同様に作製できる、酸化物半導体層を含む透光性の薄膜トランジスタを用いる例を示す。

【0266】

駆動用 T F T 7001、7011、7021 は酸化物半導体層と酸化シリコン層との間に混合領域を有する。また、欠陥を含む(酸素のタングリングボンドを多く含むと好ましい)酸化シリコン層 (SiO_x 、好ましくは x は 2 以上)を積層し、加熱処理することにより酸化物半導体層中に含まれる水素や水は酸化シリコン層に拡散され、酸化物半導体層は水素や水が低減されている。駆動用 T F T 7001、7011、7021 は、温度 85 で、12 時間、ゲート電極層に 30 V、又は -30 V の電圧を印加(ゲート電圧 V_g を 30 V 又は -30 V)する測定において、測定前と測定後の駆動用 T F T 7001、7011、7021 のしきい値電圧の値の差が 1 V 以下 (± 1 V 以下)であり、該駆動用 T F T 7001、7011、7021 のゲート絶縁層の膜厚は 100 nm 以上 350 nm 以下に、酸化物半導体層及び、該酸化物半導体層と接して形成される酸化物絶縁層(酸化シリコン層)との界面における水素濃度は $5 \times 10^{19} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{19} / \text{cm}^3$ 以下に制御されている。従って、駆動用 T F T 7001、7011、7021 は信頼性の高い薄膜トランジスタである。

【0267】

発光素子は発光を取り出すために少なくとも陽極又は陰極の一方が透明であればよい。そして、基板上に薄膜トランジスタ及び発光素子を形成し、基板とは逆側の面から発光を取り出す上面射出構造や、基板側の面から発光を取り出す下面射出構造や、基板側及び基板とは反対側の面から発光を取り出す両面射出構造の発光素子があり、画素構成はどの射出構造の発光素子にも適用することができる。

【0268】

下面射出構造の発光素子について図 9 (A) を用いて説明する。

【0269】

駆動用 T F T 7011 が n 型で、発光素子 7012 から発せられる光が第 1 の電極 7013 側に射出する場合の、画素の断面図を示す。図 9 (A) では、駆動用 T F T 7011 の

ドレイン電極層と電氣的に接続された透光性を有する導電膜 7017 上に、発光素子 7012 の第 1 の電極 7013 が形成されており、第 1 の電極 7013 上に E L 層 7014、第 2 の電極 7015 が順に積層されている。

【0270】

透光性を有する導電膜 7017 としては、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性導電膜を用いることができる。

【0271】

また、発光素子の第 1 の電極 7013 は様々な材料を用いることができる。例えば、第 1 の電極 7013 を陰極として用いる場合には、仕事関数が小さい材料、具体的には、例えば、Li や Cs 等のアルカリ金属、および Mg、Ca、Sr 等のアルカリ土類金属、およびこれらを含む合金 (Mg: Ag、Al: Li など) の他、Yb や Er 等の希土類金属等が好ましい。図 9 (A) では、第 1 の電極 7013 の膜厚は、光を透過する程度 (好ましくは、5 nm ~ 30 nm 程度) とする。例えば 20 nm の膜厚を有するアルミニウム膜を、第 1 の電極 7013 として用いる。

【0272】

なお、透光性を有する導電膜とアルミニウム膜を積層成膜した後、選択的にエッチングして透光性を有する導電膜 7017 と第 1 の電極 7013 を形成してもよく、この場合、同じマスクを用いてエッチングすることができるため、好ましい。

【0273】

また、第 1 の電極 7013 の周縁部は、隔壁 7019 で覆う。隔壁 7019 は、ポリイミド、アクリル、ポリアミド、エポキシ等の有機樹脂膜、無機絶縁膜または有機ポリシロキサンを用いて形成する。隔壁 7019 は、特に感光性の樹脂材料を用い、第 1 の電極 7013 上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。隔壁 7019 として感光性の樹脂材料を用いる場合、レジストマスクを形成する工程を省略することができる。

【0274】

また、第 1 の電極 7013 及び隔壁 7019 上に形成する E L 層 7014 は、少なくとも発光層を含めば良く、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。E L 層 7014 が複数の層で構成されている場合、陰極として機能する第 1 の電極 7013 上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なおこれらの層を全て設ける必要はない。

【0275】

また、上記積層順に限定されず、第 1 の電極 7013 を陽極として機能させ、第 1 の電極 7013 上に E L 層 7014 をホール注入層、ホール輸送層、発光層、電子輸送層、電子注入層の順に積層してもよい。ただし、消費電力を比較する場合、第 1 の電極 7013 を陰極として機能させ、第 1 の電極 7013 上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層するほうが、駆動回路部の電圧上昇を抑制でき、消費電力を少なくできるため好ましい。

【0276】

また、E L 層 7014 上に形成する第 2 の電極 7015 としては、様々な材料を用いることができる。例えば、第 2 の電極 7015 を陽極として用いる場合、仕事関数が大きい材料、例えば、ZrN、Ti、W、Ni、Pt、Cr 等や、ITO、IZO、ZnO などの透明導電性材料が好ましい。また、第 2 の電極 7015 上に遮蔽膜 7016 として、例えば光を遮光する金属、光を反射する金属等を用いる。本実施の形態では、第 2 の電極 7015 として ITO 膜を用い、遮蔽膜 7016 として Ti 膜を用いる。

【0277】

第 1 の電極 7013 及び第 2 の電極 7015 で、発光層を含む E L 層 7014 を挟んでい

10

20

30

40

50

る領域が発光素子 7012 に相当する。図 9 (A) に示した素子構造の場合、発光素子 7012 から発せられる光は、矢印で示すように第 1 の電極 7013 側に射出する。

【0278】

なお、図 9 (A) ではゲート電極層として透光性を有する導電膜を用い、かつソース電極層及びドレイン電極層に透光性を有するような薄膜を用いる例を示しており、発光素子 7012 から発せられる光は、カラーフィルタ層 7033 を通過し、基板を通過して射出させることができる。

【0279】

カラーフィルタ層 7033 はインクジェット法などの液滴吐出法や、印刷法、フォトリソグラフィ技術を用いたエッチング方法などでそれぞれ形成する。

10

【0280】

また、カラーフィルタ層 7033 はオーバーコート層 7034 で覆われ、さらに保護絶縁層 7035 によって覆う。なお、図 9 (A) ではオーバーコート層 7034 は薄い膜厚で図示したが、オーバーコート層 7034 は、カラーフィルタ層 7033 に起因する凹凸を平坦化する機能を有している。

【0281】

また、平坦化絶縁層 7036、保護絶縁層 7035、絶縁層 7032、及び絶縁層 7031 に形成され、且つ、ドレイン電極層に達するコンタクトホールは、隔壁 7019 と重なる位置に配置する。

【0282】

20

次に、両面射出構造の発光素子について、図 9 (B) を用いて説明する。

【0283】

図 9 (B) では、駆動用 TFT 7021 のドレイン電極層と電氣的に接続された透光性を有する導電膜 7027 上に、発光素子 7022 の第 1 の電極 7023 が形成されており、第 1 の電極 7023 上に EL 層 7024、第 2 の電極 7025 が順に積層されている。

【0284】

透光性を有する導電膜 7027 としては、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性導電膜を用いることができる。

30

【0285】

また、第 1 の電極 7023 は様々な材料を用いることができる。例えば、第 1 の電極 7023 を陰極として用いる場合、仕事関数が小さい材料、具体的には、例えば、Li や Cs 等のアルカリ金属、および Mg、Ca、Sr 等のアルカリ土類金属、およびこれらを含む合金 (Mg:Ag、Al:Li など) の他、Yb や Er 等の希土類金属等が好ましい。本実施の形態では、第 1 の電極 7023 を陰極として用い、その膜厚は、光を透過する程度 (好ましくは、5 nm ~ 30 nm 程度) とする。例えば 20 nm の膜厚を有するアルミニウム膜を、陰極として用いる。

【0286】

40

なお、透光性を有する導電膜とアルミニウム膜を積層成膜した後、選択的にエッチングして透光性を有する導電膜 7027 と第 1 の電極 7023 を形成してもよく、この場合、同じマスクを用いてエッチングすることができ、好ましい。

【0287】

また、第 1 の電極 7023 の周縁部は、隔壁 7029 で覆う。隔壁 7029 は、ポリイミド、アクリル、ポリアミド、エポキシ等の有機樹脂膜、無機絶縁膜または有機ポリシロキサンを用いて形成する。隔壁 7029 は、特に感光性の樹脂材料を用い、第 1 の電極 7023 上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。隔壁 7029 として感光性の樹脂材料を用いる場合、レジストマスクを形成する工程を省略することができる。

50

【 0 2 8 8 】

また、第 1 の電極 7 0 2 3 及び隔壁 7 0 2 9 上に形成する E L 層 7 0 2 4 は、発光層を含めば良く、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。E L 層 7 0 2 4 が複数の層で構成されている場合、陰極として機能する第 1 の電極 7 0 2 3 上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なおこれらの層を全て設ける必要はない。

【 0 2 8 9 】

また、上記積層順に限定されず、第 1 の電極 7 0 2 3 を陽極として用い、陽極上にホール注入層、ホール輸送層、発光層、電子輸送層、電子注入層の順に積層してもよい。ただし、消費電力を比較する場合、第 1 の電極 7 0 2 3 を陰極として用い、陰極上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層するほうが消費電力が少ないため好ましい。

10

【 0 2 9 0 】

また、E L 層 7 0 2 4 上に形成する第 2 の電極 7 0 2 5 としては、様々な材料を用いることができる。例えば、第 2 の電極 7 0 2 5 を陽極として用いる場合、仕事関数が高い材料、例えば、ITO、IZO、ZnO などの透明導電性材料を好ましく用いることができる。本実施の形態では、第 2 の電極 7 0 2 5 を陽極として用い、酸化シリコンを含む ITO 膜を形成する。

【 0 2 9 1 】

第 1 の電極 7 0 2 3 及び第 2 の電極 7 0 2 5 で、発光層を含む E L 層 7 0 2 4 を挟んでいる領域が発光素子 7 0 2 2 に相当する。図 9 (B) に示した素子構造の場合、発光素子 7 0 2 2 から発せられる光は、矢印で示すように第 2 の電極 7 0 2 5 側と第 1 の電極 7 0 2 3 側の両方に射出する。

20

【 0 2 9 2 】

なお、図 9 (B) ではゲート電極層として透光性を有する導電膜を用い、かつソース電極層及びドレイン電極層に透光性を有するような薄膜を用いる例を示しており、発光素子 7 0 2 2 から第 1 の電極 7 0 2 3 側に発せられる光は、カラーフィルタ層 7 0 4 3 を通過し、基板を通過して射出させることができる。

【 0 2 9 3 】

カラーフィルタ層 7 0 4 3 はインクジェット法などの液滴吐出法や、印刷法、フォトリソグラフィ技術を用いたエッチング方法などでそれぞれ形成する。

30

【 0 2 9 4 】

また、カラーフィルタ層 7 0 4 3 はオーバーコート層 7 0 4 4 で覆われ、さらに保護絶縁層 7 0 4 5 によって覆う。

【 0 2 9 5 】

また、平坦化絶縁層 7 0 4 6、保護絶縁層 7 0 4 5、絶縁層 7 0 4 2、及び絶縁層 7 0 4 1 に形成され、且つ、ドレイン電極層に達するコンタクトホールは、隔壁 7 0 2 9 と重なる位置に配置する。

【 0 2 9 6 】

ただし、両面射出構造の発光素子を用い、どちらの表示面もフルカラー表示とする場合、第 2 の電極 7 0 2 5 側からの光はカラーフィルタ層 7 0 4 3 を通過しないため、別途カラーフィルタ層を備えた封止基板を第 2 の電極 7 0 2 5 上方に設けることが好ましい。

40

【 0 2 9 7 】

次に、上面射出構造の発光素子について、図 9 (C) を用いて説明する。

【 0 2 9 8 】

図 9 (C) に、駆動用 TFT 7 0 0 1 が n 型で、発光素子 7 0 0 2 から発せられる光が第 2 の電極 7 0 0 5 側に抜ける場合の、画素の断面図を示す。図 9 (C) では、駆動用 TFT 7 0 0 1 のドレイン電極層と第 1 の電極 7 0 0 3 とは接しており、駆動用 TFT 7 0 0 1 と発光素子 7 0 0 2 の第 1 の電極 7 0 0 3 とを電氣的に接続している。第 1 の電極 7 0 0 3 上に E L 層 7 0 0 4、第 2 の電極 7 0 0 5 が順に積層されている。

50

【0299】

また、第1の電極7003は様々な材料を用いることができる。例えば、第1の電極7003を陰極として用いる場合、仕事関数が小さい材料、具体的には、例えば、LiやCs等のアルカリ金属、およびMg、Ca、Sr等のアルカリ土類金属、およびこれらを含む合金(Mg:Ag、Al:Liなど)の他、YbやEr等の希土類金属等が好ましい。

【0300】

また、第1の電極7003の周縁部は、隔壁7009で覆う。隔壁7009は、ポリイミド、アクリル、ポリアミド、エポキシ等の有機樹脂膜、無機絶縁膜または有機ポリシロキサンを用いて形成する。隔壁7009は、特に感光性の樹脂材料を用い、第1の電極7003上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。隔壁7009として感光性の樹脂材料を用いる場合、レジストマスクを形成する工程を省略することができる。

10

【0301】

また、第1の電極7003及び隔壁7009上に形成するEL層7004は、少なくとも発光層を含めば良く、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。EL層7004が複数の層で構成されている場合、陰極として用いる第1の電極7003上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なおこれらの層を全て設ける必要はない。

【0302】

また、上記積層順に限定されず、陽極として用いる第1の電極7003上にホール注入層、ホール輸送層、発光層、電子輸送層、電子注入層の順に積層してもよい。

20

【0303】

図9(C)ではTi膜、アルミニウム膜、Ti膜の順に積層した積層膜上に、ホール注入層、ホール輸送層、発光層、電子輸送層、電子注入層の順に積層し、その上にMg:Ag合金薄膜とITOとの積層を形成する。

【0304】

ただし、駆動用TFET7001がn型の場合、第1の電極7003上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層するほうが、駆動回路における電圧上昇を抑制することができ、消費電力を少なくできるため好ましい。

【0305】

第2の電極7005は光を透過する透光性を有する導電性材料を用いて形成し、例えば酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性導電膜を用いても良い。

30

【0306】

第1の電極7003及び第2の電極7005で発光層を含むEL層7004を挟んでいる領域が発光素子7002に相当する。図9(C)に示した画素の場合、発光素子7002から発せられる光は、矢印で示すように第2の電極7005側に射出する。

【0307】

また、図9(C)において、駆動用TFET7001のドレイン電極層は、酸化シリコン層7051、保護絶縁層7052、平坦化絶縁層7056、平坦化絶縁層7053、及び絶縁層7055に設けられたコンタクトホールを介して第1の電極7003と電気的に接続する。平坦化絶縁層7053、7056は、ポリイミド、アクリル、ベンゾシクロブテン、ポリアミド、エポキシ等の樹脂材料を用いることができる。また上記樹脂材料の他に、低誘電率材料(low-k材料)、シロキサン系樹脂、PSG(リンガラス)、BPSG(リンボロンガラス)等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、平坦化絶縁層7053、7056を形成してもよい。平坦化絶縁層7053、7056の形成法は、特に限定されず、その材料に応じて、スパッタリング法、SOG法、スピコート、ディップ、スプレー塗布、液滴吐出法(インクジェット

40

50

法、スクリーン印刷、オフセット印刷等)、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を用いることができる。

【0308】

また、第1の電極7003と、隣り合う画素の第1の電極とを絶縁するために隔壁7009を設ける。隔壁7009は、ポリイミド、アクリル、ポリアミド、エポキシ等の有機樹脂膜、無機絶縁膜または有機ポリシロキサンを用いて形成する。隔壁7009は、特に感光性の樹脂材料を用い、第1の電極7003上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。隔壁7009として感光性の樹脂材料を用いる場合、レジストマスクを形成する工程を省略することができる。

10

【0309】

また、図9(C)の構造においては、フルカラー表示を行う場合、例えば発光素子7002として緑色発光素子とし、隣り合う一方の発光素子を赤色発光素子とし、もう一方の発光素子を青色発光素子とする。また、3種類の発光素子だけでなく白色発光素子を加えた4種類の発光素子でフルカラー表示ができる発光表示装置を作製してもよい。

【0310】

また、図9(C)の構造においては、配置する複数の発光素子を全て白色発光素子として、発光素子7002上方にカラーフィルタなどを有する封止基板を配置する構成とし、フルカラー表示ができる発光表示装置を作製してもよい。白色などの単色の発光を示す材料を形成し、カラーフィルタや色変換層を組み合わせることによりフルカラー表示を行うことができる。

20

【0311】

もちろん単色発光の表示を行ってもよい。例えば、白色発光を用いて照明装置を形成してもよいし、単色発光を用いてエリアカラータイプの発光装置を形成してもよい。

【0312】

また、必要があれば、円偏光板などの偏光フィルムなどの光学フィルムを設けてもよい。

【0313】

なお、ここでは、発光素子として有機EL素子について述べたが、発光素子として無機EL素子を設けることも可能である。

【0314】

なお、発光素子の駆動を制御する薄膜トランジスタ(駆動用TFT)と発光素子が電氣的に接続されている例を示したが、駆動用TFTと発光素子との間に電流制御用TFTが接続されている構成であってもよい。

30

【0315】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【0316】

(実施の形態7)

本実施の形態では、発光表示パネル(発光パネルともいう)の外観及び断面について、図10を用いて説明する。図10(A)は、第1の基板上に形成された薄膜トランジスタ及び発光素子を、第2の基板との間にシール材によって封止した、パネルの平面図であり、図10(B)は、図10(A)のH-Iにおける断面図に相当する。

40

【0317】

第1の基板4501上に設けられた画素部4502、信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bを囲むようにして、シール材4505が設けられている。また画素部4502、信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bの上に第2の基板4506が設けられている。よって画素部4502、信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bは、第1の基板4501とシール材4505と第2の基板4506とによって、充填材4507と共に密封されている。このように外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム(貼り合わせフィルム、紫外線硬化樹脂フィル

50

ム等)やカバー材でパッケージング(封入)することが好ましい。

【0318】

また第1の基板4501上に設けられた画素部4502、信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bは、薄膜トランジスタを複数有しており、図10(B)では、画素部4502に含まれる薄膜トランジスタ4510と、信号線駆動回路4503aに含まれる薄膜トランジスタ4509とを例示している。

【0319】

薄膜トランジスタ4509、4510は、実施の形態1乃至5のいずれか一の薄膜トランジスタを適宜用いることができ、同様な工程及び材料で形成することができる。薄膜トランジスタ4509、4510は酸化物半導体層と酸化シリコン層との間に混合領域を有する。また、欠陥を含む(酸素のタングリングボンドを多く含むと好ましい)酸化シリコン層(SiO_x 、好ましくは x は2以上)を積層し、加熱処理することにより酸化物半導体層中に含まれる水素や水は酸化シリコン層に拡散され、酸化物半導体層は水素や水が低減されている。また、薄膜トランジスタ4509、4510はゲート絶縁層を100nm以上350nm以下の膜厚に制御することによって温度85℃で、12時間、ゲート電極層に30V、又は-30Vの電圧を印加(ゲート電圧 V_g を30V又は-30V)する測定において、測定前と測定後の薄膜トランジスタのしきい値電圧の値の差が1V以下(± 1 V以下)であるような電気特性が安定な薄膜トランジスタとすることができる。従って、薄膜トランジスタ4509、4510は信頼性の高い薄膜トランジスタである。

【0320】

なお、駆動回路用の薄膜トランジスタ4509としては、薄膜トランジスタの酸化物半導体層のチャネル形成領域と重なる位置に導電層を設けた構造とする。本実施の形態において、薄膜トランジスタ4509、4510はnチャネル型薄膜トランジスタである。

【0321】

酸化シリコン層4542上において駆動回路用の薄膜トランジスタ4509の酸化物半導体層のチャネル形成領域と重なる位置に導電層4540が設けられている。導電層4540を酸化物半導体層のチャネル形成領域と重なる位置に設けることによって、BT試験前後における薄膜トランジスタ4509のしきい値電圧の変化量を低減することができる。また、導電層4540は、電位が薄膜トランジスタ4509のゲート電極層と同じでもよいし、異なっても良く、第2のゲート電極層として機能させることもできる。また、導電層4540の電位がGND、0V、或いはフローティング状態であってもよい。

【0322】

また、導電層4540は外部の電場を遮蔽する、すなわち外部の電場が内部(薄膜トランジスタを含む回路部)に作用しないようにする機能(特に静電気に対する静電遮蔽機能)も有する。導電層の4540の遮蔽機能により、静電気などの外部の電場の影響により薄膜トランジスタの電氣的な特性が変動することを防止することができる。

【0323】

また、薄膜トランジスタ4510の酸化物半導体層を覆う酸化シリコン層4542が形成されている。薄膜トランジスタ4510のソース電極層又はドレイン電極層は薄膜トランジスタ上に設けられた酸化シリコン層4542及び絶縁層4551に形成された開口において配線層4550と電氣的に接続されている。配線層4550は第1の電極4517と接して形成されており、薄膜トランジスタ4510と第1の電極4517とは配線層4550を介して電氣的に接続されている。

【0324】

酸化シリコン層4542は実施の形態1で示した酸化シリコン層116と同様な材料及び方法で形成すればよい。

【0325】

発光素子4511の発光領域と重なるようにカラーフィルタ層4545が、絶縁層4551上に形成される。

【0326】

また、カラーフィルタ層 4 5 4 5 の表面凹凸を低減するため平坦化絶縁膜として機能するオーバーコート層 4 5 4 3 で覆う構成となっている。

【 0 3 2 7 】

また、オーバーコート層 4 5 4 3 上に絶縁層 4 5 4 4 が形成されている。絶縁層 4 5 4 4 は、実施の形態 1 で示した保護絶縁層 1 0 3 と同様に形成すればよく、例えば窒化シリコン膜をスパッタリング法で形成すればよい。

【 0 3 2 8 】

また 4 5 1 1 は発光素子に相当し、発光素子 4 5 1 1 が有する画素電極である第 1 電極 4 5 1 7 は、薄膜トランジスタ 4 5 1 0 のソース電極層またはドレイン電極層と配線層 4 5 5 0 を介して電氣的に接続されている。なお発光素子 4 5 1 1 の構成は、第 1 電極 4 5 1 7、電界発光層 4 5 1 2、第 2 電極 4 5 1 3 の積層構造であるが、示した構成に限定されない。発光素子 4 5 1 1 から取り出す光の方向などに合わせて、発光素子 4 5 1 1 の構成は適宜変えることができる。

10

【 0 3 2 9 】

隔壁 4 5 2 0 は、有機樹脂膜、無機絶縁膜または有機ポリシロキサンを用いて形成する。特に感光性の材料を用い、第 1 電極 4 5 1 7 上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。

【 0 3 3 0 】

電界発光層 4 5 1 2 は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。

20

【 0 3 3 1 】

発光素子 4 5 1 1 に酸素、水素、水分、二酸化炭素等が侵入しないように、第 2 電極 4 5 1 3 及び隔壁 4 5 2 0 上に保護膜を形成してもよい。保護膜としては、窒化シリコン膜、窒化酸化シリコン膜、DLC 膜等を形成することができる。

【 0 3 3 2 】

また、信号線駆動回路 4 5 0 3 a、4 5 0 3 b、走査線駆動回路 4 5 0 4 a、4 5 0 4 b、または画素部 4 5 0 2 に与えられる各種信号及び電位は、FPC 4 5 1 8 a、4 5 1 8 b から供給されている。

【 0 3 3 3 】

接続端子電極 4 5 1 5 が、発光素子 4 5 1 1 が有する第 1 電極 4 5 1 7 と同じ導電膜から形成され、端子電極 4 5 1 6 は、薄膜トランジスタ 4 5 0 9 のソース電極層及びドレイン電極層と同じ導電膜から形成されている。

30

【 0 3 3 4 】

接続端子電極 4 5 1 5 は、FPC 4 5 1 8 a が有する端子と、異方性導電膜 4 5 1 9 を介して電氣的に接続されている。

【 0 3 3 5 】

発光素子 4 5 1 1 からの光の取り出し方向に位置する基板は透光性でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透光性を有する材料を用いる。

【 0 3 3 6 】

40

また、充填材 4 5 0 7 としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC（ポリビニルクロライド）、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。例えば充填材として窒素を用いればよい。

【 0 3 3 7 】

また、必要であれば、発光素子の射出面に偏光板、又は円偏光板（楕円偏光板を含む）、位相差板（ / 4 板、 / 2 板）などの光学フィルムを適宜設けてもよい。また、偏光板又は円偏光板に反射防止膜を設けてもよい。例えば、表面の凹凸により反射光を拡散し、映り込みを低減できるアンチグレア処理を施すことができる。

50

【0338】

シール材は、スクリーン印刷法、インクジェット装置またはディスペンス装置を用いて形成することができる。シール材は、代表的には可視光硬化性、紫外線硬化性または熱硬化性の樹脂を含む材料を用いることができる。また、フィラーを含んでもよい。

【0339】

信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bは、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜によって形成された駆動回路で実装されていてもよい。また、信号線駆動回路のみ、或いは一部、又は走査線駆動回路のみ、或いは一部のみを別途形成して実装しても良く、図10の構成に限定されない。

【0340】

以上の工程により、半導体装置として信頼性の高い発光表示装置（表示パネル）を作製することができる。

【0341】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【0342】

（実施の形態8）

半導体装置の一形態に相当する液晶表示パネルの外観及び断面について、図16を用いて説明する。図16（A）（C）は、薄膜トランジスタ4010、4011、及び液晶素子4013を、第1の基板4001と第2の基板4006との間にシール材4005によって封止した、パネルの平面図であり、図16（B）は、図16（A）または図16（C）のM-Nにおける断面図に相当する。

【0343】

第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004とを囲むようにして、シール材4005が設けられている。また画素部4002と、走査線駆動回路4004の上に第2の基板4006が設けられている。よって画素部4002と、走査線駆動回路4004とは、第1の基板4001とシール材4005と第2の基板4006とによって、液晶層4008と共に封止されている。また第1の基板4001上のシール材4005によって囲まれている領域とは異なる領域に、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜で形成された信号線駆動回路4003が実装されている。

【0344】

なお、別途形成した駆動回路の接続方法は、特に限定されるものではなく、COG方法、ワイヤボンディング方法、或いはTAB方法などを用いることができる。図16（A）は、COG方法により信号線駆動回路4003を実装する例であり、図16（C）は、TAB方法により信号線駆動回路4003を実装する例である。

【0345】

また第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004は、薄膜トランジスタを複数有しており、図16（B）では、画素部4002に含まれる薄膜トランジスタ4010と、走査線駆動回路4004に含まれる薄膜トランジスタ4011とを例示している。薄膜トランジスタ4010、4011上には絶縁層4041、4042、4020、4021が設けられている。

【0346】

薄膜トランジスタ4010、4011は、実施の形態1乃至5のいずれか一の薄膜トランジスタを適宜用いることができ、同様な工程及び材料で形成することができる。薄膜トランジスタ4010、4011は酸化物半導体層と酸化シリコン層との間に混合領域を有する。また、欠陥を含む（酸素のタングリングボンドを多く含むと好ましい）酸化シリコン層（SiO_x、好ましくはxは2以上）を積層し、加熱処理することにより酸化物半導体層中に含まれる水素や水は酸化シリコン層に拡散され、酸化物半導体層は水素や水が低減されている。また、薄膜トランジスタ4010、4011はゲート絶縁層を100nm以上350nm以下の膜厚に制御することによって温度85℃で、12時間、ゲート電極層に30V、又は-30Vの電圧を印加（ゲート電圧V_gを30V又は-30V）する測定

10

20

30

40

50

において、測定前と測定後の薄膜トランジスタのしきい値電圧の値の差が1 V以下(±1 V以下)であるような電気特性が安定な薄膜トランジスタとすることができる。従って、薄膜トランジスタ4010、4011は信頼性の高い薄膜トランジスタである。

【0347】

走査線駆動回路4004の駆動回路用の薄膜トランジスタ4011を覆って、絶縁層4021上に導電層4040が設けられている。導電層4040は、画素電極層4030形成時に同じ導電膜を加工することによって形成される。複数の画素電極層4030は画素部4002において画素ごとに設けられ画素の駆動用薄膜トランジスタと電氣的に接続する。一方、導電層4040は走査線駆動回路4004を覆うように設けられ、薄膜トランジスタ4011のソース電極層及びドレイン電極層形成時に同じ導電膜を加工することによって形成された共通配線層4045と電氣的に接続している。導電層4040は、固定電位であり、電位は、例えばGND線(接地線)に接続することで制御することができる。

10

【0348】

導電層4040を走査線駆動回路4004上に設けることによって、外部の電場を遮蔽する、すなわち外部の電場が走査線駆動回路4004の薄膜トランジスタ4011の動作に影響を与えないようにすることができる。よって走査線駆動回路4004の薄膜トランジスタ4011のしきい値電圧の値の変動(シフト)を防止できる。

【0349】

また、液晶素子4013が有する画素電極層4030は、薄膜トランジスタ4010のソース電極層又はドレイン電極層と電氣的に接続されている。そして液晶素子4013の対向電極層4031は第2の基板4006上に形成されている。画素電極層4030と対向電極層4031と液晶層4008とが重なっている部分が、液晶素子4013に相当する。なお、画素電極層4030、対向電極層4031はそれぞれ配向膜として機能する絶縁層4032、4033が設けられ、絶縁層4032、4033を介して液晶層4008を挟持している。

20

【0350】

なお、第1の基板4001、第2の基板4006としては、透光性基板を用いることができ、ガラス、セラミックス、プラスチックを用いることができる。プラスチックとしては、FRP(Fiberglass-Reinforced Plastics)板、PVF(ポリビニルフルオライド)フィルム、ポリエステルフィルム、またはアクリル樹脂フィルムを用いることができる。

30

【0351】

また4035は絶縁膜を選択的にエッチングすることで得られる柱状のスペーサであり、画素電極層4030と対向電極層4031との間の距離(セルギャップ)を制御するために設けられている。なお球状のスペーサを用いても良い。また、対向電極層4031は、薄膜トランジスタ4010と同一基板上に設けられる共通電位線と電氣的に接続される。共通接続部を用いて、一对の基板間に配置される導電性粒子を介して対向電極層4031と共通電位線とを電氣的に接続することができる。なお、導電性粒子はシール材4005に含有させる。

【0352】

40

また、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために5重量%以上のカイラル剤を混合させた液晶組成物を用いて液晶層4008に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が1 msec以下と短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さい。また配向膜を設けなくてもよいのでラビング処理も不要となるため、ラビング処理によって引き起こされる静電破壊を防止することができ、作製工程中の液晶表示装置の不良や破壊を軽減することができる。よって液晶表示装置の生産性を向上させることが可能となる。特に、酸化物半導体層を用いる薄膜トランジスタは、静電気の影響により薄膜トランジス

50

タの電氣的な特性が著しく変動して設計範囲を逸脱する恐れがある。よって酸化物半導体層を用いる薄膜トランジスタを有する液晶表示装置にブルー相の液晶材料を用いることはより効果的である。

【0353】

なお透過型液晶表示装置の他に、半透過型液晶表示装置でも適用できる。

【0354】

また、液晶表示装置では、基板の外側（視認側）に偏光板を設け、内側に着色層、表示素子に用いる電極層という順に設ける例を示すが、偏光板は基板の内側に設けてもよい。また、偏光板と着色層の積層構造も本実施の形態に限定されず、偏光板及び着色層の材料や作製工程条件によって適宜設定すればよい。また、表示部以外にブラックマトリクスとして機能する遮光膜を設けてもよい。

10

【0355】

薄膜トランジスタ4011、4010上には、酸化物半導体層に接して絶縁層4041が形成されている。絶縁層4041は実施の形態1で示した酸化シリコン層116と同様な材料及び方法で形成すればよい。ここでは、絶縁層4041として、実施の形態1を用いてスパッタリング法により欠陥を含む酸化シリコン層を形成する。また、絶縁層4041上に接して保護絶縁層4042を形成する。また、保護絶縁層4042は実施の形態1で示した保護絶縁層103と同様に形成すればよく、例えば窒化シリコン膜を用いることができる。また、保護絶縁層4042上に薄膜トランジスタの表面凹凸を低減するため平坦化絶縁膜として機能する絶縁層4021で覆う構成となっている。

20

【0356】

また、平坦化絶縁膜として絶縁層4021を形成する。絶縁層4021としては、ポリイミド、アクリル、ペンゾシクロブテン、ポリアミド、エポキシ等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low-k材料）、シロキサン系樹脂、PSG（リンガラス）、BPSG（リンボロンガラス）等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、絶縁層4021を形成してもよい。

【0357】

絶縁層4021の形成法は、特に限定されず、その材料に応じて、スパッタリング法、SOG法、スピコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法、スクリーン印刷、オフセット印刷等）などの方法、又はドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を用いることができる。絶縁層4021の焼成工程と半導体層のアニールを兼ねることで効率よく半導体装置を作製することが可能となる。

30

【0358】

画素電極層4030、対向電極層4031は、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物（以下、ITOと示す。）、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する透光性の導電性材料を用いることができる。

【0359】

また、画素電極層4030、対向電極層4031として、導電性高分子（導電性ポリマーともいう）を含む導電性組成物を用いて形成することができる。導電性組成物を用いて形成した画素電極は、シート抵抗が10000 / 以下、波長550nmにおける透光率が70%以上であることが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率が0.1・cm以下であることが好ましい。

40

【0360】

導電性高分子としては、いわゆる電子共役系導電性高分子を用いることができる。例えば、ポリアニリンまたはその誘導体、ポリピロールまたはその誘導体、ポリチオフェンまたはその誘導体、若しくはこれらの2種以上の共重合体などがあげられる。

【0361】

50

また別途形成された信号線駆動回路4003と、走査線駆動回路4004または画素部4002に与えられる各種信号及び電位は、FPC4018から供給されている。

【0362】

接続端子電極4015が、液晶素子4013が有する画素電極層4030と同じ導電膜から形成され、端子電極4016は、薄膜トランジスタ4010、4011のソース電極層及びドレイン電極層と同じ導電膜で形成されている。

【0363】

接続端子電極4015は、FPC4018が有する端子と、異方性導電膜4019を介して電氣的に接続されている。

【0364】

また図16においては、信号線駆動回路4003を別途形成し、第1の基板4001に実装している例を示しているがこの構成に限定されない。走査線駆動回路を別途形成して実装しても良いし、信号線駆動回路の一部または走査線駆動回路の一部のみを別途形成して実装しても良い。

【0365】

また、ブラックマトリクス（遮光層）、偏光部材、位相差部材、反射防止部材などの光学部材（光学基板）などは適宜設ける。例えば、偏光基板及び位相差基板による円偏光を用いてもよい。また、光源としてバックライト、サイドライトなどを用いてもよい。

【0366】

アクティブマトリクス型の液晶表示装置においては、マトリクス状に配置された画素電極を駆動することによって、画面上に表示パターンが形成される。詳しくは選択された画素電極と該画素電極に対応する対向電極との間に電圧が印加されることによって、画素電極と対向電極との間に配置された液晶層の光学変調が行われ、この光学変調が表示パターンとして観察者に認識される。

【0367】

液晶表示装置の動画表示において、液晶分子自体の応答が遅いため、残像が生じる、または動画のぼけが生じるという問題がある。液晶表示装置の動画特性を改善するため、全面黒表示を1フレームおきに行う、所謂、黒挿入と呼ばれる駆動技術がある。

【0368】

また、通常の垂直同期周期数を1.5倍、好ましくは2倍以上にすることで応答速度を改善する、所謂、倍速駆動と呼ばれる駆動技術もある。

【0369】

また、液晶表示装置の動画特性を改善するため、バックライトとして複数のLED（発光ダイオード）光源または複数のEL光源などを用いて面光源を構成し、面光源を構成している各光源を独立して1フレーム期間内で間欠点灯駆動する駆動技術もある。面光源として、3種類以上のLEDを用いてもよいし、白色発光のLEDを用いてもよい。独立して複数のLEDを制御できるため、液晶層の光学変調の切り替えタイミングに合わせてLEDの発光タイミングを同期させることもできる。この駆動技術は、LEDを部分的に消灯することができるため、特に一画面を占める黒い表示領域の割合が多い映像表示の場合には、消費電力の低減効果が図れる。

【0370】

これらの駆動技術を組み合わせることによって、液晶表示装置の動画特性などの表示特性を従来よりも改善することができる。

【0371】

また、薄膜トランジスタは静電気などにより破壊されやすいため、さらに画素部または駆動回路と同一基板上に保護回路を設けることが好ましい。保護回路は、酸化物半導体層を用いた非線形素子を用いて構成することが好ましい。例えば、保護回路は画素部と、走査線入力端子及び信号線入力端子との間に配設されている。本実施の形態では複数の保護回路を配設して、走査線、信号線及び容量バス線に静電気等によりサージ電圧が印加され、画素トランジスタなどが破壊されないように構成されている。そのため、保護回路にはサ

10

20

30

40

50

ージ電圧が印加されたときに、共通配線に電荷を逃がすように構成する。また、保護回路は、走査線及び共通配線の間に並列に配置された非線形素子によって構成されている。非線形素子は、ダイオードのような二端子素子又はトランジスタのような三端子素子で構成される。例えば、画素部の薄膜トランジスタと同じ工程で形成することも可能であり、例えばゲート端子とドレイン端子を接続することによりダイオードと同様の特性を持たせることができる。

【0372】

また、液晶表示モジュールには、TN (Twisted Nematic) モード、IPS (In-Plane-Switching) モード、FFS (Fringe Field Switching) モード、ASM (Axially Symmetric aligned Micro-cell) モード、OCB (Optical Compensated Birefringence) モード、FLC (Ferroelectric Liquid Crystal) モード、AFLC (AntiFerroelectric Liquid Crystal) モードなどを用いることができる。

10

【0373】

このように、本明細書に開示される半導体装置としては、特に限定されず、TN液晶、OCB液晶、STN液晶、VA液晶、ECB型液晶、GH液晶、高分子分散型液晶、ディスコティック液晶などを用いることができるが、中でもノーマリーブラック型の液晶パネル、例えば垂直配向(VA)モードを採用した透過型の液晶表示装置とすることが好ましい。垂直配向モードとしては、いくつか挙げられるが、例えば、MVA (Multi-Domain Vertical Alignment) モード、PVA (Patterned Vertical Alignment) モード、ASVモードなどを用いることができる。

20

【0374】

以下にVA型の液晶表示装置の一例を示す。

【0375】

VA型の液晶表示装置とは、液晶表示パネルの液晶分子の配列を制御する方式の一種である。VA型の液晶表示装置は、電圧が印加されていないときにパネル面に対して液晶分子が垂直方向を向く方式である。本実施の形態では、特に画素(ピクセル)をいくつかの領域(サブピクセル)に分け、それぞれ別の方向に分子を倒すよう工夫されている。これをマルチドメイン化あるいはマルチドメイン設計という。以下の説明では、マルチドメイン設計が考慮された液晶表示装置について説明する。

30

【0376】

図12と図13は、VA型液晶表示パネルの画素構造を示している。図13は基板600の平面図であり、図中に示す切断線Y-Zに対応する断面構造を図12に表している。以下の説明ではこの両図を参照して説明する。

【0377】

この画素構造は、一つの画素に複数の画素電極層が有り、それぞれの画素電極層にTFTが接続されている。各TFTは、異なるゲート信号で駆動されるように構成されている。すなわち、マルチドメイン設計された画素において、個々の画素電極層に印加する信号を、独立して制御する構成を有している。

40

【0378】

画素電極層624は、絶縁膜620、絶縁膜621、及び絶縁膜622をそれぞれ貫通するコンタクトホール623において、配線618でTFT628と接続している。また、画素電極層626は、絶縁膜620、絶縁膜621、及び絶縁膜622をそれぞれ貫通するコンタクトホール627において、配線619でTFT629と接続している。TFT628のゲート配線602と、TFT629のゲート配線603には、異なるゲート信号を与えることができるように分離されている。一方、データ線として機能する配線616は、TFT628とTFT629で共通に用いられている。TFT628とTFT629は実施の形態1乃至5のいずれか一の薄膜トランジスタを適宜用いることができる。なお

50

、ゲート配線 6 0 2、ゲート配線 6 0 3 上にはゲート絶縁層 6 0 6 が形成されている。T F T 6 2 8 と T F T 6 2 9 も電気的特性変動を抑止するためにゲート絶縁層の膜厚を 1 0 0 n m 以上 3 5 0 n m 以下に制御し、酸化物半導体層及び、該酸化物半導体層と接して形成される酸化物絶縁層（酸化シリコン層）との界面において、変動要因となる水素や水分などの不純物を排除し、水素濃度は $5 \times 10^{19} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{19} / \text{cm}^3$ 以下とした薄膜トランジスタである。

【0379】

また、容量配線 6 9 0 が設けられ、ゲート絶縁層 6 0 6 a、6 0 6 b の積層を誘電体とし、画素電極層または画素電極層と電気的に接続する容量電極と保持容量を形成する。

【0380】

画素電極層 6 2 4 と画素電極層 6 2 6 の形状は異なっており、スリット 6 2 5 によって分離されている。V 字型に広がる画素電極層 6 2 4 の外側を囲むように画素電極層 6 2 6 が形成されている。画素電極層 6 2 4 と画素電極層 6 2 6 に印加する電圧のタイミングを、T F T 6 2 8 及び T F T 6 2 9 により異ならせることで、液晶の配向を制御している。この画素構造の等価回路を図 1 5 に示す。T F T 6 2 8 と T F T 6 2 9 は、共に配線 6 1 6 と接続している。ゲート配線 6 0 2 とゲート配線 6 0 3 に異なるゲート信号を与えることで、T F T 6 2 8 と T F T 6 2 9 の動作を個別に制御することにより、液晶の配向を精密に制御して視野角を広げることができる。

【0381】

対向基板 6 0 1 には、遮光膜 6 3 2、着色膜 6 3 6、対向電極層 6 4 0 が形成されている。また、着色膜 6 3 6 と対向電極層 6 4 0 の間にはオーバーコート膜とも呼ばれる平坦化膜 6 3 7 が形成され、液晶の配向乱れを防いでいる。図 1 4 に対向基板側の構造を示す。対向電極層 6 4 0 は異なる画素間で共通化されている電極であるが、スリット 6 4 1 が形成されている。このスリット 6 4 1 と、画素電極層 6 2 4 及び画素電極層 6 2 6 側のスリットとを交互に咬み合うように配置することで、斜め電界を効果的に発生させて液晶の配向を制御することができる。これにより、液晶が配向する方向を場所によって異ならせることができ、視野角を広げている。

【0382】

対向電極層 6 4 0 は画素部に設けられる第 1 の対向電極層であり、駆動回路部に設けられる開口パターンを有する第 2 の対向電極層と同電位である。開口パターンを有する第 2 の対向電極層を駆動回路部に設けることによって、高信頼性及び低消費電力の半導体装置とすることができる。

【0383】

画素電極層 6 2 4 と液晶層 6 5 0 と対向電極層 6 4 0 が重なり合うことで、第 1 の液晶素子が形成されている。また、画素電極層 6 2 6 と液晶層 6 5 0 と対向電極層 6 4 0 が重なり合うことで、第 2 の液晶素子が形成されている。また、一画素に第 1 の液晶素子と第 2 の液晶素子が設けられたマルチドメイン構造である。

【0384】

本実施の形態は、他の実施の形態と適宜組み合わせ実施することが可能である。

【0385】

（実施の形態 9）

本実施の形態では、本発明の一実施の形態である半導体装置として電子ペーパーの例を示す。

【0386】

図 1 1 は、本発明の一実施の形態を適用した半導体装置の例としてアクティブマトリクス型の電子ペーパーを示す。半導体装置に用いられる薄膜トランジスタ 5 8 1 としては、実施の形態 1 乃至 5 のいずれか一の薄膜トランジスタを適宜用いることができ、同様な工程及び材料で形成することができる。薄膜トランジスタ 5 8 1 は酸化物半導体層と酸化シリコン層との間に混合領域を有する。また、欠陥を含む（酸素のタンゲリングボンドを多く含むと好ましい）酸化シリコン層（ SiO_x 、好ましくは x は 2 以上）を積層し、加熱処

10

20

30

40

50

理することにより酸化物半導体層中に含まれる水素や水は酸化シリコン層に拡散され、酸化物半導体層は水素や水が低減されている。従って、薄膜トランジスタ581は信頼性の高い薄膜トランジスタである。

【0387】

図11の電子ペーパーは、ツイストボール表示方式を用いた表示装置の例である。ツイストボール表示方式とは、白と黒に塗り分けられた球形粒子を表示素子に用い、電極層である第1の電極層及び第2の電極層の間に配置し、第1の電極層及び第2の電極層に電位差を生じさせて球形粒子の向きを制御することにより、表示を行う方法である。

【0388】

基板580上に設けられた薄膜トランジスタ581はボトムゲート構造の薄膜トランジスタであり、ソース電極層又はドレイン電極層は、酸化シリコン層583、保護絶縁層584、絶縁層585に形成される開口において第1の電極層587と接して電氣的に接続されている。

【0389】

よって、本実施の形態の半導体装置に含まれる薄膜トランジスタ581は、温度85℃で、12時間、ゲート電極層に30V、又は-30Vの電圧を印加（ゲート電圧 V_g を30V又は-30V）する測定において、測定前と測定後の薄膜トランジスタ110のしきい値電圧の値の差が1V以下（ $\pm 1V$ 以下）であり、該薄膜トランジスタ581のゲート絶縁層の膜厚は100nm以上350nm以下に、酸化物半導体層及び、該酸化物半導体層と接して形成される酸化物絶縁層（酸化シリコン層）との界面における水素濃度は $5 \times 10^{19} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{19} / \text{cm}^3$ 以下に制御されている。

【0390】

第1の電極層587と第2の電極層588との間には黒色領域590a及び白色領域590bを有し、周りに液体で満たされているキャピティ594を含む球形粒子589が設けられており、球形粒子589の周囲は樹脂等の充填材595で充填されている（図11参照）。本実施の形態においては、第1の電極層587が画素電極に相当し、対向基板596に設けられる第2の電極層588が共通電極に相当する。

【0391】

また、ツイストボールの代わりに、電気泳動素子を用いることも可能である。透明な液体と、正に帯電した白い微粒子と負に帯電した黒い微粒子とを封入した直径 $10 \mu\text{m} \sim 200 \mu\text{m}$ 程度のマイクロカプセルを用いる。第1の電極層と第2の電極層との間に設けられるマイクロカプセルは、第1の電極層と第2の電極層によって、電場が与えられると、白い微粒子と、黒い微粒子が逆の方向に移動し、白または黒を表示することができる。この原理を応用した表示素子が電気泳動表示素子であり、一般的に電子ペーパーとよばれている。電気泳動表示素子は、液晶表示素子に比べて反射率が高いため、補助ライトは不要であり、また消費電力が小さく、薄暗い場所でも表示部を認識することが可能である。また、表示部に電源が供給されない場合であっても、一度表示した像を保持することが可能であるため、電波発信源から表示機能付き半導体装置（単に表示装置、又は表示装置を具備する半導体装置ともいう）を遠ざけた場合であっても、表示された像を保存しておくことが可能となる。

【0392】

以上の工程により、半導体装置として信頼性の高い電子ペーパーを作製することができる。

【0393】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【0394】

（実施の形態10）

本明細書に開示する半導体装置は、さまざまな電子機器（遊技機も含む）に適用することができる。電子機器としては、例えば、テレビジョン装置（テレビ、またはテレビジョン受信機ともいう）、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ

ラ、デジタルフォトリフレーム、携帯電話機（携帯電話、携帯電話装置ともいう）、携帯型ゲーム機、携帯情報端末、音響再生装置、パチンコ機などの大型ゲーム機などが挙げられる。

【0395】

図17(A)は、携帯電話機の一例である携帯電話機1600を示している。携帯電話機1600は、筐体1601に組み込まれた表示部1602の他、操作ボタン1603a、1603b、外部接続ポート1604、スピーカ1605、マイク1606などを備えている。

【0396】

図17(A)に示す携帯電話機1600は、表示部1602を指などで触れることで、情報を入力することができる。また、電話を掛ける、或いはメールを打つなどの操作は、表示部1602を指などで触れることにより行うことができる。

10

【0397】

表示部1602の画面は主として3つのモードがある。第1は、画像の表示を主とする表示モードであり、第2は、文字等の情報の入力を主とする入力モードである。第3は表示モードと入力モードの2つのモードが混合した表示+入力モードである。

【0398】

例えば、電話を掛ける、或いはメールを作成する場合は、表示部1602を文字の入力を主とする文字入力モードとし、画面に表示させた文字の入力操作を行えばよい。この場合、表示部1602の画面のほとんどにキーボードまたは番号ボタンを表示させることが好ましい。

20

【0399】

また、携帯電話機1600内部に、ジャイロ、加速度センサ等の傾きを検出するセンサを有する検出装置を設けることで、携帯電話機1600の向き（縦か横か）を判断して、表示部1602の画面表示を自動的に切り替えるようにすることができる。

【0400】

また、画面モードの切り替えは、表示部1602を触れること、又は筐体1601の操作ボタン1603a、1603bの操作により行われる。また、表示部1602に表示される画像の種類によって切り替えるようにすることもできる。例えば、表示部に表示する画像信号が動画のデータであれば表示モード、テキストデータであれば入力モードに切り替える。

30

【0401】

また、入力モードにおいて、表示部1602の光センサで検出される信号を検知し、表示部1602のタッチ操作による入力が一定期間ない場合には、画面のモードを入力モードから表示モードに切り替えるように制御してもよい。

【0402】

表示部1602は、イメージセンサとして機能させることもできる。例えば、表示部1602に掌や指を触れることで、掌紋、指紋等を撮像することで、本人認証を行うことができる。また、表示部に近赤外光を発光するバックライトまたは近赤外光を発光するセンシング用光源を用いれば、指静脈、掌静脈などを撮像することもできる。

40

【0403】

表示部1602には、上記実施の形態に示す半導体装置を適用することができ、例えば画素のスイッチング素子として、上記他の実施の形態に示す薄膜トランジスタを複数配置することができる。

【0404】

図17(B)も携帯電話機の一例である。図17(B)を一例とした携帯型情報端末は、複数の機能を備えることができる。例えば電話機能に加えて、コンピュータを内蔵し、様々なデータ処理機能を備えることもできる。

【0405】

図17(B)に示す携帯型情報端末は、筐体1800及び筐体1801の二つの筐体で構

50

成されている。筐体 1801 には、表示パネル 1802、スピーカー 1803、マイクロフォン 1804、ポインティングデバイス 1806、カメラ用レンズ 1807、外部接続端子 1808などを備え、筐体 1800 には、キーボード 1810、外部メモリスロット 1811などを備えている。また、アンテナは筐体 1801 内部に内蔵されている。

【0406】

また、表示パネル 1802 はタッチパネルを備えており、図 17 (B) には映像表示されている複数の操作キー 1805 を点線で示している。

【0407】

また、上記構成に加えて、非接触 IC チップ、小型記録装置などを内蔵していてもよい。

【0408】

上記実施の形態に示す半導体装置は、表示パネル 1802 に用いることができ、使用形態に応じて表示の方向が適宜変化する。また、表示パネル 1802 と同一面上にカメラ用レンズ 1807 を備えているため、テレビ電話が可能である。スピーカー 1803 及びマイクロフォン 1804 は音声通話に限らず、テレビ電話、録音、再生などが可能である。さらに、筐体 1800 と筐体 1801 は、スライドし、図 17 (B) のように展開している状態から重なり合った状態とすることができ、携帯に適した小型化が可能である。

【0409】

外部接続端子 1808 は AC アダプタ及び USB ケーブルなどの各種ケーブルと接続可能であり、充電及びパーソナルコンピュータなどとのデータ通信が可能である。また、外部メモリスロット 1811 に記録媒体を挿入し、より大量のデータ保存及び移動に対応できる。

【0410】

また、上記機能に加えて、赤外線通信機能、テレビ受信機能などを備えたものであってもよい。

【0411】

図 18 (A) は、テレビジョン装置の一例であるテレビジョン装置 9600 を示している。テレビジョン装置 9600 は、筐体 9601 に表示部 9603 が組み込まれている。表示部 9603 により、映像を表示することが可能である。また、ここでは、スタンド 9605 により筐体 9601 を支持した構成を示している。

【0412】

テレビジョン装置 9600 の操作は、筐体 9601 が備える操作スイッチや、別体のリモコン操作機 9610 により行うことができる。リモコン操作機 9610 が備える操作キー 9609 により、チャンネルや音量の操作を行うことができ、表示部 9603 に表示される映像を操作することができる。また、リモコン操作機 9610 に、当該リモコン操作機 9610 から出力する情報を表示する表示部 9607 を設ける構成としてもよい。

【0413】

なお、テレビジョン装置 9600 は、受信機やモデムなどを備えた構成とする。受信機により一般のテレビ放送の受信を行うことができ、さらにモデムを介して有線または無線による通信ネットワークに接続することにより、一方向（送信者から受信者）または双方向（送信者と受信者間、あるいは受信者間同士など）の情報通信を行うことも可能である。

【0414】

表示部 9603 には、上記実施の形態に示す半導体装置を適用することができ、例えば画素のスイッチング素子として、上記他の実施の形態に示す薄膜トランジスタを複数配置することができる。

【0415】

図 18 (B) は、デジタルフォトフレームの一例であるデジタルフォトフレーム 9700 を示している。例えば、デジタルフォトフレーム 9700 は、筐体 9701 に表示部 9703 が組み込まれている。表示部 9703 は、各種画像を表示することが可能であり、例えばデジタルカメラなどで撮影した画像データを表示させることで、通常の写真立てと同様に機能させることができる。

10

20

30

40

50

【0416】

表示部9703には、上記実施の形態に示す半導体装置を適用することができ、例えば画素のスイッチング素子として、上記他の実施の形態に示す薄膜トランジスタを複数配置することができる。

【0417】

なお、デジタルフォトフレーム9700は、操作部、外部接続用端子（USB端子、USBケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える構成とする。これらの構成は、表示部と同一面に組み込まれていてもよいが、側面や裏面に備えるとデザイン性が向上するため好ましい。例えば、デジタルフォトフレーム9700の記録媒体挿入部に、デジタルカメラで撮影した画像データを記憶したメモリを挿入して画像データを取り込み、取り込んだ画像データを表示部9703に表示させることができる。

10

【0418】

また、デジタルフォトフレーム9700は、無線で情報を送受信できる構成としてもよい。無線により、所望の画像データを取り込み、表示させる構成とすることもできる。

【0419】

図19は携帯型遊技機であり、筐体9881と筐体9891の2つの筐体で構成されており、連結部9893により、開閉可能に連結されている。筐体9881には表示部9882が組み込まれ、筐体9891には表示部9883が組み込まれている。

【0420】

表示部9883には、上記実施の形態に示す半導体装置を適用することができ、例えば画素のスイッチング素子として、上記他の実施の形態に示す薄膜トランジスタを複数配置することができる。

20

【0421】

また、図19に示す携帯型遊技機は、その他、スピーカ部9884、記録媒体挿入部9886、LEDランプ9890、入力手段（操作キー9885、接続端子9887、センサ9888（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、にのみ又は赤外線を測定する機能を含むもの）、マイクロフォン9889）等を備えている。もちろん、携帯型遊技機の構成は上述のものに限定されず、少なくとも本明細書に開示する薄膜トランジスタを備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができる。図19に示す携帯型遊技機は、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能や、他の携帯型遊技機と無線通信を行って情報を共有する機能を有する。なお、図19に示す携帯型遊技機が有する機能はこれに限定されず、様々な機能を有することができる。

30

【0422】

図21は、上記実施の形態を適用して形成される半導体装置の一例である発光装置を、室内の照明装置3001として用いた例である。本明細書に示す発光装置は大面積化も可能であるため、大面積の照明装置として用いることができる。また、上記実施の形態で示した発光装置は、卓上照明器具3002として用いることも可能である。なお、照明器具には天井固定型の照明器具、卓上照明器具の他にも、壁掛け型の照明器具、車内用照明、誘導灯なども含まれる。

40

【0423】

以上のように、実施の形態1乃至9のいずれか一で示した半導体装置は、上記のような様々な電子機器の表示パネルに適用することができ、信頼性の高い電子機器を提供することができる。

【0424】

（実施の形態11）

本明細書に開示する半導体装置は、電子ペーパーとして適用することができる。電子ペーパーは、情報を表示するものであればあらゆる分野の電子機器に用いることが可能である

50

。例えば、電子ペーパーを用いて、電子書籍（電子ブック）、ポスター、電車などの乗り物の車内広告、クレジットカード等の各種カードにおける表示等に適用することができる。電子機器の一例を図20に示す。

【0425】

図20は、電子書籍の一例である電子書籍2700を示している。例えば、電子書籍2700は、筐体2701および筐体2703の2つの筐体で構成されている。筐体2701および筐体2703は、軸部2711により一体とされており、該軸部2711を軸として開閉動作を行うことができる。このような構成により、紙の書籍のような動作を行うことが可能となる。

【0426】

筐体2701には表示部2705が組み込まれ、筐体2703には表示部2707が組み込まれている。表示部2705および表示部2707は、続き画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成とすることで、例えば右側の表示部（図20では表示部2705）に文章を表示し、左側の表示部（図20では表示部2707）に画像を表示することができる。

【0427】

また、図20では、筐体2701に操作部などを備えた例を示している。例えば、筐体2701において、電源2721、操作キー2723、スピーカ2725などを備えている。操作キー2723により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングデバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子（イヤホン端子、USB端子、またはACアダプタおよびUSBケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍2700は、電子辞書としての機能を持たせた構成としてもよい。

【0428】

また、電子書籍2700は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

【0429】

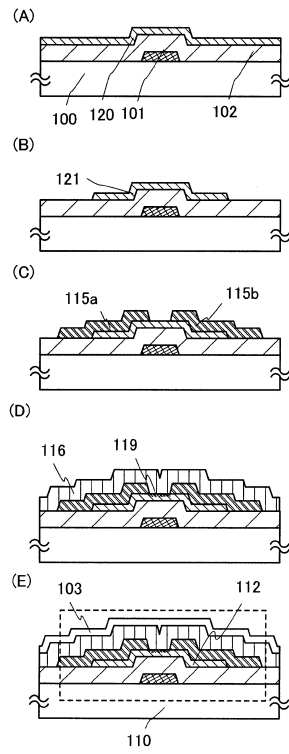
本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

10

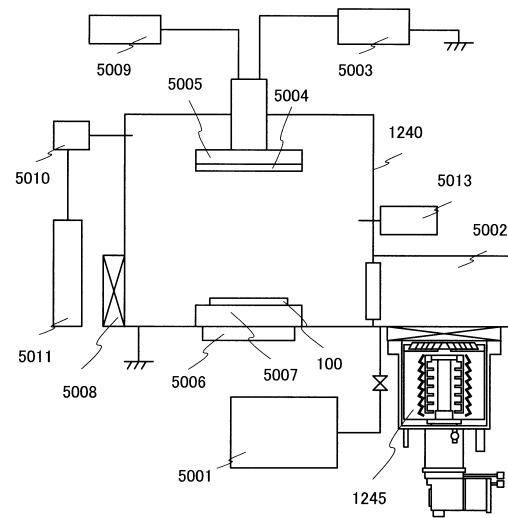
20

30

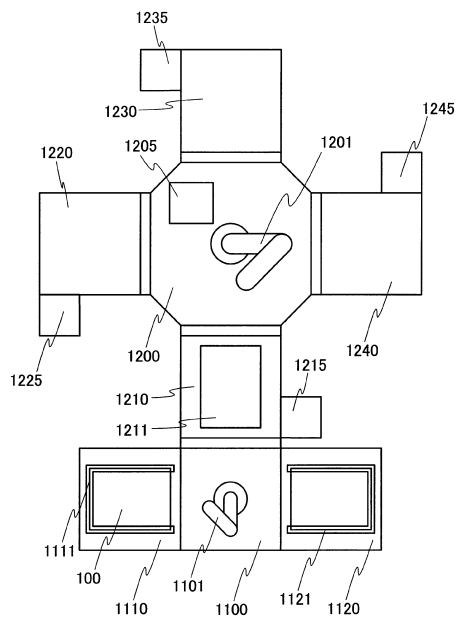
【図 1】



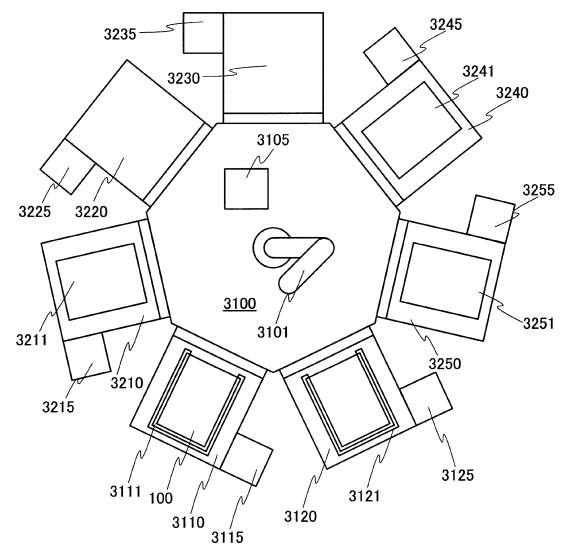
【図 2】



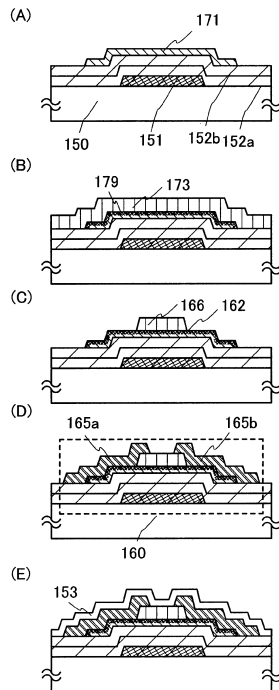
【図 3】



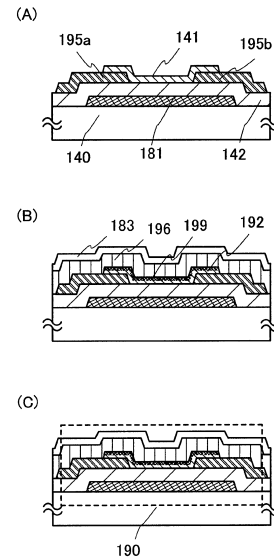
【図 4】



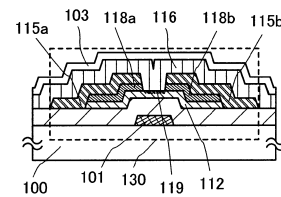
【図 5】



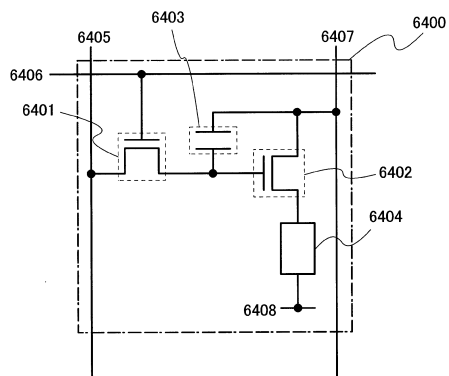
【図 6】



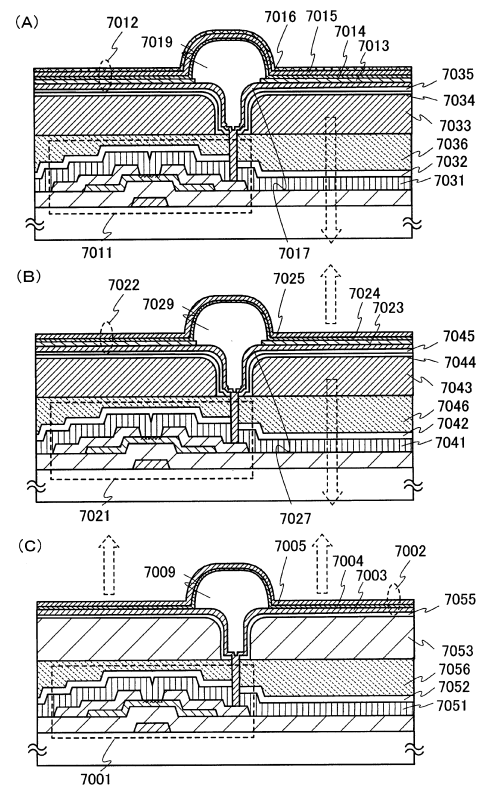
【図 7】



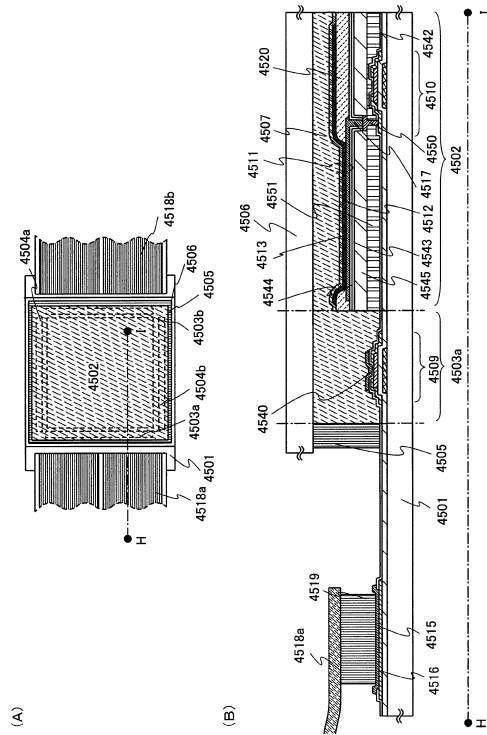
【図 8】



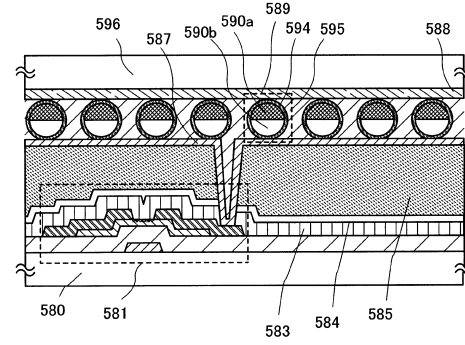
【図 9】



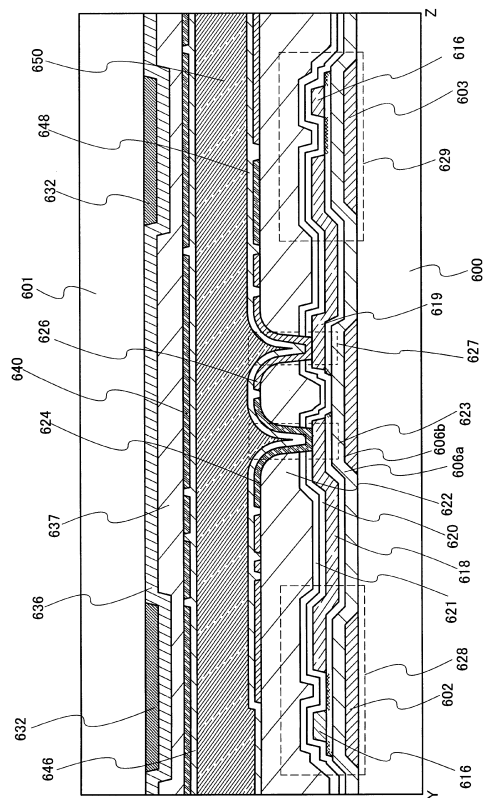
【図 10】



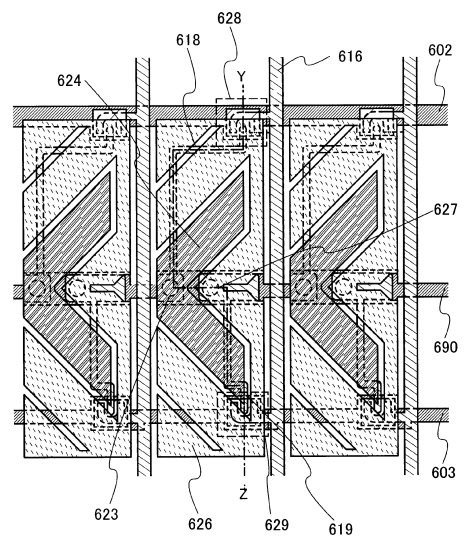
【図 11】



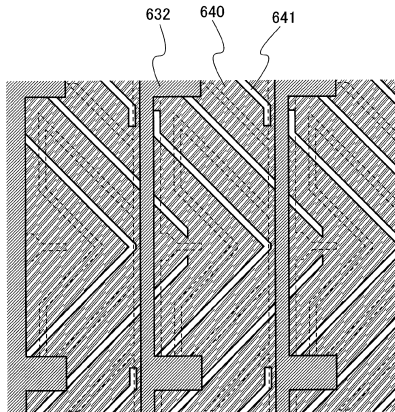
【図 12】



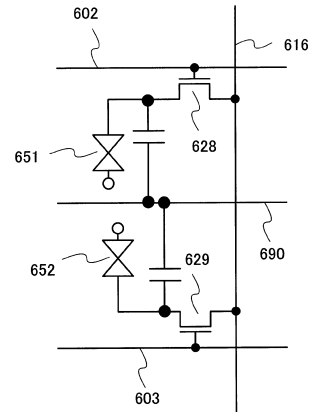
【図 13】



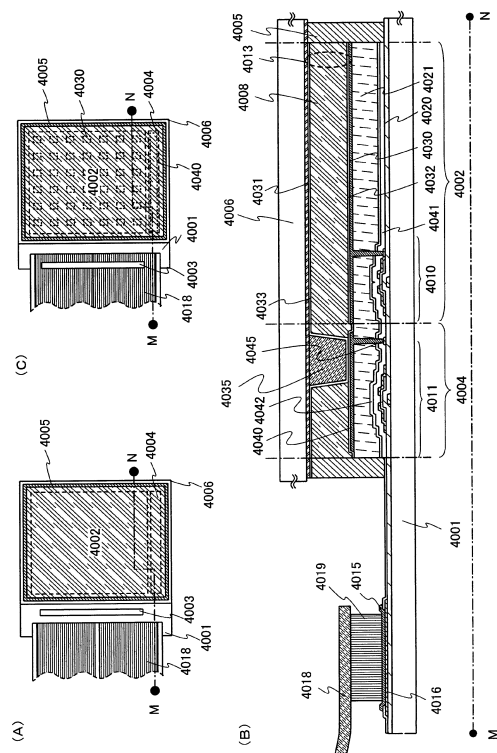
【図 14】



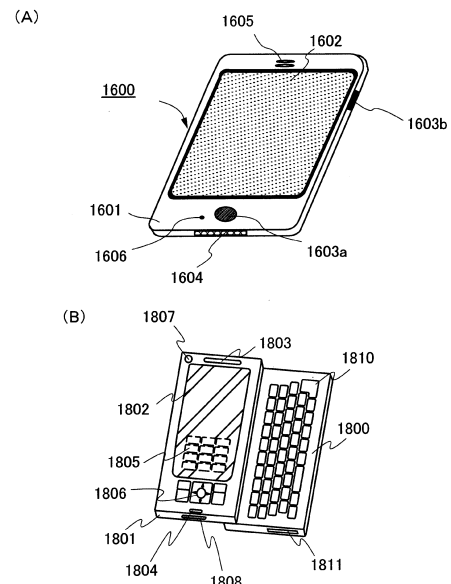
【図 15】



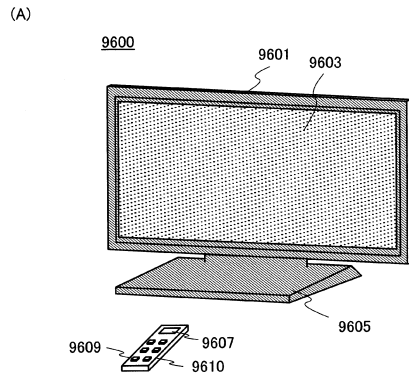
【図 16】



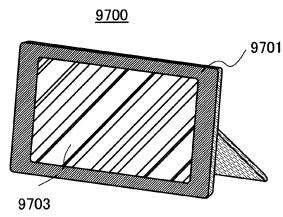
【図 17】



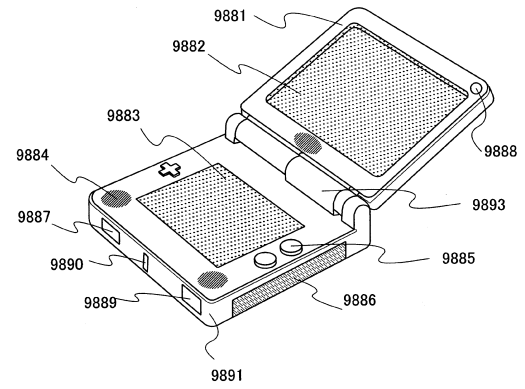
【図 18】



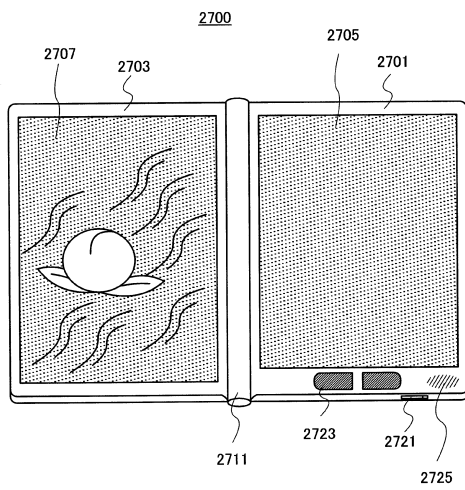
(B)



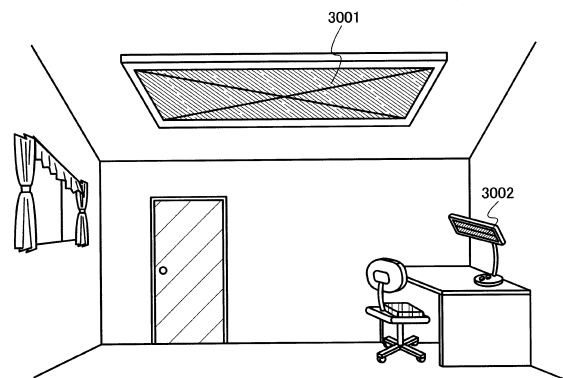
【図 19】



【図 20】



【図 21】



フロントページの続き

(72)発明者 坂田 淳一郎
神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

審査官 岩本 勉

(56)参考文献 国際公開第 2 0 0 9 / 0 7 5 2 8 1 (W O , A 1)
米国特許出願公開第 2 0 1 0 / 0 2 8 9 0 2 0 (U S , A 1)
特開 2 0 0 9 - 0 9 9 9 4 4 (J P , A)
米国特許出願公開第 2 0 1 0 / 0 2 1 3 4 5 9 (U S , A 1)
特開 2 0 0 9 - 1 9 4 3 5 1 (J P , A)
米国特許出願公開第 2 0 1 0 / 0 0 5 9 7 5 1 (U S , A 1)
特開 2 0 0 7 - 2 9 8 6 0 5 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
H 0 1 L 2 9 / 7 8 6
H 0 1 L 2 1 / 3 3 6