

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4972977号
(P4972977)

(45) 発行日 平成24年7月11日(2012.7.11)

(24) 登録日 平成24年4月20日(2012.4.20)

(51) Int.Cl.

F I

H O 1 L 29/786 (2006.01)

H O 1 L 29/78 6 2 1

H O 1 L 21/336 (2006.01)

H O 1 L 29/78 6 1 3 Z

H O 1 L 21/762 (2006.01)

H O 1 L 21/76 D

H O 1 L 21/76 (2006.01)

H O 1 L 21/76 L

H O 1 L 21/8234 (2006.01)

H O 1 L 27/06 1 O 2 A

請求項の数 9 (全 14 頁) 最終頁に続く

(21) 出願番号 特願2006-102395 (P2006-102395)
 (22) 出願日 平成18年4月3日(2006.4.3)
 (65) 公開番号 特開2007-281035 (P2007-281035A)
 (43) 公開日 平成19年10月25日(2007.10.25)
 審査請求日 平成20年4月15日(2008.4.15)

(73) 特許権者 000004260
 株式会社デンソー
 愛知県刈谷市昭和町1丁目1番地
 (74) 代理人 100106149
 弁理士 矢作 和行
 (74) 代理人 100121991
 弁理士 野々部 泰平
 (72) 発明者 山田 明
 愛知県刈谷市昭和町1丁目1番地 株式会
 社デンソー内
 (72) 発明者 村本 英俊
 愛知県刈谷市昭和町1丁目1番地 株式会
 社デンソー内
 審査官 川村 裕二

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

埋め込み酸化膜を有するS O I 構造半導体基板の半導体層に形成され、互いに絶縁分離された n 個($n \geq 2$)のトランジスタ素子が、第1の所定電位と当該第1の所定電位とは異なる第2の所定電位との間で、第1の所定電位側を第1段、第2の所定電位側を第 n 段として、順次直列接続され、

第1段のトランジスタ素子におけるゲート端子を入力端子とし、

n 個の抵抗素子及び/又は容量素子が、前記第1の所定電位と前記第2の所定電位との間で、第1の所定電位側を第1段、第2の所定電位側を第 n 段として、順次直列接続され、

第1段のトランジスタ素子を除いた第 m 段のトランジスタ素子におけるゲート端子が、第 m 段の抵抗素子及び/又は容量素子と、第 $(m-1)$ 段の抵抗素子及び/又は容量素子との間に接続され、

第 n 段のトランジスタ素子における前記第2の所定電位側の端子から、出力が取り出される構成の半導体装置であって、

前記半導体層には、前記埋め込み酸化膜に達するフィールド分離トレンチが、少なくとも n 重に形成され、

第 m 番目のフィールド分離トレンチにより、第 m 段のトランジスタ素子が形成される第 m 番目のフィールド領域が囲まれており、該第 m 番目のフィールド領域には、第 $(m+1)$ 段又は第 $(m-1)$ 段のトランジスタ素子が形成される第 $(m+1)$ 番目又は第 $(m-$

1) 番目のフィールド領域を囲む、第 (m + 1) 番目又は第 (m - 1) 番目のフィールド分離トレンチが内包され、

第 m 段のトランジスタ素子は、第 m 番目のフィールド領域内において、前記埋め込み酸化膜に達する絶縁分離トレンチにより取り囲まれ、

前記各フィールド領域の電位が、当該フィールド領域に配置された前記トランジスタ素子の 3 端子のいずれか 1 つと同一の電位に固定されていることを特徴とする半導体装置。

【請求項 2】

前記各フィールド領域の電位が、当該フィールド領域に配置された前記トランジスタ素子の 3 端子のうち、前記ゲート端子を除く、残りの 2 端子のいずれか一方と同一の電位に固定されていることを特徴とする請求項 1 に記載の半導体装置。

10

【請求項 3】

前記トランジスタ素子は、N チャネル形トランジスタ素子であることを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】

前記各フィールド領域の電位が、当該フィールド領域に配置された前記トランジスタ素子の 3 端子のうち、前記ゲート端子と同一の電位に固定されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 5】

前記 n 個のトランジスタ素子は、それぞれ同じ耐圧であることを特徴とする請求項 1 ~ 4 いずれか 1 項に記載の半導体装置。

20

【請求項 6】

前記トランジスタ素子は、MOS 型トランジスタ素子又は IGBT 素子であることを特徴とする請求項 1 ~ 5 いずれか 1 項に記載の半導体装置。

【請求項 7】

GND 電位を基準とする GND 基準ゲート駆動回路、浮遊電位を基準とする浮遊基準ゲート駆動回路、及び前記 GND 電位と前記浮遊電位の間で入出力信号をレベルシフトさせるレベルシフト回路を含むインバータ駆動用の高電圧 IC において、

前記第 1 の所定電位を前記 GND 電位及び前記浮遊電位のいずれか一方とし、前記第 2 の所定電位を前記 GND 電位及び前記浮遊電位の残りの他方として、前記レベルシフト回路に適用されることを特徴とする請求項 1 ~ 6 いずれか 1 項に記載の半導体装置。

30

【請求項 8】

前記高電圧 IC が、車載モータのインバータ駆動用の高電圧 IC であることを特徴とする請求項 7 に記載の半導体装置。

【請求項 9】

前記高電圧 IC が、車載エアコンのインバータ駆動用の高電圧 IC であることを特徴とする請求項 7 に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、インバータ駆動用等の高電圧 IC に適用することのできる半導体装置に関する。

40

【背景技術】

【0002】

従来、インバータ駆動用等の高電圧 IC が、例えば特許文献 1 や非特許文献 1 に開示されている。このような高電圧 IC の構造として、SOI 構造半導体基板と絶縁分離トレンチを用いた一例を図 11 に示す。図 11 は、従来の高電圧 IC 100 の模式的な断面図である。

【0003】

図 11 に示すように、高電圧 IC 100 を構成する SOI 構造半導体基板 110 の半導体層 111 には、低電位 (GND) 基準回路、高電位 (浮遊) 基準回路、及びレベルシフ

50

ト回路が、それぞれ設けられている。また、GND基準回路、浮遊基準回路、及びレベルシフト回路の各形成領域は、埋め込み酸化膜113と絶縁分離トレンチ114の側壁酸化膜114sにより、それぞれ絶縁（誘電体）分離されている。尚、SOI構造半導体基板110は、基板の貼り合わせによって形成されたものであり、埋め込み酸化膜113の下は、シリコン（Si）からなる厚い支持基板112となっている。

【0004】

高電圧IC100のレベルシフト回路においては、低電位基準回路と高電位基準回路を繋ぐため、高耐圧の回路素子が必要である。図11に示すレベルシフト回路形成領域のNチャネル形LD MOS（Lateral Double-diffused MOS）120では、断面の横方向の耐圧を、表面p型不純物層と埋め込み酸化膜113によって形成されるSOI-RESURF構造で確保するようにしている。また、断面の縦方向の耐圧については、非特許文献1に開示されているように、ドレインDとグラウンド（GND）間にかかる高電圧を、低濃度の半導体層111と埋め込み酸化膜113で分圧して、半導体層111における電界を緩和させるようにしている。

10

【特許文献1】特許第3384399号公報

【非特許文献1】Proc. of ISPSD' 04, p385, H. Akiyama, et al（三菱電機）

【発明の開示】

【発明が解決しようとする課題】

【0005】

ところで、SOI構造半導体基板を用いて高耐圧の半導体装置を実現するには、断面の縦方向における耐圧を確保するために、半導体層の不純物濃度と厚さ及び埋め込み酸化膜の厚さを最適設計する必要がある。

20

【0006】

しかしながら、図11に示す構成にて1000V以上の高耐圧を得ようとする、5 μ mより厚い埋め込み酸化膜113と、50 μ mより厚い半導体層111が必要となる。一方、SOI構造半導体基板110の反り等の関係で、達成できる埋め込み酸化膜113の上限膜厚は、4 μ m程度である。また、半導体層111の厚さは、通常数 μ m～20 μ m程度であり、半導体層111の厚さを厚くすると、トレンチ加工負荷が増大する。このため、600V程度の耐圧確保が限界で、400V電源系やEV車等で要求される1200Vの耐圧は確保することができない。

30

【0007】

これに対し、本出願人は、上記問題を解決するために、例えば特願2005-227058号を先に出願している。図12は、特願2005-227058号に示される半導体装置10の基本的な等価回路図である。図13は、高電圧IC100のレベルシフト回路部に適用された半導体装置10の各構成要素の配置を示す模式的な平面図である。図14は、図13のA-A線に沿う断面図である。なお、図13、図14においては、高電圧IC100を構成する浮遊基準ゲート駆動回路部も図示している。

【0008】

図12に示す半導体装置10では、互いに絶縁分離されたn個（n $\geq$ 2）のトランジスタ素子Tr1～Trnが、GND電位と所定電位Vsとの間で、GND電位側を第1段、所定電位Vs側を第n段として、順次直列接続されている。また、第1段のトランジスタ素子Tr1のゲート端子が、半導体装置10の入力端子となっており、n個の抵抗素子R1～Rnが、GND電位と所定電位Vsとの間で、GND電位側を第1段、所定電位Vs側を第n段として、順次直列接続されている。そして、第1段のトランジスタ素子Tr1を除いた各段のトランジスタ素子Tr2～Trnにおけるゲート端子が、直列接続された各段の抵抗素子R1～Rnの間の接続点にそれぞれ順次接続され、第n段のトランジスタ素子Trnにおける所定電位Vs側の端子から、所定の抵抗値を有する負荷抵抗（図示省略）を介して、出力が取り出される。

40

【0009】

なお、半導体装置10におけるn個のトランジスタ素子Tr1～Trnは、図14に示

50

すように、埋め込み酸化膜 113 を有する S O I 構造半導体基板 110 の n 導電型半導体層 111 a に形成されている。図 14 においては、n 個のトランジスタ素子 $T r 1 \sim T r n$ として、N チャネル形の L D M O S を例示しており、埋め込み酸化膜 113 に達する素子分離トレンチ $Z s$ により、互いに絶縁分離されている。また、図 13 及び図 14 に示すように、埋め込み酸化膜 113 に達する多重のフィールド分離トレンチ $Z f 1 \sim Z f n$ が形成され、互いに絶縁分離された n 個のトランジスタ素子 $T r 1 \sim T r n$ が、フィールド分離トレンチ $Z f 1 \sim Z f n$ により囲まれた各フィールド領域に、高段のトランジスタ素子を内包するようにして、一個ずつ順次配置されている。

【0010】

これにより、G N D 電位から所定電位 $V s$ までの電圧増加に応じて、フィールド分離トレンチにより囲まれた各フィールド領域に加わる電圧を均等化し、n 個のトランジスタ素子 $T r 1 \sim T r n$ の担当電圧範囲を G N D 電位から所定電位 $V s$ に向かって順番に移行させることができる。従って、一般的な製造方法を用いて安価に製造できる通常の耐圧を有するトランジスタ素子であっても、トランジスタ素子の個数 n を適宜設定することにより、全体として必要とされる高い耐圧を確保した半導体装置とすることができる。

【0011】

ところが、上述の構成においては、埋め込み酸化膜 113、素子分離トレンチ $Z s$ 、及びフィールド分離トレンチ $Z f$ によってそれぞれ区画された各段のフィールド領域に、各段のトランジスタ素子 $T r$ が配置されている。したがって、フィールド領域の電位が、トランジスタ素子の静耐圧に影響を及ぼすことが考えられる。このことは、各段のフィールド領域の電位を所定電位に固定しない構成（フローティング状態）において、本発明者によって確認されている（図 15、図 16 参照）。なお、図 15 は、電界集中を示すシミュレーション結果であり、図 16 は、電界集中による静耐圧の低下を示す図である。図 16 において、設計耐圧を破線で図示している。

【0012】

本発明は上記問題点に鑑み、静耐圧を向上することのできる半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0013】

上記目的を達成する為に請求項 1 に記載の発明は、埋め込み酸化膜を有する S O I 構造半導体基板の半導体層に形成され、互いに絶縁分離された n 個 ($n \geq 2$) のトランジスタ素子が、第 1 の所定電位と当該第 1 の所定電位とは異なる第 2 の所定電位との間で、第 1 の所定電位側を第 1 段、第 2 の所定電位側を第 n 段として、順次直列接続され、第 1 段のトランジスタ素子におけるゲート端子を入力端子とし、n 個の抵抗素子及び / 又は容量素子が、第 1 の所定電位と第 2 の所定電位との間で、第 1 の所定電位側を第 1 段、第 2 の所定電位側を第 n 段として、順次直列接続され、第 1 段のトランジスタ素子を除いた第 m 段のトランジスタ素子におけるゲート端子が、第 m 段の抵抗素子及び / 又は容量素子と、第 ($m - 1$) 段の抵抗素子及び / 又は容量素子との間に接続され、第 n 段のトランジスタ素子における前記第 2 の所定電位側の端子から、出力が取り出される構成の半導体装置であって、半導体層には、埋め込み酸化膜に達するフィールド分離トレンチが、少なくとも n 重に形成され、第 m 番目のフィールド分離トレンチにより、第 m 段のトランジスタ素子が形成される第 m 番目のフィールド領域が囲まれており、該第 m 番目のフィールド領域には、第 ($m + 1$) 段又は第 ($m - 1$) 段のトランジスタ素子が形成される第 ($m + 1$) 番目又は第 ($m - 1$) 番目のフィールド領域を囲む、第 ($m + 1$) 番目又は第 ($m - 1$) 番目のフィールド分離トレンチが内包され、第 m 段のトランジスタ素子は、第 m 番目のフィールド領域内において、埋め込み酸化膜に達する絶縁分離トレンチにより取り囲まれ、各フィールド領域の電位が、当該フィールド領域に配置されたトランジスタ素子の 3 端子のいずれか 1 つと同一の電位に固定されていることを特徴とする。

【0014】

本発明によれば、n 個のトランジスタ素子が、第 1 の所定電位と第 2 の所定電位の間で

10

20

30

40

50

順次直列接続されている。すなわち、第1の所定電位と第2の所定電位の間の電圧が n 個のトランジスタ素子により分割され、第1段から第 n 段のトランジスタ素子が、それぞれの電圧範囲を分担している。従って、第1の所定電位と第2の所定電位の間の電圧を1個のトランジスタ素子で分担する場合に比べて、各トランジスタ素子に要求される静耐圧（DC耐圧）を低減することができる構成となっている。

【0015】

そして、このような構成において、それぞれのフィールド領域の電位が、当該フィールド領域に配置されたトランジスタ素子の3端子のいずれか1つと同一の電位に固定されている。すなわち、フィールド領域の電位が、当該フィールド領域に配置されている素子分離トレンチ内のトランジスタ素子の電位とほぼ同じ電位に固定されている。したがって、フィールド領域とトランジスタ素子との電位差により生じる電界集中を抑制することができるので、フィールド領域の電位が固定されていない状態（フローティング状態）に比べて、各トランジスタ素子の静耐圧（DC耐圧）を向上し、全体として高い静耐圧を確保することができる。

10

【0016】

具体的には、請求項2に記載のように、各フィールド領域の電位が、当該フィールド領域に配置されたトランジスタ素子の3端子のうち、ゲート端子を除く、残りの2端子のいずれか一方と同一の電位に固定された構成を採用することができる。

【0017】

ところで、本発明の半導体装置は、第1段トランジスタ素子のゲート端子に入力され、第 n 段トランジスタ素子の、ゲート端子を除く第2の所定電位側の端子から出力が取り出される。すなわち、ゲート端子を除く、残りの2端子のいずれかの電位変動（例えばMOSトランジスタ素子においては、ソース端子の電位変動）によって、高段のトランジスタ素子のオンが制御され、 n 個のトランジスタ素子が順次動作される。

20

【0018】

しかしながら、請求項2に記載の構成の場合、フィールド領域と電氣的に接続された端子の電位が、埋め込み酸化膜、素子分離トレンチなどの寄生容量の影響を受ける（容量結合する）。すなわち、寄生容量分の充放電ロスにより、入力信号と出力信号に遅延時間が生じる。特に、キャリアの移動度が小さいPチャネル形トランジスタ素子では、上記効果と相俟って遅延時間が大きくなり、さらに出力波形にスパイクが生じることが、本発明者によって確認されている。したがって、請求項2に記載の構成においては、請求項3に記載のように、トランジスタ素子として、Nチャネル形トランジスタ素子を採用すると良い。なお、MOSトランジスタ素子においては、各フィールド領域の電位をドレイン端子の電位に固定した方が、ソース端子の電位に固定するよりも、寄生容量の影響を小さくすることができる。

30

【0019】

より好ましくは、請求項4に記載のように、各フィールド領域の電位が、当該フィールド領域に配置されたトランジスタ素子の3端子のうち、ゲート端子と同一の電位に固定された構成を採用することができる。

【0020】

この場合、ゲート端子とフィールド領域を電氣的に接続しているので、残りの2端子の電位が上述した寄生容量の影響を受けない。したがって、Pチャネル形トランジスタ素子であっても、上述した遅延時間とスパイクの発生を無くすることができる。

40

【0021】

また、各フィールド領域の電位を、抵抗素子及び/又は容量素子で均等に分圧した電位で固定するので、 dV/dt サージ印加時の、各段のトランジスタ素子の電圧の偏りを改善することができる。すなわち、 dV/dt サージ耐量の向上を図ることができる。

【0022】

請求項5に記載のように、 n 個のトランジスタ素子を、それぞれ同じ耐圧を有した構成とすることが好ましい。これにより、第1の所定電位と第2の所定電位の間に挿入される

50

各トランジスタ素子の分担する電圧（耐圧）を均等にして、最小化することができる。

【 0 0 2 3 】

なお、トランジスタ素子としては、請求項 6 に記載のように、MOS 型トランジスタ素子又は IGBT 素子を採用することができる。

【 0 0 2 4 】

請求項 1 ～ 6 いずれか 1 項に記載の半導体装置は、請求項 7 に記載のように、GND 電位を基準とする GND 基準ゲート駆動回路、浮遊電位を基準とする浮遊基準ゲート駆動回路、及び GND 電位と浮遊電位の間で入出力信号をレベルシフトさせるレベルシフト回路を含むインバータ駆動用の高電圧 IC において、第 1 の所定電位を GND 電位及び浮遊電位のいずれか一方とし、第 2 の所定電位を GND 電位及び浮遊電位の残りの他方とすることで、レベルシフト回路に好適である。

10

【 0 0 2 5 】

なお、高電圧 IC としては、請求項 8 に記載のように、車載モータのインバータ駆動用の高電圧 IC や、請求項 9 に記載のように、車載エアコンのインバータ駆動用の高電圧 IC を採用することができる。

【発明を実施するための最良の形態】

【 0 0 2 6 】

以下、本発明の実施形態を図に基づいて説明する。なお、以下の実施形態においては、従来例で示した半導体装置を構成する各要素と同一のものにおいては、同一の符号を付与する。

20

（第 1 実施形態）

図 1 は、本発明の第 1 実施形態に係る半導体装置の概略構成を示す図である。図 2 は、図 1 の等価回路図である。

【 0 0 2 7 】

図 1 及び図 2 に示すように、本実施形態に係る半導体装置 10 は、上述した図 1 3 及び図 1 4 に示す半導体装置 10 同様、埋め込み酸化膜 113 を有する SOI 構造半導体基板 110 の半導体層 111 (111 a) に形成され、埋め込み酸化膜 113 に達する素子分離トレンチ Zs (Zs1 ~ Zsn) により互いに絶縁分離された n 個 (n 2) のトランジスタ素子 Tr1 ~ Trn が、第 1 の所定電位と当該第 1 の所定電位とは異なる第 2 の所定電位との間で、第 1 の所定電位側を第 1 段、第 2 の所定電位側を第 n 段として、順次直列接続され、第 1 段トランジスタ素子 Tr1 におけるゲート端子 G1 を入力端子とし、n 個の抵抗素子 R (R1 ~ Rn) 及び / 又は容量素子 C (C1 ~ Cn) が、第 1 の所定電位と第 2 の所定電位との間で、第 1 の所定電位側を第 1 段、第 2 の所定電位側を第 n 段として、順次直列接続され、第 1 段トランジスタ素子 Tr1 を除いた各段のトランジスタ素子 Tr2 ~ Trn におけるゲート端子 G2 ~ Gn が、直列接続された各段の抵抗素子 R (R1 ~ Rn) 及び / 又は容量素子 C (C1 ~ Cn) の間に、それぞれ、順次接続され、第 n 段トランジスタ素子 Trn における第 2 の所定電位側の端子から、出力が取り出される構成の半導体装置である。したがって、基本構造が図 1 3 及び図 1 4 に示す半導体装置 10 と同様であるので、以下に示す図 1 の半導体装置 10 の説明においては、その特徴部分を中心に、図 1 4 に示した断面の各部の符号と同じ符号を用いて説明する。基本構造の詳細については、本出願人による特願 2005 - 227058 号、特願 2005 - 318679 号等を参照されたい。

30

40

【 0 0 2 8 】

本実施形態においては、n 個 (n 2) のトランジスタ素子 Tr1 ~ Trn として、P チャネル形の LDMOS (Lateral Double - diffused MOS) が採用されている。各トランジスタ素子 Tr1 ~ Trn は、埋め込み酸化膜 113 上の半導体層 111 (111 a) に形成されており、3 つの端子、ドレイン D、ゲート G、およびソース S が図 1 に示すように同心円状に配置されたパターンとなっている。また、各トランジスタ素子 Tr1 ~ Trn は、図 1 中に太い実線の円で示した、埋め込み酸化膜 113 に達する素子分離トレンチ Zs (Zs1 ~ Zsn) によりそれぞれ取り囲まれて、周りから絶縁分離されている

50

。なお、トランジスタ素子 T_{r1} には素子分離トレンチ Z_{s1} が、トランジスタ素子 T_{rn} には素子分離トレンチ Z_{sn} が対応して形成されている。

【0029】

また、半導体層111には、埋め込み酸化膜113に達する図1中に太い実線の四角で示したフィールド分離トレンチ Z_f ($Z_{f1} \sim Z_{fn}$) が多重に形成され、フィールド分離トレンチ Z_f ($Z_{f1} \sim Z_{fn}$) により囲まれた各フィールド領域 $F_1 \sim F_n$ に、 n 個のトランジスタ素子 $T_{r1} \sim T_{rn}$ が、低段のトランジスタ素子を内包するようにして、対応する素子分離トレンチ Z_s とともに1個ずつ順次配置されている。なお、上述したように、本実施形態においては、Pチャネル形のLDMOSを採用しているので、フィールド領域 F_1 には、素子分離トレンチ Z_{s1} により取り囲まれたトランジスタ素子 T_{r1} が配置され、フィールド領域 F_n には、低段であるフィールド領域 $F_1 \sim F_{(n-1)}$ とともに、素子分離トレンチ Z_{sn} により取り囲まれたトランジスタ素子 T_{rn} が配置されている。

10

【0030】

n 個のトランジスタ素子 $T_{r1} \sim T_{rn}$ は、第1の所定電位としての電源電位と第2の所定電位としてのグランド(GND)電位との間で、電源電位側を第1段、GND電位側を第 n 段として、順次直列接続されている。また、並列に接続された抵抗素子 R ($R_1 \sim R_n$)と容量素子 C ($C_1 \sim C_n$)の組み合わせが多段に直列接続されて、電源電位とGND電位が分割され、2段目以降のトランジスタ素子 $T_{r2} \sim T_{rn}$ のゲート $G_2 \sim G_n$ が、上記直列接続の各分岐点に接続されている。なお、本実施形態においては、抵抗素子 R と容量素子 C の組み合わせが多段に直列接続されているが、抵抗素子 R もしくは容量素子 C のみが多段に直列接続されていてもよい。

20

【0031】

そして、図2に示すように、第1段トランジスタ素子 T_{r1} におけるゲート端子 G_1 を入力端子としている。また、第 n 段トランジスタ素子 T_{rn} とGNDとの間に出力抵抗 R_{out} が接続され、第 n 段トランジスタ素子 T_{rn} のドレイン端子 D_n (GND側端子)と出力抵抗 R_{out} の間から、出力が取り出される(図示略)。本実施形態に示すようにPチャネル形のLDMOSの場合、トランジスタ素子 T_r のソース端子 S の電位がゲート端子 G の電位よりも高くなると、トランジスタ素子 T_r がオン状態となる。したがって、例えば電源電圧が1200Vにおいて、第1段トランジスタ素子 T_{r1} におけるゲート端子 G_1 にソース端子 S_1 よりも低い電圧(例えば1195V)の信号を入力する。これにより第1段トランジスタ素子 T_{r1} がオン状態となる。また、第2段トランジスタ素子 T_{r2} のゲート端子 G_2 に入力される電圧は、第1段の抵抗素子 R_1 と容量素子 C_1 の分、ゲート端子 G_1 よりも低くなっており、第1段トランジスタ素子 T_{r1} がオン状態となるとともに、第2段トランジスタ素子 T_{r2} のソース端子 S_2 の電位がゲート端子 G_2 の電位よりも高くなる。すなわち、第2段トランジスタ素子 T_{r2} がオン状態となる。この動作が第 n 段トランジスタ素子 T_{rn} まで同様に繰り返され、ごく短時間で全てのトランジスタ素子 $T_{r1} \sim T_{rn}$ がオン状態となる。

30

【0032】

このように本実施形態に係る半導体装置10によれば、電源電位からGND電位までの電圧低下に応じて、多重のフィールド分離トレンチ Z_f により囲まれた各フィールド領域 $F_1 \sim F_n$ に加わる電圧を均等化し、 n 個のトランジスタ素子 $T_{r1} \sim T_{rn}$ の担当電圧範囲を、電源電位からGND電位に向けて順番に移行させることができる。換言すれば、電源電位からGND電位間の電圧が n 個のトランジスタ素子 $T_{r1} \sim T_{rn}$ により分割され、第1段から第 n 段の各トランジスタ素子 $T_{r1} \sim T_{rn}$ が、それぞれの電圧範囲を分担している。従って、電源電位とGND電位間の電圧を1個のトランジスタ素子 T_r で分担する場合に比べて、各トランジスタ素子 $T_{r1} \sim T_{rn}$ に要求される静耐圧(DC耐圧)を低減することができる。

40

【0033】

また、本実施形態においては、各フィールド領域 $F_1 \sim F_n$ を絶縁分離し、隣り合うト

50

ランジスタ素子 T_r 同士の間配置される各フィールド分離トレンチ $Z_{f1} \sim Z_{fn}$ を、一重の絶縁分離トレンチとしている。したがって、 n 個のランジスタ素子 $T_{r1} \sim T_{rn}$ の接続配線が容易になると共に、占有面積を低減して、半導体装置10を小型化することができる。しかしながら、各フィールド分離トレンチ $Z_{f1} \sim Z_{fn}$ のうち、少なくとも1つを多重の絶縁分離トレンチとしても良い。

【0034】

また、本実施形態においては、 n 個のランジスタ素子 $T_{r1} \sim T_{rn}$ が、同じ耐圧を有している。これにより、GND電位と電源電位の間に挿入されるランジスタ素子 T_r の分担する電圧(耐圧)を均等にして、最小化することができる。なお、各ランジスタ素子 $T_{r1} \sim T_{rn}$ の耐圧は、200V以下であることが好ましい。これによって、半導体装置10(ランジスタ素子 $T_{r1} \sim T_{rn}$)を、一般的な製造方法を用いて、安価に製造することができる。

10

【0035】

また、本実施形態においては、図1及び図2に示すように、各フィールド領域 $F_1 \sim F_n$ の電位を、当該フィールド領域 $F_1 \sim F_n$ に配置されたランジスタ素子 $T_{r1} \sim T_{rn}$ の各3端子のうち、ソース端子 S と同一の電位に固定している。したがって、フィールド領域 F とランジスタ素子 T_r との電位差により生じる電界集中を抑制することができるので、フィールド領域 F の電位が固定されていない状態(フローティング状態)に比べて、各ランジスタ素子 T_r の静耐圧(DC耐圧)を向上し、全体として高い静耐圧を確保することができる。

20

【0036】

なお、静耐圧(DC耐圧)を向上については、図3に示すように、本発明者によって実際に確認されている。図3は、静耐圧向上の効果を示す図であり、実線が本実施形態に係る半導体装置10の静耐圧、破線が、同一の構成で、フィールド領域の電位が固定されていない状態(フローティング状態)の半導体装置の静耐圧を示している。

【0037】

従って、本実施形態に係る半導体装置10は、例えば、GND電位を基準とするGND基準ゲート駆動回路、浮遊電位を基準とする浮遊基準ゲート駆動回路、およびGND電位と浮遊電位の間に入出力信号をレベルシフトさせるレベルシフト回路を有してなるインバータ駆動用の高電圧ICにおいて、所定の電源電位を浮遊電位とする、レベルシフト回路に好適である。高電圧ICは、例えば、車載モータのインバータ駆動用の高電圧ICであってもよいし、車載エアコンのインバータ駆動用の高電圧ICであってもよい。また、これに限らず、民生・産業用モータ制御分野にも適用することができる。

30

【0038】

ところで、本実施形態に係る半導体装置10は、第1段ランジスタ素子 T_{r1} のゲート端子 G_1 に入力電圧が印加され、第 n 段ランジスタ素子 T_{rn} のドレイン端子 D_n 側から出力が取り出される。すなわち、ソース端子 S の電位変動によって、高段のランジスタ素子 T_r のオンが制御され、 n 個のランジスタ素子 $T_{r1} \sim T_{rn}$ が順次動作される。

【0039】

しかしながら、ソース端子 S がフィールド領域 F と電氣的に接続されているため、高段のランジスタ素子 T_r のオンを制御するソース端子 S の電位が、埋め込み酸化膜113(BOX容量)、素子分離トレンチ Z_s (Z_s 容量)、フィールド分離トレンチ Z_f (Z_f 容量)などの寄生容量の影響を受ける(容量結合する)。すなわち、寄生容量分の充電電ロスにより、入力信号と出力信号に遅延時間が生じる。特に本実施形態に例示したPチャネル形ランジスタ素子 T_r においては、Nチャネル形ランジスタ素子に比べてキャリアの移動度が小さいため、図4に示すように、上記寄生容量の効果と相俟って遅延時間が大きくなり、さらに出力波形にスパイクが生じることが、本発明者によって確認された。図4は、スイッチング波形を示す図である。

40

【0040】

50

したがって、本実施形態に示すように、ソース端子Sとフィールド領域Fとを電氣的に接続する構成の半導体装置10においては、図5に示すように、n個のNチャネル形トランジスタ素子 $T_{r1} \sim T_{rn}$ を、第1の所定電位としてのGND電位と第2の所定電位としての電源電位との間で、GND電位側を第1段、電源電位側を第n段として、順次直列接続された構成を採用することが好ましい。図5は、半導体装置10の変形例を示す図である。

【0041】

また、上述したソース電位固定構造の場合、ソース端子Sは、図2に示すように、近傍の埋め込み酸化膜113、素子分離トレンチZs、フィールド分離トレンチZfの影響を受ける。これに対して、図6に示すように、各フィールド領域F1～Fnの電位を、当該フィールド領域F1～Fnに配置されたトランジスタ素子 $T_{r1} \sim T_{rn}$ の各3端子のうち、ドレイン端子Dと同一の電位に固定しても良い。このように、ドレイン電位固定構造の場合、高段のトランジスタ素子Trのオンを制御するソース端子Sの電位、すなわち隣接する低段のドレイン端子Dの電位は、図6に示すように、近傍の埋め込み酸化膜113、素子分離トレンチZsの影響を受ける。したがって、各フィールド領域F1～Fnの電位をドレイン端子D1～Dnの電位に固定した方が、ソース端子S1～Snの電位に固定するよりも、寄生容量の影響を小さくすることができる。図6は、半導体装置10の変形例を示す図である。しかしながら、埋め込み酸化膜113、素子分離トレンチZsの寄生容量の影響は受けるので、ドレイン電位固定構造においても、好ましくは、Nチャネル形トランジスタ素子 $T_{r1} \sim T_{rn}$ を採用すると良い。

【0042】

(第2実施形態)

次に、本発明の第2実施形態を、図7～図10に基づいて説明する。図7は、本発明の第2実施形態に係る半導体装置10の概略構成を示す図である。図8は、図7の等価回路図である。図9は、スイッチング波形を示す図である。図10は、 dV/dt サージに対する分圧波形を示すシミュレーション結果であり、(a)は本実施形態に係る半導体装置10のもの、(b)は比較対象としての第1実施形態に係る半導体装置10のものである。

【0043】

第2実施形態に係る半導体装置10は、第1実施形態に示した半導体装置10と共通するところが多いので、以下、共通部分については詳しい説明は省略し、異なる部分を重点的に説明する。

【0044】

図7及び図8に示すように、本実施形態に係る半導体装置10においては、各フィールド領域F1～Fnの電位を、当該フィールド領域F1～Fnに配置されたトランジスタ素子 $T_{r1} \sim T_{rn}$ の3端子のうち、ゲート端子G1～Gnと同一の電位に固定した点を特徴とする。それ以外の構成は、第1実施形態と同様である。

【0045】

したがって、本実施形態に係る半導体装置10においても、フィールド領域Fとトランジスタ素子Trとの電位差により生じる電界集中を抑制することができるので、フィールド領域Fの電位が固定されていない状態(フローティング状態)に比べて、各トランジスタ素子Trの静耐圧(DC耐圧)を向上し、全体として高い静耐圧を確保することができる。

【0046】

また、本実施形態においては、ゲート端子Gとフィールド領域Fを電氣的に接続しているので、高段のトランジスタ素子Trのオンを制御するソース端子Sの電位が、埋め込み酸化膜113(BOX容量)、素子分離トレンチZs(Zs容量)、フィールド分離トレンチZf(Zf容量)などの寄生容量の影響を受けない。したがって、トランジスタ素子TrがPチャネル形の素子であっても、図9に示すように、遅延時間とスパイクの発生を無くすることができる。なお、トランジスタ素子TrとしてNチャネル形の素子も採用可能

であることは言うまでもない。

【0047】

また、本実施形態に係る半導体装置10においては、ゲート端子Gとフィールド領域Fを電氣的に接続するので、各フィールド領域F1～Fnの電位が、抵抗素子R(R1～Rn)及び/又は容量素子C1(C1～Cn)で均等に分圧した電位で固定されることとなる。したがって、図10(a)に示すように、dV/dtサージ印加時の各段のトランジスタ素子Tr1～Trnの電圧の偏りを、図10(b)に示す第1実施形態の半導体装置10よりも、改善することができる。すなわち、dV/dtサージ耐量の向上を図ることができる。なお、図10(a)、(b)は、12個のPチャネル形LDMOSを直列接続してなる半導体装置10において、20kV/μsecのdV/dtサージを印加した際のシミュレーション結果である。図10(a)と図10(b)を比較すると、第1段トランジスタ素子Tr1での電圧の偏りが解消されることが明らかである。

10

【0048】

以上、本発明の好ましい実施形態について説明したが、本発明は上述した実施形態になんら制限されることなく、本発明の主旨を逸脱しない範囲において、種々変形して実施することが可能である。

【0049】

本実施形態においては、トランジスタ素子Tr(Tr1～Trn)として、LDMOSを採用する例を示した。しかしながら、LDMOS以外のMOSトランジスタ素子を採用することもできる。また、MOSトランジスタ素子以外にも、IGBT(Insulated Gate Bipolar Transistor)素子を採用することもできる。

20

【図面の簡単な説明】

【0050】

【図1】本発明の第1実施形態に係る半導体装置の概略構成を示す図である。

【図2】図1の等価回路図である。

【図3】静耐圧向上の効果を示す図である。

【図4】スイッチング波形を示す図である。

【図5】半導体装置の変形例を示す図である。

【図6】半導体装置の変形例を示す図である。

【図7】本発明の第2実施形態に係る半導体装置の概略構成を示す図である。

30

【図8】図7の等価回路図である。

【図9】スイッチング波形を示す図である。

【図10】dV/dtサージに対する分圧波形を示すシミュレーション結果であり、(a)は本実施形態に係る半導体装置のもの、(b)は比較対象としての第1実施形態に係る半導体装置のものである。

【図11】従来の高電圧ICの模式的な断面図である。

【図12】従来の半導体装置の基本的な等価回路図である。

【図13】高電圧ICのレベルシフト回路部に適用された図12に示す半導体装置の各構成要素の配置を示す模式的な平面図である。

【図14】図13のA-A線に沿う断面図である。

40

【図15】電界集中を示すシミュレーション結果である。

【図16】電界集中による静耐圧の低下を示す図である。

【符号の説明】

【0051】

10・・・半導体装置

100・・・高耐圧IC

Tr、Tr1～Trn・・・トランジスタ素子(LDMOS)

S、S1～Sn・・・ソース端子

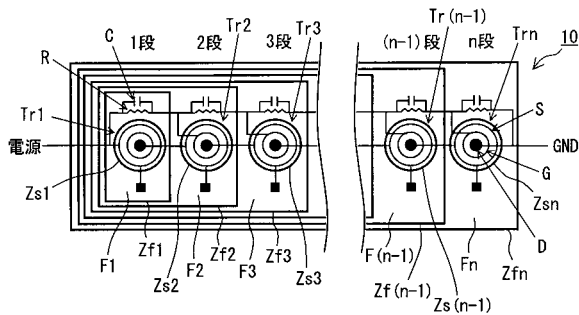
G、G1～Gn・・・ゲート端子

D、D1～Dn・・・ドレイン端子

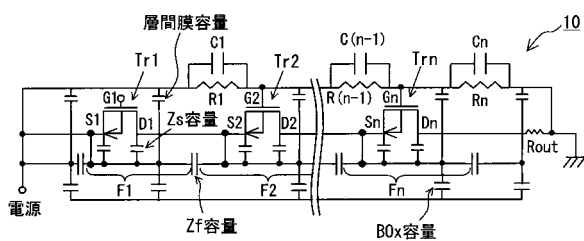
50

Z_s 、 $Z_{s1} \sim Z_{sn}$ ・・・素子分離トレンチ
 Z_f 、 $Z_{f1} \sim Z_{fn}$ ・・・フィールド分離トレンチ
 F 、 $F_1 \sim F_n$ ・・・フィールド領域
 R 、 $R_1 \sim R_n$ ・・・抵抗素子
 C 、 $C_1 \sim C_n$ ・・・容量素子

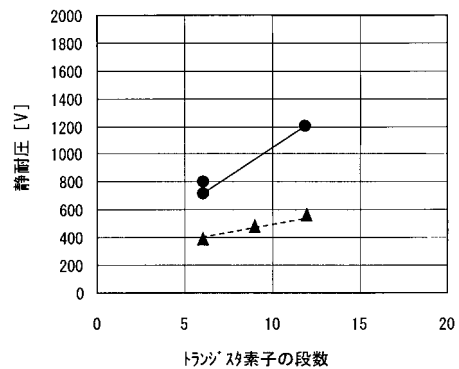
【図1】



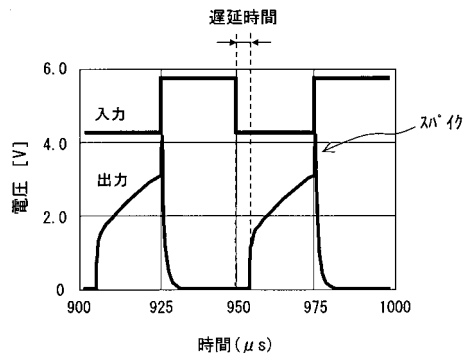
【図2】



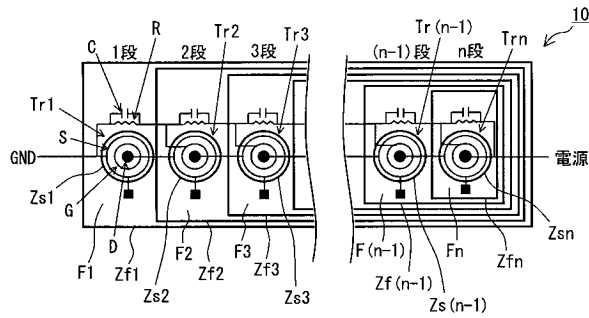
【図3】



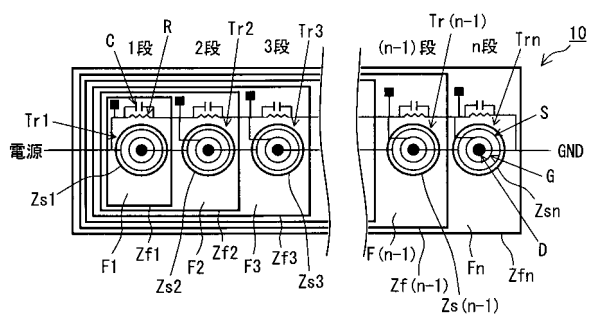
【図4】



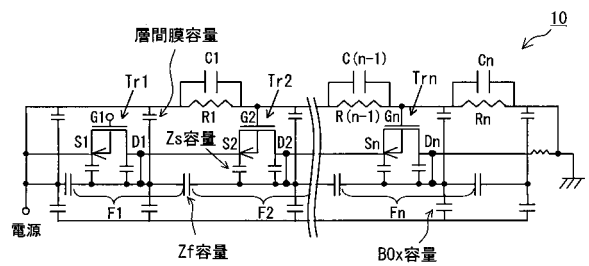
【図 5】



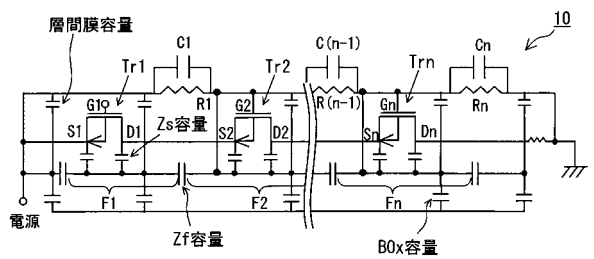
【図 7】



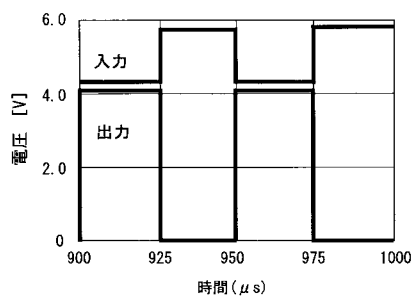
【図 6】



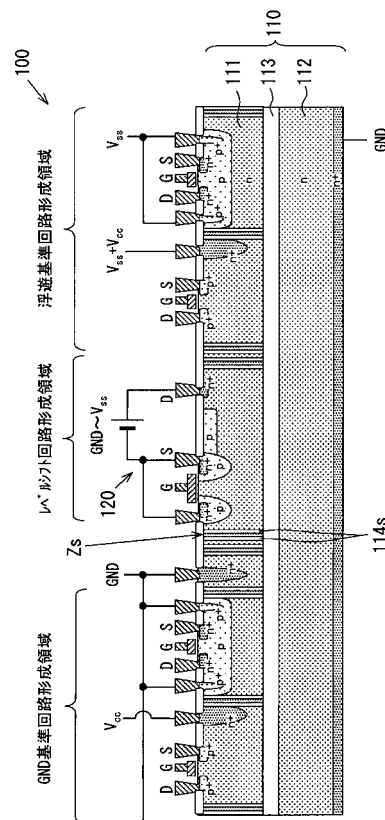
【図 8】



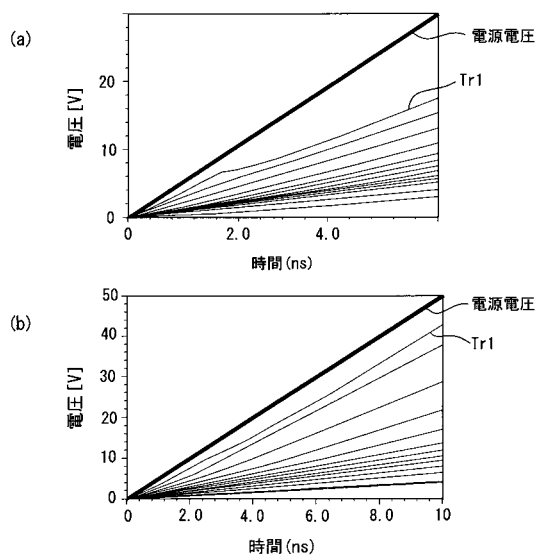
【図 9】



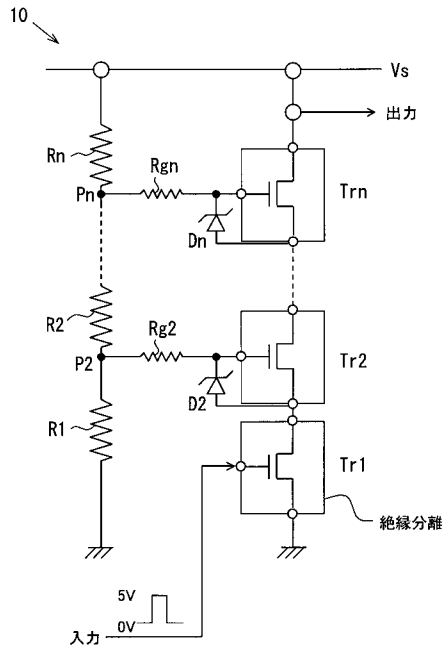
【図 11】



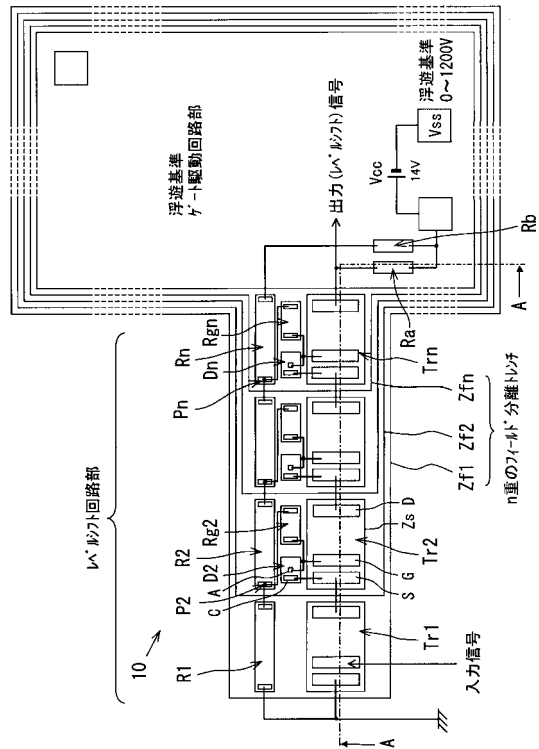
【図 10】



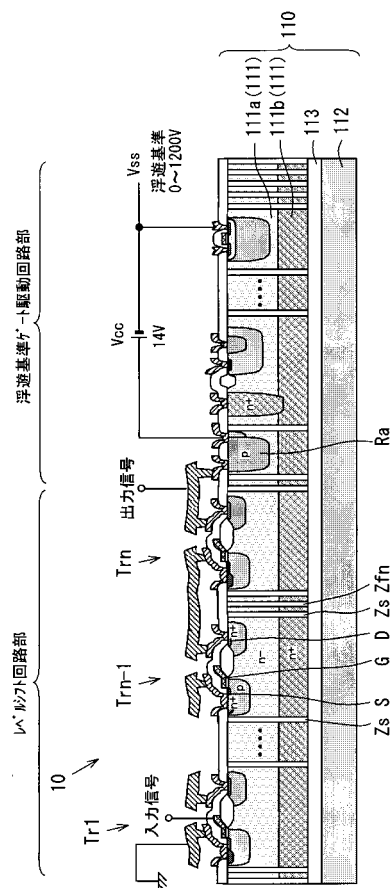
【図 12】



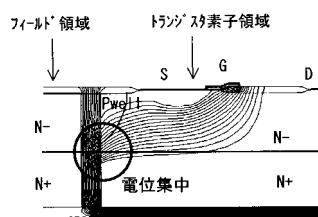
【図 13】



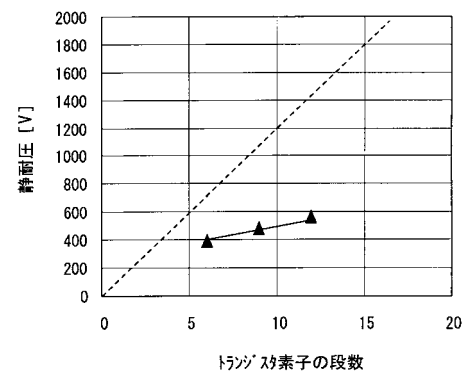
【図 14】



【図 15】



【図 16】



 フロントページの続き

(51)Int.Cl.		F I	
H 0 1 L 27/06 (2006.01)	H 0 1 L 27/08	3 3 1 A	
H 0 1 L 27/08 (2006.01)	H 0 1 L 27/08	3 3 1 E	
H 0 1 L 27/04 (2006.01)	H 0 1 L 27/04	H	
H 0 1 L 21/822 (2006.01)			

(56)参考文献 特開平 1 1 - 3 1 2 8 0 5 (J P , A)
 特開 2 0 0 5 - 3 4 7 3 6 7 (J P , A)
 特開 2 0 0 0 - 2 2 3 6 6 5 (J P , A)
 特開平 0 9 - 1 3 9 4 3 8 (J P , A)
 特開平 0 8 - 0 7 9 0 3 5 (J P , A)
 特開平 0 6 - 0 1 3 6 8 7 (J P , A)
 特開 2 0 0 6 - 1 4 8 0 5 8 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L	2 9 / 7 8 6
H 0 1 L	2 1 / 7 6
H 0 1 L	2 1 / 7 6 2
H 0 1 L	2 1 / 8 2 2
H 0 1 L	2 1 / 8 2 3 4
H 0 1 L	2 7 / 0 4
H 0 1 L	2 7 / 0 6
H 0 1 L	2 7 / 0 8