

【特許請求の範囲】**【請求項 1】**

第1行において、行方向に連続的に配置される第1電源供給セル及び複数の第1セルと、
前記第1行に隣接する第2行において、行方向に連続的に配置され、前記第1行に隣接
する複数の第2セルと

を具備し、

前記第1電源供給セルは、行方向に直交する第1電源配線に接続され、前記第1電源配
線から供給される電圧に応じた電源電圧を、前記複数の第1セル及び前記複数の第2セル
に供給し、

前記第2行において、前記第1電源供給セルに隣接する第2セルと前記第1電源配線と
は、直接接続されず前記第1電源供給セルを介して接続される

10

半導体装置。

【請求項 2】

請求項1に記載の半導体装置において、

前記第2行において、前記第1電源供給セルに隣接する第2セルは、プリミティブセル
である

半導体装置。

【請求項 3】

請求項1に記載の半導体装置において、

前記第2行において、前記第1電源供給セルに隣接する第2セルは、スタンダードセル
である。

20

半導体装置。

【請求項 4】

請求項1から3のいずれか1項に記載の半導体装置において、

前記複数の第1セルと前記複数の第2セルは共通する第1ウェルを介して隣接し、

前記第1電源供給セルは、前記第1電源配線と前記第1ウェルとの間を電氣的に接続す
る拡散層を備える

半導体装置。

【請求項 5】

請求項4に記載の半導体装置において、

30

前記第1電源供給セルは、

セルハイト方向に対し上部領域と下部領域のそれぞれに形成され、前記第1ウェルに隣
接する第2ウェルを更に備え、

前記拡散層は、前記前記第2ウェル上に設けられる

半導体装置。

【請求項 6】

請求項1から5のいずれか1項に記載の半導体装置において、

前記第1電源配線に直交する第2電源配線を更に具備し、

前記第1電源供給セルは、前記第1電源配線から供給される電圧に応じた電源電圧を、
前記第2配線を介して前記複数の第1セル及び前記複数の第2セルに供給する電源スイッ
チを備え、

40

前記電源スイッチは、制御信号に応じて前記電源電圧の供給及び供給停止を制御する
半導体装置。

【請求項 7】

請求項5に記載の半導体装置において、

前記第1電源配線に直交する第2電源配線を更に具備し、

前記第1電源供給セルは、前記第1電源配線から供給される電圧に応じた電源電圧を、
前記第2配線を介して前記複数の第1セル及び前記複数の第2セルに供給する電源スイッ
チを備え、

前記第1電源供給セルにおいて、セルハイト方向に対し上部領域と下部領域に形成され

50

た第 1 導電型のウェルは相互にブリッジ構造によって接続され、
前記電源スイッチは、前記ブリッジ構造上に形成される
半導体装置。

【請求項 8】

請求項 1 から 7 のいずれか 1 項に記載の半導体装置において、
前記第 2 行には、第 2 電源供給セルが配置され、
前記第 2 電源供給セルは、前記第 1 電源配線に平行して設けられた第 3 電源配線に接続
され、前記第 3 電源配線から供給される電圧に応じた電源電圧を、前記複数の第 1 セル及
び前記複数の第 2 セルに供給し、
前記第 1 行において、前記第 2 電源供給セルに隣接する第 1 セルと前記第 3 電源配線と
は、直接接続されず前記第 2 電源供給セルを介して接続される
半導体装置。

10

【請求項 9】

請求項 1 から 8 のいずれか 1 項に記載の半導体装置において、
前記第 2 行に隣接する第 3 行において、行方向に連続的に配置される第 3 電源供給セル
と複数の第 3 セルと、
前記第 2 行において、行方向に連続的に配置され、前記第 3 行に隣接する複数の第 4 セ
ルと
を更に具備し、

前記第 3 電源供給セルは、前記第 1 電源配線に接続され、前記第 1 電源配線から供給さ
れる電圧に応じた電源電圧を、前記複数の第 4 セル及び前記複数の第 3 セルに供給し、

20

前記第 2 行において、前記第 1 電源供給セル及び前記第 3 電源供給セルに隣接する第 2
セル及び第 4 セルと前記第 1 電源配線とは、直接接続されず前記第 1 電源供給セルを介し
て接続される

半導体装置。

【請求項 10】

請求項 9 に記載の半導体装置において、

前記複数の第 4 セルと前記複数の第 3 セルは共通する第 3 ウェルを介して隣接し、

前記第 3 電源供給セルは、前記第 1 電源配線と前記第 3 ウェルとの間を電氣的に接続す
る拡散層を備える

30

半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関し、特に行 (row) 内のセルに対して電源電圧を供給する
電源供給セルを有する半導体装置に関する。

【背景技術】

【0002】

図 1 に示す半導体装置には、同一行に配置された複数のセル 10 に対して電源電圧を供
給するセル 70 が設けられている。複数のセル 10 に対して必要な電源電圧を確保するた
め、セル 70 は、同一行において所定の間隔 (ここでは距離 B1、B2) で配置されるこ
とが必要である。

40

【0003】

ここで、図 1 に示す従来技術による半導体装置のレイアウト構造を説明する。図 1 を参
照して、従来技術による半導体装置は、行方向 (X 方向) に延設される電源配線 41 ~ 4
3、51、52 と、電源配線 41 ~ 43、51、52 に沿って配置される複数のセル 10
(例えばプリミティブセルやスタンダードセル) と、電源配線 41 ~ 43、51、52 に
垂直な方向 (Y 方向) に延設される電源配線 61 ~ 63 と、電源配線 61 ~ 63 のそれぞ
れに沿って配置される複数のセル 70 を具備する。

【0004】

50

セル 70 は、同一行において所定の間隔（距離 B1）で配置され、同一行に配置されたセル 10 に対して電源電圧を供給する電源供給素子 80 を備える。通常、セル 70 は、電源配線 61～63 のそれぞれの近傍に配置される。電源供給素子 80 は、例えば、同一行内のセル 10 の基板（N 型ウェル 1）に対し電源配線 61～63 からの電源電圧 VDD を供給するコンタクト（以下、ウェルコンと称す）を有する。あるいは、電源供給素子 80 は、電源配線 61～63 からの電源電圧 VDD に応じた電源電圧 VSD を電源配線 41～43 介してセル 10 に供給する電源スイッチを有する。電源スイッチは、図示しない制御信号に応じてセル 10 に対する電源電圧 VSD の供給及び供給停止を制御する。

【0005】

電源配線 41～43 には電源電圧 VSD が供給され、電源配線 51、52 は GND に接続される。複数のセル 10 は、それぞれに設けられたコンタクトを介して、電源配線 41～43 のうち近接する電源配線から電源電圧 VSD が供給される。又、複数のセル 10、70 は、電源配線 51、52 のうち近接する電源配線を介して接地される。尚、電源供給素子 80 は、ウェルコンと電源スイッチの両方を有していても構わない。

【0006】

セル 10 は、電源配線 41～43 及び電源配線 51、52 のそれぞれから供給される電源電圧 VSD 及び接地電圧 GND に応じて動作する論理回路を有する。

【0007】

セル 10、セル 70 のそれぞれは N 型ウェル 1 及び P 型ウェル 2 を有する。セル 10 内の N 型ウェル 1 は、同一行において当該セル 10 に隣接するセル 10 又はセル 70 内の N 型ウェル 1 に接続される。同様に、セル 10 内の P 型ウェル 1 は、同一行において当該セル 10 に隣接するセル 10 又はセル 70 内の P 型ウェル 1 に接続される。これにより、同一行内で N 型ウェル 1 及び P 型ウェル 2 は連続して形成されることとなる。

【0008】

上述のような電源供給を行なうセル 70 を有する半導体装置が、例えば、特開 2008-103569 に記載されている（特許文献 1 参照）。

【先行技術文献】

【特許文献】

【0009】

【特許文献 1】特開 2008-103569

【発明の概要】

【発明が解決しようとする課題】

【0010】

同一行におけるセル 70 同士の間隔（距離 B1）は、半導体装置のプロセスの世代に応じて設定される電源供給素子 80 間の距離によって決定する。例えば、電源供給素子 80 が N 型ウェル 1 に電源電圧 VDD を供給するウェルコンである場合、電源供給素子 80 間の距離 C1、C2 は、プロセスに応じたラッチアップ基準に基づいて設定される。

【0011】

セル 10 を配置可能な領域は、同一行におけるセル 70 間の距離 B1、B2 によって決まる。この距離 B1、B2 は上述のようにプロセスによって制約を受けるため、配置可能なセル 10 の数や大きさも同様に、プロセスに応じた制約を受けることになる。

【0012】

一方、半導体装置の高集積化を目的として、チップ面積を増大せずに配置可能なセル 10 の数を増大したいという要求が高まっている。このため、プロセスに応じた制約を満足しながら、電源供給セル（セル 70）間に配置可能なセル 10 の数を増加させることが求められている。又、同一行におけるセルの配置可能な領域が狭い場合、サイズの大きなセル 10 を配置できない場合がある。このため、同一行においてセルの配置可能な領域を拡大し、配置可能なセル 10 のサイズの自由度を向上させることが求められている。

【課題を解決するための手段】

【0013】

10

20

30

40

50

以下に、[発明を実施するための形態] で使用される番号・符号を括弧付きで用いて、[課題を解決するための手段] を説明する。この番号・符号は、[特許請求の範囲] の記載と[発明を実施するための形態] の記載との対応関係を明らかにするために付加されたものであるが、[特許請求の範囲] に記載されている発明の技術的範囲の解釈に用いてはならない。

【 0 0 1 4 】

本発明による半導体装置は、第1行において、行方向に連続的に配置される第1電源供給セル(2 0) 及び複数の第1セル(1 0) と、第1行に隣接する第2行において、行方向に連続的に配置され、前記第1行に隣接する複数の第2セル(1 0) とを具備する。第1電源供給セル(2 0) は、行方向に直交する第1電源配線(例えば6 2) に接続され、第1電源配線(例えば6 2) から供給される電圧に応じた電源電圧を、複数の第1セル(1 0) 及び複数の第2セル(1 0) に供給する。第2行において、第1行に配置された第1電源供給セル(2 0) に隣接する第2セルと第1電源配線(例えば6 2) とは、直接接続されず第1行に配置された第1電源供給セル(2 0) を介して接続される。

10

【発明の効果】

【 0 0 1 5 】

本発明によれば、半導体装置のレイアウトの自由度を向上させることができる。

【図面の簡単な説明】

【 0 0 1 6 】

【図1】図1は、従来技術による半導体装置のレイアウト構造を示す平面図である。

20

【図2】図2は、本発明による半導体装置の第1の実施の形態におけるレイアウト構造を示す平面図である。

【図3】図3は、本発明による半導体装置のレイアウト構造の第1実施例を示す平面図である。

【図4】図4は、本発明による半導体装置のレイアウト構造の第2実施例を示す平面図である。

【図5】図5は、本発明による半導体装置のレイアウト構造の第3実施例を示す平面図である。

【図6】図6は、本発明による半導体装置のレイアウト構造の第4実施例を示す平面図である。

30

【図7】図7は、本発明による半導体装置の第1実施例に対する比較例を示す平面図である。

【図8】図8は、本発明による半導体装置の第2実施例に対する比較例を示す平面図である。

【図9】図9は、本発明による半導体装置の第3実施例に対する比較例を示す平面図である。

【図10】図10は、本発明による半導体装置の第2の実施の形態におけるレイアウト構造を示す平面図である。

【図11】図11は、本発明による半導体装置のレイアウト構造の第5実施例を示す平面図である。

40

【発明を実施するための形態】

【 0 0 1 7 】

以下、添付図面を参照して、本発明による半導体装置、及びそのレイアウト方法の実施の形態を説明する。

【 0 0 1 8 】

概要

電源配線(電源電圧VDD) を必要とする電源スイッチ素子とウェルコン(N型拡散層) は同じ位置に配置すると配線効率が良い。このため、従来からウェルコン及び電源スイッチを有するセル(セル70) をラッチアップ耐性に必要な間隔で配置していた。しかし、セル70のサイズは大きいため(例えばセル幅がプリミティブセルの約2倍) 、サイズ

50

の大きいスタンダードセルの配置を阻害する原因となっていた。

【 0 0 1 9 】

しかし、本発明では、行の境界でウェルが共有されていることに着目し、1つのウェルコンによって2つの行に共通のウェルに対して電源電圧を供給することで、行に配置する電源供給セルの数を減じることができる。すなわち、ウェルコン及び電源スイッチを有するセル（電源供給セル：セル20）を2つの行にわたり千鳥に配置することで、電源供給セルの間隔をウェルコンの間隔の2倍程度まで広げることができる。これにより、サイズの大きいスタンダードセルを配置する際の自由度が高まる。

【 0 0 2 0 】

1. 第1の実施の形態

10

図2から図9を参照して、本発明による半導体装置の第1の実施の形態を説明する。図2は、本発明による半導体装置の第1の実施の形態におけるレイアウトを示す平面図である。図2を参照して、本実施の形態における半導体装置は、行方向（X方向）に延設される電源配線41～43、51、52と、電源配線41～43、51、52に沿って配置される複数のセル10（例えばプリミティブセルやスタンダードセル）と、電源配線41～43、51、52に垂直な方向（Y方向）に延設される電源配線61～63と、複数のセル10に電源電圧VDDを供給する複数のセル20（電源供給セル）を具備する。

【 0 0 2 1 】

セル20は、電源配線61～63から供給される電源電圧VDDに応じた電源電圧を、セル10に対して供給する電源供給素子30を備える。電源供給素子30は、例えば、セル10、20の基板（N型ウェル1）に対し電源配線61～63からの電源電圧VDDを供給するコンタクト（以下、ウェルコンと称す）を有する。あるいは、電源供給素子30は、電源配線61～63からの電源電圧VDDに応じた電源電圧VSDを、電源配線41～43介してセル10に供給する電源スイッチを有する。電源スイッチは、図示しない制御信号に応じてセル10に対する電源電圧VSDの供給及び供給停止を制御する。尚、電源供給素子30は、ウェルコンと電源スイッチの両方を有していても構わない。

20

【 0 0 2 2 】

セル10は、電源配線41～43及び電源配線51、52のそれぞれから供給される電源電圧VSD及び接地電圧GNDに応じて動作する論理回路（図示なし）を有する。

【 0 0 2 3 】

30

セル20には、セルハイト方向（Y方向）に対して上部及び下部の領域、すなわち、他の行と隣接する領域にN型ウェル1が形成される。以下、上部領域に形成されるN型ウェル1をN型ウェル1（上段）と称し、下部領域に形成されるN型ウェル1をN型ウェル1（下段）と称す。又、セル20には、N型ウェル1（上段）とN型ウェル1（下段）に挟まれる領域にP型ウェル2が形成される。後述するが、N型ウェル1（上段）とN型ウェル1（下段）は、P型ウェル2を分断して相互に接続され、ブリッジ構造を形成しても良い。N型ウェル1（上段）及びN型ウェル1（下段）のそれぞれには、電源供給素子30が設けられる。

【 0 0 2 4 】

セル10には、セルハイト方向（Y方向）に対して上部又は下部の領域にN型ウェル1が形成され、他方の領域にP型ウェル2が形成される。セル10は、隣接する他の行と、自身のN型ウェル1が接続するように配置される。本一例では、セル20のセルハイトの半分のセル10が、同行において2つのセル20の間に配置される。この際、N型ウェル1が行の境に位置し、P型ウェル2同士が接続されるように、2つのセル10がセルハイト方向（Y方向）に連結されて配置される。

40

【 0 0 2 5 】

以上のようなセル10、20を配置することで、セル10内のN型ウェル1は、同一行において当該セル10に隣接するセル10又はセル20内のN型ウェル1に接続される。同様に、セル10内のP型ウェル1は、同一行において当該セル10に隣接するセル10又はセル20内のP型ウェル1に接続される。これにより、同一行内でN型ウェル1及び

50

P型ウェル2は、それぞれ連続して形成されることとなる。又、行と他の行との境（例えば、N行とN+1行の境、Nは自然数）付近の領域には、両行ともN型ウェル1が形成されている。このため、隣接する行と他の行との間（N行とN+1行との間）においてN型ウェル1は連続して形成されることとなる。

【0026】

電源配線41～43、51、52は、列方向（Y方向）上から、電源配線41、51、42、52、43の順で配置される。電源配線41～43には電源電圧VSDが供給され、電源配線51、52はGNDに接続される。複数のセル10、20には、それぞれに設けられたコンタクト（図示なし）を介して、電源配線41～43のうち近接する電源配線から電源電圧VSDが供給される。又、複数のセル10、20は、それぞれに設けられたコンタクト（図示なし）を介して、電源配線51、52のうち近接する電源配線を介して接地される。

10

【0027】

このような構成により、行の境界を介して接する2つのセル10は、行方向に延びる同じ電源配線に接続される。例えば、N行においてN+1行に隣接するセル10と、N+1行においてN行に隣接するセル10は、同じ電源配線42に接続される。

【0028】

本発明によるセル20には、セル20内のN型ウェル1（上段）とN型ウェル1（下段）のそれぞれに電源供給素子30が形成されている。以下、N型ウェル1（上段）に設けられた電源供給素子30を電源供給素子30（上段）と称し、N型ウェル1（下段）に設けられた電源供給素子30を電源供給素子30（下段）と称す。

20

【0029】

例えば、電源供給素子がN型ウェル1に電源電圧VDDを供給するウェルコンである場合、N行に設けられた電源供給素子30（下段）によって、N行におけるN型ウェル1（下段）のみならずN+1行のN型ウェル1（上段）にも電源電圧VDDを供給することができる。同様に、N+1行に設けられた電源供給素子30（上段）によって、N+1行のN型ウェル1（上段）のみならずN行のN型ウェル1（下段）にも電源電圧VDDを供給することができる。従って、本発明では、N行又はN+1行のどちらか一方にセル20を配置することで、N行とN+1行との境界領域に形成されたN型ウェル1に電源電圧VDDを供給することができる。

30

【0030】

あるいは、電源供給素子30が電源配線41～43に電源電圧VSDを供給する電源スイッチである場合、N行に配置されたセル20内の電源スイッチ（P型MOSトランジスタ32）と、N+1行に配置されたセル20内の電源スイッチ（P型MOSトランジスタ32）のどちらからでも、行の境界にある電源配線42に電源電圧VSDを供給することができる。

【0031】

以上のことから、本発明では、N行とN+1行のどちらか一方にセル20を配置することで行の境界付近のセル10に電源電圧を供給することができる。図2に示す一例では、電源配線61、63に接続するセル20は、隣接する2つの行（N行とN+1行）のうち、N行のみに配置され、電源配線62に接続するセル20は、隣接する2つの行（N行とN+1行）のうち、N+1行のみに配置される。この場合、電源配線61、63に接続するセル20に隣接する他の行のセルは、当該セル20を介して電源配線61、63に接続され、電源配線62に接続するセル20に隣接する他の行のセルは、当該セル20を介して電源配線62に接続されることとなる。このため、本発明ではセル20に隣接する位置にセル20を配置する必要がない。ここで、電源配線61～63は、行方向（Y方向）上から電源配線61、62、63の順で配置される。従って、本発明では、隣接する2つの行（N行とN+1行）において、セル20が千鳥配置となるようにレイアウトされる。

40

【0032】

N行に配置される2つのセル20は、それぞれ電源配線61、63から供給される電源

50

電圧 V_{DD} に応じた電源電圧を複数のセル 10 に供給する。一方、 $N+1$ 行に配置されるセル 20 は、電源配線 62 から供給される電源電圧 V_{DD} に応じた電源電圧を複数のセル 10 に供給する。 N 行において電源配線 61 と電源配線 63 との間に配置されたセル 10 は、 $N+1$ 行におけるセル 20 から電源電圧が供給される。このため、プロセス等によって制約を受ける電源供給素子 30 間の距離は、 N 行形成された電源供給素子 30 (下段) と $N+1$ 行に形成された電源供給素子 30 (上段) との間の距離 $C3$ 、 $C4$ となる。又、距離 $C3$ 、 $C4$ と距離 $C1$ 、 $C2$ は、ほぼ同じ長さである。すなわち、本発明のようなレイアウト構造に変更しても、制約条件を満足する距離が保持される。

【0033】

従って、本実施の形態における半導体装置では、 N 行において電源配線 61 ~ 63 に対し 1 つおきにセル 20 を配置することができる。すなわち、電源配線 61 近傍のセル 20 から電源配線 63 近傍のセル 20 までの間 (距離 $A1$) の領域に、セル 10 を配置することができる。この領域は、電源配線 63 近傍に電源供給セルを配置しない分だけ、図 1 に示すセル 10 の配置可能な領域よりも大きくなる。詳細には、電源配線 61 から電源配線 63 間での距離が、図 1 に示す半導体装置と同じ $L1 + L2$ である場合、 N 行においてセル 10 の配置可能な領域の幅は、距離 $L1 + L2$ から 1 つのセル 10 のセル幅を減じた距離 $A1$ となる。一方、図 1 に示す N 行におけるセル 10 の配置可能な領域の幅は、 $L1$ からセル 70 のセル幅を減じた距離 $B1$ と、 $L2$ からセル 70 のセル幅を減じた距離 $B2$ と和となる。すなわち、 $L1 + L2$ から 2 つのセル 70 のセル幅を減じた距離 $B1 + B2 < A1$ となる。

【0034】

以上のことから、本発明による半導体装置は、プロセスに応じた制約を満足する電源供給素子の間隔を保持したまま、電源供給セル (セル 20) 間におけるセル 10 の配置可能領域を広げることができる。これにより、セル 10 の配置数を増加させることが可能となる。又、配置可能な領域が広がるため、様々な大きさのスタンダードセルを配置することができることから、設計が容易となり、TAT や面積効率が改善される。

【0035】

次に、図 3 から図 9 を参照して、第 1 の実施の形態における半導体装置の具体例を示す。以下では、通常モードと待機モードの切り替えに応じて電源の供給が制御される機能セルを有する半導体装置について説明する。ここで、通常モードとは、通常動作を実施している状態であり、待機モードとは、一部の機能セルを動作させない状態である。

【0036】

通常モードと待機モードの切り替えは、電源スイッチによって行なわれる。電源スイッチは、電源電圧 V_{DD} に応じた電圧を電源電圧 V_{SD} としてスタンダードセルに供給する。スタンダードセルは、電源電圧 V_{SD} に応じて動作する。電源スイッチを用いる場合、電源スイッチが形成されたセル (電源スイッチセル) の N 型ウェルに固定電圧 (電源電圧 V_{DD}) を供給する必要がある。又、電源電圧 V_{SD} によって動作するスタンダードセルの N 型ウェルには、電源電圧 V_{SD} を供給する場合と電源電圧 V_{DD} を供給する場合がある。前者の場合、電源スイッチセルの N 型ウェルとスタンダードセルの N 型ウェルとの間に電位差が生じるため、電源スイッチセルとスタンダードセルとの間の距離を広げ必要がある。この場合、チップ面積は増大してしまう。後者の場合、 N 型ウェルのラッチアップを回避するため、所定の間隔以内にウェルコンを配置する必要がある。この場合、ウェルコンを含むセルの間隔を狭くすると、当該セル間に配置可能なスタンダードセルの大きさや数が制限される。しかし、面積デメリットは後者の方が少ないため、本発明では後者が選択される。

【0037】

(第 1 実施例)

図 3 は、第 1 の実施の形態における半導体装置のレイアウト構造の一例 (第 1 実施例) を示す平面図である。第 1 実施例におけるセル 20 は、電源供給素子 30 として、上述のウェルコンと電源スイッチとを有する。図 7 は、図 3 に示す半導体装置に対応する比較例

を示す平面図である。

【0038】

第1実施例では、行方向における電源スイッチの間隔とウェルコンの間隔の比が1対1である。又、本実施例(図3)における半導体装置の基本構造は、図2に示すレイアウトと同様である。例えば、電源配線41~43、51、52、61~63の配置やセル10、20の配置(配線間の距離等)は、同様であるので、その説明は省略する。

【0039】

図3を参照して、セル10は、N型ウェル1上に設けられたP型MOSトランジスタ11と、P型ウェル2上に設けられたN型MOSトランジスタ12とを備える。P型MOSトランジスタ11は、N型ウェル1上に設けられたP型拡散層3、4、及びゲート絶縁膜5によって形成される。N型MOSトランジスタ12はP型ウェル2上に設けられたN型拡散層6、7、及びゲート絶縁膜9によって形成される。

【0040】

セル10は、同一行においてセルハイト方向(Y方向)に対し上段と下段の2段に配置される。N行においてセルハイト方向(Y方向)上段に設置されたセル10の構造を説明する。上段に配置されたセル10のP型MOSトランジスタ11は、ソースとして機能するP型拡散層3が配線41に接続され、ドレインとして機能するP型拡散層4がN型拡散層7に接続される。又、N型MOSトランジスタ12は、ソースとして機能するN型拡散層6が配線51に接続され、ドレインとして機能するN型拡散層7がP型拡散層4に接続される。これにより、電源電圧VSDで駆動するインバータが形成される。N行においてセルハイト方向(Y方向)下段に設置されたセル10も同様に、ソースが電源配線42に接続されたP型MOSトランジスタ11とソースが電源配線51に接続されたN型MOSトランジスタ12とを有するインバータが形成される。

【0041】

セル20は、ウェルコンとして機能する2つのN型拡散層31と、電源スイッチとして機能するP型MOSトランジスタ32を有する。セル20におけるセルハイト方向(Y方向)に対する上部及び下部の領域には、N型ウェル1が形成される。以下、セル20の上部領域に形成されるN型ウェル1をN型ウェル1(上段)と称し、下部領域に形成されるN型ウェル1をN型ウェル1(下段)と称す。又、N型ウェル1(上段)とN型ウェル1(下段)に挟まれ、セル幅方向(X方向)の他のセルと隣接する領域に、P型ウェル2が形成される。更にN型ウェル1(上段)とN型ウェル1(下段)は、P型ウェル2を分断するように相互に接続され、ブリッジ構造を形成する。

【0042】

2つのN型拡散層31は、N型ウェル1(上段)とN型ウェル1(下段)のそれぞれに設けられる。又、2つのN型拡散層31は、図示しない上部配線を介して電源配線61に接続され、電源電圧VDDを自身が設けられたN型ウェル1に供給する。以下、N型ウェル1(上段)に設けられたN型拡散層31をN型拡散層31(上段)と称し、N型ウェル1(下段)に設けられたN型拡散層31をN型拡散層31(下段)と称す。

【0043】

N型ウェル1及びP型ウェル2は、上述のように行方向(X方向)に連続して形成され、行の境界においてN型ウェル1は列方向(Y方向)に連続して形成されている。又、本発明によるセル20には、上段と下段の両方にウェルコンとなるN型拡散層31が形成されている。このため、N行に設けられたN型拡散層31(下段)によって、N行におけるN型ウェル1(下段)のみならずN+1行のN型ウェル1(上段)にも電源電圧VDDを供給することができる。同様に、N+1行に設けられたN型拡散層31(上段)によって、N+1行のN型ウェル1(上段)のみならずN行のN型ウェル1(下段)にも電源電圧VDDを供給することができる。従って、本発明では、N行又はN+1行のどちらか一方にセル20を配置することで、N行とN+1行との境界領域に形成されたN型ウェル1に電源電圧VDDを供給することができる。例えば、電源配線61~63のそれぞれに接続されるセル20は、N行又はN+1行のどちらか一方に配置すればよい。

【0044】

次に、P型MOSトランジスタ32の構成の詳細を説明する。ここでは、N行において電源配線61に接続されたP型MOSトランジスタ32を一例に説明する。P型MOSトランジスタ32は、N型ウェル1によるブリッジ構造上に形成されるP型拡散層91、92及びゲート絶縁膜93を有する。P型拡散層91は、電源電圧VDDが供給される電源配線61に接続されソースとして機能する。P型拡散層92は、電源配線41、42に接続されドレインとして機能する。P型MOSトランジスタ32は、ゲート絶縁膜93に入力された制御信号（図示なし）に応じて電源電圧VDDに応じた電源電圧VSDを電源配線41、42に供給する。

【0045】

10

行の境界を介して接する2つのセル10は、行方向に延びる同じ電源配線に接続される。例えば、N行においてN+1行に隣接するセル10と、N+1行においてN行に隣接するセル10は、同じ電源配線42に接続される。電源配線42には、N行に配置されたセル20内の電源スイッチ（P型MOSトランジスタ32）と、N+1行に配置されたセル20内の電源スイッチ（P型MOSトランジスタ32）のどちらからでも電源電圧VSDを供給することができる。すなわち、本発明では、N行又はN+1行のどちらか一方にセル20を配置することで、N行とN+1行との境界領域に形成されたセル10に電源電圧VSDを供給することができる。例えば、電源配線61～63のそれぞれに接続されるセル20は、N行又はN+1行のどちらか一方に配置すればよい。

【0046】

20

以上のことから、本実施例では、N行に配置されたセル20のN型拡散層31（下段）と、N+1行に配置されたセル20のN型拡散層31（上段）との距離が、ラッチアップ耐性を確保するために必要なウェルコンの間隔以内となるように、N行及びN+1行にわたり、セル20が千鳥に配置される。図3に示す一例では、電源配線61、63に接続するセル20は、隣接する2つの行（N行とN+1行）のうち、N行のみに配置され、電源配線62に接続するセル20は、隣接する2つの行（N行とN+1行）のうち、N+1行のみに配置される。

【0047】

一方、図7に示す比較例では、ウェルコンとして機能するN型拡散層701が、セル70の上段のみに設けられている。この場合、N行におけるN型ウェル1（下段）には、N+1行に配置されたセル70によって電源電圧VDDが供給される。すなわち、ラッチアップ耐性を確保するために必要な間隔でN型ウェル1に電源電圧VDDを供給するためには、N行及びN+1行に当該間隔でセル70を配置する必要がある。

30

【0048】

本実施例では、セル20を千鳥に配置できるため、例えば、N行に配置されるセル20の間隔を比較例よりも長くすることができる。これにより、図7に示す比較例に比べてセル10の配置数を増加させることが可能となる。又、配置可能な領域が広がるため、様々な大きさのスタンダードセルを配置することができることから、設計が容易となり、TATや面積効率が改善される。

【0049】

40

又、図7に示す比較例では、セル70の上部及び下部の領域に分離したN型ウェル1のそれぞれに電源スイッチとして機能するP型MOSトランジスタ702が形成されている。一方、本発明によるセル20内のN型ウェル1（上段）及びN型ウェル1（下段）は、ブリッジ構造によって接続されているため、ラッチアップ耐性を高めることができる。

【0050】

（第2実施例）

図4は、第1の実施の形態における半導体装置のレイアウト構造の一例（第2実施例）を示す平面図である。第2実施例におけるセル20は、第1実施例と同じ構造である。図8は、図4に示す半導体装置に対応する比較例を示す平面図である。

【0051】

50

第 1 実施例の行方向における電源スイッチの間隔を 1 とした場合、第 2 実施例では、行方向における電源スイッチの間隔とウェルコンの間隔の比は 0.5 対 1 である。すなわち、第 2 実施例は、第 1 実施例に対して、電源強度を倍増させた半導体装置である。以下では、第 1 実施例と同様な構成は省略し、異なる構成を説明する。

【0052】

図 4 を参照して、電源配線 6 1 ~ 6 3 の間隔は、第 1 実施例と同じであり、電源配線 6 1 と電源配線 6 2 の間に電源配線 6 4 が設けられ、電源配線 6 2 と電源配線 6 3 の間に電源配線 6 5 が設けられる。電源配線 6 1 ~ 6 3 には、N 行に配置されたセル 2 0 が接続され、電源配線 6 4、6 5 には、N + 1 行に配置されたセル 2 1 が接続される。セル 2 0、2 1 以外の領域にはセル 1 0 が配置される。

10

【0053】

セル 2 0 の構造は、第 1 実施例と同様である。すなわち、セル 2 0 は、上部及び下部の領域にウェルコンとして機能する N 型拡散層 3 1 を有している。このため、ウェルコンの間隔を図 8 に示す比較例と同様な間隔としながら、隣接する 2 つの行の一方のみにセル 2 0 を配置することが可能となる。

【0054】

セル 2 1 は、セルハイトがセル 2 0 と同じ大きさで、セル幅がセル 1 0 より小さい。セル 2 1 は、電源スイッチとして機能する P 型 MOS トランジスタ 3 3 を有する。以下、電源配線 6 4 に接続された P 型 MOS トランジスタ 3 3 を一例に、その構造の詳細を説明する。P 型 MOS トランジスタ 3 3 は、N 型ウェル 1 上に形成される P 型拡散層 9 4、9 5 及びゲート絶縁膜 9 6 を有する。P 型拡散層 9 4 は、電源電圧 VDD が供給される電源配線 6 4 に接続されソースとして機能する。P 型拡散層 9 5 は、電源配線 4 2、4 3 に接続されドレインとして機能する。P 型 MOS トランジスタ 3 3 は、ゲート絶縁膜 9 6 に入力された制御信号（図示なし）に応じて電源電圧 VDD に応じた電源電圧 VSD を電源配線 4 2、4 3 に供給する。

20

【0055】

ウェルコン及び電源スイッチを有するセル 2 0 を、電源配線 6 1 ~ 6 3 に接続する位置に配置し、電源スイッチのみを有するセル 2 1 を、追加された電源配線 6 4、6 5 に接続する位置に配置することで、電源スイッチの間隔をウェルコンの間隔の 1/2 倍とすることができる。又、セル 2 1 は、セル 2 0 と同様に、セルハイト方向（Y 方向）上部及び下部の電源配線に対する電源電圧 VSD を制御する。例えば、電源配線 6 4 に接続するセル 2 1 は、N 行又は N + 1 行のどちらか一方に配置すればよい。従って、本実施例では、図 4 に示すように N 行及び N + 1 行においてセル 2 0 とセル 2 1 とを千鳥に配置することができる。

30

【0056】

一方、図 8 に示す比較例では、ウェルコンとして機能する N 型拡散層 7 0 1 が、セル 7 0 の上段のみに設けられている。この場合、N 行における N 型ウェル 1（下段）には、N + 1 行に配置されたセル 7 0 によって電源電圧 VDD が供給される必要がある。このため、ラッチアップ耐性を確保するために必要な間隔で N 型ウェル 1 に電源電圧 VDD を供給するためには、N 行及び N + 1 行に当該間隔でセル 7 0 を配置する必要がある。

40

【0057】

又、図 8 に示す比較例では、電源スイッチとして機能する P 型 MOS トランジスタ 7 0 3 のみを有するセル 7 1 が設けられているが、列方向（Y 方向）に連続的に配置されている。例えば、電源配線 6 4 に接続されるセル 7 1 は隣接する N 行及び N + 1 行に配置される。

【0058】

本実施例では、セル 2 0、2 1 を千鳥に配置できるため、N 行に配置されるセル 2 0 の間隔や、N + 1 行におけるセル 2 1 の間隔を比較例よりも長くすることができる。これにより、図 8 に示す比較例に比べてセル 1 0 の配置数を増加させることが可能となる。又、配置可能な領域が広がるため、様々な大きさのスタンダードセルを配置することができる

50

ことから、設計が容易となり、T A Tや面積効率が改善される。

【0059】

(第3実施例)

図5は、第1の実施の形態における半導体装置のレイアウト構造の一例(第3実施例)を示す平面図である。第3実施例におけるセル20は、第1実施例と同じ構造である。図9は、図5に示す半導体装置に対応する比較例を示す平面図である。

【0060】

第1実施例の行方向における電源スイッチの間隔を1とした場合、第3実施例では、行方向における電源スイッチの間隔とウェルコンの間隔の比は2.1対1である。すなわち、第3実施例は、第1実施例に対して、電源強度を半減させた半導体装置である。以下では、第1実施例と同様な構成は省略し、異なる構成を説明する。

【0061】

図5を参照して、電源配線61、63には、N行に配置されたセル20が接続され、電源配線63には、N+1行に配置されたセル22が接続される。セル20、22以外の領域にはセル10が配置される。

【0062】

セル20の構造は、第1実施例と同様である。すなわち、セル20は、上部及び下部の領域にウェルコンとして機能するN型拡散層31を有している。このため、ウェルコンの間隔を図9に示す比較例と同様な間隔としながら、隣接する2つの行の一方のみにセル20を配置することが可能となる。

【0063】

セル22は、セルハイトがセル20と同じ大きさで、セル幅がセル10より小さい。セル22は、ウェルコンとして機能する2つのN型拡散層34を有する。詳細には、セル22は、セルハイト方向(Y方向)に対して上部と下部の領域のそれぞれにN型ウェル1を有し、N型ウェル間にP型ウェル2を有する。2つのN型拡散層34は、上部及び下部のN型ウェル1上に設けられ、それぞれ電源配線62に接続される。

【0064】

電源スイッチを有するセル20を電源配線61、63に接続する位置に配置し、ウェルコンのみを有するセル22を電源配線62に接続する位置に配置することで、電源スイッチの間隔を、ウェルコンの間隔の約2倍にすることができる。又、セル22は、セル20と同様に、セルハイト方向(Y方向)上部及び下部にウェルコンとなるN型拡散層34を有している。このため、セル22は、N行又はN+1行のどちらか一方に配置すればよい。従って、本実施例では、図5に示すようにN行及びN+1行においてセル20とセル22とを千鳥に配置することができる。

【0065】

一方、図9に示す比較例では、ウェルコンとして機能するN型拡散層701、704がそれぞれセル70、73の上段のみに設けられている。この場合、N行におけるN型ウェル1(下段)には、N+1行に配置されたセル70、又はセル73によって電源電圧VDDが供給される必要がある。このため、ラッチアップ耐性を確保するために必要な間隔でN型ウェル1に電源電圧VDDを供給するためには、N行及びN+1行に当該間隔でセル70を配置する必要がある。

【0066】

本実施例では、セル20、22を千鳥に配置できるため、N行に配置されるセル20の間隔や、N+1行におけるセル22の間隔を比較例よりも長くすることができる。これにより、図9に示す比較例に比べてセル10の配置数を増加させることが可能となる。又、配置可能な領域が広がるため、様々な大きさのスタンダードセルを配置することができることから、設計が容易となり、T A Tや面積効率が改善される。

【0067】

(第4実施例)

図6は、第1の実施の形態における半導体装置のレイアウト構造の一例(第4実施例)

10

20

30

40

50

を示す平面図である。第4実施例におけるセル20は、第1実施例と同じ構造である。

【0068】

第1から第3実施例では、電源スイッチセル20の基板電位とソース電位として共通の電源電位VDDが供給されたが、第4実施例では、ソース電位（電源電圧VDD1）とは異なる固定電位（電源電圧VDD2）が基板電位として供給される。その他の構成は、第1実施例と同様である。

【0069】

第4実施例における半導体装置は、第1実施例における電源配線61に替えて、電源配線101、201を備える。同様に電源配線62に替えて電源配線102、202を、電源配線63に替えて電源配線103、203を備える。電源配線101～103には電源電圧VDD1が供給され、セル20内のP型MOSトランジスタ32のソースに接続される。P型MOSトランジスタ32は、電源電圧VDD1に応じた電源電圧VSDをセル10に供給する。電源配線201～203には電源電圧VDD2が供給され、セル20のN型拡散層31に接続される。N型ウェル1の電位は、N型拡散層31を介して供給される電源電圧VDD2に固定される。

【0070】

セル20の配置は、第1実施例と同様に千鳥に配置されているため、N行に配置されるセル20の間隔や、N+1行におけるセル22の間隔を比較例よりも長くすることができ、これにより、図7に示す比較例に比べてセル10の配置数を増加させることが可能となる。又、配置可能な領域が広がるため、様々な大きさのスタンダードセルを配置することができることから、設計が容易となり、TATや面積効率が改善される。

【0071】

2. 第2の実施の形態

図10及び図11を参照して、本発明による半導体装置の第2の実施の形態を説明する。図10は、本発明による半導体装置の第2の実施の形態におけるレイアウトを示す平面図である。第1の実施の形態では、セル20がN行及びN+1行にわたり千鳥に配置されていたが、第2の実施の形態では、隣接する2行（N行、N+1行、Nは自然数）のうち、セル20を配置する行（N行）と配置しない行（N+1）とが交互に配置される。すなわち、隔行毎にセル20を配置する。

【0072】

図10を参照して、本実施の形態における半導体装置は、行方向（X方向）に延設される電源配線41～44、51～53と、電源配線41～44、51～53に沿って配置される複数のセル10（例えばプリミティブセルやスタンダードセル）と、電源配線41～44、51～53に垂直な方向（Y方向）に延設される電源配線61～63と、複数のセル10に電源電圧VDDを供給する複数のセル20を具備する。

【0073】

セル20、セル10の構成は、第1の実施の形態と同様である。セル20のセルハイト方向（Y方向）に対して上部及び下部の領域に電源供給素子30が配置されているため、セル20が配置された行の列方向（Y方向）に対して上段及び下段の行のN型ウェル1に対して電源電圧を供給することができる。このため、N行及びN+2行に配置されたセル20によって、N+1行に形成されたN型ウェル1に電源電圧が供給されることとなる。

【0074】

N行に配置される3つのセル20は、それぞれ電源配線61～63から供給される電源電圧VDDに応じた電源電圧を複数のセル10に供給する。同様に、N+2行に配置される3つのセル20は、それぞれ電源配線61～63から供給される電源電圧VDDに応じた電源電圧を複数のセル10に供給する。N+1行に配置されたセル10は、N行及びN+2行におけるセル20から電源電圧が供給される。このため、プロセス等によって制約を受ける電源供給素子30間の距離は、N行又はN+2行における2つのセル20内の電源供給素子30間の距離C1、C2となる。この距離C1、C2がラッチアップ耐性を維持できる距離内であるように、セル20が配置される。

10

20

30

40

50

【 0 0 7 5 】

本実施の形態における半導体装置では、セル 2 0 が配置される N 行、N + 2 行では、セル 1 0 を配置する領域が、プロセスに応じた距離内（ここでは距離 B 1、B 2 内）に制約されるが、N + 1 行では、電源を供給するためのセル 2 0 が配置されないため、セル 1 0 の配置可能な領域が、距離 A 2 の範囲に大きく広がる。詳細には、電源配線 6 1 から電源配線 6 3 間での距離が、図 1 に示す半導体装置と同じ L 1 + L 2 である場合、N 行においてセル 1 0 の配置可能な領域の幅は、距離 L 1 + L 2 から 1 つのセル 1 0 のセル幅を減じた距離 C 3 となる。一方、図 1 0 に示す N + 1 行におけるセル 1 0 の配置可能な領域の幅は、L 1 + L 2 = A 2 となる。すなわち、N + 1 行の全ての領域にセル 1 0 を配置することができる。

10

【 0 0 7 6 】

以上のことから、本実施の形態による半導体装置は、プロセスに応じた制約を満足する電源供給素子の間隔を保持したまま、セル 1 0 の配置可能領域を広げることができる。これにより、セル 1 0 の配置数を増加させることが可能となる。又、配置可能な領域が広がるため、様々な大きさのスタンダードセルを配置することができることから、設計が容易となり、T A T や面積効率が改善される。

【 0 0 7 7 】

次に、図 1 1 を参照して、第 2 の実施の形態における半導体装置の具体例を示す。以下では、第 1 ~ 第 4 実施例と同様に通常モードと待機モードの切り替えに応じて電源の供給が制御される機能セルを有する半導体装置について説明する。

20

【 0 0 7 8 】

（第 5 実施例）

図 1 1 は、第 2 の実施の形態における半導体装置のレイアウト構造の一例（第 5 実施例）を示す平面図である。第 5 実施例におけるセル 2 0 は、第 1 実施例と同じ構造である。

【 0 0 7 9 】

第 5 実施例では、行方向における電源スイッチの間隔とウェルコンの間隔の比が 1 対 1 である。又、本実施例（図 1 1）における半導体装置の基本構造は、図 1 0 に示すレイアウトと同様である。例えば、電源配線 4 1 ~ 4 3、5 1 ~ 5 3、6 1 ~ 6 3 の配置やセル 1 0、2 0 の配置（配線間の距離等）は、同様である。すなわち、電源配線 6 1 ~ 6 3 には、N 行及び N + 2 行に配置されるセル 2 0 が接続される。

30

【 0 0 8 0 】

N + 1 行における N 型ウェル 1（上段）には、N 行における N 型拡散層 3 1 を介して電源電圧 V D D が供給され、N + 1 行における N 型ウェル 1（下段）には、N + 1 行における N 型拡散層 3 1 を介して電源電圧 V D D が供給される。又、N 行と N + 1 行の境に配置された電源配線 4 2 には、N 行に配置されたセル 2 0 内の P 型 M O S トランジスタ 3 2 によって電源電圧 V S D が供給され、N + 1 行と N + 2 行の境に配置された電源配線 4 3 には、N + 2 行に配置されたセル 2 0 内の P 型 M O S トランジスタ 3 2 によって電源電圧 V S D が供給される。

【 0 0 8 1 】

本実施例では、セル 2 0 が配置された行（N 行及び N + 2 行）は挟まれた行（N + 1 行）にセル 2 0 を配置する必要がないため、当該行（N + 1 行）では、セル 1 0 を自由に配置することができる。これにより、従来の電源スイッチを有する半導体装置に比べて、セル 1 0 の配置数を増加させることが可能となる。又、配置可能な領域が広がるため、様々な大きさのスタンダードセルを配置することができることから、設計が容易となり、T A T や面積効率が改善される。

40

【 0 0 8 2 】

本発明によれば、リーク電流を抑制するため電源の供給の制御が可能な電源スイッチを有する半導体装置の製造に際し、セル 1 0 の配置数又は配置の自由度を向上させるようにレイアウトすることができる。尚、上述の半導体装置のレイアウトは、コンピュータを用いてレイアウトプログラムを実行することで実現される。

50

【 0 0 8 3 】

以上、本発明の実施の形態を詳述してきたが、具体的な構成は上記実施の形態に限られるものではなく、本発明の要旨を逸脱しない範囲の変更があっても本発明に含まれる。第1及び第2の実施の形態では、N行～N+1行又はN行～N+2行のレイアウトのみを示したがこれに限らず、通常、図面に示されたパターンが列方向繰り返されてレイアウトされる。又、第1～第5実施例は、技術的に矛盾がない範囲内で組み合わせて適用され得る。

【 0 0 8 4 】

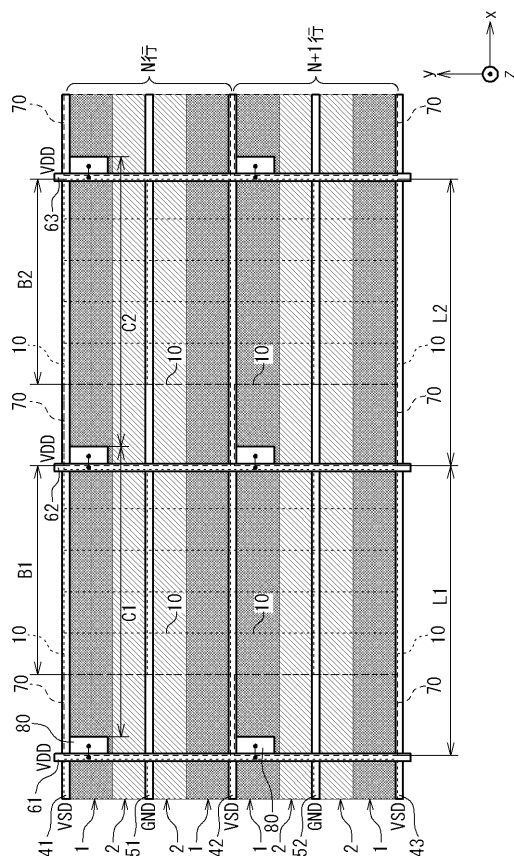
又、上述の実施例では、電源電圧VDDに応じた電源電圧の供給を制御するセル20について説明したが、GND電位の供給を制御するセルにも適用できる。この場合、N型ウェル1、N型拡散層31、P型MOSトランジスタ32をそれぞれP型ウェル、P型拡散層、N型MOSトランジスタに読み替えることで実現できる。

【 符号の説明 】

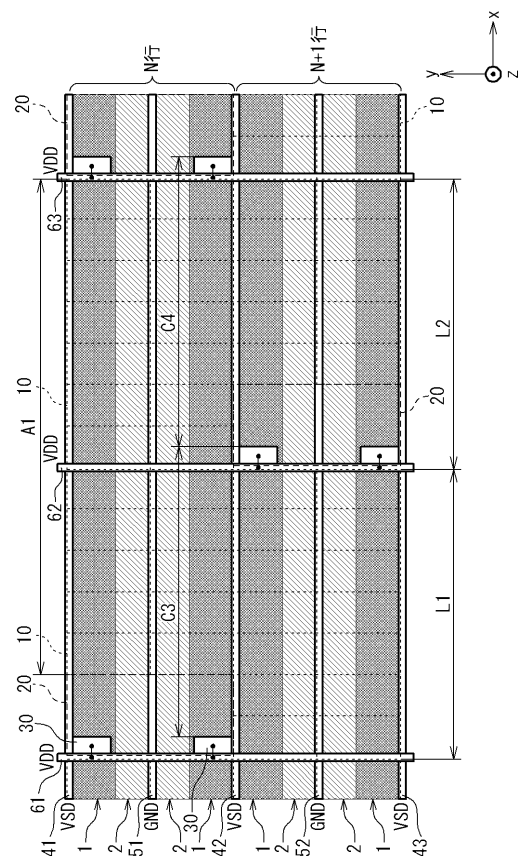
【 0 0 8 5 】

- 1：N型ウェル
- 2：P型ウェル
- 3、4、91、92、94、95：P型拡散層
- 5、93、96：ゲート絶縁膜
- 6、7、31、34：N型拡散層
- 10：セル
- 11、32、33：Pチャネル型MOSトランジスタ
- 12：Nチャネル型MOSトランジスタ
- 20：セル
- 41～44、51～53、61～65、101～103、201～203：電源配線

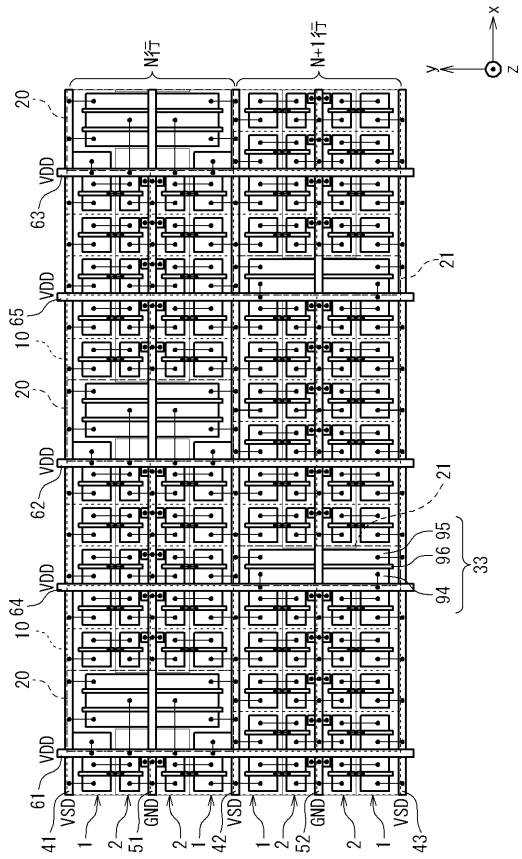
【 図 1 】



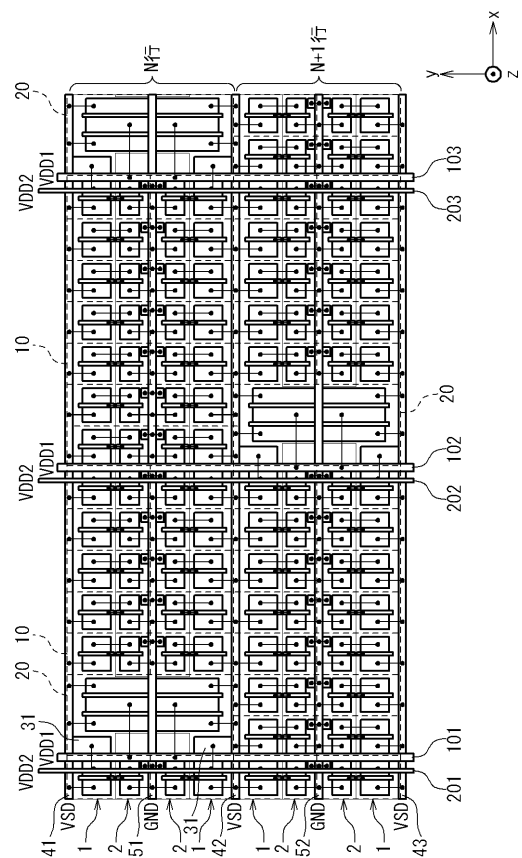
【 図 2 】



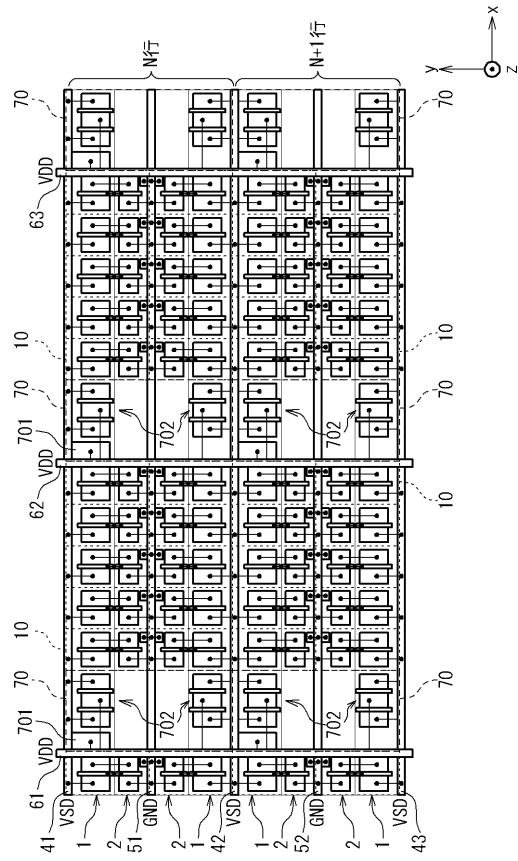
【 図 4 】



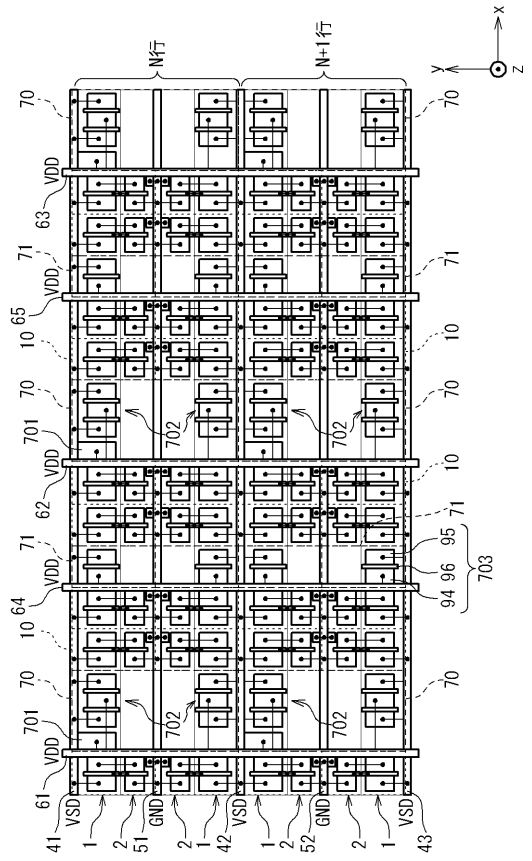
【 図 6 】



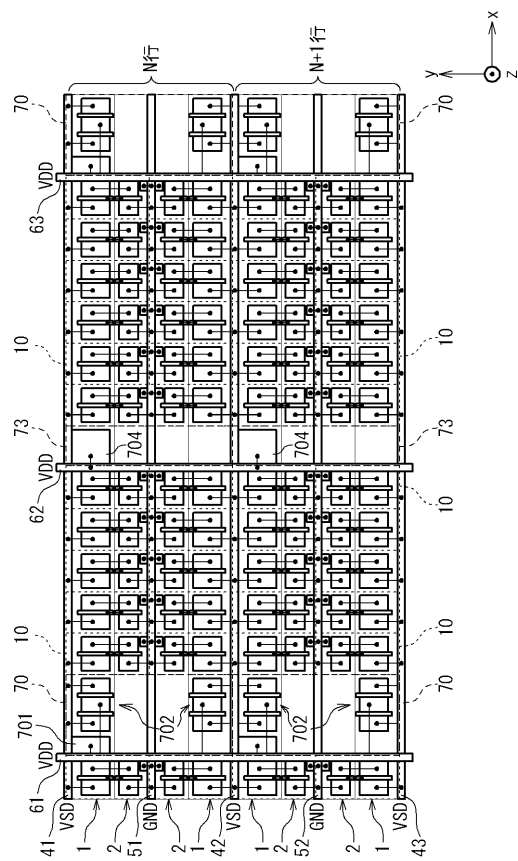
【図 7】



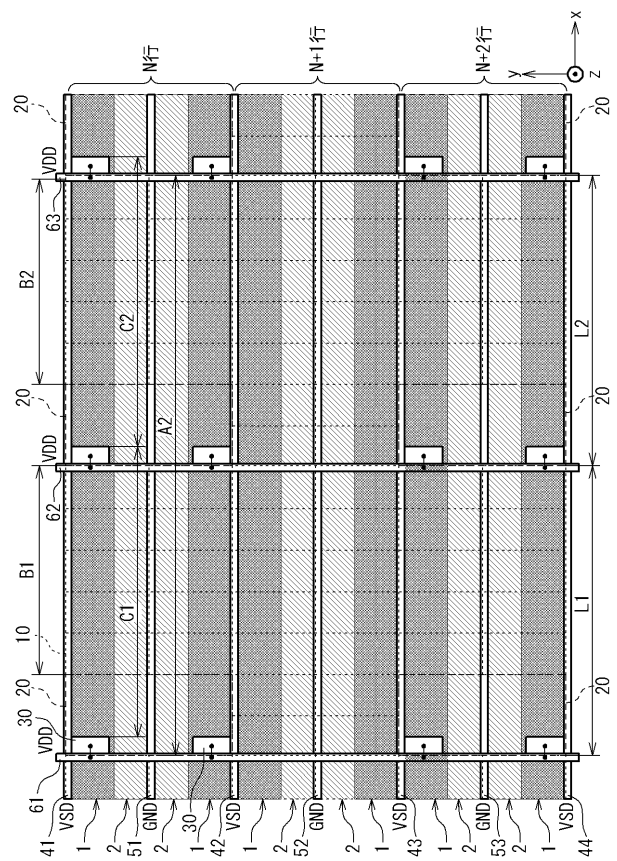
【図 8】



【図 9】



【図 10】



【図 11】

