

# (12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织  
国际局

(43) 国际公布日  
2022年11月24日 (24.11.2022)



(10) 国际公布号  
**WO 2022/241994 A1**

(51) 国际专利分类号:  
*H01L 21/8242* (2006.01) *H01L 27/108* (2006.01)

(21) 国际申请号: PCT/CN2021/120125

(22) 国际申请日: 2021年9月24日 (24.09.2021)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:  
202110553933.3 2021年5月20日 (20.05.2021) CN

(71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230000 (CN)。

(72) 发明人: 卢经文 (LU, Jingwen); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230000 (CN)。

(74) 代理人: 北京名华博信知识产权代理有限公司 (BOXIN CHINA INTELLECTUAL PROPERTY);

中国北京市海淀区黑泉路8号1幢4层101-10号, Beijing 100192 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,

(54) Title: FABRICATION METHOD FOR SEMICONDUCTOR STRUCTURE

(54) 发明名称: 半导体结构的制造方法

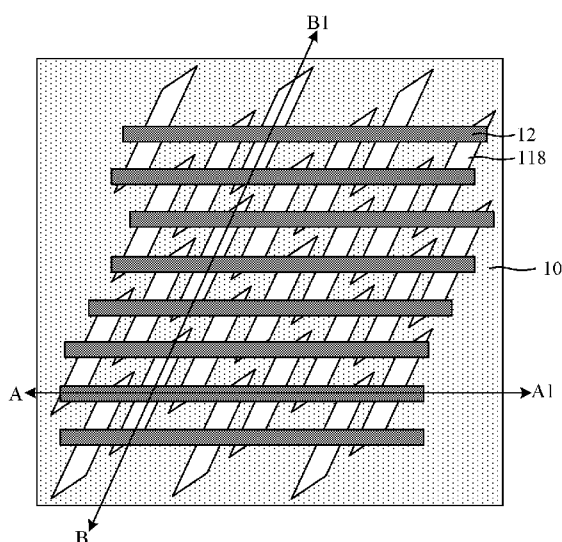


图 17

(57) Abstract: The present disclosure discloses a fabrication method for a semiconductor structure, comprising: providing a substrate; forming a first mask layer and a second mask layer on the substrate, the first mask layer extending in a first direction, the second mask layer extending in a second direction, the first direction being different from the second direction, and the first mask layer being intersectingly disposed with the second mask layer; truncating the first mask layer to form a first sub-mask layer; the second mask layer spanning multiple first sub-mask layers, and part of a side wall of each first sub-mask layer being partially covered by the second mask layer; etching the substrate by using a first etching process to form an active region; forming an isolation structure; and forming a word-line groove.

(57) 摘要: 本公开公布了一种半导体结构的制造方法, 包括: 提供基底; 在基底上形成第一掩膜层和第二掩膜层, 第一掩膜层沿第一方向延伸, 第二掩膜层沿第二方向延伸, 且第一方向与第二方向不同, 第一掩膜层与第二掩膜层相交设置; 对第一掩膜层进行截断处理, 以形成第一子掩膜层; 第二掩膜层横跨多个第一子掩膜层, 且每一第一子掩膜层的部分侧壁被第二掩膜层覆盖; 采用第一刻蚀工艺刻蚀基底, 以形成有源区; 形成隔离结构; 形成字线沟槽。

WO 2022/241994 A1

RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,  
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布：

- 包括国际检索报告(条约第21条(3))。

## 半导体结构的制造方法

本公开基于申请号为 202110553933.3，申请日为 2021 年 05 月 20 日，申请名称为“半导体结构的制造方法”的中国专利申请提出，并要求该中国专利申请的优先权，该中国专利申请的全部内容在此引入本公开作为参考。

5

### 技术领域

本公开涉及但不限于一种半导体结构的制造方法。

### 背景技术

10 动态随机存取存储器（Dynamic Random Access Memory，简称 DRAM）是一种广泛应用于计算机系统的半导体存储器，其主要的作用原理是利用电容内存储电荷的多少来代表一个二进制比特（bit）。

DRAM 通常包括基底、字线以及有源区等结构。现目前通常采用自对准双重成像技术（Self-aligned Double Patterning，SADP）形成有源区。然而在有源区的形成过程中，有源区容易发生倾斜或倒塌的问题，从而造成结构失效，降低半导体结构的良率。

15

### 发明内容

以下是对本公开详细描述的主题的概述。本概述并非是为了限制权利要求的保护范围。

20

本公开实施例提供了一种半导体结构的制造方法，所述半导体结构的制造方法包括：

提供基底；

25

在所述基底上形成多个相互分立的第一掩膜层和多个相互分立的第二掩膜层，所述第一掩膜层沿第一方向延伸，所述第二掩膜层沿第二方向延伸，且所述第一方向与所述第二方向不同，所述第一掩膜层与所述第二掩膜层相交设置，每一所述第二掩膜层横跨多个所述第一掩膜层；

对所述第一掩膜层进行截断处理，以形成多个相互分立的第一子掩

膜层，所述第二掩膜层横跨多个所述第一子掩膜层，且每一所述第一子掩膜层的部分侧壁被所述第二掩膜层覆盖；

以所述第一子掩膜层为掩膜，采用第一刻蚀工艺刻蚀所述基底，以形成相互分立的有源区；

5 形成位于相邻有源区之间的隔离结构，并去除未被所述第二掩膜层所覆盖的所述第一子掩膜层；

去除部分所述第一子掩膜层后，以所述第二掩膜层为掩膜刻蚀所述有源区和所述隔离结构，以形成字线沟槽。

本公开实施例所提供的半导体结构的制造方法中，通过第二掩膜层横  
10 跨多个第一掩膜层，使得第二掩膜层能够对第一掩膜层起到支撑和固定的作用，从而避免第一子掩膜层发生移位或倾斜等问题。此外，由于第一子掩膜层与有源区相接触，因此，第二掩膜层能够通过第一子掩膜层对有源区也起到固定和支撑的作用，从而避免有源区发生偏移或坍塌。此外，去除部分第一子掩膜层后，以第二掩膜层为掩膜刻蚀有源区和隔  
15 离结构，以形成字线沟槽；即第二掩膜层还作为形成字线沟槽的掩膜层，如此，能够简化生产工艺。

在阅读并理解了附图和详细描述后，可以明白其他方面。

## 20 附图说明

下面结合附图对本发明的各实施例进行详细的阐述。然而，本领域的普通技术人员可以理解，在本发明各实施例中，为了使读者更好地理解本申请而提出了许多技术细节。但是，即使没有这些技术细节和基于以下各实施例的种种变化和修改，也可以实现本申请所要求保护的技术方案。

25 图 1-图 2 为一种半导体结构的制造方法中各步骤对应的结构示意图；

图 3-图 25 是根据一示例性实施例示出的半导体结构的制造方法中各步骤对应的结构示意图；

图 26-图 31 是根据一示例性实施例示出的半导体结构的制造方法中各步骤对应的结构示意图。

## 具体实施方式

为使本公开实施例的目的、技术方案和优点更加清楚，下面将结合本公开实施例中的附图，对公开实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例是本公开一部分实施例，而不是全部的实施例。基于本公开中的实施例，本领域技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本公开保护的范围。需要说明的是，在不冲突的情况下，本公开中的实施例及实施例中的特征可以相互任意组合。

动态随机存取存储器（Dynamic Random Access Memory，简称 DRAM）通常包括基底、字线以及有源区等结构。通常采用自对准双重成像技术（Self-aligned Double Patterning，SADP）形成有源区。然而在有源区的形成过程中，有源区容易发生倾斜或倒塌的问题，从而造成结构失效，降低半导体结构的良率。因此，半导体结构的良率有待进一步提升。图 1-图 2 为一种半导体结构的制造方法中各步骤对应的结构示意图，参考图 1，提供基底 30，在基底 30 上形成条状的第一掩膜层 31。参考图 2，对第一掩膜层 31（参考图 1）进行截断处理，以形成多个相互分立的第一子掩膜层 311，第一子掩膜层 311 为后续形成有源区的掩膜层。由于第一子掩膜层 311 为若干个相互分立的

结构，且无其他结构对第一子掩膜层 311 进行固定和支撑，因此，在刻蚀过程中，第一子掩膜层 311 容易发生偏移和倾斜等问题。继续参考图 2，以第一子掩膜层 311 为掩膜刻蚀基底 30，以形成有源区。由于没有支撑结构固定第一子掩膜层 311 和有源区，且刻蚀深度较大，因此，第一子掩膜层 311 和有源区均可能发生坍塌和倾斜等问题，从而降低半导体结构的良率。

本公开实施例提供一种半导体结构的制造方法，包括：基底上形成多个相互分立的第一掩膜层和多个相互分立的第二掩膜层，第一掩膜层与第二掩膜层相交设置，每一第二掩膜层横跨多个第一掩膜层；对第一掩膜层进行截断处理，以形成多个相互分立的第一子掩膜层；由于第二掩膜层横跨多个第一掩膜层，因此，第二掩膜层能够对第一掩膜层起到支撑和固定的作用，从而避免第一子掩膜层发生移位或倾斜等问题。以第一子掩膜层为掩膜，刻蚀

基底，以形成相互分立的有源区；由于第二掩膜层能够对第一子掩膜层起到固定和支撑的作用，因此，在刻蚀有源区的过程中，第一子掩膜层不会坍塌或移位；此外，由于第一子掩膜层与有源区相接触，因此，第二掩膜层能够通过第一子掩膜层对有源区也起到固定和支撑的作用，从而避免有源区发生  
5 偏移或坍塌。去除部分第一子掩膜层后，以第二掩膜层为掩膜刻蚀有源区和隔离结构，以形成字线沟槽；即第二掩膜层还作为形成字线沟槽的掩膜层，如此，能够简化生产工艺。

本公开一实施例提供一种半导体结构，图3-图25为半导体结构的制造方法中各步骤对应的结构示意图。以下将结合附图进行说明。

10 参考图3-图12，提供基底10，在基底10上形成多个相互分立的第一掩膜层11和多个相互分立的第二掩膜层12，第一掩膜层11沿第一方向X延伸，第二掩膜层12沿第二方向Y延伸，且第一方向X与第二方向Y不同，第一掩膜层11与第二掩膜层12相交设置，每一第二掩膜层12横跨多个第一掩膜层11。

15 基底10的材料可以为半导体，基底10的材料类型可以为元素半导体材料或者晶态无机化合物半导体材料。元素半导体材料可以为硅或者锗；晶态无机化合物半导体材料可以为锗化硅、砷化镓或者镓化铟等。

第一方向X与第二方向Y的夹角为 $60^{\circ}\sim 70^{\circ}$ ，且第一方向X为后续形成的有源区的延伸方向，第二方向Y为后续形成的字线的延伸方向。

20 由于第二掩膜层12横跨多个第一掩膜层11，即第二掩膜层12至少与第一掩膜层11的侧壁相接触，因此，通过二者之间接触面的粘结力，每一第二掩膜层12可以对多个第一掩膜层11起到支撑作用，在后续对第一掩膜层11进行刻蚀以形成第一子掩膜层的过程中，第二掩膜层12能够固定第一子掩膜层，避免其发生倾斜或移位；在后续刻蚀基底10以形成有源区的过程  
25 中，第二掩膜层12还能够对有源区起到固定和支撑的作用，避免其发生倾斜或坍塌。

以下将对第一掩膜层11和第二掩膜层12的形成步骤进行详细说明。

值得说明的是，本实施例中，第一掩膜层11先于第二掩膜层12形成。在其他实施例中，第二掩膜层也可以先于第一掩膜层形成。

30 参考图3-图8，在基底10上形成第一掩膜层11。

参考图 3，图 3 (a) 为图 3 (b) 在 Y 方向上的局部剖面图，图 3 (b) 为半导体结构的俯视图，在基底 10 上形成初始第一掩膜层 111，初始第一掩膜层 111 覆盖基底 10 的整个上表面。初始第一掩膜层 111 为硬掩膜，本实施例中，初始第一掩膜层 111 的材料为多晶硅，在其他实施例中，初始第一掩膜层的材料还可以为氧化硅、氮化硅或碳化硅。本实施例中，可以通过化学气相沉积形成初始第一掩膜层 111。

在初始第一掩膜层 111 上形成相互分立的第七掩膜层 117，第七掩膜层 117 沿第一方向 X 延伸。本实施例中，第七掩膜层 117 为单层结构，在其他实施例中，第七掩膜层也可以为双层结构，以提高图形转移的精度。第七掩膜层 117 为硬掩膜，其材料可以为多晶硅、氧化硅、氮化硅或碳化硅。本实施例中，形成第七掩膜层 117 的步骤包括：形成覆盖初始第一掩膜层 111 上表面的初始第七掩膜层；对初始第七掩膜层进行图形化处理，以形成沿第一方向 X 延伸的第七掩膜层 117。本实施例中，可以通过化学气相沉积法形成初始第七掩膜层，并可以通过干法刻蚀对初始第七掩膜层进行图形化处理。

值得说明的是，在其他实施例中，还可以在形成第七掩膜层前，形成覆盖初始第一掩膜层的初始第八掩膜层，初始第八掩膜层可以提高图形转移的精度。初始第八掩膜层可以为双层结构也可以为单层结构，初始第八掩膜层的材料可以为氮化硅、碳化硅或氮氧化硅。

参考图 4，图 4 (a) 为图 4 (b) 在 Y 方向上的局部剖面图，图 4 (b) 为半导体结构的俯视图，在第七掩膜层 117 的侧壁形成第一侧墙层 112。本实施例中，在第一方向 X 的垂直方向上，第七掩膜层 117 的宽度大于第一侧墙层 112 的宽度。第一侧墙层 112 为硬掩膜，其材料与第七掩膜层 117 的材料不同，其材料可以为多晶硅、氧化硅、氮化硅或碳化硅。第一侧墙层 112 的形成方法可以为原子层沉积工艺或化学气相沉积工艺。

参考图 5，图 5 (a) 为图 5 (b) 在 Y 方向上的局部剖面图，图 5 (b) 为半导体结构的俯视图，去除第七掩膜层 117 (参考图 4)，并保留第一侧墙层 112。本实施例中，可以通过湿法刻蚀去除第七掩膜层 117。在其他实施例中，也可以通过干法刻蚀去除第七掩膜层。

参考图 6，图 6 (a) 为图 6 (b) 在 Y 方向上的局部剖面图，图 6 (b) 为半导体结构的俯视图，在第一侧墙层 112 的侧壁形成第二侧墙层 113。第二

侧墙层 113 为硬掩膜，其材料与第一侧墙层 112 的材料不同，其材料可以为多晶硅、氧化硅、氮化硅或碳化硅。第二侧墙层 113 的形成方法可以为原子层沉积工艺或化学气相沉积工艺。

在其他实施例中，由于可以在初始第一掩膜层上形成初始第八掩膜层；  
5 相应的，去除第七掩膜层后，可以以第一侧墙层为掩膜刻蚀初始第八掩膜层，以形成多个相互分立的第八掩膜层，从而将第一侧墙层的图形转移给第八掩膜层；也可以在第八掩膜层的侧壁形成第二侧墙层。

参考图 7，图 7 (a) 为图 7 (b) 在 Y 方向上的局部剖面图，图 7 (b) 为  
10 半导体结构的俯视图，去除第一侧墙层 112 (参考图 6)，并保留第二侧墙层 113。本实施例中，可以通过湿法刻蚀去除第一侧墙层 112。在其他实施例中，也可以通过干法刻蚀去除第一侧墙层。

值得说明的是，在其他实施例中，由于可以形成多个相互分立的第八掩膜层，并在第八掩膜层的侧壁形成第二侧墙层；相应的，形成第二侧墙层后，可以去除第八掩膜层。

15 参考图 8，图 8 (a) 为图 8 (b) 在 Y 方向上的局部剖面图，图 8 (b) 为半导体结构的俯视图，以第二侧墙层 113 (参考图 7) 为掩膜刻蚀初始第一掩膜层 111 (参考图 7)，以形成第一掩膜层 11。第一掩膜层 11 为沿着第一方向 X 延伸的条状掩膜，第一掩膜层 11 还露出部分基底 10 的部分上表面。第一掩膜层 11 为硬掩膜层。本实施例中，第一掩膜层 11 的材料为多晶硅，在  
20 其他实施例中，第一掩膜层 11 的材料还可以为氧化硅、氮化硅或碳化硅。由于硬掩膜层具有较大的硬度和强度，因此，可以提升后续形成的第二掩膜层对第一掩膜层的支撑和固定效果。

参考图 9-图 12，以下将对第二掩膜层 12 的形成步骤进行详细说明。

25 参考图 9，图 9 (a) 为图 9 (b) 在 Y 方向上的局部剖面图，图 9 (b) 为半导体结构的俯视图，形成位于相邻第一掩膜层 11 之间的初始第二掩膜层 121。

本实施例中，初始第二掩膜层 121 还位于第一掩膜层 11 之上，即初始第二掩膜层 121 的顶面高于第一掩膜层 11 的顶面。可以理解的是，当初始第二掩膜层 121 还位于第一掩膜层 11 之上时，初始第二掩膜层 121 还与第一掩膜  
30 层 11 的顶面相接触，如此可以增大二者之间的接触面积，进而增大第一掩

膜层 11 在接触面的附着力，从而提高后续形成的第二掩膜层对第一掩膜层 11 的支撑的作用。在其他实施例中，初始第二掩膜层可以仅位于相邻第一掩膜层之间，即初始第二掩膜层的顶面与第一掩膜层的顶面齐平，或者初始第二掩膜层的顶面低于第一掩膜层的顶面。

5 初始第二掩膜层 121 的材料为硬掩膜层，且初始第二掩膜层 121 的材料与第一掩膜层 11 的材料不同。本实施例中，初始第二掩膜层 121 的材料可以为碳化硅，在其他实施例中，初始第二掩膜层的材料还可以为氮化硅、氧化硅或碳氮化硅等。

10 参考图 10-图 12，图 11 为图 10 在 A-A1 方向上的剖面图，图 12 为图 10 在 B-B1 方向上的剖面图，采用第二刻蚀工艺对初始第二掩膜层 121（参考图 9）进行图形化处理，以形成第二掩膜层 12。

15 本实施例中，第二刻蚀工艺对初始第二掩膜层 121 和第一掩膜层 11 具有较大的刻蚀选择比，如此，在刻蚀初始第二掩膜层 121 的过程中，第二刻蚀工艺对第一掩膜层 11 的损伤较小，从而能够使得第一掩膜层 11 的形貌保持原有状态，进而保证后续形成的有源区的图形的精度。本实施例中，初始第二掩膜层 121 的材料为碳化硅，相应的，第二刻蚀工艺的刻蚀气体包括  $O_2$  和 Ar。

20 由前述可知，初始第二掩膜层 121（参考图 9）还位于第一掩膜层 11 上，相应的，在垂直于基底 10 顶面的方向上，第二掩膜层 12 的顶面高于第一掩膜层 11 的顶面。可以理解的是，第二掩膜层 12 的顶面高于第一掩膜层 11 的顶面时，若干位于相邻第一掩膜层 11 之间的分立的第二掩膜层 12 通过高于第一掩膜层 11 顶面的第二掩膜层 12 连接为一个整体，第二掩膜层 12 不仅与第一掩膜层 11 的侧壁相接触，还与第一掩膜层 11 的顶面相接触，即第二掩膜层 12 可以通过第一掩膜层 11 的侧壁和顶面对第一掩膜层 11 起到牵引和固  
25 定的作用，从而避免后续第一子掩膜层在形成过程中发生移位或倾斜；由于第一子掩膜层还与基底 10 相接触，后续在刻蚀基底 10 以形成有源区的过程中，第二掩膜层 12 还可以通过第一子掩膜层对有源区起到固定和支撑作用，从而避免有源区发生坍塌或倾斜的问题。

30 在其他实施例，第二掩膜层也可以只位于相邻的第一掩膜层之间，即第二掩膜层为相互分立的块状结构，并且仅与第一掩膜层的侧壁相接触，即第

二掩膜层可以通过第一掩膜层的侧壁对第一掩膜层起到支撑和固定作用。

此外，第二掩膜层 12 为硬掩膜层，如此可以进一步提高第二掩膜层 12 对第一掩膜层 11 的支撑强度，从而避免第一掩膜层 11 以及后续的有源区发生倾斜或坍塌的问题。

5 参考图 13-图 19，对第一掩膜层 11 进行截断处理，以形成多个相互分立的第一子掩膜层 118；第二掩膜层 12 横跨多个第一子掩膜层 118，且每一第一子掩膜层 118 的部分侧壁被第二掩膜层 12 覆盖。

本实施例中，第二掩膜层 12 与第一子掩膜层 118 的中间区域以及两个边缘区域相接触，换句话说，每一子掩膜层 118 与三个第二掩膜层 12 相接触  
10 （图中位于边缘位置的第一掩膜层 11 和第二掩膜层 12 未进行示意）。由于第二掩膜层 12 与多个第一子掩膜层 118 相交，因此，在形成第一子掩膜层 118 的过程中，第二掩膜层 12 能够对多个第一子掩膜层 118 进行固定和支撑，以避免第一子掩膜层 118 发生倾斜或移位。

相互分立的第一子掩膜层 118 作为后续形成有源区的掩膜层。由于第一  
15 子掩膜层 118 的被第二掩膜层 12 所固定，如此，可以提高后续形成的有源区的精度；且由于第一子掩膜层 118 还与有源区相接触，因此，第二掩膜层 12 还可以通过第一子掩膜层 118 对有源区进行支撑和固定，从而避免有源区发生倾斜和坍塌。

以下将对第一子掩膜层 118 的形成步骤进行详细说明。

20 参考图 13，在第一掩膜层 11 上形成第五掩膜层 191，对第五掩膜层 191 进行图形化处理，以形成露出第一掩膜层 11 和第二掩膜层 12 的第二沟槽 196；即可以只通过一次光刻形成图形化的第五掩膜层 191，图形化的第五掩膜层 191 为条状结构，且横跨多个第一掩膜层 11，第二沟槽 196 露出多个第一掩膜层 11 的待截断区域。后续将去除位于待截断区域的第一掩膜层 11。

25 本实施例中，还有部分第五掩膜层 191 的材料填充于相邻第一掩膜层 11 以及相邻第二掩膜层 12 之间；相应地，进行截断处理后，还去除填充于相邻第一掩膜层 11 以及相邻第二掩膜层 12 之间的第五掩膜层 191 的材料。

本实施例中，通过一次光刻工艺形成了露出第一掩膜层 11 所有的待截断区域的第五掩膜层 191。在其他实施例中，也可以通过两次光刻工艺形成  
30 上下两层掩膜层，上层掩膜层对应于第一掩膜层的部分待截断区域，下层掩

膜层对应于第一掩膜层的另一部分待截断区域。参考图 14-图 16，在第一掩膜层 11 上形成第五掩膜层 191，对第五掩膜层 191 进行图形化处理，以形成相互分立的截断孔，截断孔露出第一掩膜层 11；截断孔包括第一截断孔 193 和第二截断孔 194；对于每一第一掩膜层 11，第一截断孔 193 和第二截断孔 194 在第一掩膜层 11 顶面的正投影交替排列。

形成截断孔的步骤包括：参考图 14，对第五掩膜层 191 进行第一图形化处理，以形成第一截断孔 193；在第五掩膜层 191 上形成第一光刻胶层，对第一光刻胶层进行曝光显影处理，从而形成图形化的第一光刻胶层，以图形化的第一光刻胶层为掩膜，刻蚀第五掩膜层 191，从而形成第一截断孔 193，形成第一截断孔 193 后，去除图形化的第一光刻胶层。参考图 15，形成第一截断孔 193 后，在第五掩膜层 191 上形成第六掩膜层 192，对第六掩膜层 192 进行图形化处理，从而形成初始第二截断孔；在第六掩膜层 192 上形成第二光刻胶层，对第二光刻胶层进行曝光显影处理，从而形成图形化的第二光刻胶层，以图形化的第二光刻胶层为掩膜，刻蚀第六掩膜层 192，从而形成图形化的第六掩膜层 192，形成图形化的第六掩膜层 192 后，去除第二光刻胶层。参考图 16，以图形化的第六掩膜层 192 为掩膜，对第五掩膜层 191 进行第二图形化处理，以形成第二截断孔 194，形成第二截断孔 194 后，去除第六掩膜层 192。如此，第五掩膜层 191 上则形成了交替排列的第一截断孔 193 和第二截断孔 194。后续可以沿着截断孔刻蚀第一掩膜层 11，以形成第一子掩膜层。

参考图 17-图 19，图 17 为半导体结构的局部俯视图，图 18 为图 17 在 A-A1 方向上的剖面图，图 19 为图 17 在 B-B1 方向上的剖面图，以第五掩膜层 191 为掩膜，刻蚀第一掩膜层 11，以形成第一子掩膜层 118。

可以理解的是，在形成第一子掩膜层 118 的过程中，由于第二掩膜层 12 能够对第一子掩膜层 118 起到牵引和固定的作用，因此，可以避免第一子掩膜层 118 发生偏移和移位，进而有利于提高后续形成有源区的图形的精度。

本实施例中，通过干法刻蚀对第一掩膜层 11 进行截断。本实施例中，第一掩膜层 11 的材料为多晶硅，相应的，刻蚀气体可以为 SF<sub>6</sub>、CF<sub>4</sub> 或 Cl<sub>2</sub>。

参考图 17、图 20 和图 21，图 20 为图 17 在 A-A1 方向上的剖面图，图 21 为图 17 在 B-B1 方向上的剖面图，值得注意的是，本步骤中半导体结构的

俯视图与前一步骤中半导体结构的俯视图相同，以第一子掩膜层 118 为掩膜，采用第一刻蚀工艺刻蚀基底 10，以形成相互分立的有源区 119。

本实施例中，第一刻蚀工艺为等离子体刻蚀，等离子体刻蚀通过离子束去除部分基底 10。第一刻蚀工艺可以分为两个阶段，在第一阶段，离子束的方向垂直于基底 10 顶面，即离子束沿着第一方向 X 朝向基底底部倾斜  $90^\circ$ ，以去除未被第一子掩膜层 118 和第二掩膜层 12 所遮挡的部分基底 10；在第二阶段，离子束沿着第一方向 X 朝向基底底部倾斜  $0^\circ\sim 30^\circ$ ，以去除部分位于第二掩膜层 12 正下方的基底 10，而保留位于第一子掩膜层 118 正下方的基底 10，从而形成若干个相互独立的有源区 119。可以理解的是，在第二阶段中，离子束可能会沿第一方向 X 刻蚀有源区 119 的侧壁，为保证有源区 119 的实际图形与目标图形保持一致，可以适当增大第一子掩膜层 118 厚度，即提前为有源区 119 保存损失余量，第二阶段的等离子体刻蚀则可以去除前述步骤中保存的损失余量。在其他实施例中，还可以交换第一阶段和第二阶段的顺序，或者，还可以只有第二阶段。

由于第二掩膜层 12 通过第一子掩膜层 118 可以对有源区 119 进行牵引和固定，因此，在形成有源区 119 的过程中，可以避免有源区 119 发生倾斜或坍塌，进而可以提高半导体结构的良率。

第一刻蚀工艺对基底 10 与第二掩膜层 12 的刻蚀选择比大于 10，比如可以为 12、20、50。当刻蚀选择比大于 10 时，第一刻蚀工艺既可以较为容易地去除部分基底 10，从而形成相互分立地有源区 119，还可以避免对第二掩膜层 12 造成过多的损伤，进而提高第二掩膜层 12 对有源区 119 的支撑效果。

第一刻蚀工艺的刻蚀气体可以为  $\text{SF}_6$ 、 $\text{CF}_4$ 、 $\text{Cl}_2$ 、 $\text{CHF}_3$ 、 $\text{O}_2$ 、Ar 或上述气体的混合气体。

参考图 22-图 24，图 23 为图 22 在 A-A1 方向上的剖面图，图 24 为图 22 在 B-B1 方向上的剖面图，形成位于相邻有源区 119 之间的隔离结构 13，并去除未被第二掩膜层 12 所覆盖的第一子掩膜层 118。

本实施例中，可以通过化学气相沉积法形成隔离结构 13，在其他实施例中，也可以通过物理气相沉积法形成隔离结构。隔离结构 13 的材料可以为氧化硅、氮化硅或氮氧化硅。

本实施例中，去除未被第二掩膜层 12 覆盖的第一子掩膜层 118，也就是说位于第二掩膜层 12 内的第一子掩膜层 118 被保留下来。本实施例中，可以采用干法刻蚀去除部分第一子掩膜层 118。

参考图 25，在第二掩膜层 12 的两个相对的侧壁形成第三掩膜层 15；以第二掩膜层 12 和第三掩膜层 15 为掩膜刻蚀有源区 119 和隔离结构 13，以形成字线沟槽 16。

在刻蚀有源区 119 和隔离结构 13 前形成第三掩膜层 15，第三掩膜层 15 用于对字线沟槽 16 的位置和尺寸进行更为细致地调整。此外，在前述截断第一掩膜层 11（参考图 13）的过程中，还未形成第三掩膜层 15，即第三掩膜层 15 不会遮挡第一掩膜层 11 的部分待截断区域，如此，较大的工艺窗口能够降低第一掩膜层 11 被截断的难度。

在第二方向 Y 的垂直方向上，第二掩膜层 12 的宽度与第三掩膜层 15 的宽度的比例为 4:1~6:1。可以理解的是，若第二掩膜层 12 的宽度过大，则可能增大第一掩膜层 11 被截断的难度，若第二掩膜层 12 的宽度过小，则可能会降低第二掩膜层 12 对第一掩膜层 11 的支撑和固定的作用。当第二掩膜层 12 的宽度与第三掩膜层 15 的宽度的比例为 4:1~6:1 时，能够保证字线沟槽尺寸的精确度，同时，降低第一掩膜层 11 被截断的难度，提高第二掩膜层 12 对第一掩膜层 11 支撑的效果。

可以理解的是，在其他实施例中，也可以不在第二掩膜层的侧壁形成第三掩膜层；相应地，可以增加第三掩膜层在第二方向 Y 的垂直方向上的宽度；后续可以直接以第二掩膜层为掩膜刻蚀有源区和隔离结构。

形成字线沟槽 16 后，还包括：形成填充字线沟槽 16 的字线。

综上所述，本实施例中，第一掩膜层 11 与第二掩膜层 12 相交设置，因此，在对第一掩膜层 11 进行截断处理的过程中，第二掩膜层 12 能够对第一掩膜层 11 起到支撑和固定的作用，从而避免形成的第一子掩膜层 118 发生移位或倾斜等问题。此外，由于第一子掩膜层 118 与有源区 119 相接触，因此，第二掩膜层 12 能够通过第一子掩膜层 118 对有源区 119 也起到固定和支撑的作用，从而避免有源区发生偏移或坍塌，进而提高半导体结构的良率；第二掩膜层 12 还作为形成字线沟槽 16 的掩膜层，如此，能够简化生产工艺。

本公开另一实施例提供一种半导体结构的制造方法，本实施例与前一实施例大致相同，主要区别在于，本实施例中，第二掩膜层先于第一掩膜层形成。本实施例与前一实施例相同或相似的部分请参考前一实施例的详细描述，在此不再赘述。图 26-图 31 为本实施例提供的半导体结构的制造方法中各步骤对应的结构示意图。

以下将结合附图进行说明。

参考图 26-图 28，图 27 为图 26 在 A-A1 方向上的剖面图，图 28 为图 26 在 B-B1 方向上的剖面图，提供基底 20，在基底 20 上形成多个相互分立的第一掩膜层 21 和多个相互分立的第二掩膜层 22，第一掩膜层 21 沿第一方向 X 延伸，第二掩膜层 22 沿第二方向 Y 延伸，且第一方向 X 与第二方向 Y 不同，第一掩膜层 21 与第二掩膜层 22 相交设置，每一第二掩膜层 22 横跨多个第一掩膜层 21。

形成第二掩膜层 22 的步骤包括：在基底 20 上形成初始第二掩膜层，初始第二掩膜层为覆盖基底的整面膜层；对初始第二掩膜层进行图形化处理，以形成相互分立的第二掩膜层。有关第二掩膜层形成的步骤可以参考前述实施例中的详细说明。

形成第一掩膜层 21 的步骤包括：形成位于相邻第二掩膜层 22 之间的初始第一掩膜层，在初始第一掩膜层上形成相互分立的第七掩膜层，第七掩膜层沿第一方向延伸。在第七掩膜层的侧壁形成第一侧墙层；去除第七掩膜层，并在第一侧墙层的侧壁形成第二侧墙层；去除第一侧墙层，并以第二侧墙层为掩膜刻蚀初始第一掩膜层，以形成第一掩膜层。有关第一掩膜层形成的步骤可以参考前述实施例中的详细说明。

本实施例中，初始第一掩膜层还位于第二掩膜层 22 上，相应的，第一掩膜层 21 还位于第二掩膜层 22 上，即第一掩膜层 21 的顶面高于第二掩膜层 22 的顶面，第一掩膜层 21 与第二掩膜层 22 的侧壁和顶面相接触，因此，第二掩膜层 22 可以通过侧壁和顶面对多个第一掩膜层 21 起到支撑作用，在后续对第一掩膜层 21 进行刻蚀以形成第一子掩膜层的过程中，第二掩膜层 22 能够固定第一子掩膜层，避免其发生倾斜或移位；在后续刻蚀基底以形成有源区的过程中，第二掩膜层 22 还能够对有源区起到固定和支撑的作用，避免其发生倾斜或坍塌。

在其他实施例中，初始第一掩膜层还可以只位于两个相邻第二掩膜层之间，相应的，第一掩膜层只位于第二掩膜层相对的两个侧壁，即第一掩膜层的顶面与第二掩膜层的顶面齐平，或者低于第二掩膜层的顶面，由于第一掩膜层与第二掩膜层相接触的侧壁也具有粘结力，因此，第二掩膜层可以通过侧壁对第一掩膜层进行支撑和固定。

参考图 29-图 31，图 30 为图 29 在 A-A1 方向上的剖面图，图 31 为图 29 在 B-B1 方向上的剖面图，对第一掩膜层 21 进行截断处理，以形成多个相互分立的第 1 子掩膜层 218；第二掩膜层 22 横跨多个第 1 子掩膜层 218，且每一第 1 子掩膜层 218 的部分侧壁被第二掩膜层 22 覆盖。

由前述可知，第一掩膜层 21 与第二掩膜层 22 的顶面和侧壁相接触，因此，第二掩膜层 22 能够对第一掩膜层 21 起到固定和支撑的作用，进而避免第 1 子掩膜层 218 发生偏移或倾斜。

以第 1 子掩膜层 218 为掩膜，采用第一刻蚀工艺刻蚀基底，以形成相互分立的有源区；在有源区的形成过程中，第二掩膜层 22 可以通过第 1 子掩膜层 218 对有源区进行支撑和固定，避免有源区发生坍塌或倾斜。

形成位于相邻有源区之间的隔离结构，并去除未被第二掩膜层 22 所覆盖的第 1 子掩膜层 218；去除部分第 1 子掩膜层 218 后，可以以第二掩膜层 22 为掩膜刻蚀隔离结构和有源区，以形成字线沟槽。有关上述步骤的详细说明请参考前一实施例，在此不再赘述。

综上所述，本实施例中，先形成第二掩膜层 22，后形成第一掩膜层 21，第一掩膜层 21 与第二掩膜层 22 相交，因而第二掩膜层 22 可以对后续形成的第 1 子掩膜层 218 以及后续形成的有源区进行固定和支撑，进而避免第 1 子掩膜层 218 和有源区发生坍塌或倾斜，如此，可以提高半导体结构的良率；且第二掩膜层还用于形成字线沟槽，因此可以简化生产工艺。

本说明书中各实施例或实施方式采用递进的方式描述，每个实施例重点说明的都是与其他实施例的不同之处，各个实施例之间相同相似部分相互参见即可。

在本说明书的描述中，参考术语“一个实施方式”、“一些实施方式”、“示意性实施方式”、“示例”、“具体示例”、或“一些示例”等的描述意指结合实施方式或示例描述的具体特征、结构、材料或者特点包含

于本公开的至少一个实施方式或示例中。

在本说明书中，对上述术语的示意性表述不一定指的是相同的实施方式或示例。而且，描述的具体特征、结构、材料或者特点可以在任何的一个或多个实施方式或示例中以合适的方式结合。

- 5 最后应说明的是：以上各实施例仅用以说明本公开的技术方案，而非对其限制；尽管参照前述各实施例对本公开进行了详细的说明，本领域的普通技术人员应当理解：其依然可以对前述各实施例所记载的技术方案进行修改，或者对其中部分或者全部技术特征进行等同替换；而这些修改或者替换，并不使相应技术方案的本质脱离本公开各实施例技术方案的范围。

10

## 工业实用性

- 本公开实施例所提供的半导体结构的制造方法中，通过第二掩膜层横跨多个第一掩膜层，使得第二掩膜层能够对第一掩膜层起到支撑和固定的作用，从而避免第一子掩膜层发生移位或倾斜等问题。此外，由于第一子掩膜层与有源区相接触，因此，第二掩膜层能够通过第一子掩膜层对有源区也起到固定和支撑的作用，从而避免有源区发生偏移或坍塌。此外，去除部分第一子掩膜层后，以第二掩膜层为掩膜刻蚀有源区和隔离结构，以形成字线沟槽；即第二掩膜层还作为形成字线沟槽的掩膜层，如此，能够简化生产工艺，提高半导体结构的良率。
- 15
- 20

## 权利要求

1、一种半导体结构的制造方法，包括：  
提供基底；

5 在所述基底上形成多个相互分立的第一掩膜层和多个相互分立的第二掩膜层，所述第一掩膜层沿第一方向延伸，所述第二掩膜层沿第二方向延伸，且所述第一方向与所述第二方向不同，所述第一掩膜层与所述第二掩膜层相交设置，每一所述第二掩膜层横跨多个所述第一掩膜层；

对所述第一掩膜层进行截断处理，以形成多个相互分立的第一子掩膜层；  
10 所述第二掩膜层横跨多个所述第一子掩膜层，且每一所述第一子掩膜层的部分侧壁被所述第二掩膜层覆盖；

以所述第一子掩膜层为掩膜，采用第一刻蚀工艺刻蚀所述基底，以形成相互分立的有源区；

形成位于相邻所述有源区之间的隔离结构，并去除未被所述第二掩膜层  
15 所覆盖的所述第一子掩膜层；

去除部分所述第一子掩膜层后，以所述第二掩膜层为掩膜刻蚀所述有源区和所述隔离结构，以形成字线沟槽。

2、根据权利要求1所述的半导体结构的制造方法，其中，去除部分所述  
20 第一子掩膜层后，还包括：在所述第二掩膜层的两个相对的侧壁形成第三掩膜层；

形成所述字线沟槽，包括：以所述第二掩膜层和所述第三掩膜层为掩膜刻蚀所述有源区和所述隔离结构。

3、根据权利要求2所述的半导体结构的制造方法，其中，在所述第二方  
25 向的垂直方向上，所述第二掩膜层的宽度与所述第三掩膜层的宽度的比例为4:1~6:1。

4、根据权利要求1所述的半导体结构的制造方法，其中，形成所述第一掩膜层和所述第二掩膜层的步骤包括：

在所述基底上形成初始第一掩膜层；

在所述初始第一掩膜层上形成相互分立的第七掩膜层，所述第七掩膜层

沿所述第一方向延伸；

在所述第七掩膜层的侧壁形成第一侧墙层；

去除所述第七掩膜层，并在所述第一侧墙层的侧壁形成第二侧墙层；

5 去除所述第一侧墙层，并以所述第二侧墙层为掩膜刻蚀所述初始第一掩膜层，以形成所述第一掩膜层；

形成位于相邻所述第一掩膜层之间的初始第二掩膜层；

采用第二刻蚀工艺对所述初始第二掩膜层进行图形化处理，以形成所述第二掩膜层。

10 5、根据权利要求4所述的半导体结构的制造方法，其中，所述第二刻蚀工艺的刻蚀气体包括  $O_2$  和 Ar。

6、根据权利要求4所述的半导体结构的制造方法，其中，所述初始第二掩膜层还位于所述第一掩膜层上；

在垂直于所述基底顶面的方向上，所述第二掩膜层的顶面高于所述第一掩膜层的顶面。

15 7、根据权利要求1所述的半导体结构的制造方法，其中，形成所述第一掩膜层和所述第二掩膜层的步骤包括：

在所述基底上形成初始第二掩膜层；

对所述初始第二掩膜层进行图形化处理，以形成相互分立的所述第二掩膜层；

20 形成位于相邻所述第二掩膜层之间的初始第一掩膜层；

在所述初始第一掩膜层上形成相互分立的第七掩膜层，所述第七掩膜层沿所述第一方向延伸；

在所述第七掩膜层的侧壁形成第一侧墙层；

去除所述第七掩膜层，并在所述第一侧墙层的侧壁形成第二侧墙层；

25 去除所述第一侧墙层，并以所述第二侧墙层为掩膜刻蚀所述初始第一掩膜层，以形成所述第一掩膜层。

8、根据权利要求7所述的半导体结构的制造方法，其中，所述初始第一掩膜层还位于所述第二掩膜层上；

30 在垂直于所述基底顶面的方向上，所述第一掩膜层的顶面高于所述第二掩膜层的顶面。

9、根据权利要求 1 所述的半导体结构的制造方法，其中，所述第一子掩膜层的形成步骤包括：在所述第一掩膜层上形成第五掩膜层，对第五掩膜层进行图形化处理，以形成相互分立的截断孔，所述截断孔露出所述第一掩膜层；沿着所述截断孔刻蚀所述第一掩膜层，以形成所述第一子掩膜层。

5 10、根据权利要求 9 所述的半导体结构的制造方法，其中，所述截断孔包括第一截断孔和第二截断孔；对于每一所述第一掩膜层，所述第一截断孔和所述第二截断孔在所述第一掩膜层顶面的正投影交替排列；

形成所述截断孔的步骤包括：对所述第五掩膜层进行第一图形化处理，以形成所述第一截断孔；形成所述第一截断孔后，在所述第五掩膜层上形成  
10 第六掩膜层，对所述第六掩膜层进行图形化处理；以图形化的所述第六掩膜层为掩膜，对所述第五掩膜层进行第二图形化处理，以形成所述第二截断孔。

11、根据权利要求 1 所述的半导体结构的制造方法，其中，所述第一子掩膜层的形成步骤包括：在所述第一掩膜层上形成第五掩膜层，对所述第五掩膜层进行图形化处理，以形成露出所述第一掩膜层和所述第二掩膜层的第  
15 二沟槽；以所述第五掩膜层为掩膜，刻蚀所述第一掩膜层，以形成所述第一子掩膜层。

12、根据权利要求 1 所述的半导体结构的制造方法，其中，所述第一刻蚀工艺包括等离子体刻蚀；所述等离子体刻蚀通过离子束去除部分所述基底；所述离子束沿着所述第一方向朝向所述基底底部倾斜  $0^{\circ}\sim 30^{\circ}$ ，以去除部分位  
20 于所述第二掩膜层正下方的所述基底。

13、根据权利要求 1 所述的半导体结构的制造方法，其中，所述第一刻蚀工艺对所述基底与所述第二掩膜层的刻蚀选择比大于 10。

14、根据权利要求 1 所述的半导体结构的制造方法，其中，所述第一掩膜层为硬掩膜层，所述第二掩膜层为硬掩膜层。

25 15、根据权利要求 1 所述的半导体结构的制造方法，其中，形成所述字线沟槽后，还包括：形成填充所述字线沟槽的字线。

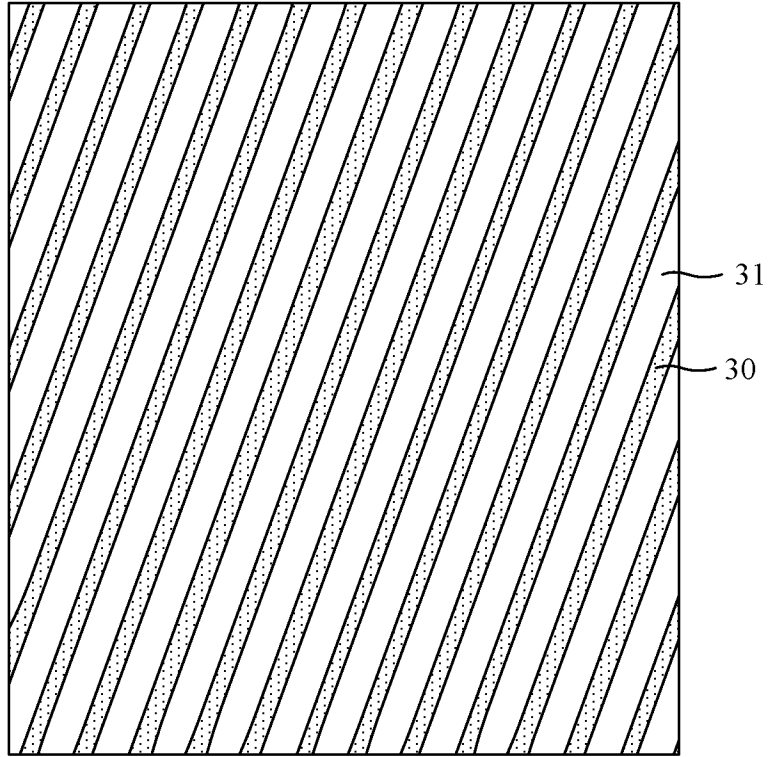


图 1

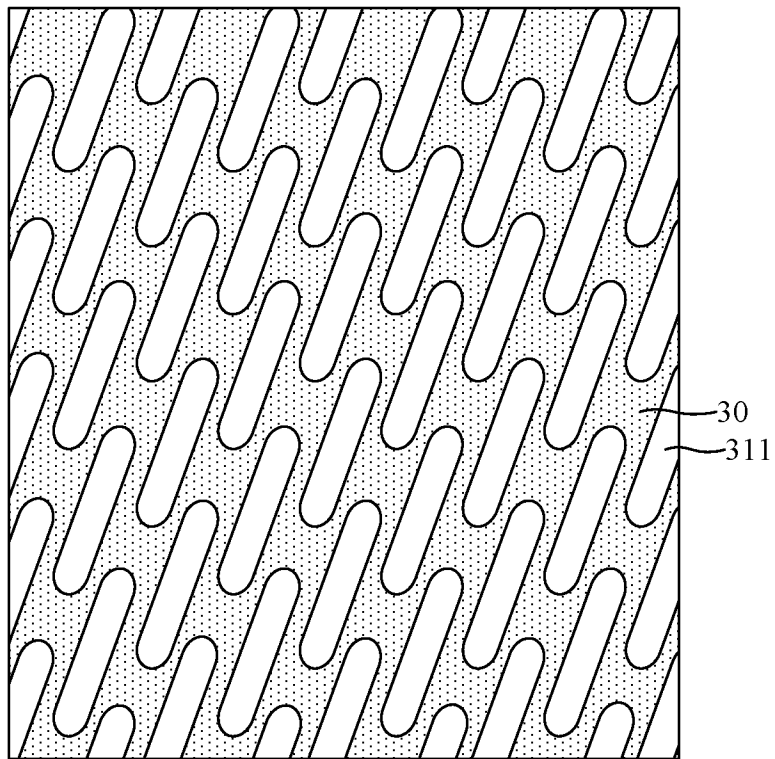


图 2

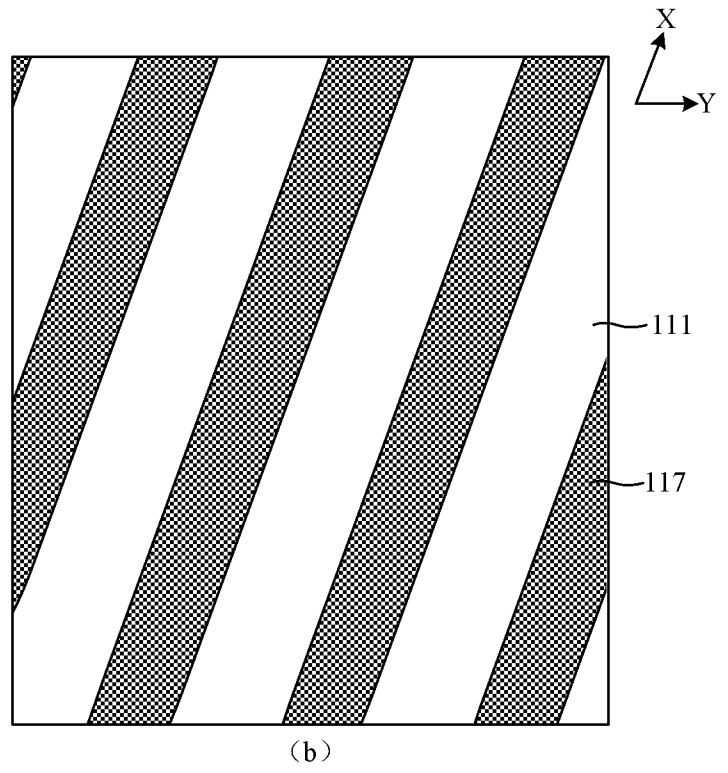
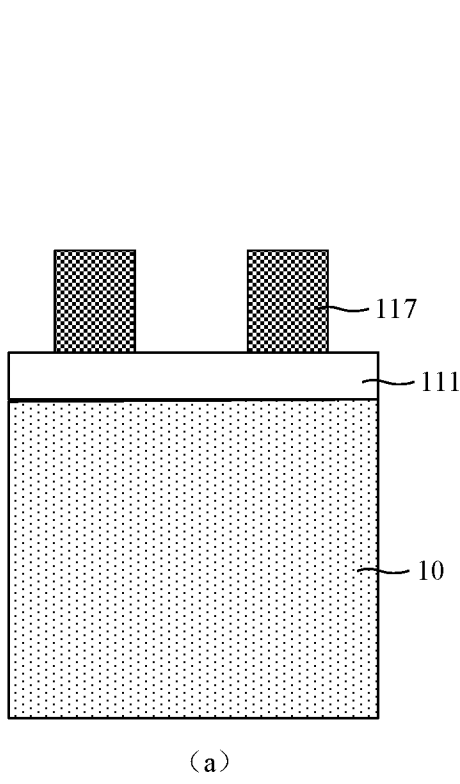


图 3

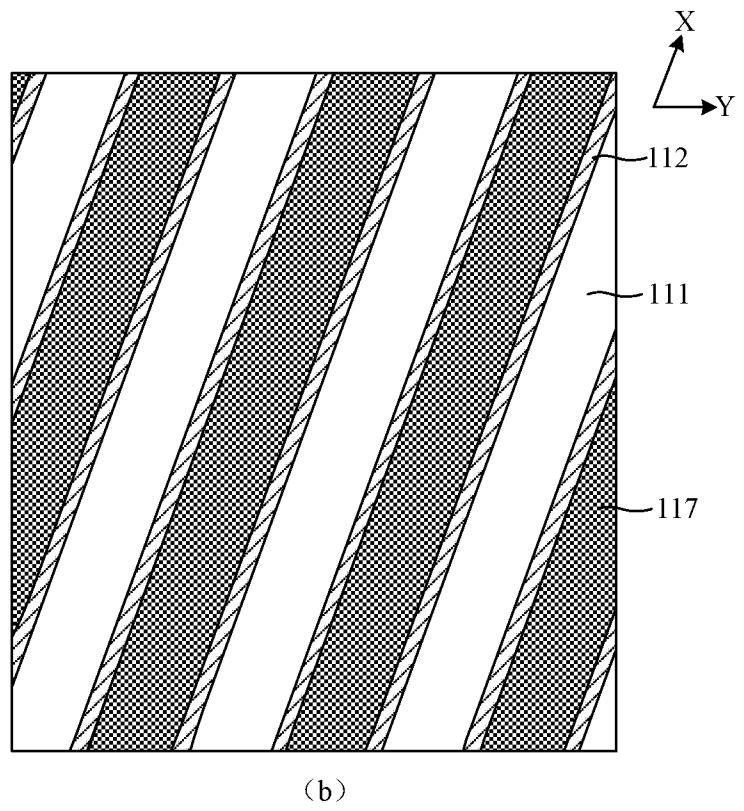
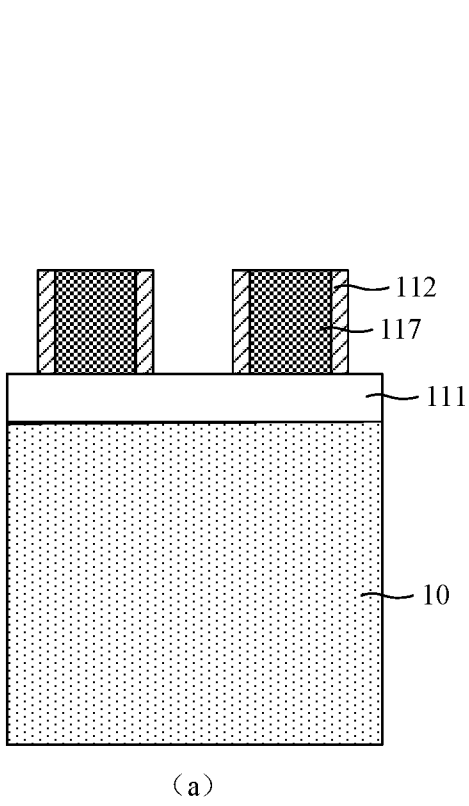


图 4

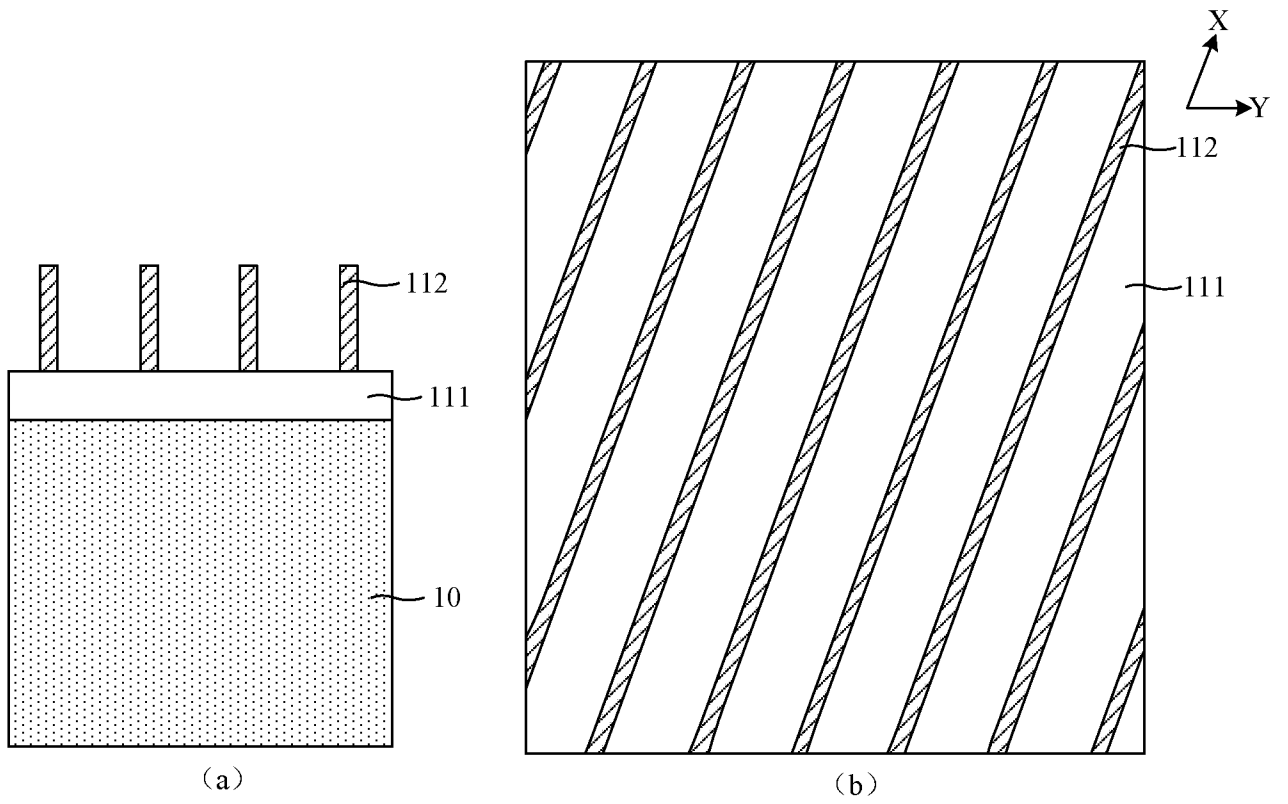


图 5

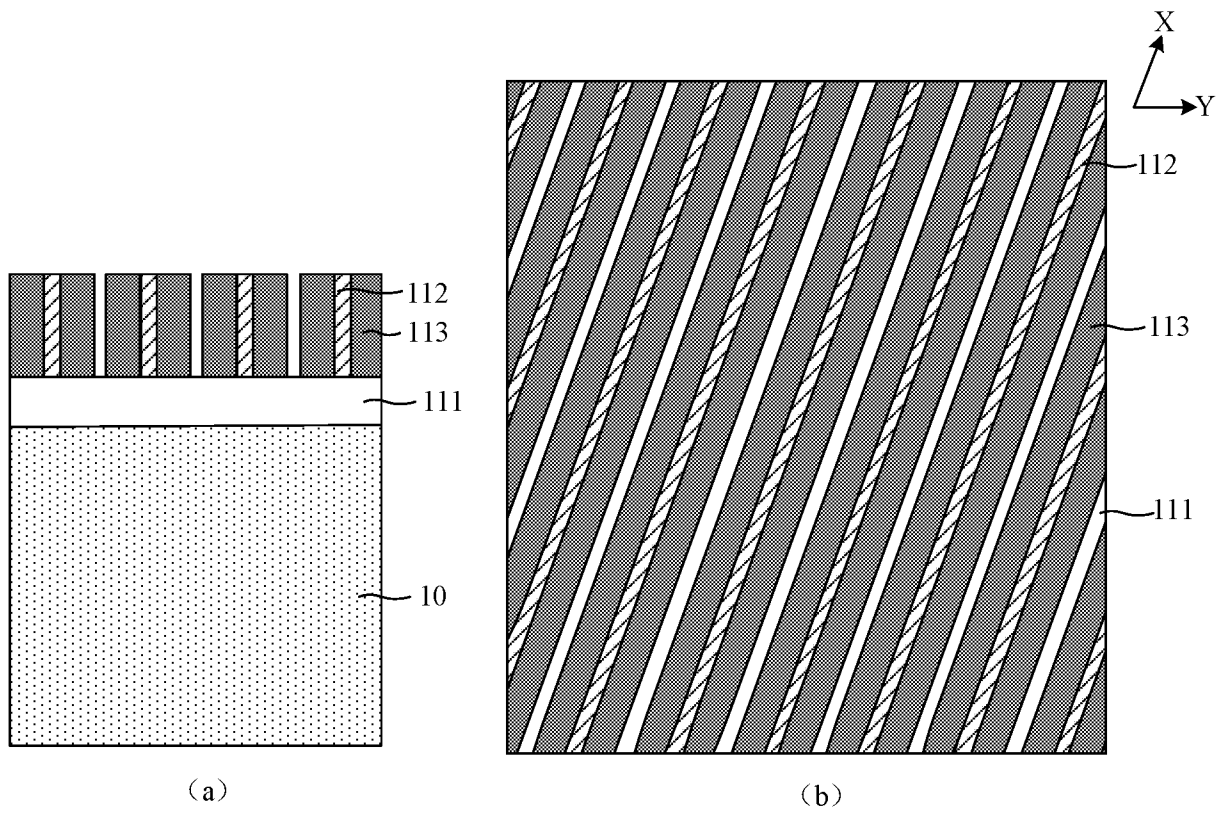


图 6

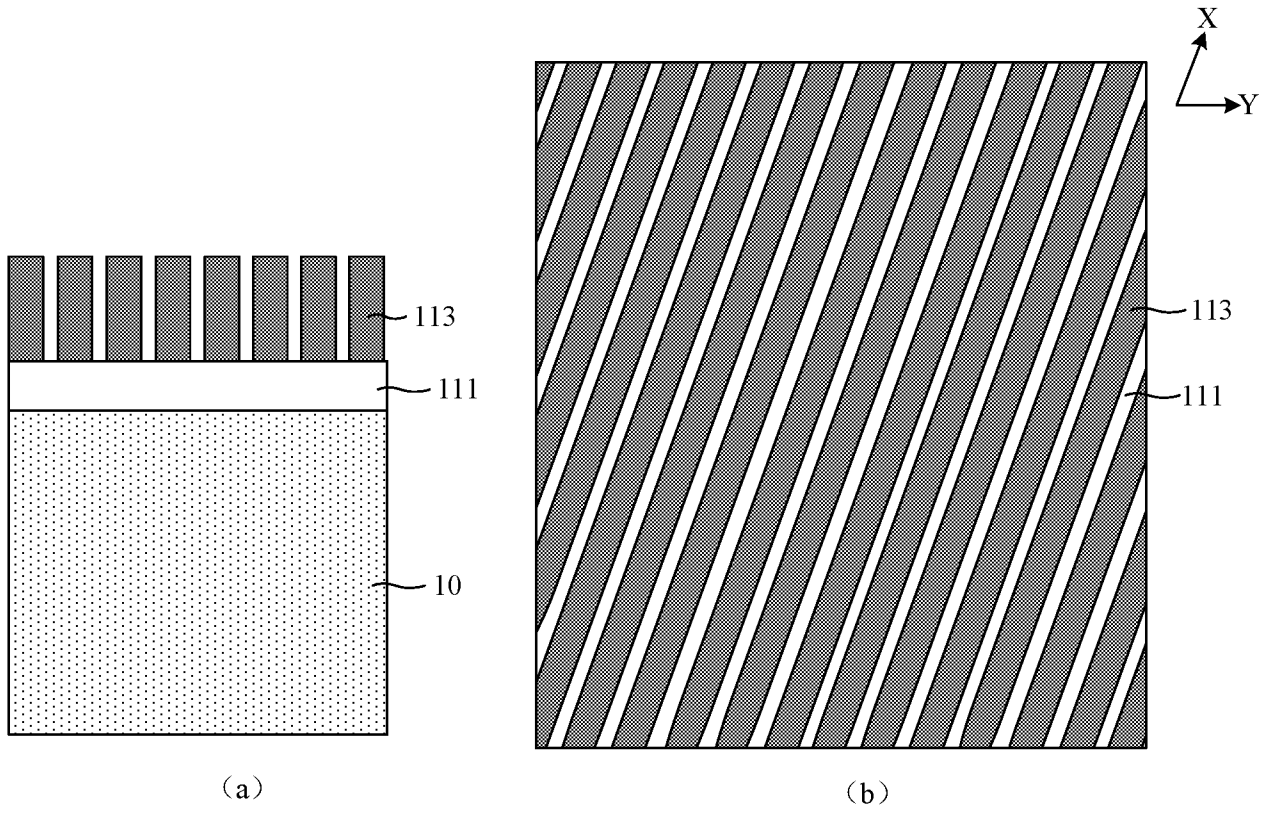


图 7

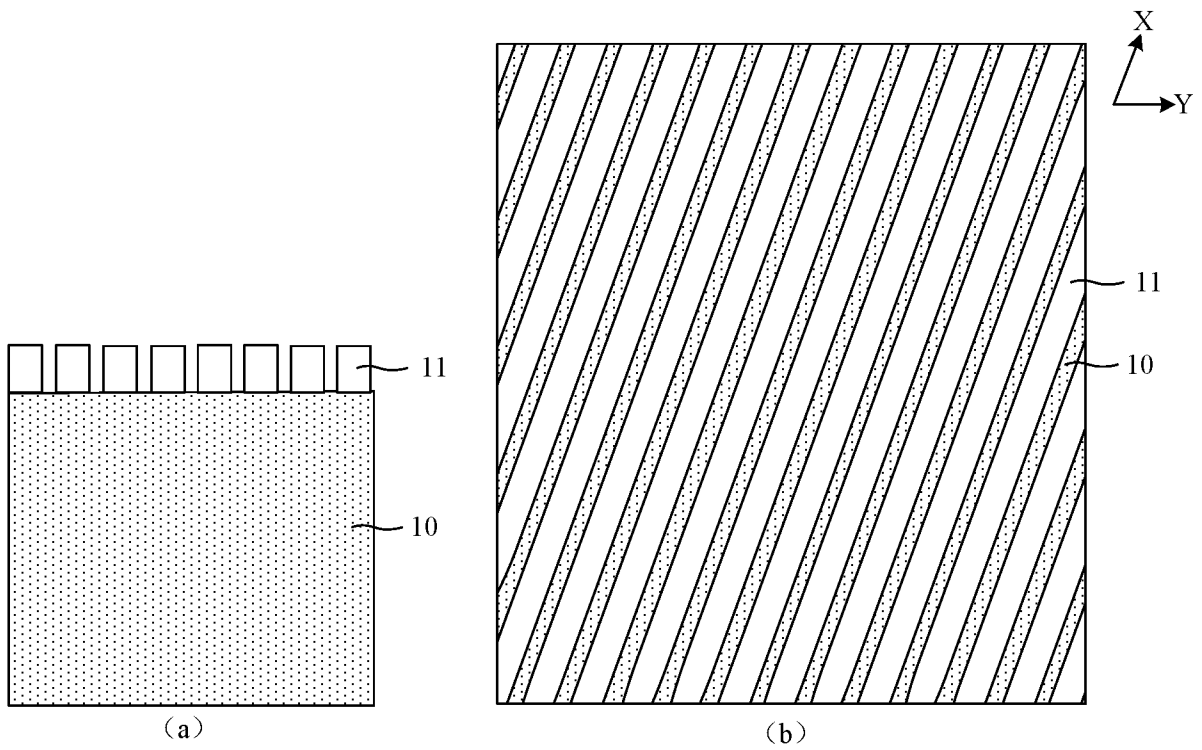


图 8

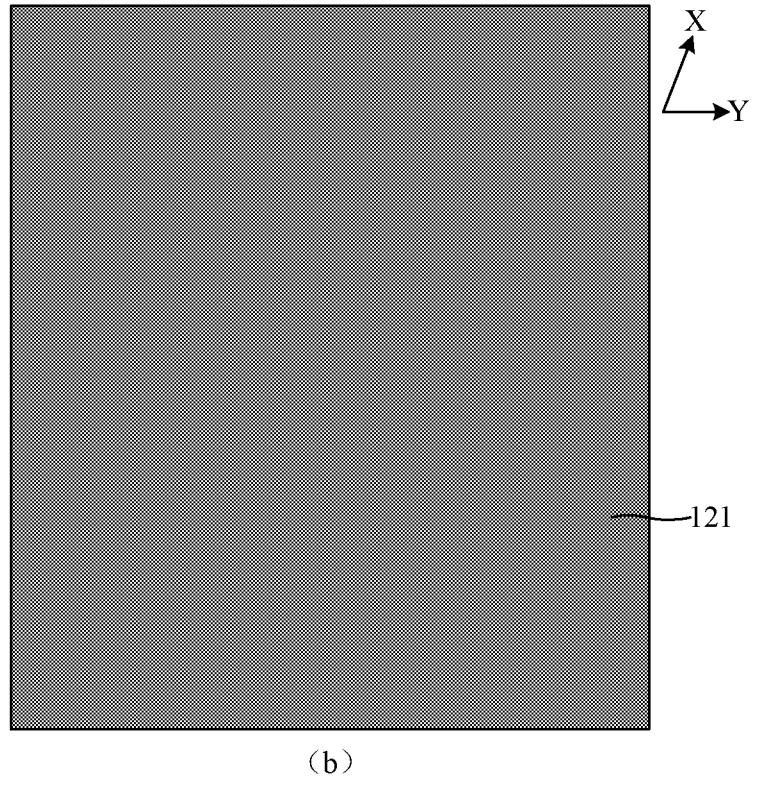
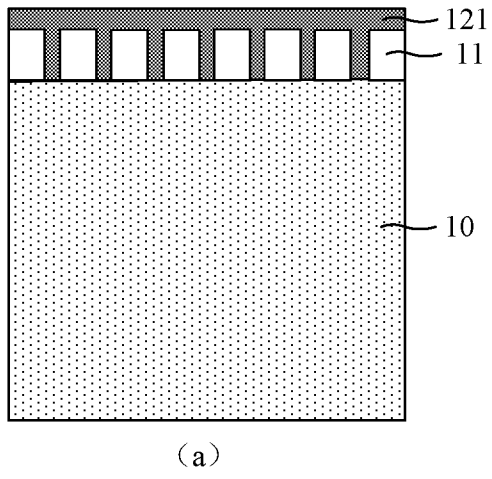


图 9

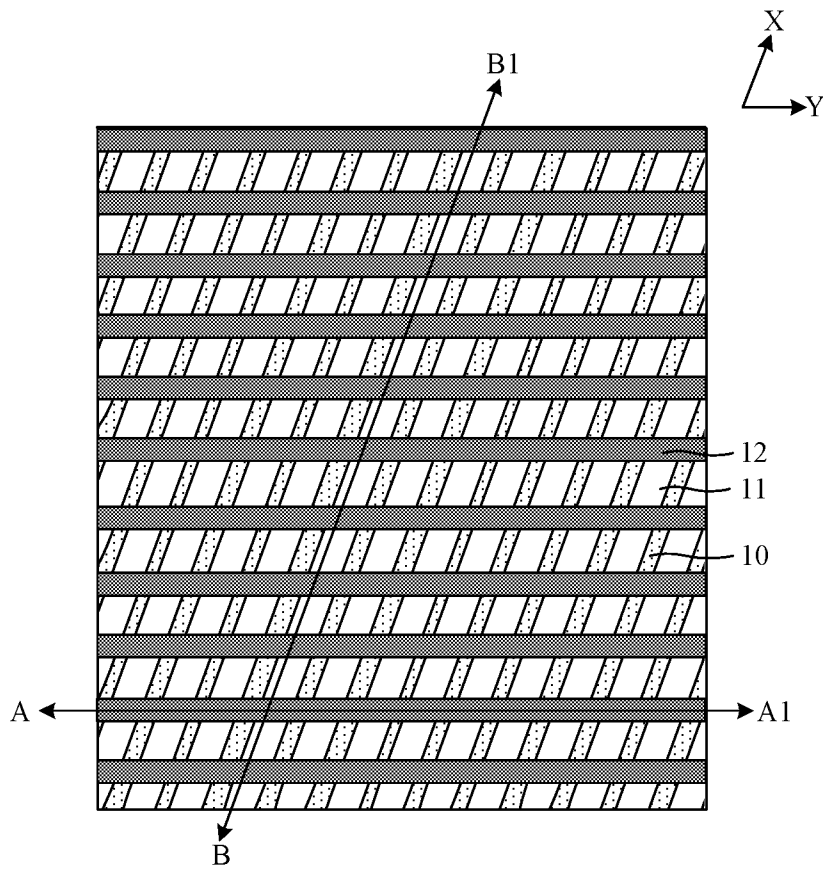


图 10



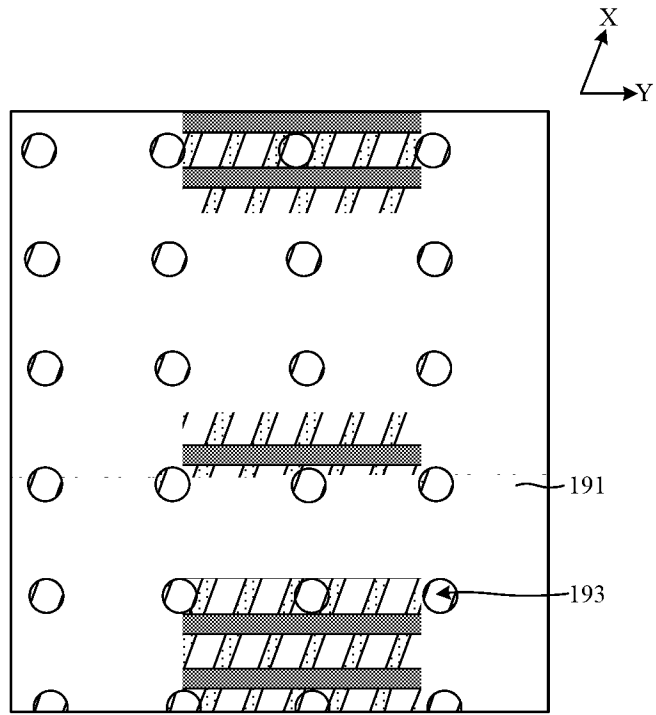


图 14

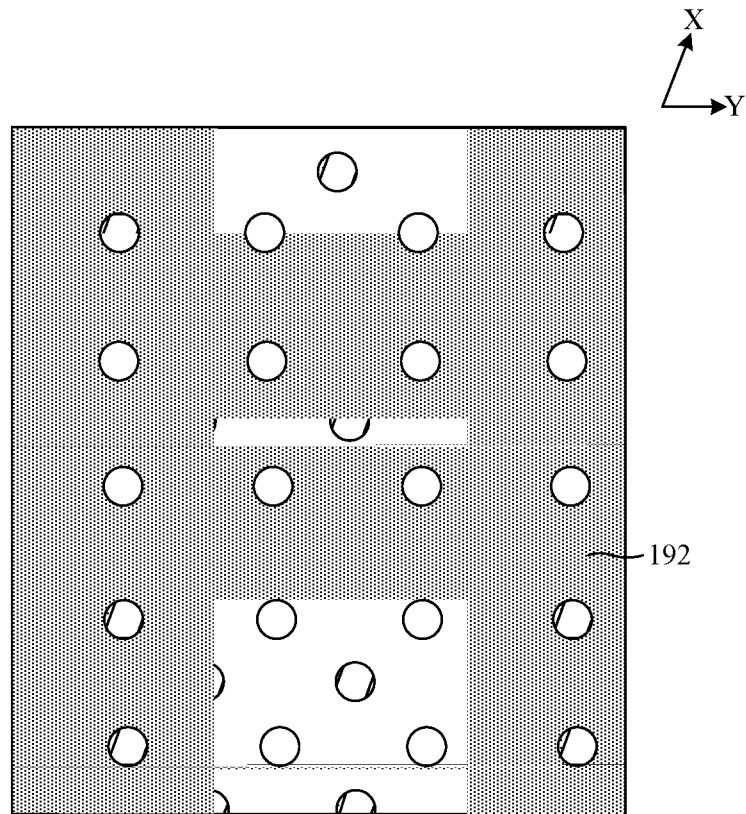


图 15

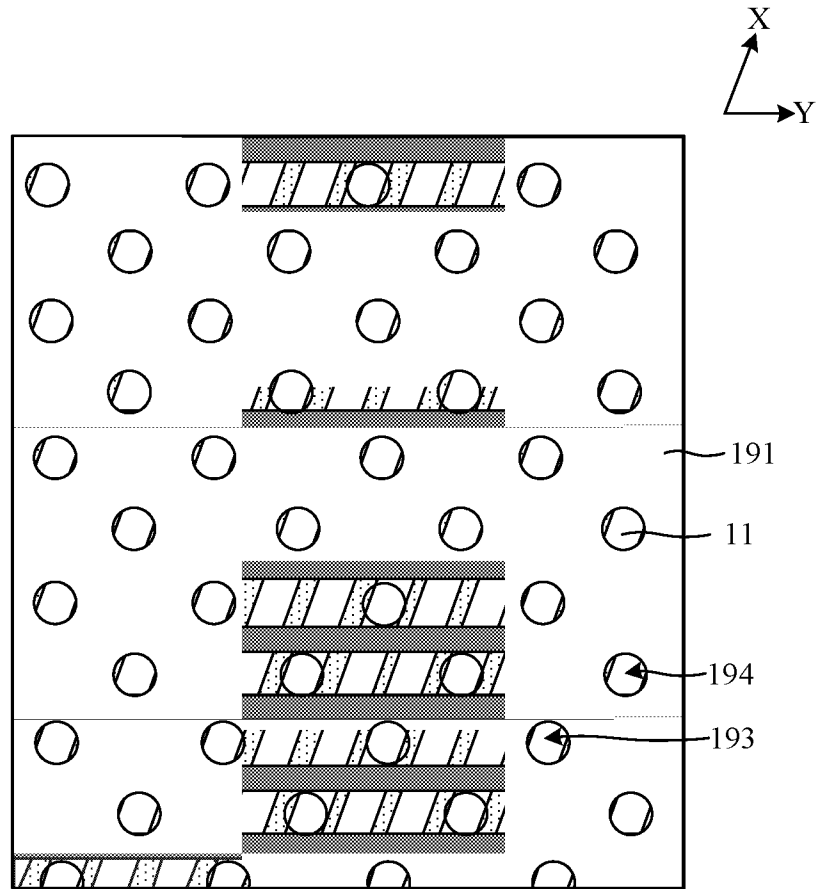


图 16

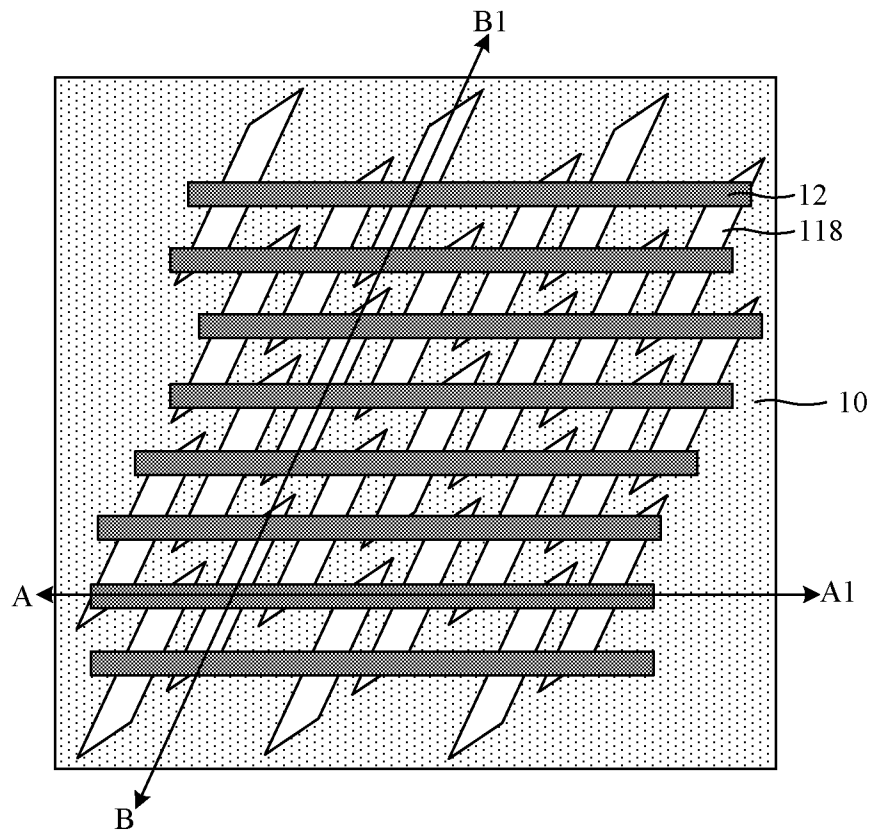


图 17

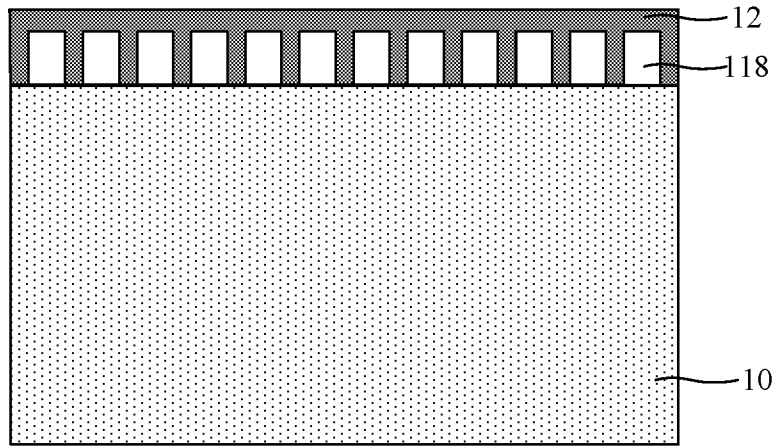


图 18

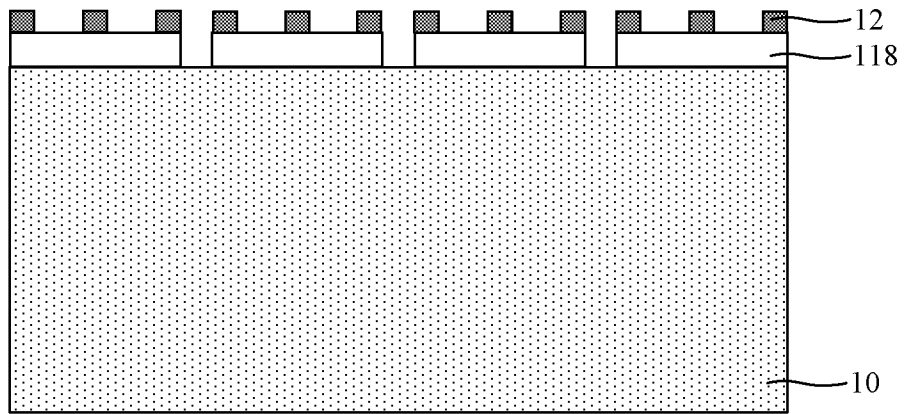


图 19

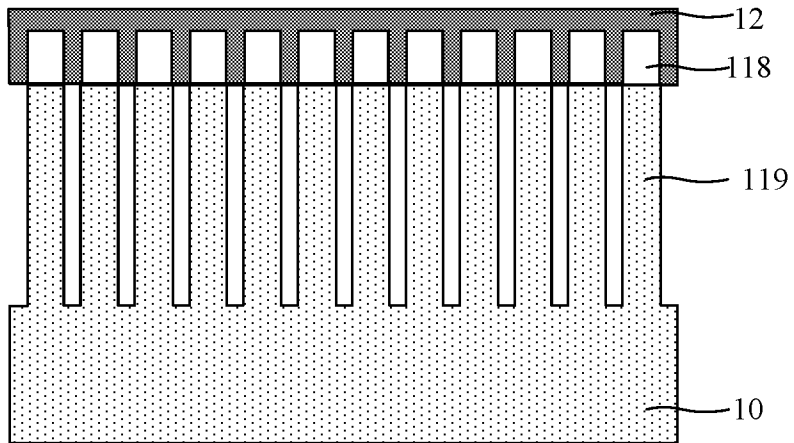


图 20

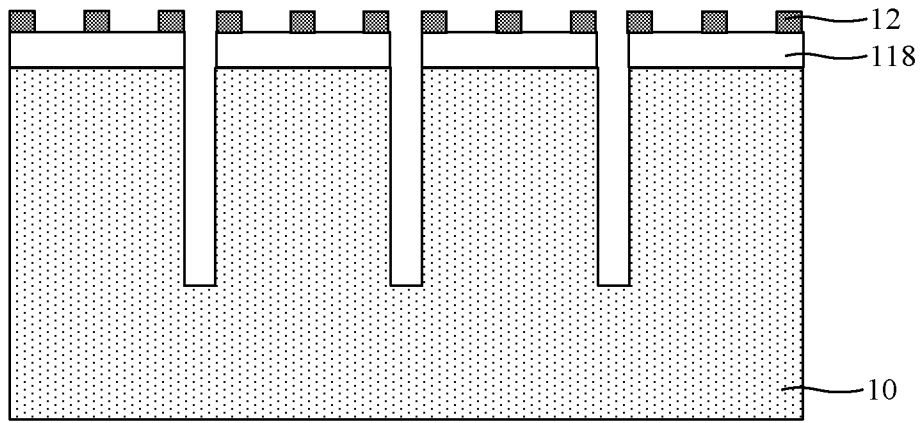


图 21

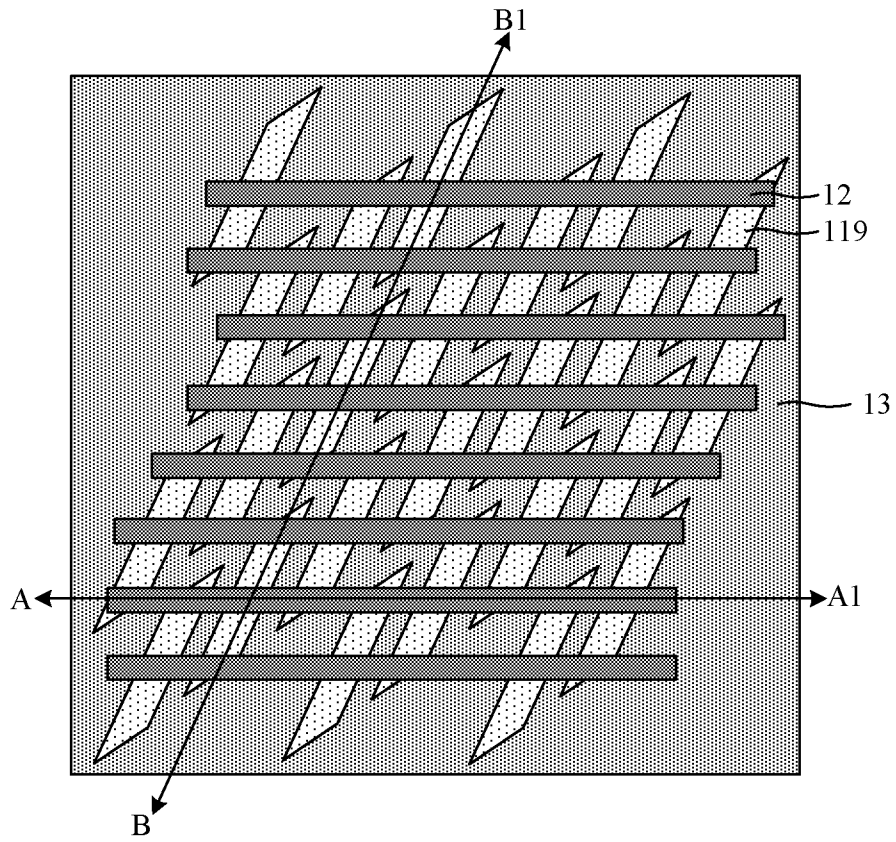


图 22

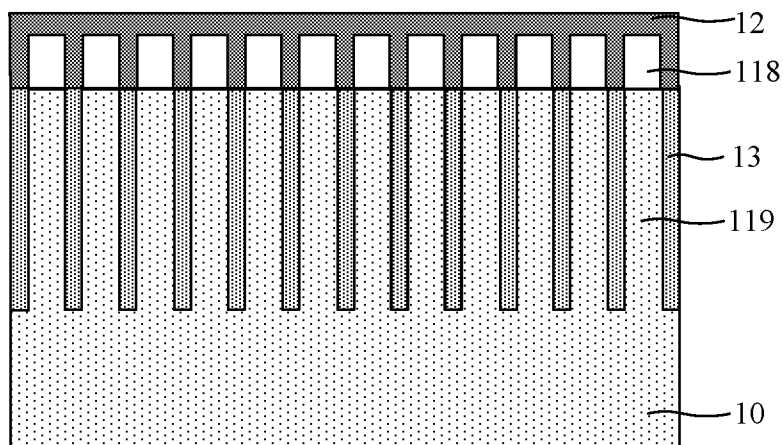


图 23

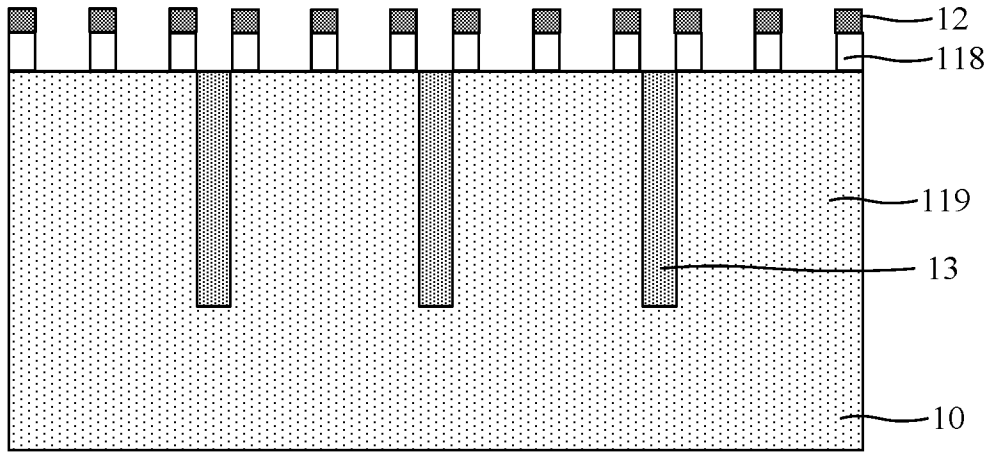


图 24

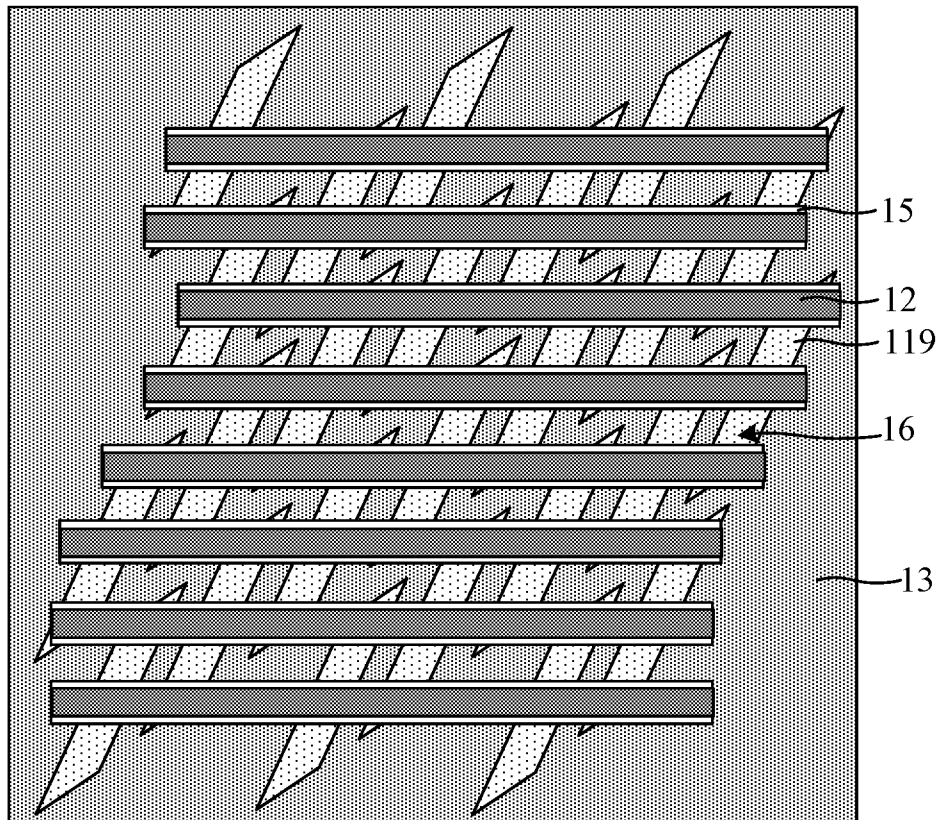


图 25

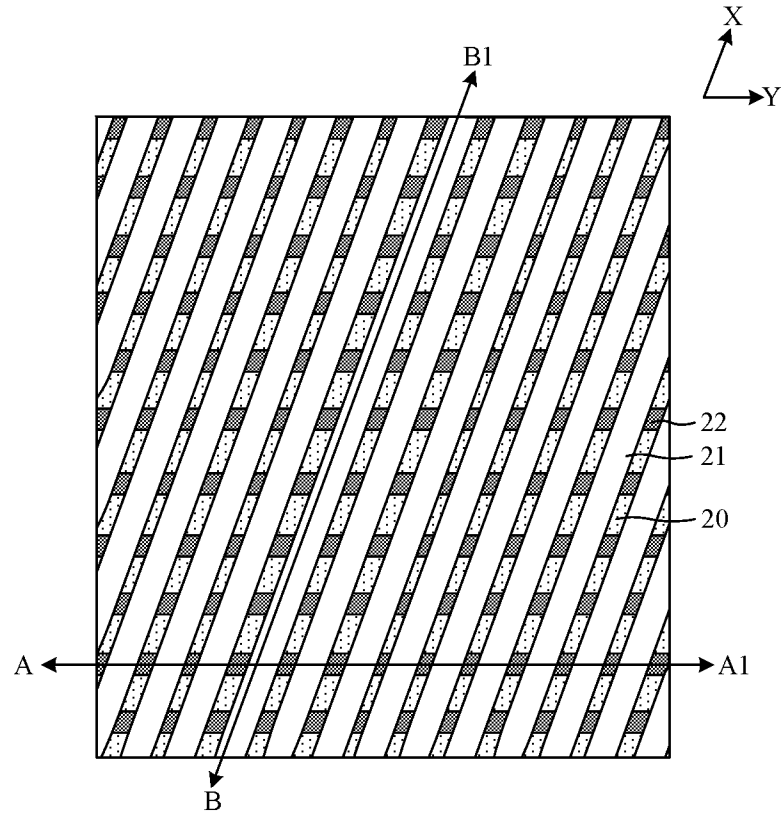


图 26

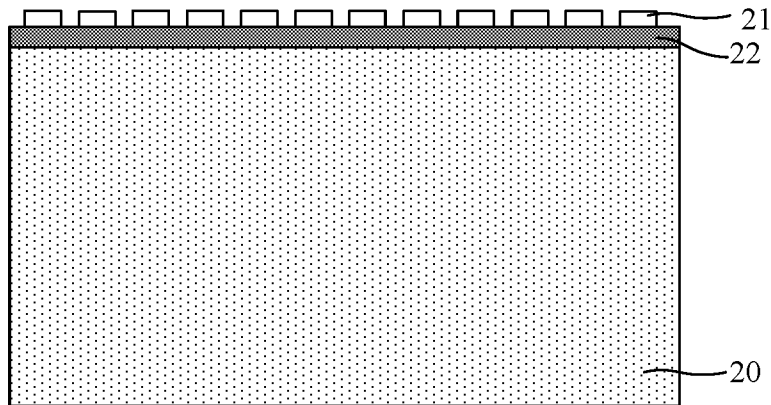


图 27

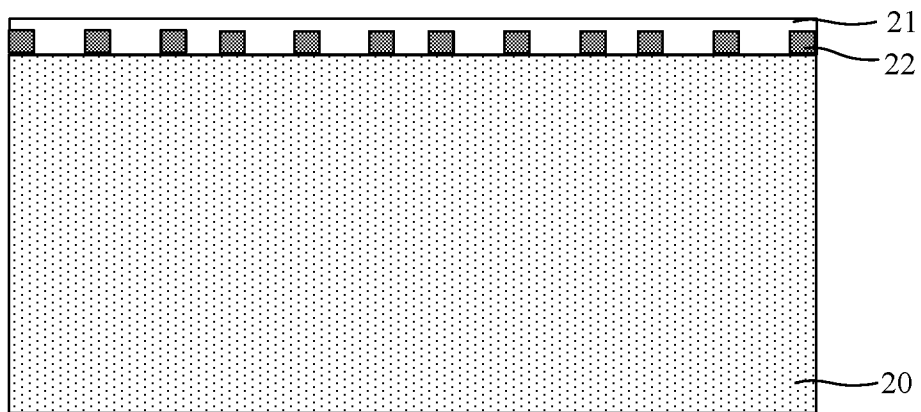


图 28

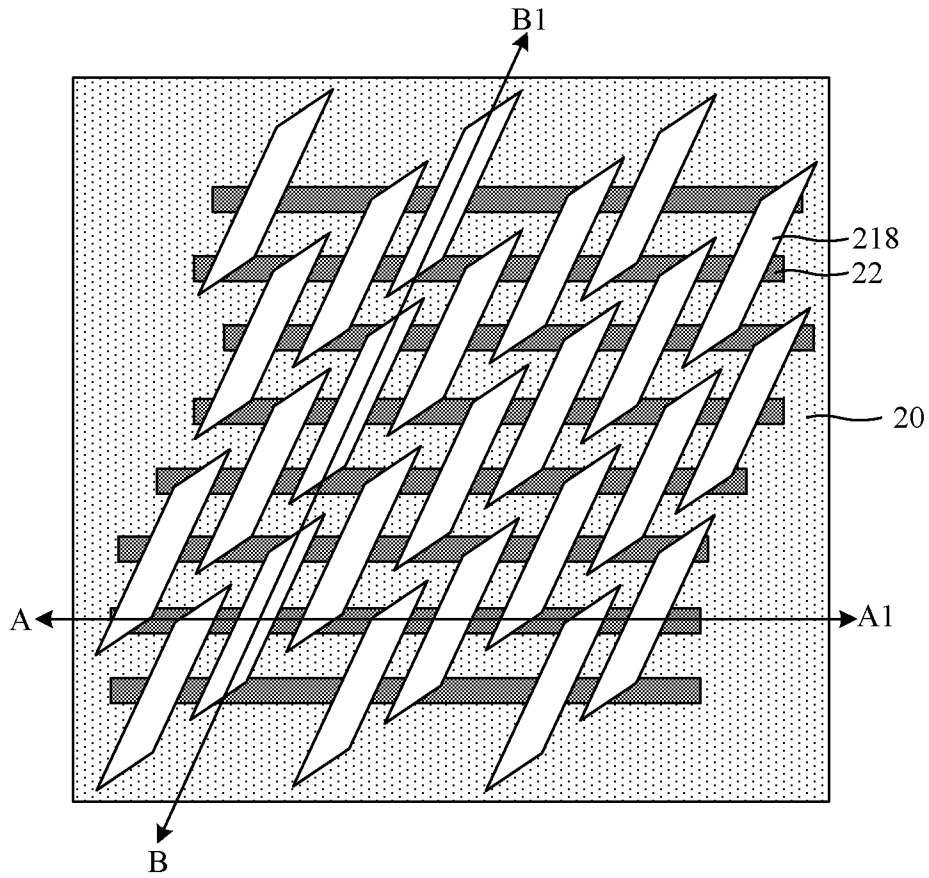


图 29

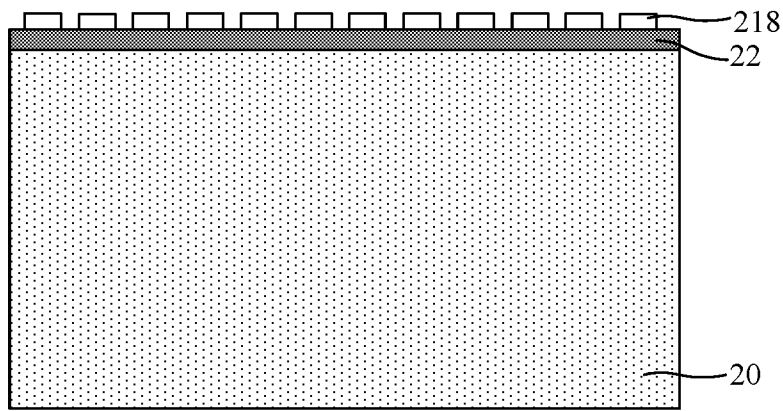


图 30

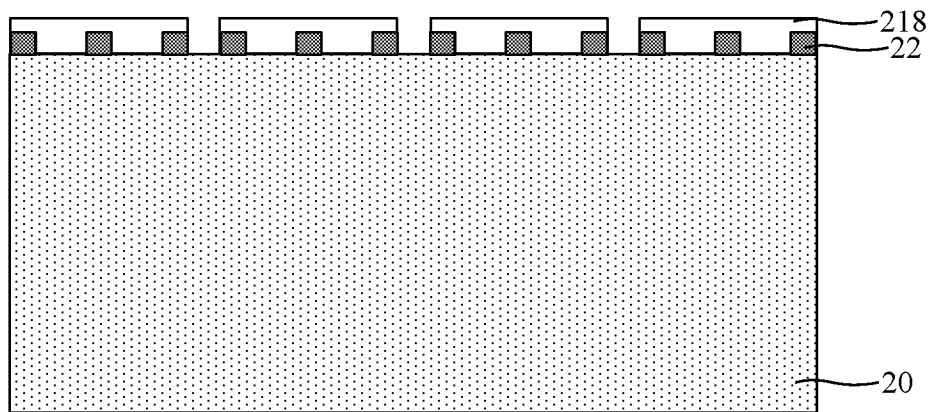


图 31

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/120125

<b>A. CLASSIFICATION OF SUBJECT MATTER</b>		
H01L 21/8242(2006.01)i; H01L 27/108(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols)		
H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
CNTXT; CNABS; VEN; WOTXT; USTXT; EPTXT; CNKI: 存储, 有源, 阵列, 活性, 主动, 字线, 掩膜, 掩模, 光阻, 光刻胶, 倾斜, 倾倒, 倒塌, 坍塌, 支撑, 简化, 方法, memory, DRAM, active, array, word line, mask, resist, tilt, lean, incline, collapse, support, easy, simplify, method		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2015333059 A1 (LEE, D. B. et al.) 19 November 2015 (2015-11-19) description, paragraphs [0052]-[0097], and figures 1A-10	1-15
A	CN 112786444 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 11 May 2021 (2021-05-11) entire document	1-15
A	CN 103794605 A (SAMSUNG ELECTRONICS CO., LTD.) 14 May 2014 (2014-05-14) entire document	1-15
A	US 2017053920 A1 (SAMSUNG ELECTRONICS CO., LTD.) 23 February 2017 (2017-02-23) entire document	1-15
A	US 2017256413 A1 (YOON, C. S. et al.) 07 September 2017 (2017-09-07) entire document	1-15
A	US 2012153385 A1 (SEO, D. Y.) 21 June 2012 (2012-06-21) entire document	1-15
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
13 January 2022		28 January 2022
Name and mailing address of the ISA/CN		Authorized officer
China National Intellectual Property Administration (ISA/CN) No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088, China		
Facsimile No. (86-10)62019451		Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

**PCT/CN2021/120125**

<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2012040528 A1 (SAMSUNG ELECTRONICS CO., LTD.) 16 February 2012 (2012-02-16) entire document	1-15
.....		

**INTERNATIONAL SEARCH REPORT**  
**Information on patent family members**

International application No.

**PCT/CN2021/120125**

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
US	2015333059	A1	19 November 2015	KR	20150131450	A	25 November 2015
CN	112786444	A	11 May 2021	CN	210607188	U	22 May 2020
				WO	2021088430	A1	14 May 2021
				US	2021359084	A1	18 November 2021
CN	103794605	A	14 May 2014	US	2014117566	A1	01 May 2014
				US	8729675	B1	20 May 2014
				CN	108538804	A	14 September 2018
				KR	20140053685	A	08 May 2014
				KR	101974350	B1	02 May 2019
				JP	2017212459	A	30 November 2017
				JP	2014086719	A	12 May 2014
				JP	6189615	B2	30 August 2017
				TW	201417241	A	01 May 2014
				TW	1559498	B	21 November 2016
				DE	102013109131	A1	15 May 2014
				DE	102013109131	B4	06 May 2021
				CN	103794605	B	24 April 2018
				CN	108538804	B	08 June 2021
US	2017053920	A1	23 February 2017	KR	20170023252	A	03 March 2017
				US	10096603	B2	09 October 2018
US	2017256413	A1	07 September 2017	US	10312105	B2	04 June 2019
US	2012153385	A1	21 June 2012	KR	101096166	B1	19 December 2011
US	2012040528	A1	16 February 2012	US	9012326	B2	21 April 2015
				KR	20120021722	A	09 March 2012
				KR	101658492	B1	21 September 2016

<p><b>A. 主题的分类</b></p> <p>H01L 21/8242(2006.01)i; H01L 27/108(2006.01)i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																										
<p><b>B. 检索领域</b></p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>H01L</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>CNXTX;CNABS;VEN;WOTXT;USTXT;EPTXT;CNKI; 存储, 有源, 阵列, 活性, 主动, 字线, 掩膜, 掩模, 光阻, 光刻胶, 倾斜, 倾倒, 倒塌, 坍塌, 支撑, 简化, 方法, memory, DRAM, active, array, word line, mask, resist, tilt, lean, incline, collapse, support, easy, simplify, method</p>																										
<p><b>C. 相关文件</b></p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>US 2015333059 A1 (LEE DONGBOK 等) 2015年11月19日 (2015 - 11 - 19) 说明书第[0052]-[0097]段, 附图1A-10</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>CN 112786444 A (长鑫存储技术有限公司) 2021年5月11日 (2021 - 05 - 11) 全文</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>CN 103794605 A (三星电子株式会社) 2014年5月14日 (2014 - 05 - 14) 全文</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>US 2017053920 A1 (SAMSUNG ELECTRONICS CO LTD) 2017年2月23日 (2017 - 02 - 23) 全文</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>US 2017256413 A1 (YOON CHAN-SIC 等) 2017年9月7日 (2017 - 09 - 07) 全文</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>US 2012153385 A1 (SEO DAE-YOUNG) 2012年6月21日 (2012 - 06 - 21) 全文</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>US 2012040528 A1 (SAMSUNG ELECTRONICS CO LTD) 2012年2月16日 (2012 - 02 - 16) 全文</td> <td>1-15</td> </tr> </tbody> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	A	US 2015333059 A1 (LEE DONGBOK 等) 2015年11月19日 (2015 - 11 - 19) 说明书第[0052]-[0097]段, 附图1A-10	1-15	A	CN 112786444 A (长鑫存储技术有限公司) 2021年5月11日 (2021 - 05 - 11) 全文	1-15	A	CN 103794605 A (三星电子株式会社) 2014年5月14日 (2014 - 05 - 14) 全文	1-15	A	US 2017053920 A1 (SAMSUNG ELECTRONICS CO LTD) 2017年2月23日 (2017 - 02 - 23) 全文	1-15	A	US 2017256413 A1 (YOON CHAN-SIC 等) 2017年9月7日 (2017 - 09 - 07) 全文	1-15	A	US 2012153385 A1 (SEO DAE-YOUNG) 2012年6月21日 (2012 - 06 - 21) 全文	1-15	A	US 2012040528 A1 (SAMSUNG ELECTRONICS CO LTD) 2012年2月16日 (2012 - 02 - 16) 全文	1-15
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求																								
A	US 2015333059 A1 (LEE DONGBOK 等) 2015年11月19日 (2015 - 11 - 19) 说明书第[0052]-[0097]段, 附图1A-10	1-15																								
A	CN 112786444 A (长鑫存储技术有限公司) 2021年5月11日 (2021 - 05 - 11) 全文	1-15																								
A	CN 103794605 A (三星电子株式会社) 2014年5月14日 (2014 - 05 - 14) 全文	1-15																								
A	US 2017053920 A1 (SAMSUNG ELECTRONICS CO LTD) 2017年2月23日 (2017 - 02 - 23) 全文	1-15																								
A	US 2017256413 A1 (YOON CHAN-SIC 等) 2017年9月7日 (2017 - 09 - 07) 全文	1-15																								
A	US 2012153385 A1 (SEO DAE-YOUNG) 2012年6月21日 (2012 - 06 - 21) 全文	1-15																								
A	US 2012040528 A1 (SAMSUNG ELECTRONICS CO LTD) 2012年2月16日 (2012 - 02 - 16) 全文	1-15																								
<p><input type="checkbox"/> 其余文件在C栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。</p>																										
<p>* 引用文件的具体类型:</p> <p>“A” 认为不特别相关的表示了现有技术一般状态的文件</p> <p>“E” 在国际申请日的当天或之后公布的在先申请或专利</p> <p>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)</p> <p>“O” 涉及口头公开、使用、展览或其他方式公开的文件</p> <p>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</p> <p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</p> <p>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</p> <p>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</p> <p>“&amp;” 同族专利的文件</p>																										
<p>国际检索实际完成的日期</p> <p>2022年1月13日</p>		<p>国际检索报告邮寄日期</p> <p>2022年1月28日</p>																								
<p>ISA/CN的名称和邮寄地址</p> <p>中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088</p> <p>传真号 (86-10)62019451</p>		<p>授权官员</p> <p>张弓</p> <p>电话号码 (86-512) 88995669</p>																								

国际检索报告  
关于同族专利的信息

国际申请号

PCT/CN2021/120125

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
US	2015333059	A1	2015年11月19日	KR	20150131450	A	2015年11月25日
CN	112786444	A	2021年5月11日	CN	210607188	U	2020年5月22日
				WO	2021088430	A1	2021年5月14日
				US	2021359084	A1	2021年11月18日
CN	103794605	A	2014年5月14日	US	2014117566	A1	2014年5月1日
				US	8729675	B1	2014年5月20日
				CN	108538804	A	2018年9月14日
				KR	20140053685	A	2014年5月8日
				KR	101974350	B1	2019年5月2日
				JP	2017212459	A	2017年11月30日
				JP	2014086719	A	2014年5月12日
				JP	6189615	B2	2017年8月30日
				TW	201417241	A	2014年5月1日
				TW	1559498	B	2016年11月21日
				DE	102013109131	A1	2014年5月15日
				DE	102013109131	B4	2021年5月6日
				CN	103794605	B	2018年4月24日
				CN	108538804	B	2021年6月8日
US	2017053920	A1	2017年2月23日	KR	20170023252	A	2017年3月3日
				US	10096603	B2	2018年10月9日
US	2017256413	A1	2017年9月7日	US	10312105	B2	2019年6月4日
US	2012153385	A1	2012年6月21日	KR	101096166	B1	2011年12月19日
US	2012040528	A1	2012年2月16日	US	9012326	B2	2015年4月21日
				KR	20120021722	A	2012年3月9日
				KR	101658492	B1	2016年9月21日