

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4234270号
(P4234270)

(45) 発行日 平成21年3月4日(2009.3.4)

(24) 登録日 平成20年12月19日(2008.12.19)

(51) Int.Cl.

F I

H O 1 L 23/28 (2006.01)

H O 1 L 23/28 H

H O 1 L 23/12 (2006.01)

H O 1 L 23/28 Z

H O 1 L 23/12 5 O 1 P

請求項の数 5 (全 14 頁)

(21) 出願番号 特願平11-203536

(22) 出願日 平成11年7月16日(1999.7.16)

(65) 公開番号 特開2001-35970(P2001-35970A)

(43) 公開日 平成13年2月9日(2001.2.9)

審査請求日 平成18年7月13日(2006.7.13)

(73) 特許権者 000236436

浜松ホトニクス株式会社

静岡県浜松市東区市野町1126番地の1

(74) 代理人 100088155

弁理士 長谷川 芳樹

(74) 代理人 100089978

弁理士 塩田 辰也

(74) 代理人 100092657

弁理士 寺崎 史朗

(72) 発明者 竹下 辰夫

静岡県浜松市市野町1126番地の1 浜

松ホトニクス株式会社内

(72) 発明者 榊原 正之

静岡県浜松市市野町1126番地の1 浜

松ホトニクス株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

複数の半導体チップに相当する素子が形成されている半導体基板を、前記半導体チップを個々に搭載可能な電極及び外部接続用電極が形成されているパッケージ基板に搭載し、前記半導体基板と前記パッケージ基板とを相互に電気接続する工程と、

前記半導体基板の前記パッケージ基板と対向する面の裏面に、各素子に対応して所定の識別記号を付与する工程と、

前記半導体基板と前記パッケージ基板とを一体的に切断して、複数の半導体チップとパッケージベースとに分離する工程と、

を含み、

前記パッケージ基板は、平面視にて前記半導体基板より大きい面積を有し、

前記パッケージ基板の前記半導体基板に対向する部分の外側部分に、位置合わせ部を形成し、

前記所定の識別記号を付与する際に、前記位置合わせ部にて前記半導体基板の位置合わせを行うことを特徴とする半導体装置の製造方法。

【請求項2】

前記所定の識別記号は、前記半導体基板内での位置を特定し得るように、前記各半導体チップに対応して異ならせる記号を含むことを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】

前記所定の識別記号は、分離した前記半導体基板を特定し得るように、前記半導体基板内の前記各半導体チップで同一とされる記号を含むことを特徴とする請求項 1 又は 2 に記載の半導体装置の製造方法。

【請求項 4】

複数の半導体チップに相当する素子が形成されている半導体基板を、前記半導体チップを個々に搭載可能な電極及び外部接続用電極が形成されると共に、前記各素子に対応する所定の識別記号が一方の面に付与されたパッケージ基板に対して、前記パッケージ基板の他方の面と前記半導体基板とを対向させた状態で搭載し、前記半導体基板と前記パッケージ基板とを相互に電気接続する工程と、

前記半導体基板と前記パッケージ基板とを一体的に切断して、複数の半導体チップとパッケージベースとに分離する工程と、を含むことを特徴とする半導体装置の製造方法。

10

【請求項 5】

前記パッケージベースは光学的に透明な部材からなると共に、前記素子は光を受光あるいは発光する素子であって、

前記所定の識別記号を、前記半導体基板の前記素子が形成された部分の外側部分に対向する前記パッケージ基板部分の裏面に形成することを特徴とする請求項 4 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

20

【発明の属する技術分野】

本発明は、半導体チップをワイヤボンディングを用いることなくパッケージする半導体装置とその製造方法に関する。

【0002】

【従来の技術】

従来、半導体チップのパッケージ構造として、ワイヤボンディングを用いない構造が提案されている。例えば、特許第 2800806 号公報には、複数の半導体チップに相当する素子が形成されている半導体基板を、半導体チップを個々に搭載可能な電極及び外部接続用電極が形成されているパッケージ基板に搭載し、半導体基板とパッケージ基板とを相互に電気接続し、その後半導体基板とパッケージ基板とを一体的に切断して、複数の半導体チップとパッケージベースとに分離して、パッケージベースと半導体チップとが同一平面形状及び平面寸法に形成する半導体装置が開示されている。

30

【0003】

【発明が解決しようとする課題】

しかしながら、特許第 2800806 号公報においては、上述した構成の半導体装置に対して、型名や製造履歴の表示、あるいは、素子の方向性表示等の識別記号を付与する点については、何ら配慮がなされていない。

【0004】

本発明は上述の点に鑑みてなされたもので、パッケージベースに半導体チップが搭載され、このパッケージベースに設けられた外部接続用電極と前記半導体チップとが電気接続される構成の半導体装置であって、型名や製造履歴の表示、あるいは、素子の方向性表示等の識別記号を付与することが可能な半導体装置の製造方法を提供することを目的とする。

40

【0005】

【課題を解決するための手段】

本発明に係る半導体装置の製造方法は、複数の半導体チップに相当する素子が形成されている半導体基板を、半導体チップを個々に搭載可能な電極及び外部接続用電極が形成されているパッケージ基板に搭載し、半導体基板とパッケージ基板とを相互に電気接続する工程と、半導体基板のパッケージ基板と対向する面の裏面に、各素子に対応して所定の識別記号を付与する工程と、半導体基板とパッケージ基板とを一体的に切断して、複数の半導体チップとパッケージベースとに分離する工程と、を含むことを特徴としている。

50

【 0 0 0 6 】

このような構成を採用した場合、半導体基板をパッケージ基板に搭載し、半導体基板のパッケージ基板と対向する面の裏面に各素子に対応して所定の識別記号を付与した後に、半導体基板とパッケージ基板とを一体的に切断して、複数個の半導体チップとパッケージベースとに分離して個々の半導体装置を形成しているので、製造工程を複雑化することなく簡易に、個々の半導体装置の半導体チップに対して型名や製造履歴の表示、あるいは、素子の方向性表示等の識別記号を付与することが可能となる。

【 0 0 0 7 】

また、パッケージ基板は、平面視にて半導体基板より大きい面積を有し、パッケージ基板の半導体基板に対向する部分の外側部分に、位置合わせ部を形成し、所定の識別記号を付与する際に、位置合わせ部にて半導体基板の位置合わせを行うことが好ましい。このような構成を採用した場合、確実に半導体基板の位置合わせが行え、半導体基板に対して所定の識別記号を付与する際に、半導体基板の適切な位置に確実に識別記号を付与することが可能となる。

10

【 0 0 0 8 】

また、所定の識別記号は、半導体基板内での位置を特定し得るように、各半導体チップに対応して異ならせる記号を含むことが好ましい。このような構成を採用した場合、複数個の半導体チップとパッケージベースとに分離して個々の半導体装置を形成した後においても、対象とする半導体装置の半導体チップが、半導体基板内においてどこに位置していたものなのかを容易に特定することができ、半導体チップあるいは半導体基板の不良品解析等を短時間で且つ容易に行うことが可能となる。

20

【 0 0 0 9 】

また、所定の識別記号は、分離した半導体基板を特定し得るように、半導体基板内の各半導体チップで同一とされる記号を含むことが好ましい。このような構成を採用した場合、複数個の半導体チップとパッケージベースとに分離して個々の半導体装置を形成した後においても、対象とする半導体装置の半導体チップが、どの半導体基板から分離されたものなのかを容易に特定することができ、半導体チップあるいは半導体基板の不良品解析等を短時間で且つ容易に行うことが可能となる。

【 0 0 1 0 】

また、本発明に係る半導体装置の製造方法は、複数の半導体チップに相当する素子が形成されている半導体基板を、半導体チップを個々に搭載可能な電極及び外部接続用電極が形成されると共に、各素子に対応する所定の識別記号が一方の面に付与されたパッケージ基板に対して、パッケージ基板の他方の面と半導体基板とを対向させた状態で搭載し、半導体基板とパッケージ基板とを相互に電気接続する工程と、半導体基板とパッケージ基板とを一体的に切断して、複数個の半導体チップとパッケージベースとに分離する工程と、を含むことを特徴としている。

30

【 0 0 1 1 】

このような構成を採用した場合、半導体基板を、各素子に対応する所定の識別記号が一方の面に付与されたパッケージ基板に対して、パッケージ基板の他方の面と半導体基板とを対向させた状態で搭載した後に、半導体基板とパッケージ基板とを一体的に切断して、複数個の半導体チップとパッケージベースとに分離して個々の半導体装置を形成しているので、製造工程を複雑化することなく簡易に、個々の半導体装置のパッケージベースに対して型名や製造履歴の表示、あるいは、素子の方向性表示等の識別記号を付与することが可能となる。

40

【 0 0 1 2 】

また、パッケージベースは光学的に透明な部材からなると共に、素子は光を受光あるいは発光する素子であって、所定の識別記号を、半導体基板の素子が形成された部分の外側部分に対向するパッケージ基板部分の裏面に形成することが好ましい。このような構成を採用した場合、所定の識別記号を、素子と平面視で重ならない位置に形成することになり、識別記号により素子の受光あるいは発光が妨げられることを回避し、素子の受光性能ある

50

いは発光性能が低下することを防止することが可能となる。

【 0 0 1 3 】

【 発明の実施の形態 】

本発明の実施の形態を図面に基づいて説明する。なお、図面の説明において同一の要素には同一の符号を付しており、重複する説明は省略する。

【 0 0 1 4 】

(第 1 実施形態)

図 1 は、本発明による半導体装置の第 1 実施形態を、製造工程順に説明する説明図であり、図 2 は半導体基板の平面図、図 4 はパッケージ基板の平面図である。図 1 (a) に示されるように、シリコン等の半導体基板 1 0 は、一方の面 1 0 a に、ボンディングパッド 1 1 と、パッケージ基板 2 0 に対する半導体基板 1 0 の位置合わせを行うための第 1 アライメントパターン 1 2 が形成されている。ボンディングパッド 1 1 上には、電気接続用に、Au あるいは半田等による bumps 1 3 が設けられている。

10

【 0 0 1 5 】

半導体基板 1 0 は、図 2 に示されるように、後に切断分離される多数個の半導体チップ 1 を含んでいる。各半導体チップ 1 は、図 3 に示されるように、所定波長（例えば、近紫外から近赤外までの波長）の光を受光する受光部 1 4 を有しており、受光部 1 4 の外側にボンディングパッド 1 1（本実施形態においては、4 箇所）が設けられている。第 1 アライメントパターン 1 2 は、図 2 に示されるように、半導体基板 1 0 の直径方向の外周部分の 2 箇所に設けられており、フォトリソ技術等を用いて「+」字状に形成されている。この第 1 アライメントパターン 1 2 は、ボンディングパッド 1 1 と同じ配線を利用して形成することも可能である。

20

【 0 0 1 6 】

まず、この半導体基板 1 0 を、図 1 (b) に示されるように、半導体基板 1 0 より大きい面積を有した矩形のパッケージ基板 2 0 上に搭載し、一体化する。パッケージ基板 2 0 は、受光部 1 4 が受光する光の波長に対して光学的に透明な、透光性ガラスからなる。パッケージ基板 2 0 の一方の面 2 0 a には、第 1 配線電極 2 1 と、パッケージ基板 2 0 に対する半導体基板 1 0 の位置合わせを行うための第 2 アライメントパターン 2 2 と、後に識別記号を付与する際に半導体基板 1 0 の位置合わせを行うための目印パターン 2 3 とが形成されている。パッケージ基板 2 0 の他方の面 2 0 b には、外部基板（図示せず）と接続される第 2 配線電極 2 4 が形成されており、この第 2 配線電極 2 4 には、外部基板（図示せず）との接続用に、Au あるいは半田等による bumps 2 5 が設けられている。また、パッケージ基板 2 0 には、図 1 (b) 及び図 4 に示されるように、パッケージ基板 2 0 を貫通する貫通孔 2 6 が、フォトリソ技術を用いて形成されている。ここで、第 1 配線電極 2 1 及び第 2 配線電極 2 4 は、各請求項における外部接続用電極を構成している。目印パターン 2 3 は、各請求項における位置合わせ部を構成している。

30

【 0 0 1 7 】

第 1 配線電極 2 1 は、図 4 及び図 5 に示されるように、受光部 1 4 に対応する位置の外側で半導体基板 1 0 の bumps 1 3（ボンディングパッド 1 1）と対応する位置に設けられており、パッケージ基板 2 0 を貫通して設けられたスルーホール 2 7 内部の配線電極（図示せず）を介して第 2 配線電極 2 4 と導通されている。第 2 アライメントパターン 2 2 は、同じく図 4 に示されるように、半導体基板 1 0 の第 1 アライメントパターン 1 2 が形成された位置に対応する位置に、2 箇所設けられており、フォトリソ技術等を用いて第 1 アライメントパターン 1 2 より大きい「+」字状に形成されている。目印パターン 2 3 は、図 6 に示されるように、パッケージ基板 2 0 の半導体基板 1 0 に対向する部分の外側部分に位置する角部近傍に、フォトリソ技術等を用いて対角 2 箇所形成されている。貫通孔 2 6 は、図 5 に示されるように、後に半導体基板 1 0 とパッケージ基板 2 0 とを一体的に切断する際の切断軌跡 C 上に形成されており、受光部 1 4 に対応する位置 D の外側で、矩形に形成される各半導体チップ 1 の角部に対応する位置に設けられる。

40

【 0 0 1 8 】

50

半導体基板 10 をパッケージ基板 20 に搭載する際には、半導体基板 10 の受光部 14 及び第 1 アライメントパターン 12 が形成された一方の面 10 a とパッケージ基板 20 の第 2 アライメントパターン 22 が形成された一方の面 20 a とを対向させた状態で、パッケージ基板 20 に形成された第 2 アライメントパターン 22 と半導体基板 10 に形成された第 1 アライメントパターン 12 とを合致させて、位置合わせを行う（図 6 に示された状態）。半導体基板 10 とパッケージ基板 20 との位置合わせが終わった後、パッケージ基板 20 の第 1 配線電極 21 と半導体基板 10 のバンブ 13 とを公知の熱圧着等の接続技術を用いて接続（フリップチップ接続）する。半導体基板 10 とパッケージ基板 20 とが電気接続された状態（図 1（b）に示された状態）において、半導体基板 10 とパッケージ基板 20 との間には所定幅（例えば、100 μm 程度）の間隙 30 が形成されており、この間隙 30 の幅はボンディングパッド 11、バンブ 13 及び第 1 配線電極 21 の厚さにより規定、管理されることになる。

10

【0019】

半導体基板 10 をパッケージ基板 20 に搭載し一体化すると、図 1（c）に示されるように、半導体基板 10 とパッケージ基板 20 との間に形成された間隙 30 に、アンダーフィル樹脂 31 を充填し、硬化させる。アンダーフィル樹脂 31 は、受光部 14 が受光する光の波長に対して光学的に透明で且つ絶縁性を有しており、例えば、シリコン樹脂にて構成される。

【0020】

次いで、公知のレーザーマーキング技術を用いて、図 7 に示されるように、半導体基板 10 の各受光素子（半導体チップ 1）に対応して所定の識別記号 M を付与する。一体化された半導体基板 10 及びパッケージ基板 20 は、パッケージ基板 20 の第 2 配線電極 24 が形成された他方の面 20 b（半導体基板 10 と対向する面の裏面）を下面とされた状態（図 1（d）に示される状態）で、レーザーマーキング装置（図示せず）に固定される。半導体基板 10 及びパッケージ基板 20 がレーザーマーキング装置に固定されると、パッケージ基板 20 の一方の面 20 a（半導体基板 10 と対向する面）の 2 箇所に形成された目印パターン 23 を基準として、図 7 に示されるように、半導体基板 10 の他方の面 10 b（パッケージ基板 20 に対向する面の裏面）に各受光素子（半導体チップ 1）毎の識別記号 M を付与する。なお、識別記号 M を付与する手法としては、レーザーマーキング技術に限られることなく、その他の印刷技術等を用いることも可能である。

20

30

【0021】

識別記号 M は、第 1 識別部 M1、第 2 識別部 M2 及び第 3 識別部 M3 により構成されている。第 1 識別部 M1 は、半導体基板 10 を特定するためのもので、半導体基板 10 毎に異なる記号とされている。例えば図 7 において、第 1 識別部 M1 の「1」は、「1」という半導体基板 10 から分離した半導体チップ 1 であることを示している。第 2 識別部 M2 は、分離された半導体チップ 1 が半導体基板 10 内のどこに位置していたものなのかを特定するためのもので、半導体チップ 1 毎に異なる記号とされている。例えば図 7 において、第 2 識別部 M2 の「1E」は、半導体基板 10 内の 1 行 E 列目に位置する半導体チップ 1 であることを示している。第 3 識別部 M3 は、製品型名を特定するためのもので、図 7 においては、製品型名が「CSP」とされた半導体チップ 1 であることを示している。

40

【0022】

しかる上で、公知のダイシング技術等を用いて、一体化された半導体基板 10 及びパッケージ基板 20 を同時に切断する。一体化された半導体基板 10 及びパッケージ基板 20 は、半導体基板 10 の他方の面 10 b（パッケージ基板 20 と対向する面の裏面）を下面とされた状態（図 1（c）に示される状態）で、ダイシング装置（図示せず）に固定される。半導体基板 10 及びパッケージ基板 20 がダイシング装置に固定されると、パッケージ基板 20 の他方の面 20 b（半導体基板 10 と対向する面の裏面）に形成された目印パターン（図示せず）等を基準として、一体化された半導体基板 10 及びパッケージ基板 20 が一体的に切断されて、図 1（e）に示されるように、複数個の半導体装置 A1 に分離される。半導体基板 10 及びパッケージ基板 20 は、25 μm 程度の厚さを有する切刃を用

50

いて、貫通孔 2 6 を横断して切断される。

【 0 0 2 3 】

上述したようにして製造された半導体装置 A 1 は、図 1 (e) に示されるように、パッケージ基板 2 0 から分割された平面視矩形の四角が欠けた形状のパッケージベース 2 と、半導体基板 1 0 から分割された平面視矩形の半導体チップ 1 とを有することになる。半導体チップ 1 の一方の面を 1 a、他方の面を 1 b、パッケージベース 2 の一方の面を 2 a、他方の面を 2 b とする。半導体チップ 1 の一方の面 1 a (パッケージベース 2 と対向する面) には、受光部 1 4 が設けられており、この受光部 1 4 がパッケージベース 2 を透過した所定波長の光を受光することにより生成される信号は、受光部 1 4 からボンディングパッド 1 1、バンプ 1 3、第 1 配線電極 2 1、スルーホール 2 7 内部の配線電極 (図示せず)、第 2 配線電極 2 4 及びバンプ 2 5 を介して、外部基板の電極 (図示せず) に送られる。

10

【 0 0 2 4 】

半導体チップ 1 の他方の面 1 b (パッケージベース 2 に対向する面の裏面) には、第 1 識別部 M 1、第 2 識別部 M 2 及び第 3 識別部 M 3 により構成された識別記号 M が付与されている。パッケージベース 2 の角部 (4 箇所) には、貫通孔 2 6 を横断して半導体基板 1 0 とパッケージ基板 2 0 とを一体的に切断したので、個々の半導体装置 A 1 に分離した際に、貫通孔 2 6 の一部がパッケージベース 2 の角部を切り欠いた状態の凹部 3 として残り、この凹部 3 が位置決め用の位置決め部として用いられる。この半導体装置 A 1 を外部基板 (図示せず) に搭載する際には、凹部 3 に対して外部基板側に設けられるガイドピン (図示せず) を立てて位置合わせを行う。

20

【 0 0 2 5 】

上述した第 1 実施形態によれば、半導体基板 1 0 をパッケージ基板 2 0 に搭載して一体化し、半導体基板 1 0 の他方の面 1 0 b (パッケージ基板 2 0 に対向する面の裏面) に各受光部 1 4 (半導体チップ 1) 毎の識別記号 M を付与した後に、半導体基板 1 0 とパッケージ基板 2 0 とを一体的に切断して、複数個の半導体チップ 1 とパッケージベース 2 とに分離して個々の半導体装置 A 1 を形成しているので、製造工程を複雑化することなく簡易に、個々の半導体装置 A 1 の半導体チップ 1 に対して製品型名等を示す識別記号 M を付与することが可能となる。

【 0 0 2 6 】

また、識別記号 M は、半導体基板 1 0 を特定するための第 1 識別部 M 1 を含んでいるので、複数個の半導体チップ 1 とパッケージベース 2 とに分離して個々の半導体装置 A 1 を形成した後においても、対象とする半導体装置 A 1 の半導体チップ 1 が、どの半導体基板 1 0 から分離されたものなのかが容易に特定することができ、半導体チップ 1 あるいは半導体基板 1 0 の不良品解析等を短時間で且つ容易に行うことが可能となる。

30

【 0 0 2 7 】

また、識別記号 M は、分離された半導体チップ 1 が半導体基板 1 0 内のどこに位置していたものなのかを特定するための第 2 識別部 M 2 を含んでいるので、複数個の半導体チップ 1 とパッケージベース 2 とに分離して個々の半導体装置 A 1 を形成した後においても、対象とする半導体装置 A 1 の半導体チップ 1 が、半導体基板 1 0 内においてどこに位置していたものなのかが容易に特定することができ、半導体チップ 1 あるいは半導体基板 1 0 の不良品解析等を短時間で且つ容易に行うことも可能となる。

40

【 0 0 2 8 】

また、パッケージ基板 2 0 は平面視にて半導体基板 1 0 より大きい面積を有し、パッケージ基板 2 0 の半導体基板 1 0 に対向する部分の外側部分に位置する角部近傍に、目印パターン 2 3 を形成しているので、半導体基板 1 0 をパッケージ基板 2 0 に搭載して一体化した後でも、確実に半導体基板 1 0 の位置合わせが行え、半導体基板 1 0 に対して識別記号 M を付与する際に、半導体基板 1 0 (半導体チップ 1) の適切な位置に確実に識別記号 M を付与することが可能となる。

【 0 0 2 9 】

また、後に半導体基板 1 0 とパッケージ基板 2 0 とを一体的に切断する際の切断軌跡 C 上

50

となる、各受光部 1 4 に対応する位置 D の外側で且つ矩形に形成される各半導体チップ 1 の角部に対応する位置に貫通孔 2 6 をパッケージ基板 2 0 に形成し、半導体基板 1 0 とパッケージ基板 2 0 とを一体的に且つ貫通孔 2 6 を横断して切断して、複数の半導体チップ 1 とパッケージベース 2 とに分離して個々の半導体装置 A 1 を形成しているので、個々の半導体装置 A 1 に分離した際に、貫通孔 2 6 の一部がパッケージベース 2 の端部に切り欠いた状態の凹部 3 として残ることになり、パッケージベース 2 の角部に容易に位置決め用の位置決め部を設けることができ、パッケージベース 2 に位置合わせ用の凹部 3 が形成された半導体装置 A 1 を容易に製造することも可能となる。

【 0 0 3 0 】

また、パッケージ基板 2 0 に貫通孔 2 6 を形成し、半導体基板 1 0 とパッケージ基板 2 0 との間に所定幅の間隙 3 0 を形成して半導体基板 1 0 をパッケージ基板 2 0 に搭載し、この間隙 3 0 に、アンダーフィル樹脂 3 1 を充填するので、アンダーフィル樹脂 3 1 によりパッケージ基板 2 0 に形成された第 1 配線電極 2 1 と半導体基板 1 0 に形成されたパンプ 1 3 との接続部位、及び、パンプ 1 3 とボンディングパッド 1 1 との接続部位を確実に保護することができると共に、半導体基板 1 0 とパッケージ基板 2 0 とがアンダーフィル樹脂 3 1 により接続され、機械的強度を増大させることができる。アンダーフィル樹脂 3 1 を充填する際に、半導体基板 1 0 とパッケージ基板 2 0 との間に形成された間隙 3 0 に存在するエアが貫通孔 2 6 を介して排出されるので、アンダーフィル樹脂 3 1 を速やかに充填することができると共に、アンダーフィル樹脂 3 1 を充填した後のエア残りの発生を抑制することができる。特に、エア残りの発生を抑制することにより、半導体装置 A 1 の温度変化により生じるアンダーフィル樹脂 3 1 内での応力分布をより均一化でき、受光素子（半導体チップ 1 ）自体、あるいは、上述された接続部位への応力の作用が抑制されて、これらの部分の破損を防ぎ、半導体装置 A 1 の温度変化に対する信頼性の低下を防ぐことが可能となる。

【 0 0 3 1 】

また、パッケージ基板 2 0 は、所定波長の光に対して光学的に透明な透光性ガラスからなり、半導体基板 1 0 の一方の面 1 0 a （パッケージ基板 2 0 と対向する面）の直径方向の外周部分に第 1 アライメントパターン 1 2 を形成し、パッケージ基板 2 0 の一方の面 2 0 a （半導体基板 1 0 と対向する面）の第 1 アライメントパターン 1 2 と対応する位置に第 2 アライメントパターン 2 2 を形成し、半導体基板 1 0 をパッケージ基板 2 0 に搭載する際に、第 1 アライメントパターン 1 2 及び第 2 アライメントパターン 2 2 を利用して両者の位置決めを行うので、パッケージ基板 2 0 が所定波長の光に対して光学的に透明であることを利用して、パッケージ基板 2 0 側に位置決め用窓等を新たに形成することなく、半導体基板 1 0 とパッケージ基板 2 0 との位置決めを行うことができ、半導体装置 A 1 の製造工程の簡略化を図ることが可能となる。

【 0 0 3 2 】

一方、半導体装置 A 1 については、個々の半導体装置 A 1 に分離した際に、貫通孔 2 6 の一部がパッケージベース 2 の角部を切り欠いた状態の凹部 3 として残り、この凹部 3 を基準として、半導体装置 A 1 の搭載位置、搭載方向等の位置合わせを行え、外部基板（図示せず）への半導体装置 A 1 を搭載する際の位置合わせ精度を向上させることが可能となる。また、貫通孔 2 6 はフォトリソ技術を用いて形成されるので、より高精度に位置合わせを行うことができる。本実施形態においては、特に、半導体チップ 1 を受光素子としていることから、受光部 1 4 が適切に光を受光するように、半導体チップ 1 （半導体装置 A 1 ）の搭載位置、搭載方向等の位置合わせに対して、高精度さが求められるが、パッケージベース 2 （半導体装置 A 1 ）に位置決め用の凹部 3 が形成されるため、高精度に半導体チップ 1 （半導体装置 A 1 ）を搭載することが可能となる。

【 0 0 3 3 】

また、凹部 3 が、平面視矩形のパッケージベース 2 の各角部に設けられることから、受光素子（半導体チップ 1 ）に対して複数箇所設けられることになるので、半導体装置 A 1 の搭載位置の位置合わせを更に確実に行え、外部基板（図示せず）への半導体装置 A 1 を搭

載する際の位置合わせ精度を更に向上させることが可能となる。

【 0 0 3 4 】

また、貫通孔 2 6 は、各受光部 1 4 に対応する位置 D の外側で且つ矩形に形成される各半導体チップ 1 の角部に対応する位置にパッケージ基板 2 0 に形成されるので、個々の半導体装置 A 1 に分離した際に、貫通孔 2 6 の一部で構成される凹部 3 が、平面視で、素子と重ならない位置に形成されることになり、受光部 1 4 での光の受光が凹部 3 で妨げられることが回避され、受光部 1 4 の受光性能の低下を防止することが可能となる。また、識別記号 M は、半導体チップ 1 の他方の面 1 b (パッケージベース 2 に対向する面の裏面) に付与されるため、パッケージベース 2 を透過して受光部 1 4 に入射する光が識別記号 M で妨げられることも回避され、受光部 1 4 (受光素子) の受光性能の低下を防止することも可能となる。

10

【 0 0 3 5 】

図 8 は、本発明の第 1 実施形態の変形例を説明する説明図である。パッケージ基板 2 0 には、パッケージ基板 2 0 の半導体基板 1 0 に対向する部分の外側部分に位置する角部のうち対角 2 箇所、フォトエッチング技術等を用いて、位置合わせ部としての第 1 位置合わせ孔 2 8 a 及び第 2 位置合わせ孔 2 8 b が貫通して形成されている。第 1 位置合わせ孔 2 8 a は外周が略真円形とされ、第 2 位置合わせ孔 2 8 b の外周は長軸方向が第 1 位置合わせ孔 2 8 a の中心を通る略長円形とされている。レーザーマーキング技術等を用いて、半導体基板 1 0 の各受光部 1 4 (半導体チップ 1) に対応して所定の識別記号 M を付与する際には、第 1 位置合わせ孔 2 8 a 及び第 2 位置合わせ孔 2 8 b に位置決めピン (図示せず) を挿入し、位置合わせされた状態でレーザーマーキング装置 (図示せず) に固定される。この変形例においても、第 1 実施形態と同様に、半導体基板 1 0 をパッケージ基板 2 0 に搭載して一体化した後も、確実に半導体基板 1 0 の位置合わせが行え、半導体基板 1 0 に対して識別記号 M を付与する際に、半導体基板 1 0 (半導体チップ 1) の適切な位置に確実に識別記号 M を付与することが可能となる。

20

【 0 0 3 6 】

(第 2 実施形態)

図 9 は、本発明による半導体装置の第 2 実施形態を、製造工程順に説明する説明図である。パッケージ基板 2 0 の他方の面 2 0 b (半導体基板 1 0 に対向する面の裏面) には、図 9 (b)、図 1 0 及び図 1 1 に示されるように、「 」形状の識別記号 M を付与している。識別記号 M は、図 1 1 に示されるように、パッケージ基板 2 0 の受光部 1 4 に対応する位置の外側部分の裏面側の位置で、矩形に形成される各パッケージベース 2 の辺部近傍となる位置に付与される。この識別記号 M は、第 2 配線電極 2 4 と同じ配線を利用して形成することも可能であり、蒸着あるいは印刷技術等を用いて形成することが可能である。

30

【 0 0 3 7 】

半導体基板 1 0 をパッケージ基板 2 0 に搭載する際には、半導体基板 1 0 の受光部 1 4 及び第 1 アライメントパターン 1 2 が形成された一方の面 1 0 a とパッケージ基板 2 0 の一方の面 2 0 a とを対向させた状態で、パッケージ基板 2 0 に形成された第 2 アライメントパターン 2 2 と半導体基板 1 0 に形成された第 1 アライメントパターン 1 2 とを合致させて、位置合わせを行う。半導体基板 1 0 とパッケージ基板 2 0 との位置合わせが終わった後、パッケージ基板 2 0 の第 1 配線電極 2 1 と半導体基板 1 0 のパンプ 1 3 とを公知の熱圧着等の接続技術を用いて接続 (フリップチップ接続) する。半導体基板 1 0 とパッケージ基板 2 0 とが電気接続された状態 (図 9 (b) に示された状態) において、半導体基板 1 0 とパッケージ基板 2 0 との間には所定幅 (例えば、100 μm 程度) の間隙 3 0 が形成されており、この間隙 3 0 の幅はボンディングパッド 1 1、パンプ 1 3 及び第 1 配線電極 2 1 の厚さにより規定、管理されることになる。半導体基板 1 0 をパッケージ基板 2 0 に搭載し一体化すると、図 9 (c) に示されるように、半導体基板 1 0 とパッケージ基板 2 0 との間に形成された間隙 3 0 に、アンダーフィル樹脂 3 1 を充填し、硬化させる。

40

【 0 0 3 8 】

しかる上で、公知のダイシング技術等を用いて、一体化された半導体基板 1 0 及びパッケ

50

ージ基板 20 を同時に切断する。一体化された半導体基板 10 及びパッケージ基板 20 は、半導体基板 10 の他方の面 10b (パッケージ基板 20 と対向する面の裏面) を下面とされた状態 (図 9 (c) に示される状態) で、ダイシング装置 (図示せず) に固定される。半導体基板 10 及びパッケージ基板 20 がダイシング装置に固定されると、パッケージ基板 20 の他方の面 20b (半導体基板 10 と対向する面の裏面) に形成された目印パターン (図示せず) 等を基準として、一体化された半導体基板 10 及びパッケージ基板 20 が一体的に切断されて、図 9 (d) に示されるように、複数個の半導体装置 A2 に分離される。半導体基板 10 及びパッケージ基板 20 は、25 μ m 程度の厚さを有する切刃を用いて、貫通孔 26 を横断して切断される。

【0039】

上述したようにして製造された半導体装置 A2 は、図 10 及び図 11 に示されるように、パッケージ基板 20 から分割された平面視矩形の四角が欠けた形状のパッケージベース 2 と、半導体基板 10 から分割された平面視矩形の半導体チップ 1 とを有することになる。半導体チップ 1 の一方の面 1a (パッケージベース 2 と対向する面) には、受光部 14 が設けられており、この受光部 14 がパッケージベース 2 を透過した所定波長の光を受光することにより生成される信号は、受光部 14 からボンディングパッド 11、バンプ 13、第 1 配線電極 21、スルーホール 27 内部の配線電極 (図示せず)、第 2 配線電極 24 及びバンプ 25 を介して、外部基板の電極 (図示せず) に送られる。

【0040】

パッケージベース 2 の角部 (4 箇所) には、貫通孔 26 を横断して半導体基板 10 とパッケージ基板 20 とを一体的に切断したので、個々の半導体装置 A2 に分離した際に、貫通孔 26 の一部がパッケージベース 2 の角部を切り欠いた状態の凹部 3 として残り、この凹部 3 が位置決め用の位置決め部として用いられる。また、パッケージベース 2 の他方の面 2a (半導体チップ 1 に対向する面の裏面) には、受光部 14 に対応する位置 D の外側部分の裏面側の位置で、且つ、矩形に形成されるパッケージベース 2 の辺部近傍となる位置に識別記号 M が付与されている。識別記号 M は、半導体装置 A2 を外部基板 (図示せず) に搭載する際の、半導体装置 A2 の向きを特定するために用いられ、識別記号 M に基づいて、半導体装置 A2 を適切な向きに設定した上で、凹部 3 に対して外部基板側に設けられるガイドピン (図示せず) を立てて半導体装置 A2 の位置合わせを行う。

【0041】

上述した第 2 実施形態においても第 1 実施形態と同様の作用効果を奏し、識別記号 M を、パッケージ基板 20 の受光部 14 に対応する位置 D の外側部分の裏面側の位置で、矩形の四角が欠けた形状に形成される各パッケージベース 2 の辺部近傍となる位置に付与し、このパッケージ基板 20 に半導体基板 10 を搭載して一体化し、半導体基板 10 とパッケージ基板 20 とを一体的に切断して、複数個の半導体チップ 1 とパッケージベース 2 とに分離して個々の半導体装置 A2 を形成しているので、製造工程を複雑化することなく簡易に、個々の半導体装置 A2 の半導体チップ 1 に対して製品型名等を示す識別記号 M を付与することが可能となる。

【0042】

また、識別記号 M は、パッケージ基板 20 の受光部 14 に対応する位置 D の外側部分の裏面側の位置で、矩形に形成される各パッケージベース 2 の辺部近傍となる位置に付与されるので、個々の半導体装置 A2 に分離した際に、識別記号 M が、平面視で、素子と重ならない位置に形成されることになり、受光部 14 での光の受光が識別記号 M で妨げられることが回避され、受光部 14 (受光素子) の受光性能の低下を防止することが可能となる。

【0043】

なお、識別記号 M として、第 1 実施形態では半導体基板 10 を特定するための第 1 識別部 M1、分離された半導体チップ 1 が半導体基板 10 内のどこに位置していたものなのかを特定するための第 2 識別部 M2、及び、製品型名を特定するための第 3 識別部 M3 を付与し、第 2 実施形態では半導体装置 A2 を外部基板 (図示せず) に搭載する際の半導体装置 A2 の搭載向きを特定するため記号を付与したが、これらに限られることなく、製造元、

10

20

30

40

50

製品名、あるいは、製造年月日等を識別記号として付与してもよい。

【0044】

また、半導体基板10（半導体チップ1）に形成される受光部14は、上述した波長範囲を受光するものに限られるものではなく、狭帯域の波長を選択的に受光するものでもよい。また、半導体基板10（半導体チップ1）には、受光部14に限られず、所定波長の光を発光する発光部を始め、演算回路等が形成されてもよい。また、第2アライメントパターン22をパッケージ基板20の一方の面20a（半導体基板10と対向する面）に形成しているが、パッケージ基板20は透光性ガラスからなるため、パッケージ基板20の他方の面20b（半導体基板10と対向する面の裏面）に形成してもよい。

【0045】

また、半導体基板10（半導体チップ1）に形成される素子が受光素子あるいは発光素子でない場合等には、パッケージ基板20を透光性ガラスとする必要はなく、透光性を有さないセラミック基板等をパッケージ基板20として用いてもよい。透光性を有さないセラミック基板等をパッケージ基板20として用いる場合には、第2アライメントパターン22を形成する代わりに、パッケージ基板20を貫通する位置決め用窓を形成し、この位置決め用窓と第1アライメントパターン12とにより、半導体基板10とパッケージ基板20との位置合わせを行うことになる。

【0046】

また、パッケージ基板20に形成される貫通孔26は、上述した位置に限られることなく、貫通孔26を、半導体基板10とパッケージ基板20とを一体的に切断する際の切断軌跡C上に形成し、受光部14に対応する位置Dの外側で、矩形に形成される各半導体チップ1の辺部に対応する位置、あるいは、パッケージ基板20の半導体チップ1に対応する平面内の位置に設けてもよい。また、貫通孔26（凹部3）の数も、上述した数に限られるものではない。

【0047】

また、パッケージ基板20に貫通孔26を設け、切断分離後の半導体装置A1の位置決め用の凹部3を形成していたが、パッケージ基板20の他方の面20b側からパッケージ基板20の略半分の厚さまで切削して凹部を形成し、切断分離後の半導体装置の位置決め用の凹部としてもよい。

【0048】

【発明の効果】

以上、詳細に説明したように、本発明によれば、パッケージベースに半導体チップが搭載され、このパッケージベースに設けられた外部接続用電極と前記半導体チップとが電気接続される構成の半導体装置であって、型名や製造履歴の表示、あるいは、素子の方向性表示等の識別記号を付与することが可能な半導体装置の製造方法を提供することができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態を、製造工程順に説明する説明図である。

【図2】本発明の第1実施形態にかかる半導体基板の平面図である。

【図3】本発明の第1実施形態にかかる半導体基板の要部拡大平面図である。

【図4】本発明の第1実施形態にかかるパッケージ基板の平面図である。

【図5】本発明の第1実施形態にかかるパッケージ基板の要部拡大平面図である。

【図6】図1（d）の状態における平面図である。

【図7】本発明の第1実施形態において、半導体基板への識別記号の付与例を示す説明図である。

【図8】本発明の第1実施形態にかかるパッケージ基板の変形例を示す、図1（d）の状態に対応する平面図である。

【図9】本発明の第2実施形態を、製造工程順に説明する説明図である。

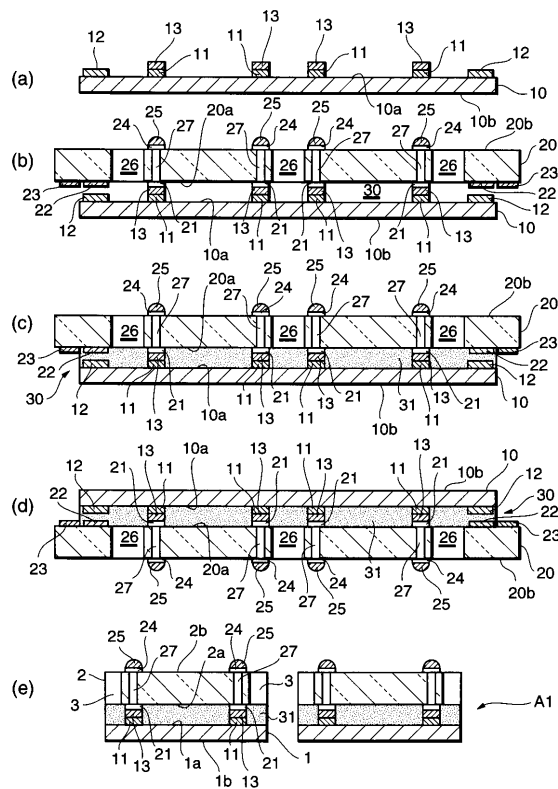
【図10】本発明の第2実施形態にかかる半導体装置の斜視図である。

【図11】本発明の第2実施形態にかかる半導体装置の平面図である。

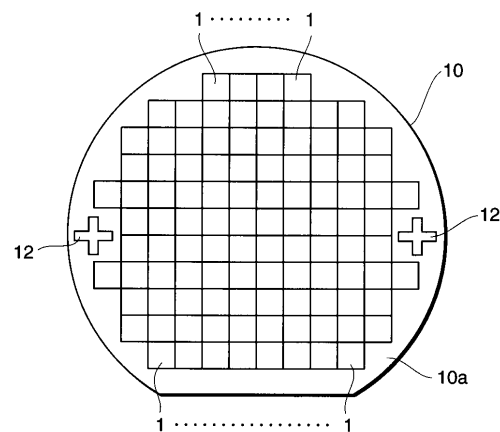
【符号の説明】

1 ... 半導体チップ、2 ... パッケージベース、3 ... 凹部、10 ... 半導体基板、11 ... ボンディングパッド、12 ... 第1アライメントパターン、14 ... 受光部、20 ... パッケージ基板、21 ... 第1配線電極、22 ... 第2アライメントパターン、23 ... 目印パターン、24 ... 第2配線電極、26 ... 貫通孔、28a ... 第1位置合わせ孔、28b ... 第2位置合わせ孔、30 ... 間隙、31 ... アンダーフィル樹脂、A1, A2 ... 半導体装置、C ... 切断軌跡、D ... 位置、M ... 識別記号、M1 ... 第1識別部、M2 ... 第2識別部、M3 ... 第3識別部。

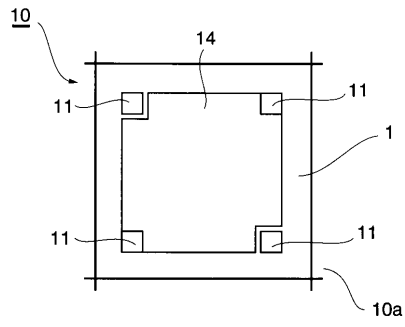
【図1】



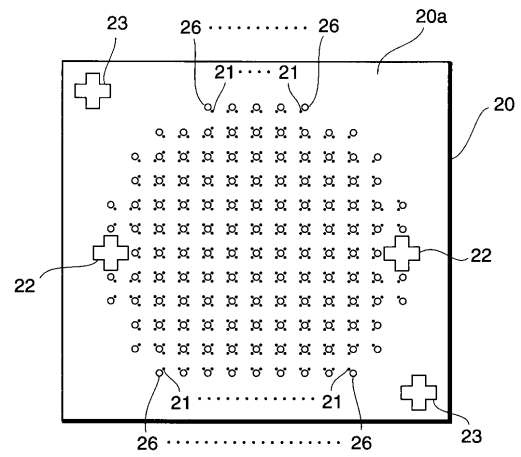
【図2】



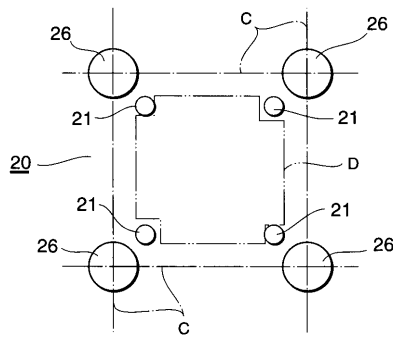
【図 3】



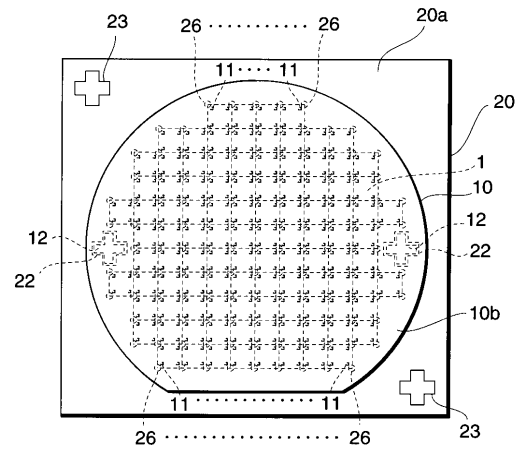
【図 4】



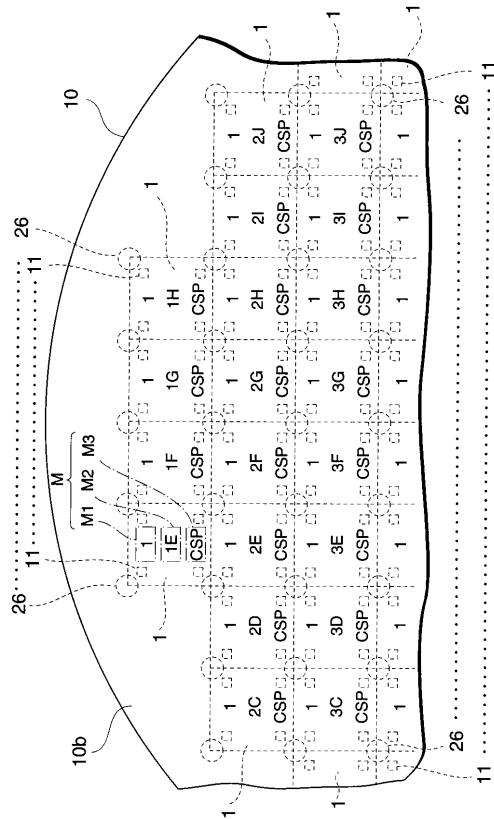
【図 5】



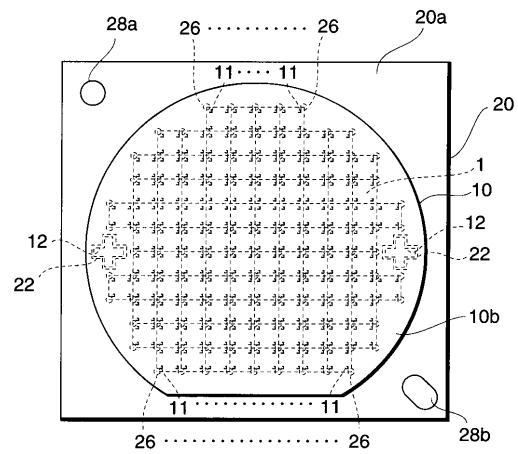
【図 6】



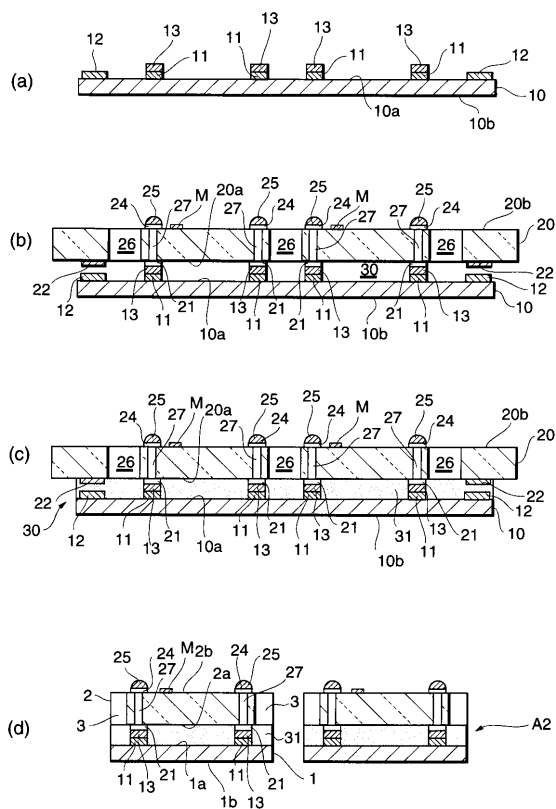
【圖 7】



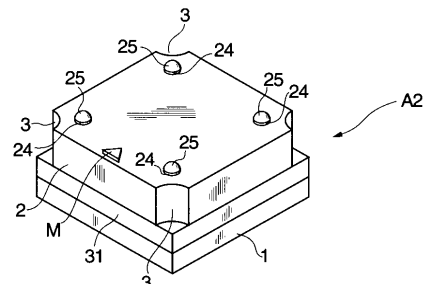
【 図 8 】



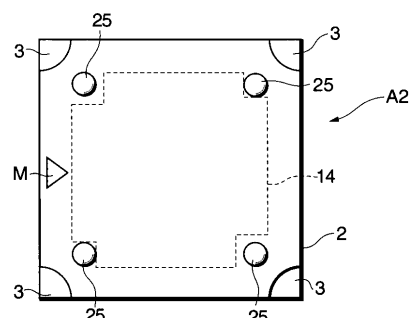
【圖 9】



【 図 1 0 】



【 図 1 1 】



フロントページの続き

審査官 宮崎 園子

(56)参考文献 特開平 1 0 - 3 0 3 1 5 1 (J P , A)
特開平 0 4 - 1 0 6 9 6 0 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
H01L 23/28
H01L 23/12