

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 21/31



[12] 发明专利申请公开说明书

[21] 申请号 03102726.1

H01L 21/3105 H01L 21/469
H01L 21/285 H01L 21/768

[43] 公开日 2004 年 6 月 2 日

[11] 公开号 CN 1501453A

[22] 申请日 2003.1.16 [21] 申请号 03102726.1

[30] 优先权

[32] 2002.11.15 [33] US [31] 10/295,609

[71] 申请人 台湾积体电路制造股份有限公司

地址 中国台湾

[72] 发明人 黎丽萍 吕新贤 章勋明

[74] 专利代理机构 隆天国际知识产权代理有限公司

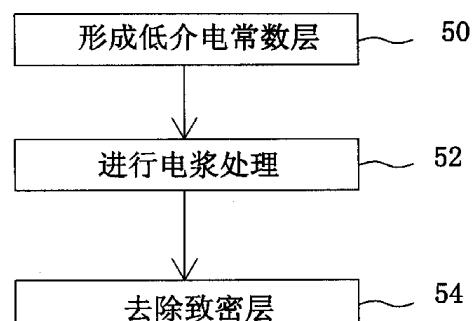
代理人 陈 红 徐金国

权利要求书 1 页 说明书 3 页 附图 2 页

[54] 发明名称 低介电常数层的制造方法

[57] 摘要

一种低介电常数层的制造方法，利用等离子体处理已形成的低介电常数层，之后再进行一道去除步骤。其中，此去除步骤借以去除低介电常数层表面形成的致密层。去除步骤可利用例如化学机械抛光法、氩气溅射法、氟化氢气体工艺、湿式蚀刻法或干式蚀刻法等。



- 1、一种低介电常数层的制造方法，至少包括：
形成一低介电常数层于一基材上；
5 对该低介电常数层进行一等离子体处理；以及
进行一去除步骤，借以去除部分该低介电常数层。
- 2、根据权利要求 1 所述的低介电常数层的制造方法，其中形成该低介电常数层的步骤为利用一化学气相沉积法。
10 3、根据权利要求 1 所述的低介电常数层的制造方法，其中形成该低介电常数层的步骤为利用一等离子体增强化学气相沉积法。
- 4、根据权利要求 1 所述的低介电常数层的制造方法，其中上述的等离子体处理步骤为使用一反应气体，并且该反应气体的成分选自于由氢气、氮气及其混合物所组成的一族群。
15 5、根据权利要求 1 所述的低介电常数层的制造方法，其中上述的去除步骤为利用一化学机械抛光法。
- 6、根据权利要求 1 所述的低介电常数层的制造方法，其中上述的去除步骤为利用一溅射法。
7、根据权利要求 6 所述的低介电常数层的制造方法，其中上述的去除步骤为利用一氩气溅射法。
20 8、根据权利要求 1 所述的低介电常数层的制造方法，其中上述的去除步骤为利用一氟化氢气体工艺。
9、根据权利要求 1 所述的低介电常数层的制造方法，其中上述的去除步骤为利用一湿式蚀刻法。
10、根据权利要求 1 所述的低介电常数层的制造方法，其中上述的去除步骤为利用一干式蚀刻法。
25

低介电常数层的制造方法

5 技术领域

本发明涉及低介电常数(Low Dielectric Constant; Low K)层的制造方法，特别涉及可降低介电常数值的低介电常数层制造方法。

背景技术

10 随着半导体技术的进步，组件的尺寸也不断地缩小，当集成电路的集成度(Integration)增加时，芯片的表面无法提供足够的面积来制作所需的内连线。因此，为了配合组件缩小后所增加的内连线，目前超大规模集成电路(Very Large Scale Integration; VLSI)技术大都采用多层金属导体连线的设计。然而，随着金属导线层数目的增加及导线间的距离不断缩小，电子信号在金属连线间传送
15 时，金属连线的电阻电容延迟时间(Resistance Capacitance Delay Time; RC Delay Time)，已成为半导体组件速度受限的主要原因之一。此外，金属连线尺寸的缩小，也使得电迁移(Electromigration)的情况日趋严重。

20 为了降低信号传递的时间延迟，目前的发展方向除了以电阻率约为 1、
67 $\mu\Omega\text{-cm}$ 的铜金属来取代电阻率约为 2、66 $\mu\Omega\text{-cm}$ 的铝金属成为导线的连线系统外，还可以利用低介电常数材料来作为导线间的绝缘层，借以降低金属与金属层之间的寄生电容大小，使组件在速度方面的性能提高，并且可以降低功率的消耗(Power Dissipation)及噪声干扰(Cross-talk Noise)。

25 然而，由于低介电常数薄膜通常为松散的孔洞(Pore)结构，导致低介电常数薄膜的机械强度较差，因此在工艺期间，低介电常数薄膜很容易因一些外力或能量而破裂，造成工艺合格率的降低。为了避免低介电常数薄膜的破裂，传统上都必须借由变更或修改低介电常数材料的前驱物(Precursor)来提高其破裂临界。目前，一般在低介电常数薄膜形成后，对此低介电常数薄膜进行后续的处理，来增加其结构强度。

发明内容

鉴于上述的背景技术中，为了实现超大规模集成电路组件良好的操作特性，低介电常数材料技术日趋重要，因此，本发明的目的，在于提供一种低介电常数层的制造方法，在用等离子体处理低介电常数层的步骤后，加入去除低介电常数层上的致密层(Dense Layer)的步骤。
5 介电常数层上的致密层(Dense Layer)的步骤。

根据以上所述的目的，本发明低介电常数层的制造方法包括：首先，在基材上形成低介电常数层；接着，对低介电常数层进行等离子体处理步骤；随后，去除低介电常数层表面的部分材料。其中，去除步骤可使用化学机械抛光法(Chemical Mechanical Polishing)、氩气溅射法(Ar Sputtering)、氟化氢气体(HF Vapor)工艺、湿式蚀刻法或干式蚀刻法等。
10

由于等离子体工艺后，低介电常数层表面的致密层会导致整体低介电常数层的介电常数值提高，因此在加入去除步骤后，可降低整体低介电常数层的介电常数值。这样一来，可以改善金属连线的电阻电容延迟时间，同时提升集成电路的组件速度。

15

附图简要说明

下面结合附图对本发明的具体实施方式作进一步详细的描述。附图中，
图 1 至图 3 为应用本发明低介电常数层的制造方法的剖面示意图；
图 4 为本发明低介电常数层的制造流程图。

20

具体实施方式

本发明揭露一种低介电常数层的制造方法，使集成电路中应用低介电常数材料所构成的绝缘层具有较低的介电常数值，以降低金属导线层之间的寄生电容大小。为了使本发明的叙述更加详尽与完备，可参照下列描述并配合图 1
25 至图 3 与图 4 的图示。图 1 至图 3 为本发明低介电常数层的工艺剖面示意图，而图 4 为本发明低介电常数层的制造流程图，请一同参照图 1 至图 3 与图 4。

首先，按照步骤 50，利用例如化学气相沉积法(Chemical Vapor Deposition; CVD)或等离子体增强化学气相沉积法(Plasma Enhanced CVD; PECVD)在基材
10 上形成一层低介电常数层 12，此低介电常数层 12 的材料可例如为氟化非晶碳(Fluorinated Amorphous Carbon; a-C:F)、有机的 MSQ(Methyl Silsesquioxane)、
30 碳(

以及无机的 HSQ(Hydrogen Silsesquioxane)等。

当低介电常数层 12 形成后，按照步骤 52，利用等离子体 14 对此低介电常数层 12 进行等离子体处理，此等离子体处理步骤可使得低介电常数层内的原子排列进行重整及化学反应，从而降低介电常数与其缺陷。其中，等离子体 5 处理的反应气体可例如为氢气、氮气及其混合物等。

但是，经过等离子体 14 所处理的低介电常数层 12 却会在其表面形成一层致密层 16，此致密层 16 的介电常数高于内部低介电常数材料。在此情况下，整体低介电常数层 12 的介电常数值会因此而增加。

在低介电常数材料的技术日趋重要的情况下，本发明还在等离子体处理步骤之后，揭露一道去除步骤。按照步骤 54，利用例如化学机械抛光法(Chemical Mechanical Polishing)、氩气(Ar)的溅射法(Sputtering)、氟化氢气体(HF Vapor)工艺、以及利用化学品的湿式蚀刻法或干式蚀刻法等，将致密层 16 去除，从而形成低介电常数层 12a。

其中，一般致密层的厚度介于约 100Å 至 1500Å 之间，因此可根据形成致密层的厚度及材料不同，调整去除步骤中例如抛光液种类、粒径、蚀刻化学品、工艺时间、蚀刻方法等工艺条件，本发明并不在此限制。

例如，在本发明一较佳实施例中，对厚度约为 500Å 的致密层，利用用来去除氧化物、并且其成分为含硅材料或其混合物的抛光液，进行约 180 秒的化学机械抛光步骤，可使得原本厚度为 2700Å 的低介电常数层，厚度减少至 2200Å，这样可将其表面的致密层去除。

另外，由于上述步骤 52 的进行等离子体处理并非本发明的重点，因此其所使用的工艺参数，例如反应气体种类、反应气体流量、等离子体功率、压力、温度与工艺时间等，都可根据需要而加以改变，本发明不在此限制。

利用本发明低介电常数层的制造方法，不仅具有利用等离子体处理提高低介电常数层的机械强度的优点，也同时改善了因致密层而提高介电常数值的缺点。这样，由于提高制造低介电常数材料的技术，使得介电常数值降低，从而具有改善金属连线的电阻电容延迟时间与提升集成电路组件速度的效果。

如熟悉此领域技术的人员所了解的，以上所述仅为本发明的较佳实施例而已，并非用以限定本发明的权利要求；凡其它未脱离本发明所揭示的构思下所完成的等效改变或修饰，均应包含在权利要求内。

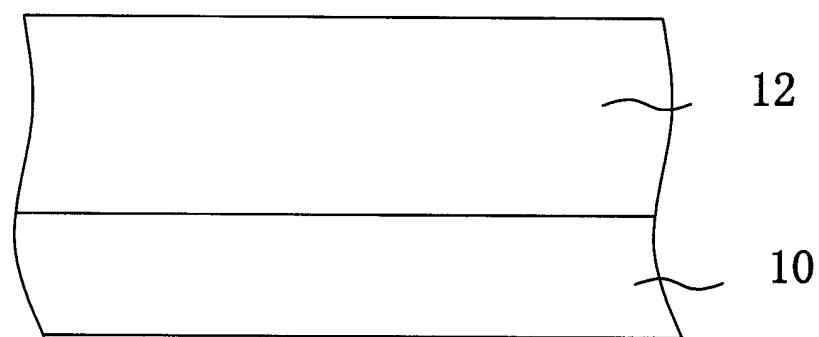


图 1

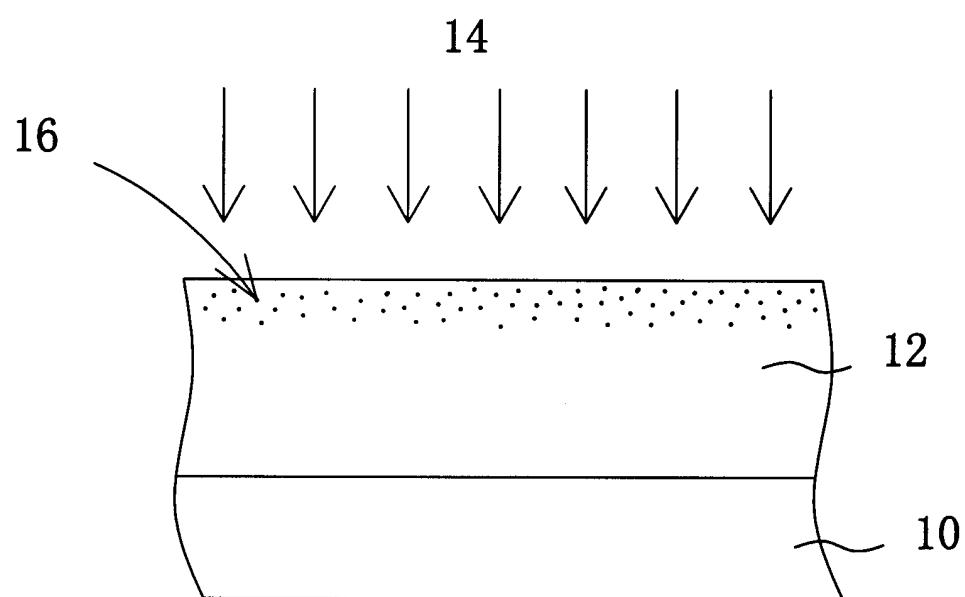


图 2

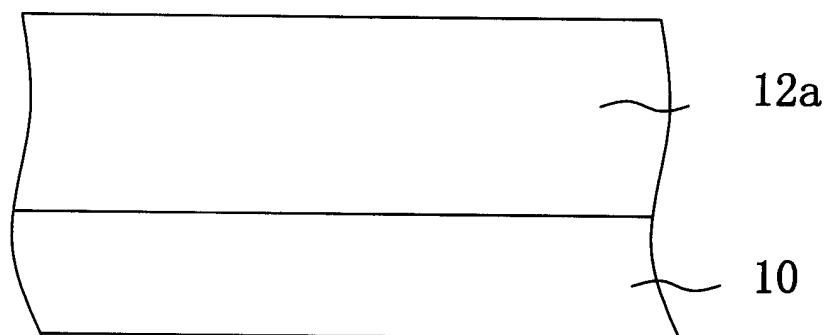


图 3

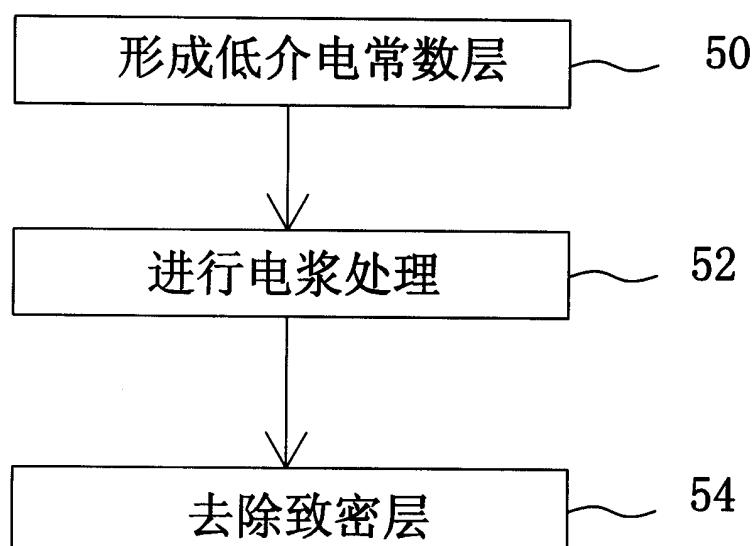


图 4