

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年5月26日(26.05.2017)



(10) 国際公開番号

WO 2017/085591 A1

- (51) 国際特許分類:
H01L 29/786 (2006.01) H01L 21/336 (2006.01)
G09F 9/30 (2006.01) H01L 29/423 (2006.01)
H01L 21/28 (2006.01) H01L 29/49 (2006.01)
- (21) 国際出願番号: PCT/IB2016/056731
- (22) 国際出願日: 2016年11月9日(09.11.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-227617 2015年11月20日(20.11.2015) JP
特願 2015-237207 2015年12月4日(04.12.2015) JP
- (71) 出願人: 株式会社半導体エネルギー研究所
(SEMICONDUCTOR ENERGY LABORATORY CO.,
LTD.) [JP/JP]; 〒2430036 神奈川県厚木市長谷39
8 Kanagawa (JP).
- (72) 発明者: 保坂泰靖(HOSAKA, Yasuharu); 〒2430036
神奈川県厚木市長谷398株式会社半導体エネ

ルギー研究所内 Kanagawa (JP). 島行徳(SHIMA,
Yukinori); 〒2430036 神奈川県厚木市長谷398
株式会社半導体エネルギー研究所内 Kanagawa
(JP). 中田昌孝(NAKADA, Masataka); 〒2430036 神
奈川県厚木市長谷398株式会社半導体エネ
ルギー研究所内 Kanagawa (JP). 神長正美(JINTYOU,
Masami); 〒2430036 神奈川県厚木市長谷398株
式会社半導体エネルギー研究所内 Kanagawa (JP).

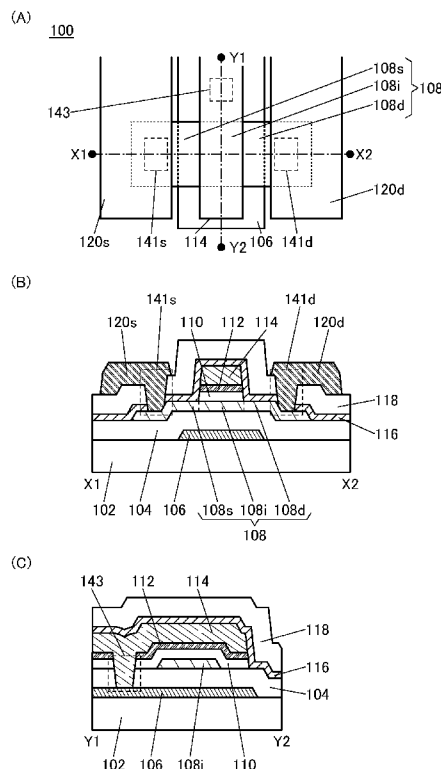
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG,
ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL,
IN, IR, IS, JP, KE, KG, KN, KP, KR, KW, KZ, LA, LC,
LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW,
MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG,
PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG,
SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE, DISPLAY DEVICE PROVIDED WITH SAID SEMICONDUCTOR DEVICE AND
ELECTRONIC DEVICE PROVIDED WITH SAID SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置、該半導体装置を有する表示装置、及び該半導体装置を有する電子機器

[図 1]



(57) Abstract: According to the present invention, variations in electrical characteristics are suppressed and reliability is improved in a transistor having an oxide semiconductor. The device is a semiconductor device provided with a transistor. The transistor is provided with: a first conductive film functioning as a first gate electrode; a first gate insulating film; a first oxide semiconductor film having a channel region; a second gate insulating film; a second oxide semiconductor film functioning as a second gate electrode; and a second conductive layer. The second oxide semiconductor film has a region with a higher carrier density than the first oxide semiconductor film. The second conductive film has a region in contact with the first conductive film.

(57) 要約: 酸化物半導体を有するトランジスタにおいて、電気特性の変動を抑制すると共に、信頼性を向上させる。トランジスタを有する半導体装置である。トランジスタは、第1のゲート電極として機能する第1の導電膜と、第1のゲート絶縁膜と、チャネル領域を有する第1の酸化物半導体膜と、第2のゲート絶縁膜と、第2のゲート電極として機能する第2の酸化物半導体膜及び第2の導電膜とを有する。第2の酸化物半導体膜は、第1の酸化物半導体膜よりキャリア密度が高い領域を有する。第2の導電膜は、第1の導電膜と接する領域を有する。



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,

SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明細書

発明の名称

半導体装置、該半導体装置を有する表示装置、及び該半導体装置を有する電子機器

技術分野

[0001]

本発明の一態様は、酸化物半導体膜を有する半導体装置、及び該半導体装置を有する表示装置に関する。

[0002]

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様の技術分野は、物、方法、または、製造方法に関する。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関する。より具体的には、半導体装置、表示装置、発光装置、照明装置、蓄電装置、記憶装置、撮像装置、それらの駆動方法、または、それらの製造方法に関する。

[0003]

なお、本明細書等において、半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。トランジスタなどの半導体素子をはじめ、半導体回路、演算装置、記憶装置は、半導体装置の一態様である。撮像装置、表示装置、液晶表示装置、発光装置、電気光学装置、発電装置（薄膜太陽電池、有機薄膜太陽電池等を含む）、及び電子機器は、半導体装置を有している場合がある。

背景技術

[0004]

絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタ（電界効果トランジスタ（FET）または薄膜トランジスタ（TFET）ともいう）を構成する技術が注目されている。該トランジスタは、集積回路（IC）や画像装置（表示装置）のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜として、シリコンを代表とする半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

[0005]

例えば、酸化物半導体として、In-Ga-Zn系酸化物を用いてトランジスタを作製する技術が開示されている（特許文献1参照）。また、自己整列トップゲート構造を有する酸化物薄膜のトランジスタを作製する技術が開示されている（特許文献2参照）。

[0006]

また、チャネルを形成する酸化物半導体層の下地絶縁層に、加熱により酸素を放出する絶縁層を用い、該酸化物半導体層の酸素欠損を低減する半導体装置が開示されている（特許文献3参照）。

[先行技術文献]

[特許文献]

[0007]

[特許文献1] 特開2007-96055号公報

[特許文献2] 特開2009-278115号公報

[特許文献3] 特開2012-009836号公報

発明の概要

発明が解決しようとする課題

[0008]

酸化物半導体膜を有するトランジスタとしては、例えば、逆スタガ型(ボトムゲート構造ともいう)またはスタガ型(トップゲート構造ともいう)等が挙げられる。酸化物半導体膜を有するトランジスタを表示装置に適用する場合、スタガ型のトランジスタよりも逆スタガ型のトランジスタの方が、作製工程が比較的簡単であり製造コストを抑えられるため、利用される場合が多い。しかしながら、表示装置の画面の大型化、または表示装置の画質の高精細化が進むと、逆スタガ型のトランジスタでは、ゲート電極とソース電極及びドレイン電極との間の寄生容量によって信号遅延等が大きくなり、表示装置の画質が劣化するという問題がある。そこで、酸化物半導体膜を有するスタガ型のトランジスタにおいて、安定した電気特性及び高い信頼性を有する構造の開発が望まれている。

[0009]

また、酸化物半導体膜をチャネル領域に用いてトランジスタを作製する場合、酸化物半導体膜のチャネル領域中に形成される酸素欠損は、トランジスタ特性に影響を与えるため問題となる。例えば、酸化物半導体膜のチャネル領域中に酸素欠損が形成されると、該酸素欠損に起因してキャリアが生成される。酸化物半導体膜のチャネル領域中にキャリアが生成されると、酸化物半導体膜をチャネル領域に有するトランジスタの電気特性の変動、例えばしきい値電圧のシフトが生じる。また、トランジスタごとに電気特性がばらつくという問題が生じる。したがって、酸化物半導体膜のチャネル領域においては、酸素欠損が少ない方が好ましい。一方で、酸化物半導体膜をチャネル領域に用いるトランジスタにおいて、ソース電極及びドレイン電極と接する酸化物半導体膜としては、ソース電極及びドレイン電極との接触抵抗を低減するために酸素欠損が多く、抵抗が低い方が好ましい。

[0010]

上記問題に鑑み、本発明の一態様では、酸化物半導体膜を有するトランジスタにおいて、電気特性の変動を抑制することを課題の一つとする。または、本発明の一態様では、酸化物半導体膜を有するトランジスタにおいて、信頼性を向上させることを課題の一つとする。または、本発明の一態様では、酸化物半導体膜を有するオン電流が大きいトランジスタを提供することを課題の一つとする。または、本発明の一態様では、酸化物半導体膜を有するオフ電流が小さいトランジスタを提供することを課題の一つとする。または、本発明の一態様では、消費電力が低減された半導体装置を提供することを課題の一つとする。または、本発明の一態様では、新規な半導体装置を提供することを課題の一つとする。または、本発明の一態様では、新規な半導体装置の作製方法を提供することを課題の一つとする。

[0011]

なお、上記の課題の記載は、他の課題の存在を妨げない。なお、本発明の一態様は、必ずしも、これらの課題の全てを解決する必要はない。上記以外の課題は、明細書等の記載から自ずと明らかであり、明細書等の記載から上記以外の課題を抽出することが可能である。

課題を解決するための手段

[0012]

本発明の一態様は、トランジスタを有する半導体装置であって、トランジスタは、第1の導電膜と、第1の導電膜上の第1の絶縁膜と、第1の絶縁膜を間に挟んで第1の導電膜と重なる領域を有する、第1の酸化物半導体膜と、第1の酸化物半導体膜上の第2の絶縁膜と、第2の絶縁膜を間に挟んで第1の酸化物半導体膜と重なる領域を有する、第2の酸化物半導体膜と、第2の酸化物半導体膜上の第

第2の導電膜と、第1の酸化物半導体膜上、第2の酸化物半導体膜上、及び第2の導電膜上の第3の絶縁膜と、を有し、第1の酸化物半導体膜は、第2の絶縁膜と接するチャネル領域と、第3の絶縁膜と接するソース領域と、第3の絶縁膜と接するドレイン領域と、を有し、第2の酸化物半導体膜は、チャネル領域よりキャリア密度が高い領域を有し、第2の導電膜は、第1の導電膜と接する領域を有する半導体装置である。

[0013]

また、本発明の他の一態様は、トランジスタを有する半導体装置であって、トランジスタは、第1の導電膜と、第1の導電膜上の第1の絶縁膜と、第1の絶縁膜を間に挟んで第1の導電膜と重なる領域を有する、第1の酸化物半導体膜と、第1の酸化物半導体膜上の第2の絶縁膜と、第2の絶縁膜を間に挟んで第1の酸化物半導体膜と重なる領域を有する、第2の酸化物半導体膜と、第2の酸化物半導体膜上の第2の導電膜と、第1の酸化物半導体膜上、第2の酸化物半導体膜上、及び第2の導電膜上の第3の絶縁膜と、を有し、第1の酸化物半導体膜は、第2の絶縁膜と接するチャネル領域と、第3の絶縁膜と接するソース領域と、第3の絶縁膜と接するドレイン領域と、を有し、第2の酸化物半導体膜は、チャネル領域よりキャリア密度が高い領域を有し、第1の絶縁膜、第2の絶縁膜、及び第2の酸化物半導体膜は、第1の開口部を有し、第2の導電膜は、第1の開口部において、第1の導電膜と接する領域を有する半導体装置である。

[0014]

上記各構成において、第2の導電膜は、遮光性を有すると好ましい。また、第2の導電膜のシート抵抗が、 $10\ \Omega/\text{square}$ ($\Omega/\text{sq.}$) 以下であると好ましい。

[0015]

また、上記各構成において、トランジスタは、さらに、第3の導電膜と、第4の導電膜と、を有し、第3の導電膜は、第3の絶縁膜に設けられた第2の開口部を介して、ソース領域において第1の酸化物半導体膜に電氣的に接続する領域を有し、第4の導電膜は、第3の絶縁膜に設けられた第3の開口部を介して、ドレイン領域において第1の酸化物半導体膜に電氣的に接続する領域を有すると好ましい。

[0016]

また、上記各構成において、第1の酸化物半導体膜、及び第2の酸化物半導体膜の少なくとも一方は、Inと、Znと、M (Mは、Al、Ga、Y、またはSn) と、を有すると好ましい。

[0017]

また、上記各構成において、第2の酸化物半導体膜がIn、Zn、およびMを有する場合、Inの含有量が、Mの含有量以上である領域を有すると好ましい。また、第1の酸化物半導体膜がIn、Zn、およびMを有する場合、Inの含有量が、Mの含有量以上である領域を有すると好ましい。

[0018]

また、上記各構成において、第3の絶縁膜は、窒素および水素の少なくとも一方を有すると好ましい。

[0019]

また、上記各構成において、第1の酸化物半導体膜は、結晶部を有し、結晶部は、c軸配向性を有すると好ましい。

[0020]

また、本発明の他の一態様は、上記各態様の半導体装置と表示素子とを有する表示装置である。また、本発明の他の一態様は、上記態様の半導体装置とセンサとを有する電子機器である。本明細書中における表示装置とは、画像表示デバイスを指す。また、表示装置にコネクタ、例えばFPC (Flexible Printed Circuit)、TCP (Tape Carrier Package) が取り付けられたモジュール、TCPの先にプリント配線板が設けられたモジュール、または表示装置にCOG (Chip On Glass) 方式によりIC (集積回路) が直接実装されたモジュールも全て本発明の一態様に含む。

発明の効果

[0021]

本発明の一態様により、酸化物半導体を有するトランジスタにおいて、電気特性の変動を抑制することができる。または、本発明の一態様により、酸化物半導体を有するトランジスタにおいて、信頼性を向上させることができる。または、本発明の一態様により、酸化物半導体を有するオン電流が大きいトランジスタを提供することができる。または、本発明の一態様により、酸化物半導体を有するオフ電流が小さいトランジスタを提供することができる。または、本発明の一態様により、消費電力が低減された半導体装置を提供することができる。または、本発明の一態様により、新規な半導体装置を提供することができる。または、本発明の一態様により、新規な半導体装置の作製方法を提供することができる。

[0022]

なお、これらの効果の記載は、他の効果の存在を妨げない。なお、本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

図面の簡単な説明

[0023]

- [図1] 半導体装置の上面及び断面を説明する図。
- [図2] 半導体装置の上面及び断面を説明する図。
- [図3] 半導体装置の断面を説明する図。
- [図4] 半導体装置の断面を説明する図。
- [図5] 半導体装置の断面を説明する図。
- [図6] 半導体装置の断面を説明する図。
- [図7] 半導体装置の断面を説明する図。
- [図8] 半導体装置の作製方法を説明する断面図。
- [図9] 半導体装置の作製方法を説明する断面図。
- [図10] 半導体装置の作製方法を説明する断面図。
- [図11] 半導体装置の作製方法を説明する断面図。
- [図12] 半導体装置の作製方法を説明する断面図。
- [図13] 半導体装置の作製方法を説明する断面図。
- [図14] 本発明の一態様に係る酸化物半導体の原子数比の範囲を説明する図。
- [図15] InMZnO_4 の結晶を説明する図。

- [図 1 6] 酸化物半導体の積層構造におけるバンド図。
- [図 1 7] CAAC-OS および単結晶酸化物半導体の XRD による構造解析を説明する図、ならびに CAAC-OS の制限視野電子回折パターンを示す図。
- [図 1 8] CAAC-OS の断面 TEM 像、ならびに平面 TEM 像およびその画像解析像。
- [図 1 9] nc-OS の電子回折パターンを示す図、および nc-OS の断面 TEM 像。
- [図 2 0] a-like OS の断面 TEM 像。
- [図 2 1] In-Ga-Zn 酸化物の電子照射による結晶部の変化を示す図。
- [図 2 2] 表示装置の一態様を示す上面図。
- [図 2 3] 表示装置の一態様を示す断面図。
- [図 2 4] 表示装置の一態様を示す断面図。
- [図 2 5] 表示装置の一態様を示す断面図。
- [図 2 6] 表示装置の一態様を示す断面図。
- [図 2 7] 表示装置の一態様を示す断面図。
- [図 2 8] 表示装置を説明するブロック図及び回路図。
- [図 2 9] 本発明の一態様を説明するための回路図およびタイミングチャート。
- [図 3 0] 本発明の一態様を説明するためのグラフおよび回路図。
- [図 3 1] 本発明の一態様を説明するための回路図およびタイミングチャート。
- [図 3 2] 本発明の一態様を説明するための回路図およびタイミングチャート。
- [図 3 3] 本発明の一態様を説明するためのブロック図、回路図および波形図。
- [図 3 4] 本発明の一態様を説明するための回路図およびタイミングチャート。
- [図 3 5] 本発明の一態様を説明するための回路図。
- [図 3 6] 本発明の一態様を説明するための回路図。
- [図 3 7] 表示モジュールを説明する図。
- [図 3 8] 電子機器を説明する図。
- [図 3 9] 電子機器を説明する図。
- [図 4 0] 表示装置を説明する斜視図。
- [図 4 1] 実施例に係る、シート抵抗の測定結果を説明する図。
- [図 4 2] 実施例に係る、コンタクトチェーン抵抗の測定結果を説明する図。
- [図 4 3] 実施例に係る、トランジスタの断面を説明する図。
- [図 4 4] 実施例に係る、トランジスタの I_d-V_g 特性を説明する図。
- [図 4 5] 実施例に係る、トランジスタの I_d-V_g 特性を説明する図。
- [図 4 6] 実施例に係る、トランジスタの信頼性試験結果を説明する図。
- [図 4 7] 実施例に係る、光照射時のトランジスタの I_d-V_g 特性を説明する図。
- [図 4 8] 実施例に係る、光照射時のトランジスタの I_d-V_g 特性を説明する図。
- [図 4 9] 実施例に係る、トランジスタの TEM 像を説明する図。
- [図 5 0] 実施例に係る、TDS 分析結果を説明する図。
- [図 5 1] 実施例に係る、TDS 分析結果を説明する図。
- [図 5 2] 実施例に係る、TDS 分析結果を説明する図。
- [図 5 3] 実施例に係る、ESR 測定結果を説明する図。

- [図 5 4] 実施例に係る、3 本シグナルスピンドットの測定結果を説明する図。
- [図 5 5] 実施例に係る、TDS 分析結果を説明する図。
- [図 5 6] 実施例に係る、TDS 分析結果を説明する図。
- [図 5 7] 実施例に係る、TDS 分析結果を説明する図。
- [図 5 8] 実施例に係る、トランジスタの断面を説明する図。
- [図 5 9] 実施例に係る、トランジスタの $I_d - V_g$ 特性を説明する図。
- [図 6 0] 実施例に係る、トランジスタの $I_d - V_g$ 特性を説明する図。
- [図 6 1] 実施例に係る、トランジスタの $I_d - V_g$ 特性を説明する図。
- [図 6 2] 実施例に係る、トランジスタの $I_d - V_g$ 特性を説明する図。
- [図 6 3] 実施例に係る、トランジスタの $I_d - V_g$ 特性を説明する図。
- [図 6 4] 実施例に係る、トランジスタの信頼性試験結果を説明する図。
- [図 6 5] 実施例に係る、光照射時のトランジスタの $I_d - V_g$ 特性を説明する図。
- [図 6 6] 実施例に係る、光照射時のトランジスタの $I_d - V_g$ 特性を説明する図。
- [図 6 7] 実施例に係る、光照射時のトランジスタの $I_d - V_g$ 特性を説明する図。

発明を実施するための形態

[0024]

以下、本発明の実施の態様について図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることが可能である。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されない。

[0025]

なお、図面等において示す各構成の、位置、大きさ、範囲などは、理解の簡単のため、実際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面等を開示された位置、大きさ、範囲などに限定されない。

[0026]

また、本明細書等において、第 1、第 2 等として付される序数詞は便宜上用いており、工程順又は積層順を示さない場合がある。そのため、例えば、「第 1 の」を「第 2 の」又は「第 3 の」などと適宜置き換えて説明することができる。また、本明細書等に記載されている序数詞と、本発明の一態様を特定するために用いられる序数詞は一致しない場合がある。

[0027]

また、本明細書において、「上に」「下に」などの配置を示す語句は、構成同士の位置関係を、図面を参照して説明するために、便宜上用いている。また、構成同士の位置関係は、各構成を描写する方向に応じて適宜変化する。従って、明細書で説明した語句に限定されず、状況に応じて適切に言い換えることができる。

[0028]

また、本明細書等において、図面を用いて発明の構成を説明するにあたり、同じものを指す符号は異なる図面間でも共通して用いる。

[0029]

また、本明細書等において、「半導体」と表記した場合であっても、例えば、導電性が十分に低い場合は、「絶縁体」としての特性を有する場合がある。また、「半導体」と「絶縁体」とは境界が曖昧

であり、厳密に区別できない場合がある。したがって、本明細書等に記載の「半導体」は、「絶縁体」に言い換えることが可能な場合がある。同様に、本明細書等に記載の「絶縁体」は、「半導体」に言い換えることが可能な場合がある。または、本明細書等に記載の「絶縁体」を「半絶縁体」に言い換えることが可能な場合がある。

[0030]

また、本明細書等において、「半導体」と表記した場合であっても、例えば、導電性が十分に高い場合は、「導電体」としての特性を有する場合がある。また、「半導体」と「導電体」とは境界が曖昧であり、厳密に区別できない場合がある。したがって、本明細書等に記載の「半導体」は、「導電体」に言い換えることが可能な場合がある。同様に、本明細書等に記載の「導電体」は、「半導体」に言い換えることが可能な場合がある。

[0031]

また、本明細書等において、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子である。そして、ドレイン（ドレイン端子、ドレイン領域またはドレイン電極）とソース（ソース端子、ソース領域またはソース電極）の間にチャンネル領域を有しており、ドレインとチャンネル領域とソースとを介して電流を流すことができる。なお、本明細書等において、チャンネル領域とは、電流が主として流れる領域をいう。

[0032]

また、ソースやドレインの機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書等においては、ソースやドレインの用語は、入れ替えて用いることができる。

[0033]

なお、チャンネル長とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが互いに重なる領域、またはチャンネルが形成される領域における、ソース（ソース領域またはソース電極）とドレイン（ドレイン領域またはドレイン電極）との間の距離をいう。なお、一つのトランジスタにおいて、チャンネル長が全ての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャンネル長は、一つの値に定まらない場合がある。そのため、本明細書等では、チャンネル長は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

[0034]

チャンネル幅とは、例えば、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが互いに重なる領域、またはチャンネルが形成される領域における、ソースとドレインとが向かい合っている部分の長さをいう。なお、一つのトランジスタにおいて、チャンネル幅がすべての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャンネル幅は、一つの値に定まらない場合がある。そのため、本明細書等では、チャンネル幅は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

[0035]

また、本明細書等において、「電気的に接続」には、「何らかの電気的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電気的作用を有するもの」は、接続対象間での電気信号の授受が可能なものであれば、特に限定されない。例えば、「何らかの電気的作用を有する

もの」には、電極や配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、インダクタ、キャパシタ、その他の各種機能を有する素子などが含まれる。

[0036]

また、電圧は、ある電位と、基準の電位（例えば接地電位（GND）またはソース電位）との電位差のことを示す場合が多い。そのため、電圧を電位と言い換えることが可能である。

[0037]

また、本明細書等において、「膜」という用語と、「層」という用語とは、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

[0038]

また、本明細書等において、特に断りがない場合、オフ電流とは、トランジスタがオフ状態（非導通状態、遮断状態、ともいう）にあるときのドレイン電流をいう。オフ状態とは、特に断りがない場合、nチャネル型トランジスタでは、ゲートとソースの間の電圧 V_{gs} がしきい値電圧 V_{th} よりも低い状態、pチャネル型トランジスタでは、ゲートとソースの間の電圧 V_{gs} がしきい値電圧 V_{th} よりも高い状態をいう。例えば、nチャネル型のトランジスタのオフ電流とは、ゲートとソースの間の電圧 V_{gs} がしきい値電圧 V_{th} よりも低いときのドレイン電流を言う場合がある。

[0039]

トランジスタのオフ電流は、 V_{gs} に依存する場合がある。従って、トランジスタのオフ電流が I 以下である、とは、トランジスタのオフ電流が I 以下となる V_{gs} の値が存在することを言う場合がある。トランジスタのオフ電流は、所定の V_{gs} におけるオフ状態、所定の範囲内の V_{gs} におけるオフ状態、または、十分に低減されたオフ電流が得られる V_{gs} におけるオフ状態、等におけるオフ電流を指す場合がある。

[0040]

一例として、しきい値電圧 V_{th} が 0.5 V であり、 V_{gs} が 0.5 V におけるドレイン電流が $1 \times 10^{-9}\text{ A}$ であり、 V_{gs} が 0.1 V におけるドレイン電流が $1 \times 10^{-13}\text{ A}$ であり、 V_{gs} が -0.5 V におけるドレイン電流が $1 \times 10^{-19}\text{ A}$ であり、 V_{gs} が -0.8 V におけるドレイン電流が $1 \times 10^{-22}\text{ A}$ であるようなnチャネル型トランジスタを想定する。当該トランジスタのドレイン電流は、 V_{gs} が -0.5 V において、または、 V_{gs} が -0.5 V 乃至 -0.8 V の範囲において、 $1 \times 10^{-19}\text{ A}$ 以下であるから、当該トランジスタのオフ電流は $1 \times 10^{-19}\text{ A}$ 以下である、と言う場合がある。当該トランジスタのドレイン電流が $1 \times 10^{-22}\text{ A}$ 以下となる V_{gs} が存在するため、当該トランジスタのオフ電流は $1 \times 10^{-22}\text{ A}$ 以下である、と言う場合がある。

[0041]

また、本明細書等では、チャネル幅 W を有するトランジスタのオフ電流を、チャネル幅 W あたりを流れる電流値で表す場合がある。また、所定のチャネル幅（例えば $1\text{ }\mu\text{ m}$ ）あたりを流れる電流値で表す場合がある。後者の場合、オフ電流の単位は、電流／長さの次元を持つ単位（例えば、 $\text{A}/\mu\text{ m}$ ）で表される場合がある。

[0042]

トランジスタのオフ電流は、温度に依存する場合がある。本明細書において、オフ電流は、特に記

載がない場合、室温、60℃、85℃、95℃、または125℃におけるオフ電流を表す場合がある。または、当該トランジスタが含まれる半導体装置等の信頼性が保証される温度、または、当該トランジスタが含まれる半導体装置等が使用される温度（例えば、5℃以上35℃以下のいずれかの温度）におけるオフ電流、を表す場合がある。トランジスタのオフ電流がI以下である、とは、室温、60℃、85℃、95℃、125℃、当該トランジスタが含まれる半導体装置の信頼性が保証される温度、または、当該トランジスタが含まれる半導体装置等が使用される温度（例えば、5℃以上35℃以下のいずれかの温度）、におけるトランジスタのオフ電流がI以下となる V_{gs} の値が存在することを指す場合がある。

[0043]

トランジスタのオフ電流は、ドレインとソースの間の電圧 V_{ds} に依存する場合がある。本明細書において、オフ電流は、特に記載がない場合、 V_{ds} が0.1V、0.8V、1V、1.2V、1.8V、2.5V、3V、3.3V、10V、12V、16V、または20Vにおけるオフ電流を表す場合がある。または、当該トランジスタが含まれる半導体装置等の信頼性が保証される V_{ds} 、または、当該トランジスタが含まれる半導体装置等において使用される V_{ds} におけるオフ電流、を表す場合がある。トランジスタのオフ電流がI以下である、とは、 V_{ds} が0.1V、0.8V、1V、1.2V、1.8V、2.5V、3V、3.3V、10V、12V、16V、20V、当該トランジスタが含まれる半導体装置の信頼性が保証される V_{ds} 、または、当該トランジスタが含まれる半導体装置等において使用される V_{ds} 、におけるトランジスタのオフ電流がI以下となる V_{gs} の値が存在することを指す場合がある。

[0044]

上記オフ電流の説明において、ドレインをソースと読み替えてもよい。つまり、オフ電流は、トランジスタがオフ状態にあるときのソースを流れる電流を言う場合もある。

[0045]

また、本明細書等では、オフ電流と同じ意味で、リーク電流と記載する場合がある。また、本明細書等において、オフ電流とは、例えば、トランジスタがオフ状態にあるときに、ソースとドレインとの間に流れる電流を指す場合がある。

[0046]

また、本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。したがって、 -5° 以上 5° 以下の場合も含まれる。また、「略平行」とは、二つの直線が -30° 以上 30° 以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。したがって、 85° 以上 95° 以下の場合も含まれる。また、「略垂直」とは、二つの直線が 60° 以上 120° 以下の角度で配置されている状態をいう。

[0047]

また、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

[0048]

(実施の形態1)

本実施の形態においては、本発明の一態様の半導体装置及び半導体装置の作製方法の一例について、図1乃至図16を用いて以下説明する。

[0049]

＜半導体装置の構成例１＞

図１（Ａ）は、本発明の一態様の半導体装置が有するトランジスタ１００の上面図である。また、図１（Ｂ）は、図１（Ａ）に示す一点鎖線Ｘ１－Ｘ２間における切断面の断面図であり、図１（Ｃ）は、図１（Ａ）に示す一点鎖線Ｙ１－Ｙ２間における切断面の断面図である。なお、図１（Ａ）においては明瞭化のため、トランジスタ１００の構成要素の一部（基板１０２及び絶縁膜等）を省略して図示している。

[0050]

また、図１（Ａ）における一点鎖線Ｘ１－Ｘ２方向をトランジスタ１００のチャネル長（Ｌ）方向、一点鎖線Ｙ１－Ｙ２方向をトランジスタ１００のチャネル幅（Ｗ）方向と呼称する場合がある。

[0051]

トランジスタ１００は、基板１０２上の第１のゲート電極（ボトムゲート電極ともいう）として機能する導電膜１０６と、基板１０２及び導電膜１０６上の絶縁膜１０４と、絶縁膜１０４上の酸化物半導体膜１０８と、酸化物半導体膜１０８上の絶縁膜１１０と、絶縁膜１１０上の第２のゲート電極（トップゲート電極ともいう）として機能する酸化物半導体膜１１２及び導電膜１１４と、絶縁膜１０４、酸化物半導体膜１０８、酸化物半導体膜１１２、及び導電膜１１４上の絶縁膜１１６と、を有する。また、酸化物半導体膜１０８は、酸化物半導体膜１１２及び導電膜１１４と重なり、且つ絶縁膜１１０と接するチャネル領域１０８ｉと、絶縁膜１１６と接するソース領域１０８ｓと、絶縁膜１１６と接するドレイン領域１０８ｄと、を有する。

[0052]

また、トランジスタ１００は、絶縁膜１１６上の絶縁膜１１８、絶縁膜１１６及び絶縁膜１１８に設けられた開口部１４１ｓを介して、ソース領域１０８ｓにおいて酸化物半導体膜１０８に電氣的に接続される導電膜１２０ｓ、および絶縁膜１１６及び絶縁膜１１８に設けられた開口部１４１ｄを介して、ドレイン領域１０８ｄにおいて酸化物半導体膜１０８に電氣的に接続される導電膜１２０ｄを有する。

[0053]

なお、本明細書等において、絶縁膜１０４を第１の絶縁膜、絶縁膜１１０を第２の絶縁膜、絶縁膜１１６を第３の絶縁膜、および絶縁膜１１８を第４の絶縁膜と、それぞれ呼称する場合がある。また、トランジスタ１００において、絶縁膜１０４は、第１のゲート絶縁膜としての機能を有し、絶縁膜１１０は、第２のゲート絶縁膜としての機能を有する。そのため、本明細書等において、絶縁膜１０４を第１のゲート絶縁膜と、絶縁膜１１０を第２のゲート絶縁膜と呼称する場合がある。また、導電膜１２０ｓは、ソース電極としての機能を有し、導電膜１２０ｄは、ドレイン電極としての機能を有する。そのため、本明細書等において、導電膜１２０ｓをソース電極と、導電膜１２０ｄをドレイン電極と呼称する場合がある。

[0054]

酸化物半導体膜１１２は、絶縁膜１１０に酸素を供給する機能を有する。酸化物半導体膜１１２が、絶縁膜１１０に酸素を供給する機能を有することで、絶縁膜１１０中に過剰酸素を含ませることが可能となる。絶縁膜１１０が過剰酸素領域を有することで、酸化物半導体膜１０８、より具体的にはチャネル領域１０８ｉ中に当該過剰酸素を供給することができる。よって、信頼性の高い半導体装置を

提供することができる。

[0055]

なお、酸化物半導体膜108中に過剰酸素を供給させるためには、酸化物半導体膜108の下方に形成される絶縁膜104に過剰酸素を供給してもよい。ただし、この場合、絶縁膜104中に含まれる酸素は、酸化物半導体膜108が有するソース領域108s、及びドレイン領域108dにも供給され得る。ソース領域108s、及びドレイン領域108d中に過剰酸素が供給されると、ソース領域108s、及びドレイン領域108dの抵抗が高くなる場合がある。

[0056]

一方で、酸化物半導体膜108の上方に形成される絶縁膜110に過剰酸素を有する構成とすることで、チャネル領域108iにのみ選択的に過剰酸素を供給させることが可能となる。または、チャネル領域108i、ソース領域108s、及びドレイン領域108dに過剰酸素を供給させたのち、ソース領域108s、及びドレイン領域108dのキャリア密度を選択的に高めればよい。

[0057]

絶縁膜116は、窒素および水素の少なくとも一方を有する。絶縁膜116が窒素および水素の少なくとも一方を有する構成とすることで、酸化物半導体膜108、及び酸化物半導体膜112に窒素および水素の少なくとも一方を供給することができる。その結果、酸化物半導体膜108にソース領域108s及びドレイン領域108dを形成することができる。

[0058]

また、酸化物半導体膜112は、絶縁膜110に酸素を供給したのち、絶縁膜116または導電膜114から窒素および水素の少なくとも一方が供給されることで、伝導帯近傍にドナー準位が形成され、キャリア密度が高くなる。別言すると、酸化物半導体膜112は、酸化物導電体(OC:Oxide Conductor)としての機能も有する。したがって、酸化物半導体膜112は、酸化物半導体膜108の少なくともチャネル領域108iよりもキャリア密度が高くなる。

[0059]

一般に、酸化物半導体は、エネルギーギャップが大きいため、可視光に対して透光性を有する。一方、酸化物導電体は、伝導帯近傍にドナー準位を有する酸化物半導体である。したがって、酸化物導電体は、ドナー準位による吸収の影響は小さく、可視光に対して酸化物半導体と同程度の透光性を有する。そのため、酸化物半導体膜112に光が入射しないようするためには、酸化物半導体膜112上に導電膜114を有することが好ましい。

[0060]

導電膜114は、遮光性を有する材料が好ましい。また、導電性が高い材料が好ましく、すなわちシート抵抗が低いことが好ましい。具体的には、導電膜114のシート抵抗は、好ましくは $100\Omega/\text{sq.}$ 以下、より好ましくは $10\Omega/\text{sq.}$ 以下であるとよい。そのため、導電膜114は金属を有すると好ましい。

[0061]

また、導電膜114が、過剰に窒素および水素の少なくとも一方を供給する機能を有すると、酸化物半導体膜108のチャネル領域108iに窒素および水素の少なくとも一方を供給してしまう場合がある。そのため、導電膜114は、窒素および水素の少なくとも一方を供給する機能が低いことが好ましい。また、導電膜114は、窒素および水素の少なくとも一方を透過する機能が低い方が好

ましい。

[0062]

また、酸化物半導体膜108が有するソース領域108s、及びドレイン領域108d、及び酸化物半導体膜112は、それぞれ、酸素欠損を形成する元素を有していてもよい。上記酸素欠損を形成する元素としては、代表的には水素、ホウ素、炭素、窒素、フッ素、リン、硫黄、塩素、希ガス等が挙げられる。また、希ガス元素の代表例としては、ヘリウム、ネオン、アルゴン、クリプトン、及びキセノン等がある。

[0063]

不純物元素が酸化物半導体膜に添加されると、酸化物半導体膜中の金属元素と酸素の結合が切断され、酸素欠損が形成される。または、不純物元素が酸化物半導体膜に添加されると、酸化物半導体膜中の金属元素と結合していた酸素が不純物元素と結合し、金属元素から酸素が脱離され、酸素欠損が形成される。これらの結果、酸化物半導体膜においてキャリア密度が増加し、導電性が高くなる。

[0064]

また、トランジスタ100において、絶縁膜110の側端部と、酸化物半導体膜112の側端部と、導電膜114の側端部とが、揃う領域を有すると好ましい。別言すると、トランジスタ100において、絶縁膜110の上端部と酸化物半導体膜112の上端部とが概略揃う構成であり、酸化物半導体膜112の上端部と導電膜114の下端部とが概略揃う構成である。例えば、導電膜114をマスクとして絶縁膜110を加工することで、上記構造とすることができる。

[0065]

また、トランジスタ100は、絶縁膜104、絶縁膜110、及び酸化物半導体膜112に設けられた開口部143を介して、導電膜106と導電膜114とが接する領域を有し、両者が電氣的に接続される。そのため、導電膜106と導電膜114には、同じ電位が与えられる。

[0066]

トランジスタ100の消費電力を低減するため、またはトランジスタ100の電気特性を安定化させるためには、導電膜106と導電膜114とのコンタクト抵抗（接触抵抗）またはコンタクトチェーン抵抗は、低い方が好ましい。

[0067]

このように、トランジスタ100は、酸化物半導体膜108の上下にゲート電極として機能する導電膜を有する構成である。

[0068]

《S-channel 構造》

図1(C)に示すように、酸化物半導体膜108は、第1のゲート絶縁膜と、第2のゲート絶縁膜とを間に挟んで、第1のゲート電極として機能する導電膜106と、第2のゲート電極として機能する酸化物半導体膜112及び導電膜114とに挟持される。導電膜106のチャンネル幅方向の長さは、酸化物半導体膜108のチャンネル幅方向の長さよりも長い。また、酸化物半導体膜112のチャンネル幅方向の長さは、酸化物半導体膜108のチャンネル幅方向の長さよりも長い。また、導電膜114のチャンネル幅方向の長さは、酸化物半導体膜108のチャンネル幅方向の長さよりも長い。また、導電膜106と導電膜114とは、絶縁膜104、絶縁膜110、及び酸化物半導体膜112に設けられる開口部143において接する領域を有し、両者が電氣的に接続されているため、酸化物半導体膜10

8のチャネル幅方向の側面の少なくとも一方は、絶縁膜110を介して導電膜114と対向している。すなわち、酸化物半導体膜108のチャネル幅方向全体は、第1のゲート絶縁膜及び第2のゲート絶縁膜を介して導電膜106及び導電膜114に覆われている。

[0069]

別言すると、トランジスタ100のチャネル幅方向において、導電膜106、及び導電膜114は、第1のゲート絶縁膜及び第2のゲート絶縁膜を介して酸化物半導体膜108を囲む構成である。

[0070]

このような構成とすることで、トランジスタ100が有する酸化物半導体膜108を、第1のゲート電極として機能する導電膜106、及び第2のゲート電極として機能する導電膜114の電界によって電氣的に囲むことができる。トランジスタ100のように、第1のゲート電極及び第2のゲート電極の電界によって、チャネル領域が形成される酸化物半導体膜を電氣的に囲むトランジスタのデバイス構造をSurrounded channel（略称：S-channel）構造と呼ぶことができる。

[0071]

トランジスタ100は、S-channel構造を有するため、導電膜106及び導電膜114によってチャネルを誘起させるための電界を効果的に酸化物半導体膜108に印加することができる。したがって、トランジスタ100の電流駆動能力が向上し、高いオン電流特性を得ることが可能となる。また、オン電流を高くすることが可能であるため、トランジスタ100を微細化することが可能となる。また、トランジスタ100は、導電膜106及び導電膜114によって囲まれた構造を有するため、トランジスタ100の機械的強度を高めることができる。

[0072]

また、上記構成とすることによって、酸化物半導体膜108においてキャリアの流れる領域が、酸化物半導体膜108の絶縁膜104側と、酸化物半導体膜108の絶縁膜110側と、さらに酸化物半導体膜108の膜中との広い範囲となるため、トランジスタ100はキャリアの移動量が増加する。その結果、トランジスタ100のオン電流が大きくなると共に、電界効果移動度が大きくなり、具体的には電界効果移動度が $10\text{ cm}^2/\text{V}\cdot\text{s}$ 以上となる。なお、ここでの電界効果移動度は、酸化物半導体膜の物性値としての移動度の近似値ではなく、トランジスタの飽和領域における電流駆動力の指標であり、見かけの電界効果移動度である。

[0073]

なお、トランジスタ100のチャネル幅方向において、開口部143が形成されている箇所と酸化物半導体膜108を挟んだ反対側に、開口部143と異なる開口部を形成してもよい。

[0074]

<半導体装置の構成要素>

以下に本実施の形態の半導体装置に含まれる構成要素について、詳細に説明する。

[0075]

《酸化物半導体膜》

本発明の一態様であるトランジスタ100における酸化物半導体膜108には、酸化物半導体を用いることができる。以下に、酸化物半導体について説明する。

[0076]

酸化物半導体は、少なくともインジウムまたは亜鉛を含むことが好ましい。特にインジウム及び亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウムまたはスズなどが含まれていることが好ましい。また、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種が含まれていてもよい。

[0077]

ここで、酸化物半導体が、インジウム、元素M及び亜鉛を有する場合を考える。なお、元素Mは、アルミニウム、ガリウム、イットリウムまたはスズなどとする。そのほかの元素Mに適用可能な元素としては、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウムなどがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない。

[0078]

まず、図14 (A)、図14 (B)、及び図14 (C)を用いて、本発明の一態様に係る酸化物半導体が有するインジウム、元素M及び亜鉛の原子数比の好ましい範囲について説明する。なお、図14には、酸素の原子数比については記載しない。また、酸化物半導体が有するインジウム、元素M、及び亜鉛の原子数比のそれぞれの項を $[I_n]$ 、 $[M]$ 、及び $[Z_n]$ とする。

[0079]

図14 (A)、図14 (B)、及び図14 (C)において、破線は、 $[I_n]:[M]:[Z_n] = (1 + \alpha):(1 - \alpha):1$ の原子数比 ($-1 \leq \alpha \leq 1$, α は -1 以上 1 以下)となるライン、 $[I_n]:[M]:[Z_n] = (1 + \alpha):(1 - \alpha):2$ の原子数比となるライン、 $[I_n]:[M]:[Z_n] = (1 + \alpha):(1 - \alpha):3$ の原子数比となるライン、及び $[I_n]:[M]:[Z_n] = (1 + \alpha):(1 - \alpha):5$ の原子数比となるラインを表す。

[0080]

また、一点鎖線は、 $[I_n]:[M]:[Z_n] = 1:1:\beta$ の原子数比 ($\beta \geq 0$, β は 0 以上)となるライン、 $[I_n]:[M]:[Z_n] = 1:2:\beta$ の原子数比となるライン、 $[I_n]:[M]:[Z_n] = 1:3:\beta$ の原子数比となるライン、 $[I_n]:[M]:[Z_n] = 1:4:\beta$ の原子数比となるライン、 $[I_n]:[M]:[Z_n] = 2:1:\beta$ の原子数比となるライン、及び $[I_n]:[M]:[Z_n] = 5:1:\beta$ の原子数比となるラインを表す。

[0081]

また、図14に示す、 $[I_n]:[M]:[Z_n] = 0:2:1$ の原子数比またはその近傍値の酸化物半導体は、スピネル型の結晶構造をとりやすい。

[0082]

図14 (A) および図14 (B) では、本発明の一態様に係る酸化物半導体が有する、インジウム、元素M、及び亜鉛の原子数比の好ましい範囲の一例について示している。

[0083]

一例として、図15に、 $[I_n]:[M]:[Z_n] = 1:1:1$ である、 $I_nMZ_nO_4$ の結晶構造を示す。また、図15は、 b 軸に平行な方向から観察した場合の $I_nMZ_nO_4$ の結晶構造である。なお、図15に示す元素M、亜鉛、および酸素を有する層（以下、 (M, Z_n) 層）における金属元

素は、元素Mまたは亜鉛を表している。この場合、元素Mと亜鉛の割合が等しいとする。元素Mと亜鉛とは、置換が可能であり、配列は不規則である。

[0084]

InMZnO_4 は、層状の結晶構造（層状構造ともいう）をとり、図15に示すように、インジウム、および酸素を有する層（以下、In層）が1に対し、(M, Zn)層が2となる。

[0085]

また、インジウムと元素Mは、互いに置換可能である。そのため、(M, Zn)層の元素Mがインジウムと置換し、(In, M, Zn)層と表すこともできる。その場合、In層が1に対し、(In, M, Zn)層が2である層状構造をとる。

[0086]

また、 $[\text{In}]:[\text{M}]:[\text{Zn}] = 1:1:2$ となる原子数比の酸化物半導体は、In層が1に対し、(M, Zn)層が3である層状構造をとる。つまり、[In] 及び [M] に対し [Zn] が大きくなると、酸化物半導体が結晶化した場合、In層に対する (M, Zn) 層の割合が増加する。

[0087]

ただし、酸化物半導体中において、In層が1に対し、(M, Zn)層が非整数である場合、In層が1に対し、(M, Zn)層が整数である層状構造を複数種有する場合がある。例えば、 $[\text{In}]:[\text{M}]:[\text{Zn}] = 1:1:1.5$ である場合、In層が1に対し、(M, Zn)層が2である層状構造と、(M, Zn)層が3である層状構造とが混在する層状構造となる場合がある。

[0088]

例えば、酸化物半導体をスパッタリング装置にて成膜する場合、ターゲットの原子数比からずれた原子数比の膜が形成される。特に、成膜時の基板温度によっては、ターゲットの [Zn] よりも、膜の [Zn] が小さくなる場合がある。

[0089]

また、酸化物半導体中に複数の相が共存する場合がある（二相共存、三相共存など）。例えば、 $[\text{In}]:[\text{M}]:[\text{Zn}] = 0:2:1$ の原子数比の近傍値である原子数比では、スピネル型の結晶構造と層状の結晶構造との二相が共存しやすい。また、 $[\text{In}]:[\text{M}]:[\text{Zn}] = 1:0:0$ を示す原子数比の近傍値である原子数比では、ビックスバイト型の結晶構造と層状の結晶構造との二相が共存しやすい。酸化物半導体中に複数の相が共存する場合、異なる結晶構造の間において、粒界（グレインバウンダリーともいう）が形成される場合がある。

[0090]

また、インジウムの含有率を高くすることで、酸化物半導体のキャリア移動度（電子移動度）を高くすることができる。これは、インジウム、元素M及び亜鉛を有する酸化物半導体では、主として重金属のs軌道がキャリア伝導に寄与しており、インジウムの含有率を高くすることにより、s軌道が重なる領域がより大きくなるため、インジウムの含有率が高い酸化物半導体はインジウムの含有率が低い酸化物半導体と比較してキャリア移動度が高くなるためである。

[0091]

一方、酸化物半導体中のインジウム及び亜鉛の含有率が低くなると、キャリア移動度が低くなる。従って、 $[\text{In}]:[\text{M}]:[\text{Zn}] = 0:1:0$ を示す原子数比、及びその近傍値である原子数比（例えば図14（C）に示す領域C）では、絶縁性が高くなる。

[0092]

従って、本発明の一態様に係る酸化物半導体は、キャリア移動度が高く、かつ、粒界が少ない層状構造となりやすい、図14 (A) の領域Aで示される原子数比を有することが好ましい。

[0093]

また、図14 (B) に示す領域Bは、 $[In]:[M]:[Zn] = 4:2:3$ から4.1、及びその近傍値を示している。近傍値には、例えば、原子数比が $[In]:[M]:[Zn] = 5:3:4$ が含まれる。領域Bで示される原子数比を有する酸化物半導体は、特に、結晶性が高く、キャリア移動度も高い優れた酸化物半導体である。

[0094]

なお、酸化物半導体が、層状構造を形成する条件は、原子数比によって一義的に定まらない。原子数比により、層状構造を形成するための難易の差はある。一方、同じ原子数比であっても、形成条件により、層状構造になる場合も層状構造にならない場合もある。従って、図示する領域は、酸化物半導体が層状構造を有する原子数比を示す領域であり、領域A乃至領域Cの境界は厳密ではない。

[0095]

続いて、酸化物半導体をトランジスタに用いる構成について説明する。

[0096]

なお、酸化物半導体をトランジスタに用いることで、粒界におけるキャリア散乱等を減少させることができるため、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

[0097]

また、トランジスタのチャネル領域には、キャリア密度の低い酸化物半導体を用いることが好ましい。例えば、酸化物半導体は、キャリア密度が $8 \times 10^{11} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{10} / \text{cm}^3$ 未満であり、 $1 \times 10^{-9} / \text{cm}^3$ 以上とすればよい。

[0098]

なお、高純度真性または実質的に高純度真性である酸化物半導体は、キャリア発生源が少ないため、キャリア密度を低くすることができる。また、高純度真性または実質的に高純度真性である酸化物半導体は、欠陥準位密度が低い場合、トラップ準位密度も低くなる場合がある。

[0099]

また、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャネル領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

[0100]

従って、トランジスタの電気特性を安定にするためには、チャネル領域の酸化物半導体中の不純物濃度を低減することが有効である。また、酸化物半導体中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

[0101]

ここで、酸化物半導体中における各不純物の影響について説明する。

[0102]

酸化物半導体において、第14族元素の一つであるシリコンや炭素が含まれると、酸化物半導体において欠陥準位が形成される。このため、酸化物半導体におけるシリコンや炭素の濃度と、酸化物半導体との界面近傍のシリコンや炭素の濃度（二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）により得られる濃度）を、 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

[0103]

また、酸化物半導体にアルカリ金属またはアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。従って、アルカリ金属またはアルカリ土類金属が含まれている酸化物半導体をチャネル領域に用いたトランジスタはノーマリーオン特性となりやすい。このため、チャネル領域における酸化物半導体中のアルカリ金属またはアルカリ土類金属の濃度を低減することが好ましい。具体的には、SIMSにより得られる酸化物半導体中のアルカリ金属またはアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。

[0104]

また、酸化物半導体において、窒素が含まれると、キャリアである電子が生じ、キャリア密度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体をチャネル領域に有するトランジスタはノーマリーオン特性となりやすい。従って、チャネル領域の酸化物半導体において、窒素はできる限り低減されていることが好ましい、例えば、酸化物半導体中の窒素濃度は、SIMSにおいて、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

[0105]

また、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、水素が含まれている酸化物半導体をチャネル領域に有するトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体中の水素はできる限り低減されていることが好ましい。具体的には、チャネル領域の酸化物半導体において、SIMSにより得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。

[0106]

不純物が十分に低減された酸化物半導体をトランジスタのチャネル領域に用いることで、安定した電気特性を付与することができる。

[0107]

また、酸化物半導体膜は、エネルギーギャップが2 eV以上、または2.5 eV以上、または3 eV以上であると好ましい。

[0108]

また、酸化物半導体膜の厚さは、3 nm以上200 nm以下、好ましくは3 nm以上100 nm以下、さらに好ましくは3 nm以上60 nm以下である。

[0109]

また、酸化物半導体膜が $\text{In}-\text{M}-\text{Zn}$ 酸化物の場合、 $\text{In}-\text{M}-\text{Zn}$ 酸化物を成膜するために用いるスパッタリングターゲットの金属元素の原子数比として、 $\text{In}:\text{M}:\text{Zn}=1:1:0.5$ 、 $\text{In}:\text{M}:\text{Zn}=1:1:1$ 、 $\text{In}:\text{M}:\text{Zn}=1:1:1.2$ 、 $\text{In}:\text{M}:\text{Zn}=2:1:1.5$ 、 $\text{In}:\text{M}:\text{Zn}=2:1:2.3$ 、 $\text{In}:\text{M}:\text{Zn}=2:1:3$ 、 $\text{In}:\text{M}:\text{Zn}=3:1:2$ 、 $\text{In}:\text{M}:\text{Zn}=4:2:4.1$ 、 $\text{In}:\text{M}:\text{Zn}=5:1:7$ 等が好ましい。

[0110]

なお、成膜される酸化物半導体膜の金属元素の原子数比はそれぞれ、上記のスパッタリングターゲットに含まれる金属元素の原子数比のプラスマイナス40%程度変動することがある。例えば、スパッタリングターゲットとして、原子数比が $\text{In}:\text{Ga}:\text{Zn}=4:2:4.1$ を用いる場合、成膜される酸化物半導体膜の原子数比は、 $\text{In}:\text{Ga}:\text{Zn}=4:2:3$ 近傍となる場合がある。また、スパッタリングターゲットとして、原子数比が $\text{In}:\text{Ga}:\text{Zn}=5:1:7$ を用いる場合、成膜される酸化物半導体膜の原子数比は、 $\text{In}:\text{Ga}:\text{Zn}=5:1:6$ 近傍となる場合がある。

[0111]

一方で、ソース領域108s、及びドレイン領域108dは、絶縁膜116と接する。ソース領域108s、及びドレイン領域108dが絶縁膜116と接することで、絶縁膜116からソース領域108s、及びドレイン領域108dに水素及び窒素の少なくとも一方が添加されるため、キャリア密度が高くなる。

[0112]

なお、酸化物半導体膜108としては、上記の構造に限られず、必要とするトランジスタの半導体特性及び電気特性（電界効果移動度、しきい値電圧等）に応じて適切な組成の材料を用いればよい。また、必要とするトランジスタの半導体特性を得るために、酸化物半導体膜のキャリア密度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間距離、密度等を適切にすることが好ましい。

[0113]

また、酸化物半導体膜108は、非単結晶構造でもよい。非単結晶構造は、例えば、後述するCAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)、多結晶構造、後述する微結晶構造、または非晶質構造を含む。非単結晶構造において、非晶質構造は最も欠陥準位密度が高く、CAAC-OSは最も欠陥準位密度が低い。

[0114]

なお、酸化物半導体膜108が、非晶質構造の領域、微結晶構造の領域、多結晶構造の領域、CAAC-OSの領域、及び単結晶構造の領域の二種以上を有する単層膜、あるいはこの膜が積層された構造であってもよい。

[0115]

なお、酸化物半導体膜108において、チャネル領域108iと、ソース領域108s及びドレイン領域108dとの結晶性が異なる場合がある。具体的には、酸化物半導体膜108において、チャネル領域108iよりもソース領域108s及びドレイン領域108dの方が、結晶性が低い場合がある。これは、ソース領域108s及びドレイン領域108dに不純物元素が添加された際に、ソース領域108s及びドレイン領域108dにダメージが入ってしまい、結晶性が低下するためである。

[0116]

また、酸化物半導体膜 112 としては、先に示す酸化物半導体膜 108 と同様の材料、及び作製方法を用いて形成することができる。例えば、酸化物半導体膜 112 としては、In 酸化物、In-Sn 酸化物、In-Zn 酸化物、In-Ga 酸化物、Zn 酸化物、Al-Zn 酸化物、または In-Ga-Zn 酸化物などを用いることができる。特に、In-Sn 酸化物、または In-Ga-Zn 酸化物を用いると好ましい。また、酸化物半導体膜 112 としては、インジウム錫酸化物（略称：ITO）、シリコンを含むインジウム錫酸化物（略称：ITSO）など材料を用いることができる。また、酸化物半導体膜 112 と、酸化物半導体膜 108 と、が同一の金属元素を有する構成とすることで、製造コストを抑制することが可能となる。

[0117]

例えば、酸化物半導体膜 112 として、In-M-Zn 酸化物を用いる場合、In-M-Zn 酸化物を成膜するために用いるスパッタリングターゲットの金属元素の原子数比は、In が M 以上である領域を有することが好ましい。このようなスパッタリングターゲットの金属元素の原子数比として、 $In:M:Zn=2:1:3$ 、 $In:M:Zn=3:1:2$ 、 $In:M:Zn=4:2:4$ 、 1 、 $In:M:Zn=5:1:7$ 等およびその近傍が挙げられる。なお、酸化物半導体膜 112 としては、上記のスパッタリングターゲットの組成に限定されない。また、酸化物半導体膜 112 の構造としては、単層構造または 2 層以上の積層構造とすることができる。

[0118]

なお、酸化物半導体膜 112 として、In-Ga-Zn 酸化物に代表される酸化物半導体を用いることができる。該酸化物半導体は、絶縁膜 116 から窒素および水素の少なくとも一方が供給されることで、キャリア密度が高くなる。別言すると、酸化物半導体膜 112 が有する酸化物半導体は、酸化物導電体（OC: Oxide Conductor）として機能する。したがって、該酸化物半導体は、ゲート電極として用いることができる。

[0119]

例えば、第 2 のゲート電極が、酸化物半導体膜 112 と、導電膜 114 とを有する構造の場合、酸化物半導体膜 112 に上述の酸化物導電体（OC）を用い、導電膜 114 に金属膜を用いる積層構造が好ましい。

[0120]

第 2 のゲート電極として、酸化物半導体と遮光性を有する金属膜との積層構造を用いる場合、酸化物半導体膜 112 の下方に形成されるチャネル領域 108 i を遮光することができるため、好適である。また、酸化物半導体膜 112 として、酸化物半導体または酸化物導電体（OC）と、遮光性を有する金属膜との積層構造を用いる場合、酸化物半導体または酸化物導電体（OC）上に、金属膜（例えば、チタン膜、タングステン膜など）を形成することで、金属膜中の構成元素が酸化物半導体または酸化物導電体（OC）側に拡散し低抵抗化する、金属膜の成膜時のダメージ（例えば、スパッタリングダメージなど）により低抵抗化する、あるいは金属膜中に酸化物半導体または酸化物導電体（OC）中の酸素が拡散することで、酸素欠損が形成され低抵抗化する。

[0121]

《第 1 のゲート絶縁膜として機能する絶縁膜》

絶縁膜 104 は、スパッタリング法、CVD 法、蒸着法、パルスレーザー堆積（PLD）法、印刷法、塗布法等を適宜用いて形成することができる。また、絶縁膜 104 は、例えば、酸化物絶縁膜お

よび窒化物絶縁膜を単層または積層して形成することができる。なお、酸化物半導体膜108との界面特性を向上させるため、絶縁膜104において少なくとも酸化物半導体膜108と接する領域は酸化物絶縁膜で形成することが好ましい。また、絶縁膜104として加熱により酸素を放出する酸化物絶縁膜を用いることで、加熱処理により絶縁膜104に含まれる酸素を、酸化物半導体膜108に移動させることが可能である。

[0122]

絶縁膜104の厚さは、50nm以上、または100nm以上3000nm以下、または200nm以上1000nm以下とすることができる。絶縁膜104を厚くすることで、絶縁膜104の酸素放出量を増加させることができると共に、絶縁膜104と酸化物半導体膜108との界面における界面準位、並びに酸化物半導体膜108のチャンネル領域108iに含まれる酸素欠損を低減することが可能である。

[0123]

絶縁膜104として、例えば酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化ハフニウム、酸化ガリウムまたはGa-Zn酸化物などを用いればよく、単層または積層で設けることができる。本実施の形態では、絶縁膜104として、窒化シリコン膜と、酸化窒化シリコン膜との積層構造を用いる。このように、絶縁膜104を積層構造として、下層側に窒化シリコン膜を用い、上層側に酸化窒化シリコン膜を用いることで、酸化物半導体膜108中に効率よく酸素を導入することができる。

[0124]

なお、本明細書等において、酸化窒化シリコンとは、その組成として、窒素よりも酸素の含有量が多いものを指し、好ましくは酸素が55原子%以上65原子%以下、窒素が1原子%以上20原子%以下、シリコンが25原子%以上35原子%以下、水素が0.1原子%以上10原子%以下の範囲で含まれるものをいう。窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多いものを指し、好ましくは窒素が55原子%以上65原子%以下、酸素が1原子%以上20原子%以下、シリコンが25原子%以上35原子%以下、水素が0.1原子%以上10原子%以下の濃度範囲で含まれるものをいう。

[0125]

なお、絶縁膜104において少なくとも酸化物半導体膜108と接する領域は、酸化物絶縁膜であることが好ましく、化学量論的組成よりも過剰に酸素を含有する領域（酸素過剰領域）を有することがより好ましい。別言すると、絶縁膜104は、酸素を放出することが可能な絶縁膜である。なお、絶縁膜104に酸素過剰領域を設けるには、例えば、酸素雰囲気下にて絶縁膜104を形成すればよい。または、成膜後の絶縁膜104に酸素を添加してもよい。成膜後の絶縁膜104に酸素を添加する方法については後述する。

[0126]

また、絶縁膜104として、ハフニウムシリケート (HfSiO_x)、窒素が添加されたハフニウムシリケート ($\text{HfSi}_x\text{O}_y\text{N}_z$)、窒素が添加されたハフニウムアルミネート ($\text{HfAl}_x\text{O}_y\text{N}_z$)、酸化ハフニウム、酸化イットリウムなどのhigh-k材料を好適に用いることができる。該ハフニウムやイットリウムを有する材料は、酸化シリコンや酸化窒化シリコンと比べて比誘電率が高い。したがって、絶縁膜104に上記high-k材料を用いることで、酸化シリコン膜を用いる場合と比

べて膜厚を大きくできるため、トンネル電流によるリーク電流を小さくすることができる。すなわち、オフ電流の小さいトランジスタを実現することができる。さらに、結晶構造を有する酸化ハフニウムは、非晶質構造を有する酸化ハフニウムと比べて高い比誘電率を備える。したがって、オフ電流の小さいトランジスタとするためには、結晶構造を有する酸化ハフニウムを用いることが好ましい。結晶構造の例としては、単斜晶系や立方晶系などが挙げられる。ただし、本発明の一態様は、これらに限定されない。

[0127]

なお、本実施の形態では、絶縁膜104として導電膜106側に窒化シリコン膜を、酸化物半導体膜108側に酸化シリコン膜を、積層して形成する。窒化シリコン膜は、酸化シリコン膜と比較して比誘電率が高く、酸化シリコン膜と同等の静電容量を得るのに必要な膜厚が大きい。そのため、トランジスタ100の第1のゲート絶縁膜として、窒化シリコン膜を含むことで、第1のゲート絶縁膜を物理的に厚膜化することができる。よって、トランジスタ100の絶縁耐圧の低下を抑制、さらには絶縁耐圧を向上させて、トランジスタ100の静電破壊を抑制することができる。

[0128]

《第2のゲート絶縁膜として機能する絶縁膜》

絶縁膜110は、トランジスタ100のゲート絶縁膜として機能する。また、絶縁膜110は、酸化物半導体膜108、特にチャネル領域108iに酸素を供給する機能を有する。例えば、絶縁膜110としては、酸化物絶縁膜または窒化物絶縁膜を単層または積層して形成することができる。なお、酸化物半導体膜108との界面特性を向上させるため、絶縁膜110において、酸化物半導体膜108と接する領域は、少なくとも酸化物絶縁膜を用いて形成することが好ましい。絶縁膜110として、例えば酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコンなどを用いればよい。

[0129]

また、絶縁膜110の厚さは、5nm以上400nm以下、または5nm以上300nm以下、または10nm以上250nm以下とすることができる。

[0130]

また、絶縁膜110は、欠陥が少ないことが好ましく、代表的には、電子スピン共鳴法（ESR : Electron Spin Resonance）で観察されるシグナルが少ない方が好ましい。例えば、上述のシグナルとしては、g値が2.001に観察されるE'センターが挙げられる。なお、E'センターは、シリコンのダングリングボンドに起因する。絶縁膜110としては、E'センター起因のスピン密度が、 $3 \times 10^{17} \text{ spins/cm}^3$ 以下、好ましくは $5 \times 10^{16} \text{ spins/cm}^3$ 以下である酸化シリコン膜、または酸化窒化シリコン膜を用いればよい。

[0131]

また、絶縁膜110には、上述のシグナル以外に二酸化窒素（ NO_2 ）に起因するシグナルが観察される場合がある。当該シグナルは、Nの核スピンにより3つのシグナルに分裂しており、それぞれのg値が2.037以上2.039以下（第1のシグナルとする）、g値が2.001以上2.003以下（第2のシグナルとする）、及びg値が1.964以上1.966以下（第3のシグナルとする）に観察される。

[0132]

例えば、絶縁膜110として、二酸化窒素（ NO_2 ）起因のスピン密度が、 $1 \times 10^{17} \text{ spins}$

／ cm^3 以上 $1 \times 10^{18} \text{ spins} / \text{cm}^3$ 未満である絶縁膜を用いると好適である。

[0133]

なお、二酸化窒素 (NO_2) を含む窒素酸化物 (NO_x) は、絶縁膜 110 中に準位を形成する。当該準位は、酸化物半導体膜 108 のエネルギーギャップ内に位置する。そのため、窒素酸化物 (NO_x) が、絶縁膜 110 及び酸化物半導体膜 108 の界面に拡散すると、当該準位が絶縁膜 110 側において電子をトラップする場合がある。この結果、トラップされた電子が、絶縁膜 110 及び酸化物半導体膜 108 界面近傍に留まるため、トランジスタのしきい値電圧をプラス方向にシフトさせてしまう。したがって、絶縁膜 110 としては、窒素酸化物の含有量が少ない膜を用いると、トランジスタのしきい値電圧のシフトを低減することができる。

[0134]

窒素酸化物 (NO_x) の放出量が少ない絶縁膜としては、例えば、酸化窒化シリコン膜を用いることができる。当該酸化窒化シリコン膜は、昇温脱離ガス分析法 (TDS: Thermal Desorption Spectroscopy) において、窒素酸化物 (NO_x) の放出量よりアンモニアの放出量が多い膜であり、代表的にはアンモニアの放出量が $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $5 \times 10^{19} \text{ cm}^{-3}$ 以下である。なお、上記のアンモニアの放出量は、TDS における加熱処理の温度が 50°C 以上 650°C 以下、または 50°C 以上 550°C 以下の範囲での総量である。

[0135]

窒素酸化物 (NO_x) は、加熱処理においてアンモニア及び酸素と反応するため、アンモニアの放出量が多い絶縁膜を用いることで窒素酸化物 (NO_x) が低減される。

[0136]

なお、絶縁膜 110 を SIMS で分析した場合、膜中の窒素濃度が $6 \times 10^{20} \text{ atoms} / \text{cm}^3$ 以下であると好ましい。

[0137]

また、絶縁膜 110 として、ハフニウムシリケート (HfSiO_x)、窒素が添加されたハフニウムシリケート ($\text{HfSi}_x\text{O}_y\text{N}_z$)、窒素が添加されたハフニウムアルミネート ($\text{HfAl}_x\text{O}_y\text{N}_z$)、酸化ハフニウムなどの high-k 材料を用いてもよい。当該 high-k 材料を用いることでトランジスタのゲートリークを低減できる。

[0138]

また、絶縁膜 110 を、有機シランガスを用いた CVD 法を用いて成膜してもよい。有機シランガスとしては、珪酸エチル (TEOS: 化学式 $\text{Si}(\text{OC}_2\text{H}_5)_4$)、テトラメチルシラン (TMS: 化学式 $\text{Si}(\text{CH}_3)_4$)、テトラメチルシクロテトラシロキサン (TMCTS)、オクタメチルシクロテトラシロキサン (OMCTS)、ヘキサメチルジシラザン (HMDs)、トリエトキシシラン ($\text{SiH}(\text{OC}_2\text{H}_5)_3$)、トリスジメチルアミノシラン ($\text{SiH}(\text{N}(\text{CH}_3)_2)_3$) などのシリコン含有化合物を用いることができる。有機シランガスを用いた CVD 法を用いることで、被覆性の高い絶縁膜 110 を形成することができる。

[0139]

《第 3 の絶縁膜》

絶縁膜 116 は、窒素および水素の少なくとも一方を有する。絶縁膜 116 としては、例えば、窒化物絶縁膜が挙げられる。該窒化物絶縁膜としては、例えば、窒化シリコン、窒化酸化シリコン、窒

化アルミニウム、窒化酸化アルミニウム等を用いて形成することができる。絶縁膜116に含まれる水素濃度は、 $1 \times 10^{22} \text{ atoms/cm}^3$ 以上であると好ましい。また、絶縁膜116は、酸化物半導体膜108のソース領域108s、及びドレイン領域108dと接する。また、絶縁膜116は、酸化物半導体膜112と接する領域を有する。したがって、絶縁膜116と接するソース領域108s、ドレイン領域108d、及び酸化物半導体膜112中の水素濃度が高くなり、ソース領域108s、ドレイン領域108d、及び酸化物半導体膜112のキャリア密度を高めることができる。なお、ソース領域108s、ドレイン領域108d、及び酸化物半導体膜112としては、それぞれ絶縁膜116と接することで、膜中の水素濃度が同じ領域を有する場合がある。

[0140]

《第4の絶縁膜》

絶縁膜118としては、酸化物絶縁膜または窒化物絶縁膜を単層または積層して形成することができる。絶縁膜118として、例えば酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化ハフニウム、酸化ガリウムまたはGa-Zn酸化物などを用いればよく、単層または積層で設けることができる。

[0141]

また、絶縁膜118としては、外部からの水素、水等のバリア膜として機能する膜であることが好ましい。

[0142]

絶縁膜118の厚さは、30nm以上500nm以下、または100nm以上400nm以下とすることができる。

[0143]

《第1のゲート電極、及び一対の電極として機能する導電膜》

導電膜106、及び導電膜120s、120dとしては、スパッタリング法、真空蒸着法、パルスレーザー堆積(PLD)法、熱CVD法等を用いて形成することができる。また、導電膜106、及び導電膜120s、120dとしては、例えば、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、ニッケル、鉄、コバルト、タングステンから選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いて形成することができる。また、マンガン、ジルコニウムのいずれか一または複数から選択された金属元素を用いてもよい。また、導電膜106、及び導電膜120s、120dは、単層構造でも、二層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、マンガンを含む銅膜の単層構造、アルミニウム膜上にチタン膜を積層する二層構造、窒化チタン膜上にチタン膜を積層する二層構造、窒化チタン膜上にタングステン膜を積層する二層構造、窒化タンタル膜または窒化タングステン膜上にタングステン膜を積層する二層構造、マンガンを含む銅膜上に銅膜を積層する二層構造、チタン膜上に銅膜を積層する二層構造、チタン膜と、そのチタン膜上にアルミニウム膜を積層し、さらにその上にチタン膜を形成する三層構造、マンガンを含む銅膜上に銅膜を積層し、さらにその上にマンガンを含む銅膜を形成する三層構造等がある。また、アルミニウムに、チタン、タンタル、タングステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた一または複数を組み合わせた合金膜、もしくは窒化膜を用いてもよい。

[0144]

特に、導電膜106、及び導電膜120s、120dとしては、銅を含む材料を用いると好適である。導電膜106、120s、120dに銅を含む材料を用いると、抵抗を低くすることができる。例えば、基板102として大面積の基板を用いた場合においても信号の遅延等を抑制することができる。

[0145]

また、導電膜106、及び導電膜120s、120dは、インジウムと錫とを含む酸化物（略称：ITO）、タングステンとインジウムとを含む酸化物、タングステンとインジウムと亜鉛とを含む酸化物、チタンとインジウムとを含む酸化物、チタンとインジウムと錫とを含む酸化物、インジウムと亜鉛とを含む酸化物、インジウムとガリウムと亜鉛とを含む酸化物、シリコンとインジウムと錫とを含む酸化物（略称：ITSO）等の透光性を有する導電性材料を適用することもできる。また、上記透光性を有する導電性材料と、上記金属元素の積層構造とすることもできる。

[0146]

導電膜106、及び導電膜120s、120dの厚さとしては、30nm以上500nm以下、または100nm以上400nm以下とすることができる。

[0147]

《第2のゲート電極として機能する導電膜114》

第2のゲート電極として機能する導電膜114は、先に示す第1のゲート電極として機能する導電膜106、及び一对の電極として機能する導電膜120s、120dと同様の材料及び作製方法を用いて形成することができる。または、これらの積層構造であってもよい。

[0148]

また、導電膜114は、窒素および水素の少なくとも一方を供給する機能が低いことが好ましい。また、導電膜114は、窒素および水素の少なくとも一方を透過する機能が低い方が好ましい。具体的には、例えば、銅、モリブデン、タングステン、チタン、及びタンタル、またはこれらの窒化物が好ましい。窒化モリブデン、窒化タンタル及び窒化チタンのような窒素と金属とを有する窒化物は、導電性が高く、銅または水素に対し高いバリア性を有し、安定であるため好ましい。

[0149]

《基板》

基板102としては、様々な基板を用いることができ、特に限定されることはない。基板の一例としては、半導体基板（例えば単結晶基板またはシリコン基板）、SOI基板、ガラス基板、石英基板、セラミック基板、サファイア基板、プラスチック基板、金属基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板、タングステン基板、タングステン・ホイルを有する基板、可撓性基板、貼り合わせフィルム、繊維状の材料を含む紙、または基材フィルムなどがある。ガラス基板の一例としては、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス、またはソーダライムガラスなどがある。可撓性基板、貼り合わせフィルム、基材フィルムなどの一例としては、以下が挙げられる。例えば、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）、ポリエーテルサルホン（PES）に代表されるプラスチックがある。または、一例としては、アクリル等の合成樹脂などがある。または、一例としては、ポリプロピレン、ポリエステル、ポリフッ化ビニル、ポリ塩化ビニルなどがある。または、一例としては、ポリアミド、ポリイミド、アラミド、エポキシ、無機蒸着フィルム、または紙類などがある。特に、半導体基板、単結晶基板、またはSOI基

板などを用いてトランジスタを製造することによって、特性、サイズ、または形状などのばらつきが少なく、電流能力が高く、サイズの小さいトランジスタを製造することができる。このようなトランジスタによって回路を構成すると、回路の低消費電力化、または回路の高集積化を図ることができる。

[0150]

なお、基板102として、ガラス基板を用いる場合、第6世代(1500mm×1850mm)、第7世代(1870mm×2200mm)、第8世代(2200mm×2400mm)、第9世代(2400mm×2800mm)、第10世代(2950mm×3400mm)等の大面積基板を用いることで、大型の表示装置を作製することができる。

[0151]

また、基板102として、可撓性基板を用い、可撓性基板上に直接、トランジスタを形成してもよい。または、基板102とトランジスタの間に剥離層を設けてもよい。剥離層は、その上に半導体装置を一部あるいは全部完成させた後、基板102より分離し、他の基板に転載するのに用いることができる。その際、トランジスタを耐熱性の劣る基板や可撓性の基板にも転載できる。なお、上述の剥離層には、例えば、タングステン膜と酸化シリコン膜との無機膜の積層構造の構成、または基板上にポリイミド等の樹脂膜が形成された構成等を用いることができる。

[0152]

トランジスタが転載される基板の一例としては、上述したトランジスタを形成することが可能な基板に加え、紙基板、セロファン基板、アラミドフィルム基板、ポリイミドフィルム基板、石材基板、木材基板、布基板(天然繊維(絹、綿、麻)、合成繊維(ナイロン、ポリウレタン、ポリエステル)若しくは再生繊維(アセテート、キュブラ、レーヨン、再生ポリエステル)などを含む)、皮革基板、またはゴム基板などがある。これらの基板を用いることにより、特性のよいトランジスタの形成、消費電力の小さいトランジスタの形成、壊れにくい装置の製造、耐熱性の付与、軽量化、または薄型化を図ることができる。

[0153]

<半導体装置の構成例2乃至6>

次に、図1(A)(B)(C)に示す半導体装置と異なる構成について、図2乃至図7を用いて説明する。

[0154]

《半導体装置の構成例2》

図2(A)は、トランジスタ100Aの上面図であり、図2(B)は図2(A)の一点鎖線X1-X2間の断面図であり、図2(C)は図2(A)の一点鎖線Y1-Y2間の断面図である。

[0155]

図2(A)(B)(C)に示すトランジスタ100Aは、先に示すトランジスタ100と酸化物半導体膜112及び導電膜114の形状が異なる。具体的には、トランジスタ100Aが有する酸化物半導体膜112の下端部は、絶縁膜110の上端部よりも内側に形成される。別言すると、絶縁膜110の側端部は、酸化物半導体膜112の側端部よりも外側に位置する。

[0156]

例えば、酸化物半導体膜112と、導電膜114と、絶縁膜110と、を同じマスクで加工し、酸化物半導体膜112及び導電膜114をウェットエッチング法で、絶縁膜110をドライエッチング

法で、それぞれ加工することで、上記構造とすることができる。

[0157]

また、酸化物半導体膜112及び導電膜114を上記の構造とすることで、酸化物半導体膜108中に、領域108fが形成される場合がある。領域108fは、チャネル領域108iとソース領域108sとの間、及びチャネル領域108iとドレイン領域108dとの間に形成される。

[0158]

領域108fは、高抵抗領域あるいは低抵抗領域のいずれか一方として機能する。高抵抗領域とは、チャネル領域108iと同等の抵抗を有し、ゲート電極として機能する酸化物半導体膜112及び導電膜114が重畳しない領域である。領域108fが高抵抗領域の場合、領域108fは、所謂オフセット領域として機能する。領域108fがオフセット領域として機能する場合においては、トランジスタ100Aのオン電流の低下を抑制するために、チャネル長(L)方向において、領域108fを1 μ m以下とすればよい。

[0159]

また、低抵抗領域とは、チャネル領域108iよりも抵抗が低く、且つソース領域108s及びドレイン領域108dよりも抵抗が高い領域である。領域108fが低抵抗領域の場合、領域108fは、所謂、LDD(Lightly Doped Drain)領域として機能する。領域108fがLDD領域として機能する場合においては、ドレイン領域の電界緩和が可能となるため、ドレイン領域の電界に起因したトランジスタのしきい値電圧の変動を低減することができる。

[0160]

なお、領域108fを低抵抗領域とする場合には、例えば、絶縁膜116から領域108fに水素および窒素の少なくとも一方を供給する、あるいは、絶縁膜110、酸化物半導体膜112、及び導電膜114をマスクとして、導電膜114の上方から不純物元素を添加することで、当該不純物が絶縁膜110を介し、酸化物半導体膜108に添加されることで形成される。

[0161]

《半導体装置の構成例3》

次に、図2(A)(B)(C)に示す半導体装置の変形例について、図3(A)(B)を用いて説明する。

[0162]

図3(A)(B)は、トランジスタ100Bの断面図である。トランジスタ100Bの上面図としては、図2(A)に示すトランジスタ100Aと同様であるため、図2(A)を援用して説明する。図3(A)は図2(A)の一点鎖線X1-X2間の断面図であり、図3(B)は図2(A)の一点鎖線Y1-Y2間の断面図である。

[0163]

トランジスタ100Bは、先に示すトランジスタ100Aに平坦化絶縁膜として機能する絶縁膜122が設けられている点が異なる。それ以外の構成については、先に示すトランジスタ100Aと同様の構成であり、同様の効果を奏する。

[0164]

絶縁膜122は、トランジスタ等に起因する凹凸等を平坦化させる機能を有する。絶縁膜122としては、絶縁性であればよく、無機材料または有機材料を用いて形成される。該無機材料としては、

酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、窒化アルミニウム等が挙げられる。該有機材料としては、例えば、アクリル樹脂、またはポリイミド樹脂等の感光性の樹脂材料が挙げられる。

[0165]

なお、図3 (A) (B) においては、絶縁膜122が有する開口部の形状は、開口部141s、141dよりも小さい形状としたが、これに限定されず、例えば、開口部141s、141dと同じ形状、または開口部141s、141dよりも大きい形状としてもよい。

[0166]

また、図3 (A) (B) においては、絶縁膜122上に導電膜120s、120dを設ける構成について例示したがこれに限定されず、例えば、絶縁膜118上に導電膜120s、120dを設け、導電膜120s、120d上に絶縁膜122を設ける構成としてもよい。

[0167]

《半導体装置の構成例4》

次に、図1 (A) (B) (C) に示す半導体装置の変形例について、図4及び図5を用いて説明する。

[0168]

図4 (A) (B) は、トランジスタ100Cの断面図である。トランジスタ100Cの上面図としては、図1 (A) に示すトランジスタ100と同様であるため、図1 (A) を援用して説明する。図4 (A) は図1 (A) の一点鎖線X1-X2間の断面図であり、図4 (B) は図1 (A) の一点鎖線Y1-Y2間の断面図である。

[0169]

トランジスタ100Cは、先に示すトランジスタ100と絶縁膜110の形状が異なる。それ以外の構成については、先に示すトランジスタ100と同様の構成であり、同様の効果を奏する。

[0170]

トランジスタ100Cが有する絶縁膜110は、酸化物半導体膜112よりも内側に位置する。別言すると、絶縁膜110の側面は、酸化物半導体膜112の下端部よりも内側に位置する。例えば、酸化物半導体膜112及び導電膜114を加工した後に、エッチャントを用いたウェットエッチング等により絶縁膜110をサイドエッチングすることで、図4 (A) (B) に示す構成とすることができる。なお、絶縁膜110を上記構造とすることで、酸化物半導体膜112の下方には、中空領域147が形成される。

[0171]

中空領域147は、空気を有し、ゲート絶縁膜の一部として機能する。なお、中空領域147の比誘電率は、空気と同じく、概ね1となる。したがって、トランジスタ100Cの構造とすることで、ゲート電極として機能する酸化物半導体膜112に電圧が印加された場合、中空領域147の下方のチャネル領域108iに与えられる電圧が、絶縁膜110の下方のチャネル領域108iに与えられる電圧よりも低くなる。よって、中空領域147の下方のチャネル領域108iは、実効的にオーバーラップ領域 (Lov領域ともいう) として機能する。なお、Lov領域とは、ゲート電極として機能する酸化物半導体膜112と重なり、且つチャネル領域108iよりも抵抗が低い領域である。

[0172]

図5 (A) (B) は、トランジスタ100Dの断面図である。トランジスタ100Dの上面図とし

ては、図1 (A) に示すトランジスタ100と同様であるため、図1 (A) を援用して説明する。図5 (A) は図1 (A) の一点鎖線X1-X2間の断面図であり、図5 (B) は図1 (A) の一点鎖線Y1-Y2間の断面図である。

[0173]

トランジスタ100Dは、先に示すトランジスタ100と絶縁膜110と、絶縁膜116の形状が異なる。それ以外の構成については、先に示すトランジスタ100と同様の構成であり、同様の効果を奏する。

[0174]

トランジスタ100Dが有する絶縁膜110は、酸化物半導体膜112及び導電膜114よりも内側に位置する。別言すると、絶縁膜110の側面は、酸化物半導体膜112の下端部よりも内側に位置する。例えば、酸化物半導体膜112及び導電膜114を加工したあとに、エッチャントを用いたウェットエッチング等により絶縁膜110をサイドエッチングすることで、図5 (A) (B) に示す構成とすることができる。また、絶縁膜110を上記構造としたのち、絶縁膜116を形成することで、絶縁膜116が、酸化物半導体膜112の下側にも入り込み、絶縁膜116が、酸化物半導体膜112の下方に位置する酸化物半導体膜108と接する。

[0175]

上記構成とすることで、ソース領域108s、及びドレイン領域108dは、酸化物半導体膜112の下端部よりも内側に位置する。よって、トランジスタ100Dは、Lov領域を有する。

[0176]

トランジスタ100C、及びトランジスタ100DのようにLov領域を有する構造とすることで、チャンネル領域108iと、ソース領域108s及びドレイン領域108dとの間に高抵抗領域が形成されないため、トランジスタのオン電流を高めることが可能となる。

[0177]

《半導体装置の構成例5》

次に、図1 (A) (B) (C) に示す半導体装置の変形例について、図6及び図7を用いて説明する。

[0178]

図6 (A) (B) は、トランジスタ100Eの断面図である。トランジスタ100Eの上面図としては、図1 (A) に示すトランジスタ100と同様であるため、図1 (A) を援用して説明する。図6 (A) は図1 (A) の一点鎖線X1-X2間の断面図であり、図6 (B) は図1 (A) の一点鎖線Y1-Y2間の断面図である。

[0179]

トランジスタ100Eは、先に示すトランジスタ100と酸化物半導体膜108の構造が異なる。それ以外の構成については、先に示すトランジスタ100と同様の構成であり、同様の効果を奏する。

[0180]

トランジスタ100Eが有する酸化物半導体膜108は、絶縁膜116上の酸化物半導体膜108__1と、酸化物半導体膜108__1上の酸化物半導体膜108__2と、酸化物半導体膜108__2上の酸化物半導体膜108__3と、を有する。

[0181]

また、チャンネル領域108i、ソース領域108s、及びドレイン領域108dは、それぞれ、酸

化物半導体膜108__1、酸化物半導体膜108__2、及び酸化物半導体膜108__3の3層の積層構造である。

[0182]

図7(A)(B)は、トランジスタ100Fの断面図である。トランジスタ100Fの上面図としては、図1(A)に示すトランジスタ100と同様であるため、図1(A)を援用して説明する。図7(A)は図1(A)の一点鎖線X1-X2間の断面図であり、図7(B)は図1(A)の一点鎖線Y1-Y2間の断面図である。

[0183]

トランジスタ100Fは、先に示すトランジスタ100と酸化物半導体膜108の構造が異なる。それ以外の構成については、先に示すトランジスタ100と同様の構成であり、同様の効果を奏する。

[0184]

トランジスタ100Fが有する酸化物半導体膜108は、絶縁膜116上の酸化物半導体膜108__2と、酸化物半導体膜108__2上の酸化物半導体膜108__3と、を有する。

[0185]

また、チャネル領域108i、ソース領域108s、及びドレイン領域108dは、それぞれ、酸化物半導体膜108__2、及び酸化物半導体膜108__3の2層の積層構造である。

[0186]

また、トランジスタ100Fは、チャネル領域108iにおいては、酸化物半導体膜108__2、及び酸化物半導体膜108__3の積層構造である。

[0187]

《バンド構造》

ここで、酸化物半導体を2層構造、または3層構造とした場合について述べる。酸化物半導体S1、酸化物半導体S2、および酸化物半導体S3の積層構造に接する絶縁体のバンド図と、酸化物半導体S2および酸化物半導体S3の積層構造に接する絶縁体のバンド図と、について、図16を用いて説明する。なお、図16においては、酸化物半導体膜108__1、108__2、及び108__3が有する酸化物半導体を酸化物半導体S1、S2、及びS3と表し、絶縁膜104及び110が有する絶縁体を絶縁体I1及びI2と表す。

[0188]

図16(A)は、絶縁体I1、酸化物半導体S1、酸化物半導体S2、酸化物半導体S3、及び絶縁体I2を有する積層構造の膜厚方向のバンド図の一例である。また、図16(B)は、絶縁体I1、酸化物半導体S2、酸化物半導体S3、及び絶縁体I2を有する積層構造の膜厚方向のバンド図の一例である。なお、バンド図は、理解を容易にするため絶縁体I1、酸化物半導体S1、酸化物半導体S2、酸化物半導体S3、及び絶縁体I2の伝導帯下端のエネルギー準位(Ec)を示す。

[0189]

酸化物半導体S1、酸化物半導体S3は、酸化物半導体S2よりも伝導帯下端のエネルギー準位が真空準位に近く、代表的には、酸化物半導体S2の伝導帯下端のエネルギー準位と、酸化物半導体S1、酸化物半導体S3の伝導帯下端のエネルギー準位との差が、0.15eV以上、または0.5eV以上、かつ2eV以下、または1eV以下であることが好ましい。すなわち、酸化物半導体S1、酸化物半導体S3の電子親和力と、酸化物半導体S2の電子親和力との差が、0.15eV以上、ま

たは 0.5 eV 以上、かつ 2 eV 以下、または 1 eV 以下であることが好ましい。

[0190]

図16 (A)、および図16 (B) に示すように、酸化物半導体S1、酸化物半導体S2、酸化物半導体S3において、伝導帯下端のエネルギー準位はなだらかに変化する。換言すると、連続的に変化または連続接合するともいうことができる。このようなバンド図を有するためには、酸化物半導体S1と酸化物半導体S2との界面、または酸化物半導体S2と酸化物半導体S3との界面において形成される混合層の欠陥準位密度を低くするとよい。

[0191]

具体的には、酸化物半導体S1と酸化物半導体S2、酸化物半導体S2と酸化物半導体S3が、酸素以外に共通の元素を有する（主成分とする）ことで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物半導体S2が In-Ga-Zn 酸化物半導体の場合、酸化物半導体S1、酸化物半導体S3として、 In-Ga-Zn 酸化物半導体、 Ga-Zn 酸化物半導体、酸化ガリウムなどを用いるとよい。

[0192]

このとき、キャリアの主たる経路は酸化物半導体S2となる。酸化物半導体S1と酸化物半導体S2との界面、および酸化物半導体S2と酸化物半導体S3との界面における欠陥準位密度を低くすることができるため、界面散乱によるキャリア伝導への影響が小さく、高いオン電流が得られる。

[0193]

トラップ準位に電子が捕獲されることで、捕獲された電子は固定電荷のように振る舞うため、トランジスタのしきい値電圧はプラス方向にシフトしてしまう。酸化物半導体S1、酸化物半導体S3を設けることにより、トラップ準位を酸化物半導体S2より遠ざけることができる。当該構成とすることで、トランジスタのしきい値電圧がプラス方向にシフトすることを防止することができる。

[0194]

酸化物半導体S1、酸化物半導体S3は、酸化物半導体S2と比較して、導電率が十分に低い材料を用いる。このとき、酸化物半導体S2、酸化物半導体S2と酸化物半導体S1との界面、および酸化物半導体S2と酸化物半導体S3との界面が、主にチャネル領域として機能する。例えば、酸化物半導体S1、酸化物半導体S3には、図14 (C) において、絶縁性が高くなる領域Cで示す原子数比の酸化物半導体を用いればよい。なお、図14 (C) に示す領域Cは、 $[\text{In}]:[\text{M}]:[\text{Zn}] = 0:1:0$ 、またはその近傍値である原子数比を示している。

[0195]

特に、酸化物半導体S2に領域Aで示される原子数比の酸化物半導体を用いる場合、酸化物半導体S1および酸化物半導体S3には、 $[\text{M}]/[\text{In}]$ が1以上、好ましくは2以上である酸化物半導体を用いることが好ましい。また、酸化物半導体S3として、十分に高い絶縁性を得ることができる $[\text{M}]/([\text{Zn}] + [\text{In}])$ が1以上である酸化物半導体を用いることが好適である。

[0196]

<半導体装置の作製方法1>

次に、図1に示すトランジスタ100の作製方法の一例について、図8乃至図11を用いて説明する。なお、図8乃至図11は、トランジスタ100の作製方法を説明するチャネル長(L)方向、及びチャネル幅(W)方向の断面図である。

[0197]

まず、基板102上に導電膜106となる導電膜を形成し、その後、当該導電膜を島状に加工することで、導電膜106を形成する（図8（A）参照）。

[0198]

導電膜106としては、スパッタリング法、CVD法、蒸着法、パルスレーザー堆積（PLD）法、印刷法、塗布法等を適宜用いて形成することができる。本実施の形態においては、導電膜106として、厚さ100nmのタングステン膜をスパッタリング法により形成する。または、厚さ10nmの窒化タンタル膜と厚さ100nmの銅膜をスパッタリング法により形成する。

次に、基板102、及び導電膜106上に、絶縁膜104を形成し、絶縁膜104上に酸化物半導体膜を形成する。その後、当該酸化物半導体膜を島状に加工することで、酸化物半導体膜107を形成する（図8（B）参照）。

[0199]

絶縁膜104としては、スパッタリング法、CVD法、蒸着法、パルスレーザー堆積（PLD）法、印刷法、塗布法等を適宜用いて形成することができる。本実施の形態においては、絶縁膜104として、PECVD装置を用い、厚さ400nmの窒化シリコン膜と、厚さ50nmの酸化窒化シリコン膜とを形成する。

[0200]

また、絶縁膜104を形成した後、絶縁膜104に酸素を添加してもよい。絶縁膜104に添加する酸素としては、酸素ラジカル、酸素原子、酸素原子イオン、酸素分子イオン等がある。また、酸素の添加方法としては、イオンドーピング法、イオン注入法、プラズマ処理法等がある。また、絶縁膜上に酸素の脱離を抑制する膜を形成した後、該膜を介して絶縁膜104に酸素を添加してもよい。

[0201]

上述の酸素の脱離を抑制する膜として、インジウム、亜鉛、ガリウム、錫、アルミニウム、クロム、タンタル、チタン、モリブデン、ニッケル、鉄、コバルト、タングステンから選ばれた金属元素、上述した金属元素を成分とする合金、上述した金属元素を組み合わせた合金、上述した金属元素を有する金属窒化物、上述した金属元素を有する金属酸化物、上述した金属元素を有する金属窒化酸化物等の導電性を有する材料を用いて形成することができる。

[0202]

また、プラズマ処理で酸素の添加を行う場合、マイクロ波で酸素を励起し、高密度な酸素プラズマを発生させることで、絶縁膜104への酸素添加量を増加させることができる。

[0203]

酸化物半導体膜107としては、スパッタリング法、塗布法、パルスレーザー蒸着法、レーザーアブレーション法、熱CVD法等により形成することができる。なお、酸化物半導体膜107への加工には、酸化物半導体膜上にリソグラフィ工程によりマスクを形成した後、該マスクを用いて酸化物半導体膜の一部をエッチングすること形成することができる。また、印刷法を用いて、素子分離された酸化物半導体膜107を直接形成してもよい。

[0204]

スパッタリング法で酸化物半導体膜を形成する場合、プラズマを発生させるための電源装置は、RF電源装置、AC電源装置、DC電源装置等を適宜用いることができる。また、酸化物半導体膜を形

成する場合のスパッタリングガスは、希ガス（代表的にはアルゴン）、酸素、希ガス及び酸素の混合ガスを適宜用いる。なお、希ガス及び酸素の混合ガスの場合、希ガスに対して酸素のガス比を高めることが好ましい。

[0205]

なお、酸化物半導体膜を形成する際に、例えば、スパッタリング法を用いる場合、基板温度を150℃以上750℃以下、または150℃以上450℃以下、または200℃以上350℃以下として、酸化物半導体膜を成膜することで、結晶性を高めることができる。

[0206]

なお、本実施の形態においては、酸化物半導体膜107として、スパッタリング装置を用い、スパッタリングターゲットとしてIn-Ga-Zn金属酸化物（In:Ga:Zn=4:2:4、1〔原子数比〕）を用いて、膜厚40nmの酸化物半導体膜を成膜する。

[0207]

また、酸化物半導体膜107を形成した後、加熱処理を行い、酸化物半導体膜107の脱水素化または脱水化をしてもよい。加熱処理の温度は、代表的には、150℃以上基板歪み点未満、または250℃以上450℃以下、または300℃以上450℃以下である。

[0208]

加熱処理は、ヘリウム、ネオン、アルゴン、キセノン、クリプトン等の希ガス、または窒素を含む不活性ガス雰囲気で行うことができる。または、不活性ガス雰囲気で加熱した後、酸素雰囲気で加熱してもよい。なお、上記不活性雰囲気及び酸素雰囲気に水素、水などが含まれないことが好ましい。処理時間は3分以上24時間以下とすればよい。

[0209]

該加熱処理は、電気炉、RTA装置等を用いることができる。RTA装置を用いることで、短時間に限り、基板の歪み点以上の温度で熱処理を行うことができる。そのため加熱処理時間を短縮することができる。

[0210]

酸化物半導体膜を加熱しながら成膜する、または酸化物半導体膜を形成した後、加熱処理を行うことで、酸化物半導体膜中の、二次イオン質量分析法により得られる水素濃度を $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、または $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、または $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、または $5 \times 10^{17} \text{ atoms/cm}^3$ 以下、または $1 \times 10^{16} \text{ atoms/cm}^3$ 以下とすることができる。

[0211]

次に、絶縁膜104及び酸化物半導体膜107上に絶縁膜110_0を形成する(図8(C)参照)。

[0212]

絶縁膜110_0としては、酸化シリコン膜または酸化窒化シリコン膜を、PECVD法を用いて形成することができる。この場合、原料ガスとしては、シリコンを含む堆積性気体及び酸化性気体を用いることが好ましい。シリコンを含む堆積性気体の代表例としては、シラン、ジシラン、トリシラン、フッ化シラン等がある。酸化性気体としては、酸素、オゾン、一酸化二窒素、二酸化窒素等がある。

[0213]

また、絶縁膜 110__0 として、堆積性気体の流量に対して酸化性気体の流量を 20 倍より大きく 100 倍未満、または 40 倍以上 80 倍以下とし、処理室内の圧力を 100 Pa 未満、または 50 Pa 以下とする PECVD 法を用いることで、欠陥量の少ない酸化窒化シリコン膜を形成することができる。

[0214]

また、絶縁膜 110__0 として、PECVD 装置の真空排気された処理室内に載置された基板を 280℃以上 400℃以下に保持し、処理室に原料ガスを導入して処理室内における圧力を 20 Pa 以上 250 Pa 以下、さらに好ましくは 100 Pa 以上 250 Pa 以下とし、処理室内に設けられる電極に高周波電力を供給する条件により、絶縁膜 110__0 として、緻密である酸化シリコン膜または酸化窒化シリコン膜を形成することができる。

[0215]

また、絶縁膜 110__0 を、マイクロ波を用いたプラズマ CVD 法を用いて形成してもよい。マイクロ波とは 300 MHz から 300 GHz の周波数域を指す。マイクロ波において、電子温度が低く、電子エネルギーが小さい。また、供給された電力において、電子の加速に用いられる割合が少なく、より多くの分子の解離及び電離に用いられることが可能であり、密度の高いプラズマ（高密度プラズマ）を励起することができる。このため、被成膜面及び堆積物へのプラズマダメージが少なく、欠陥の少ない絶縁膜 110__0 を形成することができる。

[0216]

また、絶縁膜 110__0 を、有機シランガスを用いた CVD 法を用いて形成することができる。有機シランガスとしては、珪酸エチル（TEOS：化学式 $\text{Si}(\text{OC}_2\text{H}_5)_4$ ）、テトラメチルシラン（TMS：化学式 $\text{Si}(\text{CH}_3)_4$ ）、テトラメチルシクロテトラシロキサン（TMCTS）、オクタメチルシクロテトラシロキサン（OMCTS）、ヘキサメチルジシラザン（HMDS）、トリエトキシシラン（ $\text{SiH}(\text{OC}_2\text{H}_5)_3$ ）、トリスジメチルアミノシラン（ $\text{SiH}(\text{N}(\text{CH}_3)_2)_3$ ）などのシリコン含有化合物を用いることができる。有機シランガスを用いた CVD 法を用いることで、被覆性の高い絶縁膜 110__0 を形成することができる。

[0217]

本実施の形態では絶縁膜 110__0 として、PECVD 装置を用い、厚さ 150 nm の酸化窒化シリコン膜を形成する。

[0218]

次に、絶縁膜 110__0 上に酸化物半導体膜 112__0 を形成する。なお、酸化物半導体膜 112__0 の形成時において、酸化物半導体膜 112__0 から絶縁膜 110__0 中に酸素が添加される（図 8（D）参照）。

[0219]

酸化物半導体膜 112__0 の形成方法としては、スパッタリング法を用い、形成時に酸素ガスを含む雰囲気中で形成すると好ましい。形成時に酸素ガスを含む雰囲気中で酸化物半導体膜 112__0 を形成することで、絶縁膜 110__0 中に酸素を好適に添加することができる。

[0220]

なお、図 8（D）において、絶縁膜 110__0 中に添加される酸素を矢印で模式的に表している。なお、酸化物半導体膜 112__0 としては、先に記載の酸化物半導体膜 107 と同様の材料を用いる

ことができる。

[0221]

本実施の形態においては、酸化物半導体膜112₀として、スパッタリング装置を用い、スパッタリングターゲットとしてIn-Ga-Zn金属酸化物(In:Ga:Zn=5:1:7[原子数比])を用いて、膜厚20nmの酸化物半導体膜を成膜する。

[0222]

次に、酸化物半導体膜112₀上の所望の位置に、リソグラフィによりマスクを形成した後、酸化物半導体膜112₀、絶縁膜110₀、及び絶縁膜104の一部をエッチングすることで、導電膜106に達する開口部143を形成する(図9(A)参照)。

[0223]

開口部143の形成方法としては、ウェットエッチング法及び/またはドライエッチング法を適宜用いることができる。本実施の形態においては、ドライエッチング法を用い、開口部143を形成する。

[0224]

次に、開口部143を覆うように、酸化物半導体膜112₀上に導電膜114₀を形成する。開口部143を覆うように、導電膜114₀を形成することで、導電膜106と、導電膜114₀とが電氣的に接続される(図9(B)参照)。

[0225]

次に、導電膜114₀上の所望の位置に、リソグラフィ工程によりマスク140を形成する(図9(C)参照)。

[0226]

次に、マスク140上から、エッチングを行うことで、導電膜114₀と、酸化物半導体膜112₀と、絶縁膜110₀と、を加工したのち、マスク140を除去することで、島状の導電膜114と、島状の酸化物半導体膜112と、島状の絶縁膜110とを形成する(図9(D)参照)。

[0227]

本実施の形態においては、導電膜114₀、酸化物半導体膜112₀、及び絶縁膜110₀の加工としては、ドライエッチング法を用いて行う。

[0228]

なお、導電膜114と、酸化物半導体膜112と、絶縁膜110との加工の際に、導電膜114が重畳しない領域の酸化物半導体膜107の膜厚が薄くなる場合がある。または、導電膜114と、酸化物半導体膜112と、絶縁膜110との加工の際に、酸化物半導体膜107が重畳しない領域の絶縁膜104の膜厚が薄くなる場合がある。

[0229]

次に、絶縁膜104、酸化物半導体膜107、酸化物半導体膜112、及び導電膜114上から、不純物元素145の添加を行う(図10(A)参照)。

[0230]

不純物元素145の添加方法としては、イオンドーピング法、イオン注入法、プラズマ処理法等がある。プラズマ処理法の場合、添加する不純物元素を含むガス雰囲気にてプラズマを発生させて、プラズマ処理を行うことによって、不純物元素を添加することができる。上記プラズマを発生させる装

置としては、ドライエッチング装置、アッシング装置、プラズマCVD装置、高密度プラズマCVD装置等を用いることができる。

[0231]

なお、不純物元素145の原料ガスとして、 B_2H_6 、 PH_3 、 CH_4 、 N_2 、 NH_3 、 AlH_3 、 $AlCl_3$ 、 SiH_4 、 Si_2H_6 、 F_2 、 HF 、 H_2 及び希ガスの一以上を用いることができる。または、希ガスで希釈された B_2H_6 、 PH_3 、 N_2 、 NH_3 、 AlH_3 、 $AlCl_3$ 、 F_2 、 HF 、及び H_2 の一以上を用いることができる。希ガスで希釈された B_2H_6 、 PH_3 、 N_2 、 NH_3 、 AlH_3 、 $AlCl_3$ 、 F_2 、 HF 、及び H_2 の一以上を用いて不純物元素145を酸化物半導体膜107及び酸化物半導体膜112に添加することで、希ガス、水素、ホウ素、炭素、窒素、フッ素、リン、硫黄、及び塩素の一以上を酸化物半導体膜107及び酸化物半導体膜112に添加することができる。

[0232]

または、希ガスを添加した後、 B_2H_6 、 PH_3 、 CH_4 、 N_2 、 NH_3 、 AlH_3 、 $AlCl_3$ 、 SiH_4 、 Si_2H_6 、 F_2 、 HF 、及び H_2 の一以上を酸化物半導体膜107及び酸化物半導体膜112に添加してもよい。

[0233]

または、 B_2H_6 、 PH_3 、 CH_4 、 N_2 、 NH_3 、 AlH_3 、 $AlCl_3$ 、 SiH_4 、 Si_2H_6 、 F_2 、 HF 、及び H_2 の一以上を添加した後、希ガスを酸化物半導体膜107及び酸化物半導体膜112に添加してもよい。

[0234]

不純物元素145の添加は、加速電圧、ドーズ量などの注入条件を適宜設定して制御すればよい。例えば、イオン注入法でアルゴンの添加を行う場合、加速電圧10kV以上100kV以下、ドーズ量は $1 \times 10^{13} \text{ ions/cm}^2$ 以上 $1 \times 10^{16} \text{ ions/cm}^2$ 以下とすればよく、例えば、 $1 \times 10^{14} \text{ ions/cm}^2$ とすればよい。また、イオン注入法でリンイオンの添加を行う場合、加速電圧30kV、ドーズ量は $1 \times 10^{13} \text{ ions/cm}^2$ 以上 $5 \times 10^{16} \text{ ions/cm}^2$ 以下とすればよく、例えば、 $1 \times 10^{15} \text{ ions/cm}^2$ とすればよい。

[0235]

また、本実施の形態においては、マスク140を除去してから、不純物元素145を添加する構成について例示したが、これに限定されず、例えば、マスク140を残したままの状態の不純物元素145の添加を行ってもよい。

[0236]

また、本実施の形態においては、不純物元素145として、ドーピング装置を用いて、アルゴンを酸化物半導体膜107及び酸化物半導体膜112に添加する。なお、本実施の形態においては、不純物元素145として、アルゴンを添加する構成について例示したがこれに限定されず、例えば、窒素を添加する構成であってもよい。また、例えば、不純物元素145を添加する工程を行わなくてもよい。

[0237]

次に、絶縁膜104、酸化物半導体膜107、酸化物半導体膜112、及び導電膜114上に絶縁膜116を形成する。なお、絶縁膜116を形成することで、絶縁膜116と接する酸化物半導体膜107は、ソース領域108s及びドレイン領域108dとなる。また、絶縁膜116と接しない酸

化物半導体膜107、別言すると絶縁膜110と接する酸化物半導体膜107はチャネル領域108iとなる。これにより、チャネル領域108i、ソース領域108s、及びドレイン領域108dを有する酸化物半導体膜108が形成される（図10（B）参照）。

[0238]

絶縁膜116としては、絶縁膜116に用いることのできる材料を選択することで形成できる。本実施の形態においては、絶縁膜116として、PECVD装置を用い、厚さ100nmの窒化シリコン膜を形成する。

[0239]

絶縁膜116として、窒化シリコン膜を用いることで、絶縁膜116に接する酸化物半導体膜112、ソース領域108s、及びドレイン領域108dに窒化シリコン膜中の水素が入り込み、酸化物半導体膜112、ソース領域108s、及びドレイン領域108dのキャリア密度を高めることができる。

[0240]

次に、絶縁膜116上に絶縁膜118を形成する（図10（C）参照）。

[0241]

絶縁膜118としては、絶縁膜118に用いることのできる材料を選択することで形成できる。本実施の形態においては、絶縁膜118として、PECVD装置を用い、厚さ300nmの酸化窒化シリコン膜を形成する。

[0242]

次に、絶縁膜118の所望の位置に、リソグラフィによりマスクを形成した後、絶縁膜118及び絶縁膜116の一部をエッチングすることで、ソース領域108sに達する開口部141sと、ドレイン領域108dに達する開口部141dと、を形成する（図11（A）参照）。

[0243]

絶縁膜118及び絶縁膜116をエッチングする方法としては、ウェットエッチング法及び／またはドライエッチング法を適宜用いることができる。本実施の形態においては、ドライエッチング法を用い、絶縁膜118、及び絶縁膜116を加工する。

[0244]

次に、開口部141s、141dを覆うように、絶縁膜118上に導電膜120を形成する（図11（B）参照）。

[0245]

導電膜120としては、導電膜120s、120dに用いることのできる材料を選択することで形成できる。本実施の形態においては、導電膜120として、スパッタリング装置を用い、厚さ50nmのチタン膜と、厚さ400nmのアルミニウム膜と、厚さ100nmのチタン膜の積層膜を形成する。

[0246]

次に、導電膜120上の所望の位置に、リソグラフィ工程によりマスクを形成した後、導電膜120の一部をエッチングすることで、導電膜120s、120dを形成する（図11（C）参照）。

[0247]

導電膜120の加工方法としては、ウェットエッチング法及び／またはドライエッチング法を適宜

用いることができる。本実施の形態では、ドライエッチング法を用い、導電膜120を加工し、導電膜120s、120dを形成する。

[0248]

以上の工程により、図1に示すトランジスタ100を作製することができる。

[0249]

なお、トランジスタ100を構成する膜（絶縁膜、酸化物半導体膜、導電膜等）は、スパッタリング法、化学気相堆積（CVD）法、真空蒸着法、パルスレーザー堆積（PLD）法、原子層成膜（ALD）法を用いて形成することができる。あるいは、塗布法や印刷法で形成することができる。成膜方法としては、スパッタリング法、プラズマ化学気相堆積（PECVD）法が代表的であるが、熱CVD法でもよい。熱CVD法の例として、有機金属化学気相堆積（MOCVD）法が挙げられる。

[0250]

熱CVD法は、チャンバー内を大気圧または減圧下とし、原料ガスと酸化剤を同時にチャンバー内に送り、基板近傍または基板上で反応させて基板上に堆積させることで成膜を行う。このように、熱CVD法は、プラズマを発生させない成膜方法であるため、プラズマダメージにより欠陥が生成されることが無いという利点を有する。

[0251]

また、ALD法は、チャンバー内を大気圧または減圧下とし、反応のための原料ガスをチャンバーに導入・反応させ、これを繰り返すことで成膜を行う。原料ガスと一緒に不活性ガス（アルゴン、或いは窒素など）をキャリアガスとして導入しても良い。例えば2種類以上の原料ガスを順番にチャンバーに供給してもよい。その際、複数種の原料ガスが混ざらないように第1の原料ガスの反応後、不活性ガスを導入し、第2の原料ガスを導入する。あるいは、不活性ガスを導入する代わりに真空排気によって第1の原料ガスを排出した後、第2の原料ガスを導入してもよい。第1の原料ガスが基板の表面に吸着・反応して第1の層を成膜し、後から導入される第2の原料ガスが吸着・反応して、第2の層が第1の層上に積層されて薄膜が形成される。このガス導入順序を制御しつつ所望の厚さになるまで複数回繰り返すことで、段差被覆性に優れた薄膜を形成することができる。薄膜の厚さは、ガス導入を繰り返す回数によって調節することができるため、精密な膜厚調節が可能であり、微細なFETを作製する場合に適している。

[0252]

MOCVD法などの熱CVD法は、上記記載の導電膜、絶縁膜、酸化物半導体膜、金属酸化膜などの膜を形成することができ、例えば、In-Ga-Zn-O膜を成膜する場合には、トリメチルインジウム（ $\text{In}(\text{CH}_3)_3$ ）、トリメチルガリウム（ $\text{Ga}(\text{CH}_3)_3$ ）、及びジメチル亜鉛を用いる（ $\text{Zn}(\text{CH}_3)_2$ ）。これらの組み合わせに限定されず、トリメチルガリウムに代えてトリエチルガリウム（ $\text{Ga}(\text{C}_2\text{H}_5)_3$ ）を用いることもでき、ジメチル亜鉛に代えてジエチル亜鉛（ $\text{Zn}(\text{C}_2\text{H}_5)_2$ ）を用いることもできる。

[0253]

例えば、ALDを利用する成膜装置により酸化ハフニウム膜を形成する場合には、溶媒とハフニウム前駆体を含む液体（ハフニウムアルコキシドや、テトラキスジメチルアミドハフニウム（TDMAH、 $\text{Hf}[\text{N}(\text{CH}_3)_2]_4$ ）やテトラキス（エチルメチルアミド）ハフニウムなどのハフニウムアミド）を気化させた原料ガスと、酸化剤としてオゾン（ O_3 ）の2種類のガスを用いる。

[0254]

例えば、ALDを利用する成膜装置により酸化アルミニウム膜を形成する場合には、溶媒とアルミニウム前駆体を含む液体（トリメチルアルミニウム（TMA、 $\text{Al}(\text{CH}_3)_3$ ）など）を気化させた原料ガスと、酸化剤として H_2O の2種類のガスを用いる。他の材料としては、トリス（ジメチルアミド）アルミニウム、トリイソブチルアルミニウム、アルミニウムトリス（2，2，6，6-テトラメチルー3，5-ヘプタンジオナート）などがある。

[0255]

例えば、ALDを利用する成膜装置により酸化シリコン膜を形成する場合には、ヘキサクロロジシランを被成膜面に吸着させ、酸化性ガス（ O_2 、一酸化二窒素）のラジカルを供給して吸着物と反応させる。

[0256]

例えば、ALDを利用する成膜装置によりタングステン膜を成膜する場合には、 WF_6 ガスと B_2H_6 ガスを順次導入して初期タングステン膜を形成し、その後、 WF_6 ガスと H_2 ガスとを用いてタングステン膜を形成する。なお、 B_2H_6 ガスに代えて SiH_4 ガスを用いてもよい。

[0257]

例えば、ALDを利用する成膜装置により酸化物半導体膜、例えば In-Ga-Zn-O 膜を成膜する場合には、 $\text{In}(\text{CH}_3)_3$ ガスと O_3 ガスを用いて In-O 層を形成し、その後、 $\text{Ga}(\text{CH}_3)_3$ ガスと O_3 ガスとを用いて Ga-O 層を形成し、更にその後 $\text{Zn}(\text{CH}_3)_2$ ガスと O_3 ガスとを用いて Zn-O 層を形成する。なお、これらの層の順番はこの例に限らない。また、これらのガスを用いて In-Ga-O 層や In-Zn-O 層、 Ga-Zn-O 層などの混合化合物層を形成しても良い。なお、 O_3 ガスに変えて Ar 等の不活性ガスで水をバブリングして得られた H_2O ガスを用いても良いが、 H を含まない O_3 ガスを用いる方が好ましい。

[0258]

<半導体装置の作製方法2>

次に、図3に示すトランジスタ100Bの作製方法の一例について、図12及び図13を用いて説明する。なお、図12及び図13は、トランジスタ100Bの作製方法を説明するチャンネル長（L）方向、及びチャンネル幅（W）方向の断面図である。

[0259]

まず、先に示したトランジスタ100の作製方法と同様に、基板102上に、導電膜106、絶縁膜104、酸化物半導体膜107、酸化物半導体膜112 $\underline{\hspace{0.1em}}\text{O}$ 、及び導電膜114 $\underline{\hspace{0.1em}}\text{O}$ を形成する（図8、及び図9（A）（B）参照）。

[0260]

次に、導電膜114 $\underline{\hspace{0.1em}}\text{O}$ 上の所望の位置に、リソグラフィ工程によりマスク140を形成する（図9（C）参照）。

[0261]

次に、マスク140上から、エッチングを行うことで導電膜114 $\underline{\hspace{0.1em}}\text{O}$ 及び酸化物半導体膜112 $\underline{\hspace{0.1em}}\text{O}$ を加工し、島状の導電膜114と、島状の酸化物半導体膜112とを形成する（図12（A）参照）。

[0262]

本実施の形態においては、ウェットエッチング法を用い、導電膜 114__0 及び酸化物半導体膜 112__0 を加工する。

[0263]

続けて、マスク 140 上から、エッチングを行うことで絶縁膜 110__0 を加工し、島状の絶縁膜 110 を形成する（図 12（B）参照）。

[0264]

本実施の形態においては、ドライエッチング法を用い、絶縁膜 110__0 を加工する。

[0265]

次に、マスク 140 を除去した後、絶縁膜 104、酸化物半導体膜 107、酸化物半導体膜 112、及び導電膜 114 上から、不純物元素 145 の添加を行う（図 12（C）参照）。

[0266]

なお、不純物元素 145 の添加の際に、酸化物半導体膜 107 の表面が露出している領域（後にソース領域 108 s、及びドレイン領域 108 d となる領域）には、多くの不純物が添加される。一方で、酸化物半導体膜 107 の酸化物半導体膜 112 が重畳しなく、且つ絶縁膜 110 が重畳する領域（後に領域 108 f となる領域）には、絶縁膜 110 を介して不純物元素 145 が添加されるため、ソース領域 108 s、及びドレイン領域 108 d よりも不純物元素 145 の添加量が少なくなる。

[0267]

また、本実施の形態においては、不純物元素 145 として、ドーピング装置を用いて、アルゴンを酸化物半導体膜 107 及び酸化物半導体膜 112 に添加する。

[0268]

なお、本実施の形態においては、不純物元素 145 として、アルゴンを添加する構成について例示したがこれに限定されず、例えば、窒素を添加する構成であってもよい。また、例えば、不純物元素 145 を添加する工程を行わなくてもよい。不純物元素 145 を添加する工程を行わない場合、領域 108 f は、チャネル領域 108 i と同等の不純物濃度となる。

[0269]

次に、絶縁膜 104、酸化物半導体膜 107、絶縁膜 110、酸化物半導体膜 112、及び導電膜 114 上に絶縁膜 116 を形成する。なお、絶縁膜 116 を形成することで、絶縁膜 116 と接する酸化物半導体膜 107 は、ソース領域 108 s 及びドレイン領域 108 d となる。また、絶縁膜 116 と接しない酸化物半導体膜 107、別言すると絶縁膜 110 と接する酸化物半導体膜 107 はチャネル領域 108 i となる。これにより、チャネル領域 108 i、ソース領域 108 s、及びドレイン領域 108 d を有する酸化物半導体膜 108 が形成される（図 12（D）参照）。

[0270]

なお、チャネル領域 108 i と、ソース領域 108 s との間、及びチャネル領域 108 i と、ドレイン領域 108 d との間には、領域 108 f が形成される。

[0271]

次に、絶縁膜 116 上に絶縁膜 118 を形成する（図 13（A）参照）。

[0272]

次に、絶縁膜 118 の所望の位置に、リソグラフィによりマスクを形成した後、絶縁膜 118 及び絶縁膜 116 の一部をエッチングすることで、ソース領域 108 s に達する開口部 141 s と、ドレ

イン領域 108d に達する開口部 141d と、を形成する（図 13（B）参照）。

[0273]

次に、絶縁膜 118 上に絶縁膜 122 を形成する（図 13（C）参照）。

[0274]

なお、絶縁膜 122 は、平坦化絶縁膜としての機能を有する。また、絶縁膜 122 は、開口部 141s、及び開口部 141d に重畳する位置に開口部を有する。

[0275]

本実施の形態としては、絶縁膜 122 として、スピncer装置を用いて感光性のアクリル系樹脂を塗布し、その後該アクリル系樹脂の所望の領域を感光させることで、開口部を有する絶縁膜 122 を形成する。

[0276]

次に、開口部 141s、141d を覆うように、絶縁膜 122 上に導電膜 120 を形成する（図 13（D）参照）。

[0277]

次に、導電膜 120 上の所望の位置に、リソグラフィ工程によりマスクを形成した後、導電膜 120 の一部をエッチングすることで、導電膜 120s、120d を形成する。

[0278]

本実施の形態においては、導電膜 120 の加工にはドライエッチング法を用いる。また、導電膜 120 の加工の際に、絶縁膜 122 の上部の一部が除去される場合がある。

[0279]

以上の工程により、図 3 に示すトランジスタ 100B を作製することができる。

[0280]

なお、上記のトランジスタ 100B の作製時において、絶縁膜 104、酸化物半導体膜 107、絶縁膜 110_0、酸化物半導体膜 112_0、導電膜 114、不純物元素 145、絶縁膜 116、絶縁膜 118、開口部 141s、141d、及び導電膜 120 としては、<1-4. 半導体装置の作製方法 1>に記載の内容を援用することで形成することができる。

[0281]

また、本実施の形態において、トランジスタが酸化物半導体膜を有する場合の例を示したが、本発明の一態様は、これに限定されない。本発明の一態様では、トランジスタが酸化物半導体膜を有さなくてもよい。一例としては、トランジスタのチャネル領域、チャネル領域の近傍、ソース領域、またはドレイン領域において、Si（シリコン）、Ge（ゲルマニウム）、SiGe（シリコンゲルマニウム）、GaAs（ガリウムヒ素）、などを有する材料で形成してもよい。

[0282]

以上、本実施の形態で示す構成、方法は、他の実施の形態で示す構成、方法と適宜組み合わせて用いることができる。

[0283]

（実施の形態 2）

本実施の形態においては、酸化物半導体の構造等について、図 17 乃至図 21 を参照して説明する。

[0284]

＜酸化物半導体の構造＞

酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、CAAC-OS (c-axis-aligned crystalline oxide semiconductor)、多結晶酸化物半導体、nc-OS (nanocrystalline oxide semiconductor)、擬似非晶質酸化物半導体 (a-like OS: amorphous-like oxide semiconductor) および非晶質酸化物半導体などがある。

[0285]

また別の観点では、酸化物半導体は、非晶質酸化物半導体と、それ以外の結晶性酸化物半導体と、に分けられる。結晶性酸化物半導体としては、単結晶酸化物半導体、CAAC-OS、多結晶酸化物半導体およびnc-OSなどがある。

[0286]

非晶質構造は、一般に、等方的であって不均質構造を持たない、準安定状態で原子の配置が固定化していない、結合角度が柔軟である、短距離秩序は有するが長距離秩序を有さない、などといわれている。

[0287]

即ち、安定な酸化物半導体を完全な非晶質 (completely amorphous) 酸化物半導体とは呼べない。また、等方的でない (例えば、微小な領域において周期構造を有する) 酸化物半導体を、完全な非晶質酸化物半導体とは呼べない。一方、a-like OSは、等方的でないが、鬆 (ボイドともいう。) を有する不安定な構造である。不安定であるという点では、a-like OSは、物性的に非晶質酸化物半導体に近い。

[0288]

＜CAAC-OS＞

まずは、CAAC-OSについて説明する。

[0289]

CAAC-OSは、c軸配向した複数の結晶部 (ペレットともいう。) を有する酸化物半導体の一種である。

[0290]

CAAC-OSをX線回折 (XRD: X-Ray Diffraction) によって解析した場合について説明する。例えば、空間群R-3mに分類されるInGaZnO₄の結晶を有するCAAC-OSに対し、out-of-plane法による構造解析を行うと、図17 (A) に示すように回折角 (2θ) が31° 近傍にピークが現れる。このピークは、InGaZnO₄の結晶の(009)面に帰属されることから、CAAC-OSでは、結晶がc軸配向性を有し、c軸がCAAC-OSの膜を形成する面 (被形成面ともいう。)、または上面に略垂直な方向を向いていることが確認できる。なお、2θが31° 近傍のピークの他に、2θが36° 近傍にもピークが現れる場合がある。2θが36° 近傍のピークは、空間群Fd-3mに分類される結晶構造に起因する。そのため、CAAC-OSは、該ピークを示さないことが好ましい。

[0291]

一方、CAAC-OSに対し、被形成面に平行な方向からX線を入射させるin-plane法に

よる構造解析を行うと、 2θ が 56° 近傍にピークが現れる。このピークは、 InGaZnO_4 の結晶の(110)面に帰属される。そして、 2θ を 56° 近傍に固定し、試料面の法線ベクトルを軸(ϕ 軸)として試料を回転させながら分析(ϕ スキャン)を行っても、図17(B)に示すように明瞭なピークは現れない。一方、単結晶 InGaZnO_4 に対し、 2θ を 56° 近傍に固定して ϕ スキャンした場合、図17(C)に示すように(110)面と等価な結晶面に帰属されるピークが6本観察される。したがって、XRDを用いた構造解析から、CAAC-OSは、 a 軸および b 軸の配向が不規則であることが確認できる。

[0292]

次に、電子回折によって解析したCAAC-OSについて説明する。例えば、 InGaZnO_4 の結晶を有するCAAC-OSに対し、CAAC-OSの被形成面に平行にプローブ径が300nmの電子線を入射させると、図17(D)に示すような回折パターン(制限視野電子回折パターンともいう。)が現れる場合がある。この回折パターンには、 InGaZnO_4 の結晶の(009)面に起因するスポットが含まれる。したがって、電子回折によっても、CAAC-OSに含まれるペレットが c 軸配向性を有し、 c 軸が被形成面または上面に略垂直な方向を向いていることがわかる。一方、同じ試料に対し、試料面に垂直にプローブ径が300nmの電子線を入射させたときの回折パターンを図17(E)に示す。図17(E)より、リング状の回折パターンが確認される。したがって、プローブ径が300nmの電子線を用いた電子回折によっても、CAAC-OSに含まれるペレットの a 軸および b 軸は配向性を有さないことがわかる。なお、図17(E)における第1リングは、 InGaZnO_4 の結晶の(010)面および(100)面などに起因すると考えられる。また、図17(E)における第2リングは(110)面などに起因すると考えられる。

[0293]

また、透過型電子顕微鏡(TEM: Transmission Electron Microscope)によって、CAAC-OSの明視野像と回折パターンとの複合解析像(高分解能TEM像ともいう。)を観察すると、複数のペレットを確認することができる。一方、高分解能TEM像であってもペレット同士の境界、即ち結晶粒界(グレインバウンダリーともいう。)を明確に確認することができない場合がある。そのため、CAAC-OSは、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

[0294]

図18(A)に、試料面と略平行な方向から観察したCAAC-OSの断面の高分解能TEM像を示す。高分解能TEM像の観察には、球面収差補正(Spherical Aberration Corrector)機能を用いた。球面収差補正機能を用いた高分解能TEM像を、特にCs補正高分解能TEM像と呼ぶ。Cs補正高分解能TEM像は、例えば、日本電子株式会社製原子分解能分析電子顕微鏡JEM-ARM200Fなどによって観察することができる。

[0295]

図18(A)より、金属原子が層状に配列している領域であるペレットを確認することができる。ペレット一つの大きさは1nm以上のものや、3nm以上のものがあることがわかる。したがって、ペレットを、ナノ結晶(nc: nanocrystal)と呼ぶこともできる。また、CAAC-OSを、CANC(C-Axis Aligned nanocrystals)を有する酸化物半導体と呼ぶこともできる。ペレットは、CAAC-OSの被形成面または上面の凹凸を反映しており、

CAAC-OSの被形成面または上面と平行となる。

[0296]

また、図18(B)および図18(C)に、試料面と略垂直な方向から観察したCAAC-OSの平面のCs補正高分解能TEM像を示す。図18(D)および図18(E)は、それぞれ図18(B)および図18(C)を画像処理した像である。以下では、画像処理の方法について説明する。まず、図18(B)を高速フーリエ変換(FFT:Fast Fourier Transform)処理することでFFT像を取得する。次に、取得したFFT像において原点を基準に、 2.8 nm^{-1} から 5.0 nm^{-1} の間の範囲を残しマスク処理する。次に、マスク処理したFFT像を、逆高速フーリエ変換(IFFT:Inverse Fast Fourier Transform)処理することで画像処理した像を取得する。こうして取得した像をFFTフィルタリング像と呼ぶ。FFTフィルタリング像は、Cs補正高分解能TEM像から周期成分を抜き出した像であり、格子配列を示している。

[0297]

図18(D)では、格子配列の乱れた箇所を破線で示している。破線で囲まれた領域が、一つのペレットである。そして、破線で示した箇所がペレットとペレットとの連結部である。破線は、六角形状であるため、ペレットが六角形状であることがわかる。なお、ペレットの形状は、正六角形状とは限らず、非正六角形状である場合が多い。

[0298]

図18(E)では、格子配列の揃った領域と、別の格子配列の揃った領域と、の間を点線で示している。点線近傍においても、明確な結晶粒界を確認することはできない。点線近傍の格子点を中心に周囲の格子点を繋ぐと、歪んだ六角形や、五角形または／および七角形などが形成できる。即ち、格子配列を歪ませることによって結晶粒界の形成を抑制していることがわかる。これは、CAAC-OSが、a-b面方向において原子配列が稠密でないことや、金属元素が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためと考えられる。

[0299]

以上に示すように、CAAC-OSは、c軸配向性を有し、かつa-b面方向において複数のペレット(ナノ結晶)が連結し、歪みを有した結晶構造となっている。よって、CAAC-OSを、CAACrystal(c-axis-aligned a-b-plane-anchored crystal)を有する酸化物半導体と称することもできる。

[0300]

CAAC-OSは結晶性の高い酸化物半導体である。酸化物半導体の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、CAAC-OSは不純物や欠陥(酸素欠損など)の少ない酸化物半導体ともいえる。

[0301]

なお、不純物は、酸化物半導体の主成分以外の元素で、水素、炭素、シリコン、遷移金属元素などがある。例えば、シリコンなどの、酸化物半導体を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体から酸素を奪うことで酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径(または分子半径)が大きいため、酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。

[0302]

<nc-OS>

次に、nc-OSについて説明する。

[0303]

nc-OSをXRDによって解析した場合について説明する。例えば、nc-OSに対し、out-of-plane法による構造解析を行うと、配向性を示すピークが現れない。即ち、nc-OSの結晶は配向性を有さない。

[0304]

また、例えば、 InGaZnO_4 の結晶を有するnc-OSを薄片化し、厚さが34nmの領域に対し、被形成面に平行にプローブ径が50nmの電子線を入射させると、図19(A)に示すようなリング状の回折パターン(ナノビーム電子回折パターン)が観測される。また、同じ試料にプローブ径が1nmの電子線を入射させたときの回折パターン(ナノビーム電子回折パターン)を図19(B)に示す。図19(B)より、リング状の領域内に複数のスポットが観測される。したがって、nc-OSは、プローブ径が50nmの電子線を入射させることでは秩序性が確認されないが、プローブ径が1nmの電子線を入射させることでは秩序性が確認される。

[0305]

また、厚さが10nm未満の領域に対し、プローブ径が1nmの電子線を入射させると、図19(C)に示すように、スポットが略正六角状に配置された電子回折パターンを観測される場合がある。したがって、厚さが10nm未満の範囲において、nc-OSが秩序性の高い領域、即ち結晶を有することがわかる。なお、結晶が様々な方向を向いているため、規則的な電子回折パターンが観測されない領域もある。

[0306]

図19(D)に、被形成面と略平行な方向から観察したnc-OSの断面のCs補正高分解能TEM像を示す。nc-OSは、高分解能TEM像において、補助線で示す箇所などのように結晶部を確認することのできる領域と、明確な結晶部を確認することのできない領域と、を有する。nc-OSに含まれる結晶部は、1nm以上10nm以下の大きさであり、特に1nm以上3nm以下の大きさであることが多い。なお、結晶部の大きさが10nmより大きく100nm以下である酸化物半導体を微結晶酸化物半導体(microcrystalline oxide semiconductor)と呼ぶことがある。nc-OSは、例えば、高分解能TEM像では、結晶粒界を明確に確認できない場合がある。なお、ナノ結晶は、CAAC-OSにおけるペレットと起源を同じくする可能性がある。そのため、以下ではnc-OSの結晶部をペレットと呼ぶ場合がある。

[0307]

このように、nc-OSは、微小な領域(例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域)において原子配列に周期性を有する。また、nc-OSは、異なるペレット間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OSは、分析方法によっては、a-like OSや非晶質酸化物半導体と区別が付かない場合がある。

[0308]

なお、ペレット(ナノ結晶)間で結晶方位が規則性を有さないことから、nc-OSを、RANC(Random Aligned nanocrystals)を有する酸化物半導体、またはNA

NC (Non-Aligned nanocrystals) を有する酸化物半導体と呼ぶこともできる。

[0309]

nc-OSは、非晶質酸化物半導体よりも規則性の高い酸化物半導体である。そのため、nc-OSは、a-like OSや非晶質酸化物半導体よりも欠陥準位密度が低くなる。ただし、nc-OSは、異なるペレット間で結晶方位に規則性が見られない。そのため、nc-OSは、CAAC-OSと比べて欠陥準位密度が高くなる。

[0310]

<a-like OS>

a-like OSは、nc-OSと非晶質酸化物半導体との間の構造を有する酸化物半導体である。

[0311]

図20に、a-like OSの高分解能断面TEM像を示す。ここで、図20(A)は電子照射開始時におけるa-like OSの高分解能断面TEM像である。図20(B)は $4.3 \times 10^8 \text{ e}^-/\text{nm}^2$ の電子(e^-)照射後におけるa-like OSの高分解能断面TEM像である。図20(A)および図20(B)より、a-like OSは電子照射開始時から、縦方向に延伸する縞状の明領域が観察されることがわかる。また、明領域は、電子照射後に形状が変化することがわかる。なお、明領域は、鬆または低密度領域と推測される。

[0312]

鬆を有するため、a-like OSは、不安定な構造である。以下では、a-like OSが、CAAC-OSおよびnc-OSと比べて不安定な構造であることを示すため、電子照射による構造の変化を示す。

[0313]

試料として、a-like OS、nc-OSおよびCAAC-OSを準備する。いずれの試料もIn-Ga-Zn酸化物である。

[0314]

まず、各試料の高分解能断面TEM像を取得する。高分解能断面TEM像により、各試料は、いずれも結晶部を有する。

[0315]

なお、InGaZnO₄の結晶の単位格子は、In-O層を3層有し、またGa-Zn-O層を6層有する、計9層がc軸方向に層状に重なった構造を有することが知られている。これらの近接する層同士の間隔は、(009)面の格子面間隔(d値ともいう。)と同程度であり、結晶構造解析からその値は0.29 nmと求められている。したがって、以下では、格子縞の間隔が0.28 nm以上0.30 nm以下である箇所を、InGaZnO₄の結晶部と見なした。なお、格子縞は、InGaZnO₄の結晶のa-b面に対応する。

[0316]

図21は、各試料の結晶部(22箇所から30箇所)の平均の大きさ(Average crystal size)を調査した例である。なお、上述した格子縞の長さを結晶部の大きさとしている。図21より、a-like OSは、TEM像の取得などに係る電子の累積照射量(Cumulative

ive electron dose) に応じて結晶部が大きくなっていくことがわかる。図21より、TEMによる観察初期においては1.2 nm程度の大きさだった結晶部(初期核ともいう。)が、電子(e^-)の累積照射量が $4.2 \times 10^8 e^- / nm^2$ においては1.9 nm程度の大きさまで成長していることがわかる。一方、nc-OSおよびCAAC-OSは、電子照射開始時から電子の累積照射量が $4.2 \times 10^8 e^- / nm^2$ までの範囲で、結晶部の大きさに変化が見られないことがわかる。図21より、電子の累積照射量によらず、nc-OSおよびCAAC-OSの結晶部の大きさは、それぞれ1.3 nm程度および1.8 nm程度であることがわかる。なお、電子線照射およびTEMの観察は、日立透過電子顕微鏡H-9000NARを用いた。電子線照射条件は、加速電圧を300 kV、電流密度を $6.7 \times 10^5 e^- / (nm^2 \cdot s)$ 、照射領域の直径を230 nmとした。

[0317]

このように、a-like OSは、電子照射によって結晶部の成長が見られる場合がある。一方、nc-OSおよびCAAC-OSは、電子照射による結晶部の成長がほとんど見られない。即ち、a-like OSは、nc-OSおよびCAAC-OSと比べて、不安定な構造であることがわかる。

[0318]

また、鬆を有するため、a-like OSは、nc-OSおよびCAAC-OSと比べて密度の低い構造である。具体的には、a-like OSの密度は、同じ組成の単結晶の密度の78.6%以上92.3%未満である。また、nc-OSの密度およびCAAC-OSの密度は、同じ組成の単結晶の密度の92.3%以上100%未満である。単結晶の密度の78%未満である酸化物半導体は、成膜すること自体が困難である。

[0319]

例えば、In:Ga:Zn=1:1:1 [原子数比] を満たす酸化物半導体において、菱面体晶構造を有する単結晶InGaZnO₄の密度は $6.357 g/cm^3$ である。よって、例えば、In:Ga:Zn=1:1:1 [原子数比] を満たす酸化物半導体において、a-like OSの密度は $5.0 g/cm^3$ 以上 $5.9 g/cm^3$ 未満である。また、例えば、In:Ga:Zn=1:1:1 [原子数比] を満たす酸化物半導体において、nc-OSの密度およびCAAC-OSの密度は $5.9 g/cm^3$ 以上 $6.3 g/cm^3$ 未満である。

[0320]

なお、同じ組成の単結晶が存在しない場合、任意の割合で組成の異なる単結晶を組み合わせることにより、所望の組成における単結晶に相当する密度を見積もることができる。所望の組成の単結晶に相当する密度は、組成の異なる単結晶を組み合わせる割合に対して、加重平均を用いて見積もればよい。ただし、密度は、可能な限り少ない種類の単結晶を組み合わせで見積もることが好ましい。

[0321]

以上のように、酸化物半導体は、様々な構造をとり、それぞれが様々な特性を有する。なお、酸化物半導体は、例えば、非晶質酸化物半導体、a-like OS、nc-OS、CAAC-OSのうち、二種以上を有する積層膜であってもよい。

[0322]

<酸化物半導体のキャリア密度>

次に、酸化物半導体のキャリア密度について、以下に説明を行う。

[0323]

酸化物半導体のキャリア密度に影響を与える因子としては、酸化物半導体中の酸素欠損 (V_o)、または酸化物半導体中の不純物などが挙げられる。

[0324]

酸化物半導体中の酸素欠損が多くなると、該酸素欠損に水素が結合（この状態を V_oH ともいう）した際に、欠陥準位密度が高くなる。または、酸化物半導体中の不純物が多くなると、該不純物に起因し欠陥準位密度が高くなる。したがって、酸化物半導体中の欠陥準位密度を制御することで、酸化物半導体のキャリア密度を制御することができる。

[0325]

ここで、酸化物半導体をチャネル領域に用いるトランジスタを考える。

[0326]

トランジスタのしきい値電圧のマイナスシフトの抑制、またはトランジスタのオフ電流の低減を目的とする場合においては、酸化物半導体のキャリア密度を低くする方が好ましい。酸化物半導体のキャリア密度を低くする場合においては、酸化物半導体中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性または実質的に高純度真性と言う。高純度真性の酸化物半導体のキャリア密度としては、 $8 \times 10^{15} \text{ cm}^{-3}$ 未満、好ましくは $1 \times 10^{11} \text{ cm}^{-3}$ 未満、さらに好ましくは $1 \times 10^{10} \text{ cm}^{-3}$ 未満であり、 $1 \times 10^{-9} \text{ cm}^{-3}$ 以上とすればよい。

[0327]

一方で、トランジスタのオン電流の向上、またはトランジスタの電界効果移動度の向上を目的とする場合においては、酸化物半導体のキャリア密度を高くする方が好ましい。酸化物半導体のキャリア密度を高くする場合においては、酸化物半導体の不純物濃度をわずかに高める、または酸化物半導体の欠陥準位密度をわずかに高めればよい。あるいは、酸化物半導体のバンドギャップをより小さくするとよい。例えば、トランジスタの $I_d - V_g$ 特性のオン／オフ比が取れる範囲において、不純物濃度がわずかに高い、または欠陥準位密度がわずかに高い酸化物半導体は、実質的に真性とみなせる。また、電子親和力が大きく、それにとまってバンドギャップが小さくなり、その結果、熱励起された電子（キャリア）の密度が増加した酸化物半導体は、実質的に真性とみなせる。なお、より電子親和力が大きな酸化物半導体を用いた場合には、トランジスタのしきい値電圧がより低くなる。

[0328]

上述のキャリア密度が高められた酸化物半導体は、わずかに n 型化している。したがって、キャリア密度が高められた酸化物半導体を、「*Slightly-n*」と呼称してもよい。

[0329]

実質的に真性の酸化物半導体のキャリア密度は、 $1 \times 10^5 \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 未満が好ましく、 $1 \times 10^7 \text{ cm}^{-3}$ 以上 $1 \times 10^{17} \text{ cm}^{-3}$ 以下がより好ましく、 $1 \times 10^9 \text{ cm}^{-3}$ 以上 $5 \times 10^{16} \text{ cm}^{-3}$ 以下がさらに好ましく、 $1 \times 10^{10} \text{ cm}^{-3}$ 以上 $1 \times 10^{16} \text{ cm}^{-3}$ 以下がさらに好ましく、 $1 \times 10^{11} \text{ cm}^{-3}$ 以上 $1 \times 10^{15} \text{ cm}^{-3}$ 以下がさらに好ましい。

[0330]

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせる用いることができる。

[0331]

(実施の形態 3)

本実施の形態においては、先の実施の形態で例示したトランジスタを有する表示装置の一例について、図22乃至図32を用いて以下説明を行う。

[0332]

図22は、表示装置の一例を示す上面図である。図22に示す表示装置700は、第1の基板701上に設けられた画素部702と、第1の基板701に設けられたソースドライバ回路部704及びゲートドライバ回路部706と、画素部702、ソースドライバ回路部704、及びゲートドライバ回路部706を囲むように配置されるシール材712と、第1の基板701に対向するように設けられる第2の基板705と、を有する。なお、第1の基板701と第2の基板705は、シール材712によって封止されている。すなわち、画素部702、ソースドライバ回路部704、及びゲートドライバ回路部706は、第1の基板701とシール材712と第2の基板705によって封止されている。なお、図22には図示しないが、第1の基板701と第2の基板705の間には表示素子が設けられる。

[0333]

また、表示装置700は、第1の基板701上のシール材712によって囲まれている領域とは異なる領域に、画素部702、ソースドライバ回路部704、ゲートドライバ回路部706、及びゲートドライバ回路部706と、それぞれ電氣的に接続されるFPC端子部708（FPC: Flexible printed circuit）が設けられる。また、FPC端子部708には、FPC716が接続され、FPC716によって画素部702、ソースドライバ回路部704、及びゲートドライバ回路部706に各種信号等が供給される。また、画素部702、ソースドライバ回路部704、ゲートドライバ回路部706、及びFPC端子部708には、信号線710が各々接続されている。FPC716により供給される各種信号等は、信号線710を介して、画素部702、ソースドライバ回路部704、ゲートドライバ回路部706、及びFPC端子部708に与えられる。

[0334]

また、表示装置700にゲートドライバ回路部706を複数設けてもよい。また、表示装置700としては、ソースドライバ回路部704、及びゲートドライバ回路部706を画素部702と同じ第1の基板701に形成している例を示しているが、この構成に限定されない。例えば、ゲートドライバ回路部706のみを第1の基板701に形成しても良い、またはソースドライバ回路部704のみを第1の基板701に形成しても良い。この場合、ソースドライバ回路またはゲートドライバ回路等が形成された基板（例えば、単結晶半導体膜、多結晶半導体膜で形成された駆動回路基板）を、第1の基板701に形成する構成としても良い。なお、別途形成した駆動回路基板の接続方法は、特に限定されず、COG（Chip On Glass）方法、ワイヤボンディング方法などを用いることができる。

[0335]

また、表示装置700が有する画素部702、ソースドライバ回路部704及びゲートドライバ回路部706は、複数のトランジスタを有しており、本発明の一態様の半導体装置であるトランジスタを適用することができる。

[0336]

また、表示装置700は、様々な素子を有することが出来る。該素子の一例としては、例えば、エレクトロルミネッセンス（EL）素子（有機物及び無機物を含むEL素子、有機EL素子、無機EL

素子、LEDなど)、発光トランジスタ素子(電流に応じて発光するトランジスタ)、電子放出素子、液晶素子、電子インク素子、電気泳動素子、エレクトロウェットティング素子、プラズマディスプレイパネル(PDP)、MEMS(マイクロ・エレクトロ・メカニカル・システム)ディスプレイ(例えば、グレーティングライトバルブ(GLV)、デジタルマイクロミラーデバイス(DMD)、デジタル・マイクロ・シャッター(DMS)素子、インターフェロメトリック・モジュレーション(IMOD)素子など)、圧電セラミックディスプレイなどが挙げられる。

[0337]

また、EL素子を用いた表示装置の一例としては、ELディスプレイなどがある。電子放出素子を用いた表示装置の一例としては、フィールドエミッションディスプレイ(FED)又はSED方式平面型ディスプレイ(SED: Surface-conduction Electron-emitter Display)などがある。液晶素子を用いた表示装置の一例としては、液晶ディスプレイ(透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、直視型液晶ディスプレイ、投射型液晶ディスプレイ)などがある。電子インク素子又は電気泳動素子を用いた表示装置の一例としては、電子ペーパーなどがある。なお、半透過型液晶ディスプレイや反射型液晶ディスプレイを実現する場合には、画素電極の一部、または、全部が、反射電極としての機能を有するようにすればよい。例えば、画素電極の一部、または、全部が、アルミニウム、銀、などを有するようにすればよい。さらに、その場合、反射電極の下に、SRAMなどの記憶回路を設けることも可能である。これにより、さらに、消費電力を低減することができる。

[0338]

なお、表示装置700における表示方式は、プログレッシブ方式やインターレース方式等を用いることができる。また、カラー表示する際に画素で制御する色要素としては、RGB(Rは赤、Gは緑、Bは青を表す)の三色に限定されない。例えば、Rの画素とGの画素とBの画素とW(白)の画素の四画素から構成されてもよい。または、ペンタイル配列のように、RGBのうちの2色分で一つの色要素を構成し、色要素によって、異なる2色を選択して構成してもよい。またはRGBに、イエロー、シアン、マゼンタ等を1色以上追加してもよい。なお、色要素のドット毎にその表示領域の大きさが異なってもよい。ただし、開示する発明はカラー表示の表示装置に限定されず、モノクロ表示の表示装置に適用することもできる。

[0339]

また、バックライト(有機EL素子、無機EL素子、LED、蛍光灯など)に白色発光(W)を用いて表示装置をフルカラー表示させるために、着色層(カラーフィルタともいう。)を用いてもよい。着色層は、例えば、レッド(R)、グリーン(G)、ブルー(B)、イエロー(Y)などを適宜組み合わせることで用いることができる。着色層を用いることで、着色層を用いない場合と比べて色の再現性を高くすることができる。このとき、着色層を有する領域と、着色層を有さない領域と、を配置することによって、着色層を有さない領域における白色光を直接表示に利用しても構わない。一部に着色層を有さない領域を配置することで、明るい表示の際に、着色層による輝度の低下を少なくでき、消費電力を2割から3割程度低減できる場合がある。ただし、有機EL素子や無機EL素子などの自発光素子を用いてフルカラー表示する場合、R、G、B、Y、Wを、それぞれの発光色を有する素子から発光させても構わない。自発光素子を用いることで、着色層を用いた場合よりも、さらに消費電力を低減できる場合がある。

[0340]

また、カラー化方式としては、上述の白色発光からの発光の一部をカラーフィルタを通すことで赤色、緑色、青色に変換する方式（カラーフィルタ方式）の他、赤色、緑色、青色の発光をそれぞれ用いる方式（3色方式）、または青色発光からの発光の一部を赤色や緑色に変換する方式（色変換方式、量子ドット方式）を適用してもよい。

[0341]

本実施の形態においては、表示素子として液晶素子及びEL素子を用いる構成について、図23及び図24を用いて説明する。なお、図23は、図22に示す一点鎖線Q-Rにおける断面図であり、表示素子として液晶素子を用いた構成である。また、図24は、図22に示す一点鎖線Q-Rにおける断面図であり、表示素子としてEL素子を用いた構成である。

[0342]

まず、図23及び図24に示す共通部分について最初に説明し、次に異なる部分について以下説明する。

[0343]

<表示装置の共通部分に関する説明>

図23及び図24に示す表示装置700は、引き回し配線部711と、画素部702と、ソースドライバ回路部704と、FPC端子部708と、を有する。また、引き回し配線部711は、信号線710を有する。また、画素部702は、トランジスタ750及び容量素子790を有する。また、ソースドライバ回路部704は、トランジスタ752を有する。

[0344]

トランジスタ750及びトランジスタ752は、先に示すトランジスタ100と同様の構成である。なお、トランジスタ750及びトランジスタ752の構成については、先の実施の形態に示す、その他のトランジスタを用いてもよい。

[0345]

本実施の形態で用いるトランジスタは、高純度化し、酸素欠損の形成を抑制した酸化物半導体膜を有する。該トランジスタは、オフ電流を低くすることができる。よって、画像信号等の電気信号の保持時間を長くすることができ、電源オン状態では書き込み間隔も長く設定できる。よって、リフレッシュ動作の頻度を少なくすることができるため、消費電力を抑制する効果を奏する。

[0346]

また、本実施の形態で用いるトランジスタは、比較的高い電界効果移動度が得られるため、高速駆動が可能である。例えば、このような高速駆動が可能なトランジスタを液晶表示装置に用いることで、画素部のスイッチングトランジスタと、駆動回路部に使用するドライバトランジスタを同一基板上に形成することができる。すなわち、別途駆動回路として、シリコンウェハ等により形成された半導体装置を用いる必要がないため、半導体装置の部品点数を削減することができる。また、画素部においても、高速駆動が可能なトランジスタを用いることで、高画質な画像を提供することができる。

[0347]

容量素子790は、トランジスタ750が有する酸化物半導体膜と、同一の酸化物半導体膜を加工する工程を経て形成される下部電極と、トランジスタ750が有するソース電極及びドレイン電極として機能する導電膜と、同一の導電膜を加工する工程を経て形成される上部電極と、を有する。また、

下部電極と上部電極との間には、トランジスタ750が有する第3の絶縁膜及び第4の絶縁膜と、同一の絶縁膜を形成する工程を経て形成される絶縁膜が設けられる。すなわち、容量素子790は、一對の電極間に誘電体として機能する絶縁膜が挟持された積層型の構造である。

[0348]

また、図23及び図24において、トランジスタ750、トランジスタ752、及び容量素子790上に平坦化絶縁膜770が設けられている。

[0349]

平坦化絶縁膜770としては、ポリイミド樹脂、アクリル樹脂、ポリイミドアミド樹脂、ベンゾシクロブテン樹脂、ポリアミド樹脂、エポキシ樹脂等の耐熱性を有する有機材料を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、平坦化絶縁膜770を形成してもよい。また、平坦化絶縁膜770を設けない構成としてもよい。

[0350]

また、図23及び図24においては、画素部702が有するトランジスタ750と、ソースドライバ回路部704が有するトランジスタ752と、を同じ構造のトランジスタを用いる構成について例示したが、これに限定されない。例えば、画素部702と、ソースドライバ回路部704とは、異なるトランジスタを用いてもよい。

[0351]

なお、画素部702と、ソースドライバ回路部704とに、異なるトランジスタを用いる場合においては、実施の形態1に示すスタガ型のトランジスタと、逆スタガ型のトランジスタとを組み合わせる用いてもよい。具体的には、画素部702にスタガ型のトランジスタを用い、ソースドライバ回路部704に逆スタガ型のトランジスタを用いる構成、あるいは画素部702に逆スタガ型のトランジスタを用い、ソースドライバ回路部704にスタガ型のトランジスタを用いる構成などが挙げられる。なお、上記のソースドライバ回路部704を、ゲートドライバ回路部と読み替えてもよい。また、逆スタガ型のトランジスタは、チャネルエッチ型の構造であってもよく、チャネル保護型の構造であってもよい。また、逆スタバ型のトランジスタにおいても、先に説明のS-channel構造を有する構造が好ましい。また、これらのトランジスタの構造を、自由に組み合わせる用いてもよい。

[0352]

信号線710は、トランジスタ750、752のソース電極及びドレイン電極として機能する導電膜と同じ工程を経て形成される。なお、信号線710は、トランジスタ750、752のソース電極及びドレイン電極と異なる工程を経て形成された導電膜、例えば、ゲート電極として機能する酸化物半導体膜と同じ工程を経て形成される酸化物半導体膜を用いてもよい。信号線710として、例えば、銅元素を含む材料を用いた場合、配線抵抗に起因する信号遅延等が少なく、大画面での表示が可能となる。

[0353]

また、FPC端子部708は、接続電極760、異方性導電膜780、及びFPC716を有する。なお、接続電極760は、トランジスタ750、752のソース電極及びドレイン電極として機能する導電膜と同じ工程を経て形成される。また、接続電極760は、FPC716が有する端子と異方性導電膜780を介して、電氣的に接続される。

[0354]

また、第1の基板701及び第2の基板705としては、例えばガラス基板を用いることができる。また、第1の基板701及び第2の基板705として、可撓性を有する基板を用いてもよい。該可撓性を有する基板としては、例えばプラスチック基板等が挙げられる。

[0355]

また、第1の基板701と第2の基板705の間には、構造体778が設けられる。構造体778は、絶縁膜を選択的にエッチングすることで得られる柱状のスペーサであり、第1の基板701と第2の基板705の間の距離（セルギャップ）を制御するために設けられる。なお、構造体778として、球状のスペーサを用いても良い。

[0356]

また、第2の基板705側には、ブラックマトリクスとして機能する遮光膜738と、カラーフィルタとして機能する着色膜736と、遮光膜738及び着色膜736に接する絶縁膜734が設けられる。

[0357]

<液晶素子を用いる表示装置の構成例>

図23に示す表示装置700は、液晶素子775を有する。液晶素子775は、導電膜772、導電膜774、及び液晶層776を有する。導電膜774は、第2の基板705側に設けられ、対向電極としての機能を有する。図23に示す表示装置700は、導電膜772と導電膜774に印加される電圧によって、液晶層776の配向状態が変わることによって光の透過、非透過が制御され画像を表示することができる。

[0358]

また、導電膜772は、トランジスタ750が有するソース電極及びドレイン電極として機能する導電膜に接続される。導電膜772は、平坦化絶縁膜770上に形成され画素電極、すなわち表示素子の一方の電極として機能する。また、導電膜772は、反射電極としての機能を有する。図23に示す表示装置700は、外光を利用し導電膜772で光を反射して着色膜736を介して表示する、所謂反射型のカラー液晶表示装置である。

[0359]

導電膜772としては、可視光において透光性のある導電膜、または可視光において反射性のある導電膜を用いることができる。可視光において透光性のある導電膜としては、例えば、インジウム（In）、亜鉛（Zn）、錫（Sn）の中から選ばれた一種を含む材料を用いるとよい。可視光において反射性のある導電膜としては、例えば、アルミニウム、または銀を含む材料を用いるとよい。本実施の形態においては、導電膜772として、可視光において、反射性のある導電膜を用いる。

[0360]

また、図23に示す表示装置700においては、画素部702の平坦化絶縁膜770の一部に凹凸が設けられている。該凹凸は、例えば、平坦化絶縁膜770を樹脂膜で形成し、該樹脂膜の表面に凹凸を設けることで形成することができる。また、反射電極として機能する導電膜772は、上記凹凸に沿って形成される。したがって、外光が導電膜772に入射した場合において、導電膜772の表面で光を乱反射することが可能となり、視認性を向上させることができる。

[0361]

なお、図23に示す表示装置700は、反射型のカラー液晶表示装置について例示したが、これに

限定されない、例えば、導電膜 772 を可視光において、透光性のある導電膜を用いることで透過型のカラー液晶表示装置としてもよい。透過型のカラー液晶表示装置の場合、平坦化絶縁膜 770 に設けられる凹凸については、設けない構成としてもよい。

[0362]

ここで、透過型のカラー液晶表示装置の一例を図 25 に示す。図 25 は、図 22 に示す一点鎖線 Q-R における断面図であり、表示素子として液晶素子を用いた構成である。また、図 25 に示す表示装置 700 は、液晶素子の駆動方式として横電界方式（例えば、FFS モード）を用いる構成の一例である。図 25 に示す構成の場合、画素電極として機能する導電膜 772 上に絶縁膜 773 が設けられ、絶縁膜 773 上に導電膜 774 が設けられる。この場合、導電膜 774 は、共通電極（コモン電極ともいう）としての機能を有し、絶縁膜 773 を介して、導電膜 772 と導電膜 774 との間に生じる電界によって、液晶層 776 の配向状態を制御することができる。

[0363]

また、図 23 及び図 25 において図示しないが、導電膜 772 または導電膜 774 のいずれか一方または双方に、液晶層 776 と接する側に、それぞれ配向膜を設ける構成としてもよい。また、図 23 及び図 25 において図示しないが、偏光部材、位相差部材、反射防止部材などの光学部材（光学基板）などは適宜設けてもよい。例えば、偏光基板及び位相差基板による円偏光を用いてもよい。また、光源としてバックライト、サイドライトなどを用いてもよい。

[0364]

表示素子として液晶素子を用いる場合、サーモトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶、強誘電性液晶、反強誘電性液晶等を用いることができる。これらの液晶材料は、条件により、コレステリック相、スメクチック相、キュービック相、カイラルネマチック相、等方相等を示す。

[0365]

また、横電界方式を採用する場合、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために数重量%以上のカイラル剤を混合させた液晶組成物を液晶層に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が短く、光学的等方性であるため配向処理が不要である。また配向膜を設けなくてもよいのでラビング処理も不要となるため、ラビング処理によって引き起こされる静電破壊を防止することができ、作製工程中の液晶表示装置の不良や破損を軽減することができる。また、ブルー相を示す液晶材料は、視野角依存性が小さい。

[0366]

また、表示素子として液晶素子を用いる場合、TN (Twisted Nematic) モード、IPS (In-Plane-Switching) モード、FFS (Fringe Field Switching) モード、ASM (Axially Symmetric aligned Micro-cell) モード、OCB (Optical Compensated Birefringence) モード、FLC (Ferroelectric Liquid Crystal) モード、AFLC (AntiFerroelectric Liquid Crystal) モードなどを用いることができる。

[0367]

また、ノーマリーブラック型の液晶表示装置、例えば垂直配向（VA）モードを採用した透過型の液晶表示装置としてもよい。垂直配向モードとしては、いくつか挙げられるが、例えば、MVA（Multi-Domain Vertical Alignment）モード、PVA（Patterned Vertical Alignment）モード、ASVモードなどを用いることができる。

[0368]

<発光素子を用いる表示装置>

図24に示す表示装置700は、発光素子782を有する。発光素子782は、導電膜784、EL層786、及び導電膜788を有する。図24に示す表示装置700は、発光素子782が有するEL層786が発光することによって、画像を表示することができる。なお、EL層786は、有機化合物、または量子ドットなどの無機化合物を有する。

[0369]

有機化合物に用いることのできる材料としては、蛍光性材料または燐光性材料などが挙げられる。また、量子ドットに用いることのできる材料としては、コロイド状量子ドット材料、合金型量子ドット材料、コア・シェル型量子ドット材料、コア型量子ドット材料、などが挙げられる。また、12族と16族、13族と15族、または14族と16族の元素グループを含む材料を用いてもよい。または、カドミウム（Cd）、セレン（Se）、亜鉛（Zn）、硫黄（S）、リン（P）、インジウム（In）、テルル（Te）、鉛（Pb）、ガリウム（Ga）、ヒ素（As）、アルミニウム（Al）、等の元素を有する量子ドット材料を用いてもよい。

[0370]

また、導電膜784は、トランジスタ750が有するソース電極及びドレイン電極として機能する導電膜に接続される。導電膜784は、平坦化絶縁膜770上に形成され画素電極、すなわち表示素子の一方の電極として機能する。導電膜784としては、可視光において透光性のある導電膜、または可視光において反射性のある導電膜を用いることができる。可視光において透光性のある導電膜としては、例えば、インジウム（In）、亜鉛（Zn）、錫（Sn）の中から選ばれた一種を含む材料を用いるとよい。可視光において反射性のある導電膜としては、例えば、アルミニウム、または銀を含む材料を用いるとよい。

[0371]

また、図24に示す表示装置700には、平坦化絶縁膜770及び導電膜784上に絶縁膜730が設けられる。絶縁膜730は、導電膜784の一部を覆う。なお、発光素子782はトップエミッション構造である。したがって、導電膜788は透光性を有し、EL層786が発する光を透過する。なお、本実施の形態においては、トップエミッション構造について、例示するが、これに限定されない。例えば、導電膜784側に光を射出するボトムエミッション構造や、導電膜784及び導電膜788の双方に光を射出するデュアルエミッション構造にも適用することができる。

[0372]

また、発光素子782と重なる位置に、着色膜736が設けられ、絶縁膜730と重なる位置、引き回し配線部711、及びソースドライバ回路部704に遮光膜738が設けられている。また、着色膜736及び遮光膜738は、絶縁膜734で覆われている。また、発光素子782と絶縁膜734の間は封止膜732で充填されている。なお、図24に示す表示装置700においては、着色膜7

36を設ける構成について例示したが、これに限定されない。例えば、EL層786を塗り分けにより形成する場合においては、着色膜736を設けない構成としてもよい。

[0373]

<表示装置に入出力装置を設ける構成例>

また、図24及び図25に示す表示装置700に入出力装置を設けてもよい。当該入出力装置としては、例えば、タッチパネル等が挙げられる。

[0374]

図24及び図25に示す表示装置700にタッチパネル791を設ける構成を図26及び図27に示す。

[0375]

図26は図24に示す表示装置700にタッチパネル791を設ける構成の断面図であり、図27は図25に示す表示装置700にタッチパネル791を設ける構成の断面図である。

[0376]

まず、図26及び図27に示すタッチパネル791について、以下説明を行う。

[0377]

図26及び図27に示すタッチパネル791は、基板705と着色膜736との間に設けられる、所謂インセル型のタッチパネルである。タッチパネル791は、遮光膜738、及び着色膜736を形成する前に、基板705側に形成すればよい。

[0378]

なお、タッチパネル791は、遮光膜738と、絶縁膜792と、電極793と、電極794と、絶縁膜795と、電極796と、絶縁膜797と、を有する。例えば、指やスタイラスなどの被検知体が近接することで、電極793と、電極794との相互容量の変化を検知することができる。

[0379]

また、図26及び図27に示すトランジスタ750の上方においては、電極793と、電極794との交差部を明示している。電極796は、絶縁膜795に設けられた開口部を介して、電極794を挟む2つの電極793と電気的に接続されている。なお、図26及び図27においては、電極796が設けられる領域を画素部702に設ける構成を例示したが、これに限定されず、例えば、ソースドライバ回路部704に形成してもよい。

[0380]

電極793及び電極794は、遮光膜738と重なる領域に設けられる。また、図26に示すように、電極793は、発光素子782と重ならないように設けられると好ましい。また、図27に示すように、電極793は、液晶素子775と重ならないように設けられると好ましい。別言すると、電極793は、発光素子782及び液晶素子775と重なる領域に開口部を有する。すなわち、電極793はメッシュ形状を有する。このような構成とすることで、電極793は、発光素子782が射出する光を遮らない構成とすることができる。または、電極793は、液晶素子775を透過する光を遮らない構成とすることができる。したがって、タッチパネル791を配置することによる輝度の低下が極めて少ないため、視認性が高く、且つ消費電力が低減された表示装置を実現できる。なお、電極794も同様の構成とすればよい。

[0381]

また、電極 793 及び電極 794 が発光素子 782 と重ならないため、電極 793 及び電極 794 には、可視光の透過率が低い金属材料を用いることができる。または、電極 793 及び電極 794 が液晶素子 775 と重ならないため、電極 793 及び電極 794 には、可視光の透過率が低い金属材料を用いることができる。

[0382]

そのため、可視光の透過率が高い酸化物材料を用いた電極と比較して、電極 793 及び電極 794 の抵抗を低くすることが可能となり、タッチパネルのセンサ感度を向上させることができる。

[0383]

例えば、電極 793、794、796 には、導電性のナノワイヤを用いてもよい。当該ナノワイヤは、直径の平均値が 1 nm 以上 100 nm 以下、好ましくは 5 nm 以上 50 nm 以下、より好ましくは 5 nm 以上 25 nm 以下の大きさとすればよい。また、上記ナノワイヤとしては、Ag ナノワイヤ、Cu ナノワイヤ、または Al ナノワイヤ等の金属ナノワイヤ、あるいは、カーボンナノチューブなどを用いればよい。例えば、電極 664、665、667 のいずれか一つあるいは全部に Ag ナノワイヤを用いる場合、可視光における光透過率を 89% 以上、シート抵抗値を $40 \Omega / \text{sq.}$ 以上 $100 \Omega / \text{sq.}$ 以下とすることができる。

[0384]

また、図 26 及び図 27 においては、インセル型のタッチパネルの構成について例示したが、これに限定されない。例えば、表示装置 700 上に形成する、所謂オンセル型のタッチパネルや、表示装置 700 に貼り合わせて用いる、所謂アウトセル型のタッチパネルとしてもよい。

[0385]

このように、本発明の一態様の表示装置は、様々な形態のタッチパネルと組み合わせて用いることができる。

[0386]

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

[0387]

(実施の形態 4)

本実施の形態では、本発明の一態様の半導体装置を有する表示装置について、図 28 を用いて説明を行う。

[0388]

<表示装置の回路構成>

図 28 (A) に示す表示装置は、表示素子の画素を有する領域（以下、画素部 502 という）と、画素部 502 の外側に配置され、画素を駆動するための回路を有する回路部（以下、駆動回路部 504 という）と、素子の保護機能を有する回路（以下、保護回路 506 という）と、端子部 507 と、を有する。なお、保護回路 506 は、設けない構成としてもよい。

[0389]

駆動回路部 504 の一部、または全部は、画素部 502 と同一基板上に形成されていることが望ましい。これにより、部品数や端子数を減らすことが出来る。駆動回路部 504 の一部、または全部が、画素部 502 と同一基板上に形成されていない場合には、駆動回路部 504 の一部、または全部は、COG や TAB (Tape Automated Bonding) によって、実装することができ

る。

[0390]

画素部502は、X行(Xは2以上の自然数)Y列(Yは2以上の自然数)に配置された複数の表示素子を駆動するための回路(以下、画素回路501という)を有し、駆動回路部504は、画素を選択する信号(走査信号)を出力する回路(以下、ゲートドライバ504aという)、画素の表示素子を駆動するための信号(データ信号)を供給するための回路(以下、ソースドライバ504b)などの駆動回路を有する。

[0391]

ゲートドライバ504aは、シフトレジスタ等を有する。ゲートドライバ504aは、端子部507を介して、シフトレジスタを駆動するための信号が入力され、信号を出力する。例えば、ゲートドライバ504aは、スタートパルス信号、クロック信号等が入力され、パルス信号を出力する。ゲートドライバ504aは、走査信号が与えられる配線(以下、走査線GL__1乃至GL__Xという)の電位を制御する機能を有する。なお、ゲートドライバ504aを複数設け、複数のゲートドライバ504aにより、走査線GL__1乃至GL__Xを分割して制御してもよい。または、ゲートドライバ504aは、初期化信号を供給することができる機能を有する。ただし、これに限定されず、ゲートドライバ504aは、別の信号を供給することも可能である。

[0392]

ソースドライバ504bは、シフトレジスタ等を有する。ソースドライバ504bは、端子部507を介して、シフトレジスタを駆動するための信号の他、データ信号の元となる信号(画像信号)が入力される。ソースドライバ504bは、画像信号を元に画素回路501に書き込むデータ信号を生成する機能を有する。また、ソースドライバ504bは、スタートパルス、クロック信号等が入力されて得られるパルス信号に従って、データ信号の出力を制御する機能を有する。また、ソースドライバ504bは、データ信号が与えられる配線(以下、データ線DL__1乃至DL__Yという)の電位を制御する機能を有する。または、ソースドライバ504bは、初期化信号を供給することができる機能を有する。ただし、これに限定されず、ソースドライバ504bは、別の信号を供給することも可能である。

[0393]

ソースドライバ504bは、例えば複数のアナログスイッチなどを用いて構成される。ソースドライバ504bは、複数のアナログスイッチを順次オン状態にすることにより、画像信号を時分割した信号をデータ信号として出力できる。また、シフトレジスタなどを用いてソースドライバ504bを構成してもよい。

[0394]

複数の画素回路501のそれぞれは、走査信号が与えられる複数の走査線GLの一つを介してパルス信号が入力され、データ信号が与えられる複数のデータ線DLの一つを介してデータ信号が入力される。また、複数の画素回路501のそれぞれは、ゲートドライバ504aによりデータ信号のデータの書き込み及び保持が制御される。例えば、m行n列目の画素回路501は、走査線GL__m(mはX以下の自然数)を介してゲートドライバ504aからパルス信号が入力され、走査線GL__mの電位に応じてデータ線DL__n(nはY以下の自然数)を介してソースドライバ504bからデータ信号が入力される。

[0395]

図28(A)に示す保護回路506は、例えば、ゲートドライバ504aと画素回路501の間の配線である走査線GLに接続される。または、保護回路506は、ソースドライバ504bと画素回路501の間の配線であるデータ線DLに接続される。または、保護回路506は、ゲートドライバ504aと端子部507との間の配線に接続することができる。または、保護回路506は、ソースドライバ504bと端子部507との間の配線に接続することができる。なお、端子部507は、外部の回路から表示装置に電源及び制御信号、及び画像信号を入力するための端子が設けられた部分という。

[0396]

保護回路506は、自身が接続する配線に一定の範囲外の電位が与えられたときに、該配線と別の配線とを導通状態にする回路である。

[0397]

図28(A)に示すように、画素部502と駆動回路部504にそれぞれ保護回路506を設けることにより、ESD(Electro Static Discharge: 静電気放電)などにより発生する過電流に対する表示装置の耐性を高めることができる。ただし、保護回路506の構成はこれに限定されず、例えば、ゲートドライバ504aに保護回路506を接続した構成、またはソースドライバ504bに保護回路506を接続した構成とすることもできる。あるいは、端子部507に保護回路506を接続した構成とすることもできる。

[0398]

また、図28(A)においては、ゲートドライバ504aとソースドライバ504bによって駆動回路部504を形成している例を示しているが、この構成に限定されない。例えば、ゲートドライバ504aのみを形成し、別途用意されたソースドライバ回路が形成された基板(例えば、単結晶半導体膜、多結晶半導体膜で形成された駆動回路基板)を実装する構成としても良い。

[0399]

また、図28(A)に示す複数の画素回路501は、例えば、図28(B)に示す構成とすることができる。

[0400]

図28(B)に示す画素回路501は、液晶素子570と、トランジスタ550と、容量素子560と、を有する。トランジスタ550に先の実施の形態に示すトランジスタを適用することができる。

[0401]

液晶素子570の一对の電極の一方の電位は、画素回路501の仕様に応じて適宜設定される。液晶素子570は、書き込まれるデータにより配向状態が設定される。なお、複数の画素回路501のそれぞれが有する液晶素子570の一对の電極の一方に共通の電位(コモン電位)を与えてもよい。また、各行の画素回路501の液晶素子570の一对の電極の一方に異なる電位を与えてもよい。

[0402]

例えば、液晶素子570を備える表示装置の駆動方法としては、TNモード、STNモード、VAモード、ASM(Axially Symmetric Aligned Micro-cell)モード、OCB(Optically Compensated Birefringence)モード、FLC(Ferroelectric Liquid Crystal)モード、AFLC(A

ntiFerroelectric Liquid Crystal) モード、MVAモード、PVA (Patterned Vertical Alignment) モード、IPSモード、FFSモード、又はTBA (Transverse Bend Alignment) モードなどを用いてもよい。また、表示装置の駆動方法としては、上述した駆動方法の他、ECB (Electrically Controlled Birefringence) モード、PDLC (Polymer Dispersed Liquid Crystal) モード、PNLC (Polymer Network Liquid Crystal) モード、ゲストホストモードなどがある。ただし、これに限定されず、液晶素子及びその駆動方式として様々なものを用いることができる。

[0403]

m行n列目の画素回路501において、トランジスタ550のソース電極またはドレイン電極の一方は、データ線DL_nに電氣的に接続され、他方は液晶素子570の一对の電極の他方に電氣的に接続される。また、トランジスタ550のゲート電極は、走査線GL_mに電氣的に接続される。トランジスタ550は、データ信号のデータの書き込みを制御する機能を有する。

[0404]

容量素子560の一对の電極の一方は、電位が供給される配線（以下、電位供給線VL）に電氣的に接続され、他方は、液晶素子570の一对の電極の他方に電氣的に接続される。なお、電位供給線VLの電位の値は、画素回路501の仕様に応じて適宜設定される。容量素子560は、書き込まれたデータを保持する保持容量としての機能を有する。

[0405]

例えば、図28(B)の画素回路501を有する表示装置では、例えば、図28(A)に示すゲートドライバ504aにより各行の画素回路501を順次選択し、トランジスタ550をオン状態にしてデータ信号のデータを書き込む。

[0406]

データが書き込まれた画素回路501は、トランジスタ550がオフ状態になることで保持状態になる。これを行毎に順次行うことにより、画像を表示できる。

[0407]

また、図28(A)に示す複数の画素回路501は、例えば、図28(C)に示す構成とすることができる。

[0408]

また、図28(C)に示す画素回路501は、トランジスタ552、554と、容量素子562と、発光素子572と、を有する。トランジスタ552及びトランジスタ554のいずれか一方または双方に先の実施の形態に示すトランジスタを適用することができる。

[0409]

トランジスタ552のソース電極及びドレイン電極の一方は、データ信号が与えられる配線（以下、信号線DL_nという）に電氣的に接続される。さらに、トランジスタ552のゲート電極は、ゲート信号が与えられる配線（以下、走査線GL_mという）に電氣的に接続される。

[0410]

トランジスタ552は、データ信号のデータの書き込みを制御する機能を有する。

[0411]

容量素子 562 の一対の電極の一方は、電位が与えられる配線（以下、電位供給線 V_L_a という）に電氣的に接続され、他方は、トランジスタ 552 のソース電極及びドレイン電極の他方に電氣的に接続される。

[0412]

容量素子 562 は、書き込まれたデータを保持する保持容量としての機能を有する。

[0413]

トランジスタ 554 のソース電極及びドレイン電極の一方は、電位供給線 V_L_a に電氣的に接続される。さらに、トランジスタ 554 のゲート電極は、トランジスタ 552 のソース電極及びドレイン電極の他方に電氣的に接続される。

[0414]

発光素子 572 のアノード及びカソードの一方は、電位供給線 V_L_b に電氣的に接続され、他方は、トランジスタ 554 のソース電極及びドレイン電極の他方に電氣的に接続される。

[0415]

発光素子 572 としては、例えば有機エレクトロルミネセンス素子（有機 EL 素子ともいう）などを用いることができる。ただし、発光素子 572 としては、これに限定されず、無機材料からなる無機 EL 素子を用いても良い。

[0416]

なお、電位供給線 V_L_a 及び電位供給線 V_L_b の一方には、高電源電位 V_{DD} が与えられ、他方には、低電源電位 V_{SS} が与えられる。

[0417]

図 28（C）の画素回路 501 を有する表示装置では、例えば、図 28（A）に示すゲートドライバ 504a により各行の画素回路 501 を順次選択し、トランジスタ 552 をオン状態にしてデータ信号のデータを書き込む。

[0418]

データが書き込まれた画素回路 501 は、トランジスタ 552 がオフ状態になることで保持状態になる。さらに、書き込まれたデータ信号の電位に応じてトランジスタ 554 のソース電極とドレイン電極の間に流れる電流量が制御され、発光素子 572 は、流れる電流量に応じた輝度で発光する。これを行毎に順次行うことにより、画像を表示できる。

[0419]

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせる用いることができる。

[0420]

（実施の形態 5）

本実施の形態では、上述の実施の形態で説明したトランジスタの適用可能な回路構成の一例について、図 29 乃至図 32 を用いて説明する。

[0421]

なお、本実施の形態においては、先の実施の形態で説明した酸化物半導体を有するトランジスタを、OS トランジスタと呼称して以下説明を行う。

[0422]

<インバータ回路の構成例>

図29(A)には、駆動回路が有するシフトレジスタやバッファ等に適用することができるインバータの回路図を示す。インバータ800は、入力端子INに与える信号の論理を反転した信号を出力端子OUTに出力する。インバータ800は、複数のOSトランジスタを有する。信号 S_{BG} は、OSトランジスタの電気特性を切り替えることができる信号である。

[0423]

図29(B)は、インバータ800の一例である。インバータ800は、OSトランジスタ810、およびOSトランジスタ820を有する。インバータ800は、nチャネル型トランジスタのみで作製することができるため、CMOS (Complementary Metal Oxide Semiconductor) でインバータ (CMOSインバータ) を作製する場合と比較して、低コストで作製することが可能である。

[0424]

なお、OSトランジスタを有するインバータ800は、Siトランジスタで構成されるCMOS上に配置することもできる。インバータ800は、CMOSの回路に重ねて配置できるため、インバータ800を追加する分の回路面積の増加を抑えることができる。

[0425]

OSトランジスタ810、820は、フロントゲートとして機能する第1ゲートと、バックゲートとして機能する第2ゲートと、ソースまたはドレインの一方として機能する第1端子と、ソースまたはドレインの他方として機能する第2端子とを有する。

[0426]

OSトランジスタ810の第1ゲートは、第2端子に接続される。OSトランジスタ810の第2ゲートは、信号 S_{BG} を供給する配線に接続される。OSトランジスタ810の第1端子は、電圧 V_{DD} を与える配線に接続される。OSトランジスタ810の第2端子は、出力端子OUTに接続される。

[0427]

OSトランジスタ820の第1ゲートは、入力端子INに接続される。OSトランジスタ820の第2ゲートは、入力端子INに接続される。OSトランジスタ820の第1端子は、出力端子OUTに接続される。OSトランジスタ820の第2端子は、電圧 V_{SS} を与える配線に接続される。

[0428]

図29(C)は、インバータ800の動作を説明するためのタイミングチャートである。図29(C)のタイミングチャートでは、入力端子INの信号波形、出力端子OUTの信号波形、信号 S_{BG} の信号波形、およびOSトランジスタ810のしきい値電圧の変化について示している。

[0429]

信号 S_{BG} をOSトランジスタ810の第2ゲートに与えることで、OSトランジスタ810のしきい値電圧を制御することができる。

[0430]

信号 S_{BG} は、しきい値電圧をマイナスシフトさせるための電圧 V_{BG_A} 、しきい値電圧をプラスシフトさせるための電圧 V_{BG_B} を有する。第2ゲートに電圧 V_{BG_A} を与えることで、OSトランジスタ810はしきい値電圧 V_{TH_A} にマイナスシフトさせることができる。また、第2ゲートに電圧 V_{BG_B} を与えることで、OSトランジスタ810は、しきい値電圧 V_{TH_B} にプラスシフトさせること

ができる。

[0431]

前述の説明を可視化するために、図30(A)には、トランジスタの電気特性の一つである、 $I_d - V_g$ カーブを示す。

[0432]

上述したOSトランジスタ810の電気特性は、第2ゲートの電圧を電圧 V_{BG_A} のように大きくすることで、図30(A)中の破線840で表される曲線にシフトさせることができる。また、上述したOSトランジスタ810の電気特性は、第2ゲートの電圧を電圧 V_{BG_B} のように小さくすることで、図30(A)中の実線841で表される曲線にシフトさせることができる。図30(A)に示すように、OSトランジスタ810は、信号 S_{BG} を電圧 V_{BG_A} あるいは電圧 V_{BG_B} というように切り替えることで、しきい値電圧をプラスシフトあるいはマイナスシフトさせることができる。

[0433]

しきい値電圧をしきい値電圧 V_{TH_B} にプラスシフトさせることで、OSトランジスタ810は電流が流れにくい状態とすることができる。図30(B)には、この状態を可視化して示す。

[0434]

図30(B)に図示するように、OSトランジスタ810に流れる電流 I_B を極めて小さくすることができる。そのため、入力端子INに与える信号がハイレベルでOSトランジスタ820はオン状態(ON)のとき、出力端子OUTの電圧を急峻に下降させることができる。

[0435]

図30(B)に図示したように、OSトランジスタ810に流れる電流が流れにくい状態とすることができるため、図29(C)に示すタイミングチャートにおける出力端子の信号波形831を急峻に変化させることができる。電圧VDDを与える配線と、電圧VSSを与える配線との間に流れる貫通電流を少なくすることができるため、低消費電力での動作を行うことができる。

[0436]

また、しきい値電圧をしきい値電圧 V_{TH_A} にマイナスシフトさせることで、OSトランジスタ810は電流が流れやすい状態とすることができる。図30(C)には、この状態を可視化して示す。図30(C)に図示するように、このとき流れる電流 I_A を少なくとも電流 I_B よりも大きくすることができる。そのため、入力端子INに与える信号がローレベルでOSトランジスタ820はオフ状態(OFF)のとき、出力端子OUTの電圧を急峻に上昇させることができる。図30(C)に図示したように、OSトランジスタ810に流れる電流が流れやすい状態とすることができるため、図29(C)に示すタイミングチャートにおける出力端子の信号波形832を急峻に変化させることができる。

[0437]

なお、信号 S_{BG} によるOSトランジスタ810のしきい値電圧の制御は、OSトランジスタ820の状態が切り替わる以前、すなわち時刻T1やT2よりも前に行うことが好ましい。例えば、図29(C)に図示するように、入力端子INに与える信号がハイレベルに切り替わる時刻T1よりも前に、しきい値電圧 V_{TH_A} から、しきい値電圧 V_{TH_B} にOSトランジスタ810のしきい値電圧を切り替えることが好ましい。また、図29(C)に図示するように、入力端子INに与える信号がローレベルに切り替わる時刻T2よりも前に、しきい値電圧 V_{TH_B} からしきい値電圧 V_{TH_A} にOSトラ

ンジスタ810のしきい値電圧を切り替えることが好ましい。

[0438]

なお、図29(C)のタイミングチャートでは、入力端子INに与える信号に応じて信号 S_{BG} を切り替える構成を示したが、別の構成としてもよい。例えば、しきい値電圧を制御するための電圧は、フローティング状態としたOSトランジスタ810の第2ゲートに保持させる構成としてもよい。当該構成を実現可能な回路構成の一例について、図31(A)に示す。

[0439]

図31(A)では、図29(B)で示した回路構成に加えて、OSトランジスタ850を有する。OSトランジスタ850の第1端子は、OSトランジスタ810の第2ゲートに接続される。またOSトランジスタ850の第2端子は、電圧 V_{BG_B} (あるいは電圧 V_{BG_A})を与える配線に接続される。OSトランジスタ850の第1ゲートは、信号 S_F を与える配線に接続される。OSトランジスタ850の第2ゲートは、電圧 V_{BG_B} (あるいは電圧 V_{BG_A})を与える配線に接続される。

[0440]

図31(A)の動作について、図31(B)のタイミングチャートを用いて説明する。

[0441]

OSトランジスタ810のしきい値電圧を制御するための電圧は、入力端子INに与える信号がハイレベルに切り替わる時刻T3よりも前に、OSトランジスタ810の第2ゲートに与える構成とする。信号 S_F をハイレベルとしてOSトランジスタ850をオン状態とし、ノード N_{BG} にしきい値電圧を制御するための電圧 V_{BG_B} を与える。

[0442]

ノード N_{BG} が電圧 V_{BG_B} となった後は、OSトランジスタ850をオフ状態とする。OSトランジスタ850は、オフ電流が極めて小さいため、オフ状態にし続けることで、一旦ノード N_{BG} に保持させたしきい値電圧 V_{BG_B} を保持することができる。そのため、OSトランジスタ850の第2ゲートに電圧 V_{BG_B} を与える動作の回数が減るため、電圧 V_{BG_B} の書き換えに要する分の消費電力を小さくすることができる。

[0443]

なお、図29(B)及び図31(A)の回路構成では、OSトランジスタ810の第2ゲートに与える電圧を外部からの制御によって与える構成について示したが、別の構成としてもよい。例えば、しきい値電圧を制御するための電圧を、入力端子INに与える信号を基に生成し、OSトランジスタ810の第2ゲートに与える構成としてもよい。当該構成を実現可能な回路構成の一例について、図32(A)に示す。

[0444]

図32(A)では、図29(B)で示した回路構成において、入力端子INとOSトランジスタ810の第2ゲートとの間にCMOSインバータ860を有する。CMOSインバータ860の入力端子は、入力端子INに接続される。CMOSインバータ860の出力端子は、OSトランジスタ810の第2ゲートに接続される。

[0445]

図32(A)の動作について、図32(B)のタイミングチャートを用いて説明する。図32(B)のタイミングチャートでは、入力端子INの信号波形、出力端子OUTの信号波形、CMOSインバ

ータ 8 6 0 の出力波形 IN_B 、及び OS トランジスタ 8 1 0 のしきい値電圧の変化について示している。

[0 4 4 6]

入力端子 IN に与える信号の論理を反転した信号である出力波形 IN_B は、OS トランジスタ 8 1 0 のしきい値電圧を制御する信号とすることができる。したがって、図 3 0 (A) 乃至図 3 0 (C) で説明したように、OS トランジスタ 8 1 0 のしきい値電圧を制御できる。例えば、図 3 2 (B) における時刻 T_4 となると、入力端子 IN に与える信号がハイレベルで OS トランジスタ 8 2 0 はオン状態となる。このとき、出力波形 IN_B はローレベルとなる。そのため、OS トランジスタ 8 1 0 は電流が流れにくい状態とすることができ、出力端子 OUT の電圧の上昇を急峻に下降させることができる。

[0 4 4 7]

また、図 3 2 (B) における時刻 T_5 となると、入力端子 IN に与える信号がローレベルで OS トランジスタ 8 2 0 はオフ状態となる。このとき、出力波形 IN_B はハイレベルとなる。そのため、OS トランジスタ 8 1 0 は電流が流れやすい状態とすることができ、出力端子 OUT の電圧を急峻に上昇させることができる。

[0 4 4 8]

以上説明したように本実施の形態の構成では、OS トランジスタを有するインバータにおける、バックゲートの電圧を入力端子 IN の信号の論理にしたがって切り替える。当該構成とすることで、OS トランジスタのしきい値電圧を制御することができる。入力端子 IN に与える信号によって OS トランジスタのしきい値電圧を制御することで、出力端子 OUT の電圧を急峻に変化させることができる。また、電源電圧を与える配線間の貫通電流を小さくすることができる。そのため、低消費電力化を図ることができる。

[0 4 4 9]

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせ用いることができる。

[0 4 5 0]

(実施の形態 6)

本実施の形態では、上述の実施の形態で説明した酸化物半導体を有するトランジスタ (OS トランジスタ) を、複数の回路に用いる半導体装置の一例について、図 3 3 乃至図 3 6 を用いて説明する。

[0 4 5 1]

<半導体装置の回路構成例>

図 3 3 (A) は、半導体装置 9 0 0 のブロック図である。半導体装置 9 0 0 は、電源回路 9 0 1、回路 9 0 2、電圧生成回路 9 0 3、回路 9 0 4、電圧生成回路 9 0 5 および回路 9 0 6 を有する。

[0 4 5 2]

電源回路 9 0 1 は、基準となる電圧 V_{ORG} を生成する回路である。電圧 V_{ORG} は、単一の電圧ではなく、複数の電圧でもよい。電圧 V_{ORG} は、半導体装置 9 0 0 の外部から与えられる電圧 V_0 を基に生成することができる。半導体装置 9 0 0 は、外部から与えられる単一の電源電圧を基に電圧 V_{ORG} を生成できる。そのため半導体装置 9 0 0 は、外部から電源電圧を複数与えることなく動作することができる。

[0 4 5 3]

回路902、904および906は、異なる電源電圧で動作する回路である。例えば回路902の電源電圧は、電圧 V_{ORG} と電圧 V_{SS} ($V_{ORG} > V_{SS}$) とによって印加される電圧である。また、例えば回路904の電源電圧は、電圧 V_{POG} と電圧 V_{SS} ($V_{POG} > V_{ORG}$) とによって印加される電圧である。また、例えば回路906の電源電圧は、電圧 V_{ORG} と電圧 V_{NEG} ($V_{ORG} > V_{SS} > V_{NEG}$) とによって印加される電圧である。なお電圧 V_{SS} は、グラウンド (GND) と等電位とすれば、電源回路901で生成する電圧の種類を削減できる。

[0454]

電圧生成回路903は、電圧 V_{POG} を生成する回路である。電圧生成回路903は、電源回路901から与えられる電圧 V_{ORG} を基に電圧 V_{POG} を生成できる。そのため、回路904を有する半導体装置900は、外部から与えられる単一の電源電圧を基に動作することができる。

[0455]

電圧生成回路905は、電圧 V_{NEG} を生成する回路である。電圧生成回路905は、電源回路901から与えられる電圧 V_{ORG} を基に電圧 V_{NEG} を生成できる。そのため、回路906を有する半導体装置900は、外部から与えられる単一の電源電圧を基に動作することができる。

[0456]

図33 (B) は電圧 V_{POG} で動作する回路904の一例、図33 (C) は回路904を動作させるための信号の波形の一例である。

[0457]

図33 (B) では、トランジスタ911を示している。トランジスタ911のゲートに与える信号は、例えば、電圧 V_{POG} と電圧 V_{SS} を基に生成される。当該信号は、トランジスタ911を導通状態とする動作時に電圧 V_{POG} 、非導通状態とする動作時に電圧 V_{SS} とする。電圧 V_{POG} は、図33 (C) に図示するように、電圧 V_{ORG} より大きい。そのため、トランジスタ911は、ソース (S) とドレイン (D) との間を導通状態とする動作を、より確実に行うことができる。その結果、回路904は、誤動作が低減された回路とすることができる。

[0458]

図33 (D) は電圧 V_{NEG} で動作する回路906の一例、図33 (E) は回路906を動作させるための信号の波形の一例である。

[0459]

図33 (D) では、バックゲートに有するトランジスタ912を示している。トランジスタ912のゲートに与える信号は、例えば、電圧 V_{ORG} と電圧 V_{SS} を基にして生成される。当該信号は、トランジスタ911を導通状態とする動作時に電圧 V_{ORG} 、非導通状態とする動作時に電圧 V_{SS} とする。また、トランジスタ912のバックゲートに与える電圧は、電圧 V_{NEG} を基に生成される。電圧 V_{NEG} は、図33 (E) に図示するように、電圧 V_{SS} (GND) より小さい。そのため、トランジスタ912のしきい値電圧は、プラスシフトするように制御することができる。そのため、トランジスタ912をより確実に非導通状態とすることができ、ソース (S) とドレイン (D) との間を流れる電流を小さくできる。その結果、回路906は、誤動作が低減され、且つ低消費電力化が図られた回路とすることができる。

[0460]

なお、電圧 V_{NEG} は、トランジスタ912のバックゲートに直接与える構成としてもよい。あるいは

は、電圧 V_{ORG} と電圧 V_{NEG} を基に、トランジスタ912のゲートに与える信号を生成し、当該信号をトランジスタ912のバックゲートに与える構成としてもよい。

[0461]

また図34 (A) (B) には、図33 (D) (E) の変形例を示す。

[0462]

図34 (A) に示す回路図では、電圧生成回路905と、回路906と、の間に制御回路921によって導通状態が制御できるトランジスタ922を示す。トランジスタ922は、nチャネル型のOSトランジスタとする。制御回路921が出力する制御信号 S_{BG} は、トランジスタ922の導通状態を制御する信号である。また回路906が有するトランジスタ912A、912Bは、トランジスタ922と同じOSトランジスタである。

[0463]

図34 (B) のタイミングチャートには、制御信号 S_{BG} と、トランジスタ912A、912Bのバックゲートの電位の状態をノード N_{BG} の電位の変化で示す。制御信号 S_{BG} がハイレベルのときにトランジスタ922が導通状態となり、ノード N_{BG} が電圧 V_{NEG} となる。その後、制御信号 S_{BG} がローレベルのときにノード N_{BG} が電氣的にフローティングとなる。トランジスタ922は、OSトランジスタであるため、オフ電流が小さい。そのため、ノード N_{BG} が電氣的にフローティングであっても、一旦与えた電圧 V_{NEG} を保持することができる。

[0464]

また、図35 (A) には、上述した電圧生成回路903に適用可能な回路構成の一例を示す。図35 (A) に示す電圧生成回路903は、ダイオードD1乃至D5、キャパシタC1乃至C5、およびインバータINVを有する5段のチャージポンプである。クロック信号CLKは、キャパシタC1乃至C5に直接、あるいはインバータINVを介して与えられる。インバータINVの電源電圧を、電圧 V_{ORG} と電圧 V_{SS} とによって印加される電圧とすると、クロック信号CLKによって、電圧 V_{ORG} の5倍の正電圧に昇圧された電圧 V_{POG} を得ることができる。なお、ダイオードD1乃至D5の順方向電圧は0Vとしている。また、チャージポンプの段数を変更することで、所望の電圧 V_{POG} を得ることができる。

[0465]

また、図35 (B) には、上述した電圧生成回路905に適用可能な回路構成の一例を示す。図35 (B) に示す電圧生成回路905は、ダイオードD1乃至D5、キャパシタC1乃至C5、およびインバータINVを有する4段のチャージポンプである。クロック信号CLKは、キャパシタC1乃至C5に直接、あるいはインバータINVを介して与えられる。インバータINVの電源電圧を、電圧 V_{ORG} と電圧 V_{SS} とによって印加される電圧とすると、クロック信号CLKによって、グラウンド、すなわち電圧 V_{SS} から電圧 V_{ORG} の4倍の負電圧に降圧された電圧 V_{NEG} を得ることができる。なお、ダイオードD1乃至D5の順方向電圧は0Vとしている。また、チャージポンプの段数を変更することで、所望の電圧 V_{NEG} を得ることができる。

[0466]

なお、上述した電圧生成回路903の回路構成は、図35 (A) で示す回路図の構成に限らない。例えば、電圧生成回路903の変形例を図36 (A) 乃至図36 (C) に示す。なお、電圧生成回路903の変形例は、図36 (A) 乃至図36 (C) に示す電圧生成回路903A乃至903Cにおい

て、各配線に与える電圧を変更すること、あるいは素子の配置を変更することで実現可能である。

[0467]

図36(A)に示す電圧生成回路903Aは、トランジスタM1乃至M10、キャパシタC11乃至C14、およびインバータINV1を有する。クロック信号CLKは、トランジスタM1乃至M10のゲートに直接、あるいはインバータINV1を介して与えられる。クロック信号CLKによって、電圧 V_{ORG} の4倍の正電圧に昇圧された電圧 V_{POG} を得ることができる。なお、段数を変更することで、所望の電圧 V_{POG} を得ることができる。図36(A)に示す電圧生成回路903Aは、トランジスタM1乃至M10をOSトランジスタとすることでオフ電流を小さくでき、キャパシタC11乃至C14に保持した電荷の漏れを抑制できる。そのため、効率的に電圧 V_{ORG} から電圧 V_{POG} への昇圧を図ることができる。

[0468]

また、図36(B)に示す電圧生成回路903Bは、トランジスタM11乃至M14、キャパシタC15、C16、およびインバータINV2を有する。クロック信号CLKは、トランジスタM11乃至M14のゲートに直接、あるいはインバータINV2を介して与えられる。クロック信号CLKによって、電圧 V_{ORG} の2倍の正電圧に昇圧された電圧 V_{POG} を得ることができる。図36(B)に示す電圧生成回路903Bは、トランジスタM11乃至M14をOSトランジスタとすることでオフ電流を小さくでき、キャパシタC15、C16に保持した電荷の漏れを抑制できる。そのため、効率的に電圧 V_{ORG} から電圧 V_{POG} への昇圧を図ることができる。

[0469]

また、図36(C)に示す電圧生成回路903Cは、インダクタInd1、トランジスタM15、ダイオードD6、およびキャパシタC17を有する。トランジスタM15は、制御信号ENによって、導通状態が制御される。制御信号ENによって、電圧 V_{ORG} が昇圧された電圧 V_{POG} を得ることができる。図36(C)に示す電圧生成回路903Cは、インダクタInd1を用いて電圧の昇圧を行うため、変換効率の高い電圧の昇圧を行うことができる。

[0470]

以上説明したように本実施の形態の構成では、半導体装置が有する回路に必要な電圧を内部で生成することができる。そのため半導体装置は、外部から与える電源電圧の数を削減できる。

[0471]

以上、本実施の形態で示す構成等は、他の実施の形態で示す構成と適宜組み合わせて用いることができる。

[0472]

(実施の形態7)

本実施の形態では、本発明の一態様の半導体装置を有する表示モジュール及び電子機器について、図37乃至図40を用いて説明を行う。

[0473]

<表示モジュール>

図37に示す表示モジュール7000は、上部カバー7001と下部カバー7002との間に、FPC7003に接続されたタッチパネル7004、FPC7005に接続された表示パネル7006、バックライト7007、フレーム7009、プリント基板7010、バッテリー7011を有する。

[0474]

本発明の一態様の半導体装置は、例えば、表示パネル7006に用いることができる。

[0475]

上部カバー7001及び下部カバー7002は、タッチパネル7004及び表示パネル7006のサイズに合わせて、形状や寸法を適宜変更することができる。

[0476]

タッチパネル7004は、抵抗膜方式または静電容量方式のタッチパネルを表示パネル7006に重畳して用いることができる。また、表示パネル7006の対向基板（封止基板）に、タッチパネル機能を持たせるようにすることも可能である。また、表示パネル7006の各画素内に光センサを設け、光学式のタッチパネルとすることも可能である。

[0477]

バックライト7007は、光源7008を有する。なお、図37において、バックライト7007上に光源7008を配置する構成について例示したが、これに限定さない。例えば、バックライト7007の端部に光源7008を配置し、さらに光拡散板を用いる構成としてもよい。なお、有機EL素子等の自発光型の発光素子を用いる場合、または反射型パネル等の場合においては、バックライト7007を設けない構成としてもよい。

[0478]

フレーム7009は、表示パネル7006の保護機能の他、プリント基板7010の動作により発生する電磁波を遮断するための電磁シールドとしての機能を有する。またフレーム7009は、放熱板としての機能を有していてもよい。

[0479]

プリント基板7010は、電源回路、ビデオ信号及びクロック信号を出力するための信号処理回路を有する。電源回路に電力を供給する電源としては、外部の商用電源であっても良いし、別途設けたバッテリー7011による電源であってもよい。バッテリー7011は、商用電源を用いる場合には、省略可能である。

[0480]

また、表示モジュール7000は、偏光板、位相差板、プリズムシートなどの部材を追加して設けてもよい。

[0481]

<電子機器1>

次に、図38（A）乃至図38（E）に電子機器の一例を示す。

[0482]

図38（A）は、ファインダー8100を取り付けた状態のカメラ8000の外観を示す図である。

[0483]

カメラ8000は、筐体8001、表示部8002、操作ボタン8003、シャッターボタン8004等を有する。またカメラ8000には、着脱可能なレンズ8006が取り付けられている。

[0484]

ここではカメラ8000として、レンズ8006を筐体8001から取り外して交換することが可能な構成としたが、レンズ8006と筐体が一体となってもよい。

[0485]

カメラ8000は、シャッターボタン8004を押すことにより、撮像することができる。また、表示部8002はタッチパネルとしての機能を有し、表示部8002をタッチすることにより撮像することも可能である。

[0486]

カメラ8000の筐体8001は、電極を有するマウントを有し、ファインダー8100のほか、ストロボ装置等を接続することができる。

[0487]

ファインダー8100は、筐体8101、表示部8102、ボタン8103等を有する。

[0488]

筐体8101は、カメラ8000のマウントと係合するマウントを有しており、ファインダー8100をカメラ8000に取り付けることができる。また当該マウントには電極を有し、当該電極を介してカメラ8000から受信した映像等を表示部8102に表示させることができる。

[0489]

ボタン8103は、電源ボタンとしての機能を有する。ボタン8103により、表示部8102の表示のオン・オフを切り替えることができる。

[0490]

カメラ8000の表示部8002、及びファインダー8100の表示部8102に、本発明の一態様の表示装置を適用することができる。

[0491]

なお、図38(A)では、カメラ8000とファインダー8100とを別の電子機器とし、これらを脱着可能な構成としたが、カメラ8000の筐体8001に、表示装置を備えるファインダーが内蔵されていてもよい。

[0492]

図38(B)は、ヘッドマウントディスプレイ8200の外観を示す図である。

[0493]

ヘッドマウントディスプレイ8200は、装着部8201、レンズ8202、本体8203、表示部8204、ケーブル8205等を有している。また装着部8201には、バッテリー8206が内蔵されている。

[0494]

ケーブル8205は、バッテリー8206から本体8203に電力を供給する。本体8203は無線受信機等を備え、受信した画像データ等の映像情報を表示部8204に表示させることができる。また、本体8203に設けられたカメラで使用者の眼球やまぶたの動きを捉え、その情報をもとに使用者の視点の座標を算出することにより、使用者の視点を入力手段として用いることができる。

[0495]

また、装着部8201には、使用者に触れる位置に複数の電極が設けられていてもよい。本体8203は使用者の眼球の動きに伴って電極に流れる電流を検知することにより、使用者の視点を認識する機能を有していてもよい。また、当該電極に流れる電流を検知することにより、使用者の脈拍をモニタする機能を有していてもよい。また、装着部8201には、温度センサ、圧力センサ、加速度セ

ンサ等の各種センサを有していてもよく、使用者の生体情報を表示部 8204 に表示する機能を有していてもよい。また、使用者の頭部の動きなどを検出し、表示部 8204 に表示する映像をその動きに合わせて変化させてもよい。

[0496]

表示部 8204 に、本発明の一態様の表示装置を適用することができる。

[0497]

図 38 (C) (D) (E) は、ヘッドマウントディスプレイ 8300 の外観を示す図である。

[0498]

ヘッドマウントディスプレイ 8300 は、筐体 8301、表示部 8302、バンド状の固定具 8304、及び一対のレンズ 8305 を有する。

[0499]

使用者は、レンズ 8305 を通して、表示部 8302 の表示を視認することができる。なお、表示部 8302 を湾曲して配置させると好適である。表示部 8302 を湾曲して配置することで、使用者が高い臨場感を感じることができる。

[0500]

表示部 8302 に、本発明の一態様の表示装置を適用することができる。本発明の一態様の半導体装置を有する表示装置は、極めて精細度を高くすることができるため、図 38 (E) のようにレンズ 8305 を用いて拡大したとしても、使用者に画素が視認されることなく、より現実感の高い映像を表示することができる。

[0501]

<電子機器 2>

次に、図 38 (A) 乃至図 38 (E) に示す電子機器と、異なる電子機器の一例を図 39 (A) 乃至図 39 (G) に示す。

[0502]

図 39 (A) 乃至図 39 (G) に示す電子機器は、筐体 9000、表示部 9001、スピーカ 9003、操作キー 9005 (電源スイッチ、又は操作スイッチを含む)、接続端子 9006、センサ 9007 (力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、に於いて又は赤外線測定する機能を含むもの)、マイクロフォン 9008、等を有する。

[0503]

図 39 (A) 乃至図 39 (G) に示す電子機器は、様々な機能を有する。例えば、様々な情報 (静止画、動画、テキスト画像など) を表示部に表示する機能、タッチパネル機能、カレンダー、日付または時刻などを表示する機能、様々なソフトウェア (プログラム) によって処理を制御する機能、無線通信機能、無線通信機能を用いて様々なコンピュータネットワークに接続する機能、無線通信機能を用いて様々なデータの送信または受信を行う機能、記録媒体に記録されているプログラムまたはデータを読み出して表示部に表示する機能、等を有することができる。なお、図 39 (A) 乃至図 39 (G) に示す電子機器が有することのできる機能はこれらに限定されず、様々な機能を有することができる。また、図 39 (A) 乃至図 39 (G) には図示していないが、電子機器には、複数の表示部を有する構成としてもよい。また、該電子機器にカメラ等を設け、静止画を撮影する機能、動画を撮

影する機能、撮影した画像を記録媒体（外部またはカメラに内蔵）に保存する機能、撮影した画像を表示部に表示する機能、等を有していてもよい。

[0504]

図39（A）乃至図39（G）に示す電子機器の詳細について、以下説明を行う。

[0505]

図39（A）は、テレビジョン装置9100を示す斜視図である。テレビジョン装置9100は、表示部9001を大画面、例えば、50インチ以上、または100インチ以上の表示部9001を組み込むことが可能である。

[0506]

図39（B）は、携帯情報端末9101を示す斜視図である。携帯情報端末9101は、例えば電話機、手帳又は情報閲覧装置等から選ばれた一つ又は複数の機能を有する。具体的には、スマートフォンとして用いることができる。なお、携帯情報端末9101は、スピーカ9003、接続端子9006、センサ9007等を設けてもよい。また、携帯情報端末9101は、文字や画像情報をその複数の面に表示することができる。例えば、3つの操作ボタン9050（操作アイコンまたは単にアイコンともいう）を表示部9001の一の面に表示することができる。また、破線の矩形で示す情報9051を表示部9001の他の面に表示することができる。なお、情報9051の一例としては、電子メールやSNS（ソーシャル・ネットワーキング・サービス）や電話などの着信を知らせる表示、電子メールやSNSなどの題名、電子メールやSNSなどの送信者名、日時、時刻、バッテリーの残量、アンテナ受信の強度などがある。または、情報9051が表示されている位置に、情報9051の代わりに、操作ボタン9050などを表示してもよい。

[0507]

図39（C）は、携帯情報端末9102を示す斜視図である。携帯情報端末9102は、表示部9001の3面以上に情報を表示する機能を有する。ここでは、情報9052、情報9053、情報9054がそれぞれ異なる面に表示されている例を示す。例えば、携帯情報端末9102の使用人は、洋服の胸ポケットに携帯情報端末9102を収納した状態で、その表示（ここでは情報9053）を確認することができる。具体的には、着信した電話の発信者の電話番号又は氏名等を、携帯情報端末9102の上方から観察できる位置に表示する。使用人は、携帯情報端末9102をポケットから取り出すことなく、表示を確認し、電話を受けるか否かを判断できる。

[0508]

図39（D）は、腕時計型の携帯情報端末9200を示す斜視図である。携帯情報端末9200は、移動電話、電子メール、文章閲覧及び作成、音楽再生、インターネット通信、コンピュータゲームなどの種々のアプリケーションを実行することができる。また、表示部9001はその表示面が湾曲して設けられ、湾曲した表示面に沿って表示を行うことができる。また、携帯情報端末9200は、通信規格された近距離無線通信を実行することが可能である。例えば無線通信可能なヘッドセットと相互通信することによって、ハンズフリーで通話することもできる。また、携帯情報端末9200は、接続端子9006を有し、他の情報端末とコネクタを介して直接データのやりとりを行うことができる。また接続端子9006を介して充電を行うこともできる。なお、充電動作は接続端子9006を介さずに無線給電により行ってもよい。

[0509]

図39(E)(F)(G)は、折り畳み可能な携帯情報端末9201を示す斜視図である。また、図39(E)が携帯情報端末9201を展開した状態の斜視図であり、図39(F)が携帯情報端末9201を展開した状態または折り畳んだ状態の一方から他方に変化する途中の状態の斜視図であり、図39(G)が携帯情報端末9201を折り畳んだ状態の斜視図である。携帯情報端末9201は、折り畳んだ状態では可搬性に優れ、展開した状態では、継ぎ目のない広い表示領域により表示の一覧性に優れる。携帯情報端末9201が有する表示部9001は、ヒンジ9055によって連結された3つの筐体9000に支持されている。ヒンジ9055を介して2つの筐体9000間を屈曲させることにより、携帯情報端末9201を展開した状態から折りたたんだ状態に可逆的に変形させることができる。例えば、携帯情報端末9201は、曲率半径1mm以上150mm以下で曲げることができる。

[0510]

また、図40(A)(B)は、複数の表示パネルを有する表示装置の斜視図である。なお、図40(A)は、複数の表示パネルが巻き取られた形態の斜視図であり、図40(B)は、複数の表示パネルが展開された状態の斜視図である。

[0511]

図40(A)(B)に示す表示装置9500は、複数の表示パネル9501と、軸部9511と、軸受部9512と、を有する。また、複数の表示パネル9501は、表示領域9502と、透光性を有する領域9503と、を有する。

[0512]

また、複数の表示パネル9501は、可撓性を有する。また、隣接する2つの表示パネル9501は、それらの一部が互いに重なるように設けられる。例えば、隣接する2つの表示パネル9501の透光性を有する領域9503を重ね合わせることができる。複数の表示パネル9501を用いることで、大画面の表示装置とすることができる。また、使用状況に応じて、表示パネル9501を巻き取ることが可能であるため、汎用性に優れた表示装置とすることができる。

[0513]

また、図40(A)(B)においては、表示領域9502が隣接する表示パネル9501で離間する状態を図示しているが、これに限定されず、例えば、隣接する表示パネル9501の表示領域9502を隙間なく重ねあわせることで、連続した表示領域9502としてもよい。

[0514]

本実施の形態において述べた電子機器は、何らかの情報を表示するための表示部を有することを特徴とする。ただし、本発明の一態様の半導体装置は、表示部を有さない電子機器にも適用することができる。

[0515]

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせる用いることができる。

[実施例1]

[0516]

本実施例においては、本発明の一態様のトランジスタのゲート電極に用いることができる材料について、シート抵抗及びコンタクト抵抗を測定した結果を示す。

[0517]

本実施例で用いた試料の作製方法について、以下説明を行う。試料A 1 及び試料A 2 として、第2 のゲート電極として用いることができる材料で薄膜を形成し、該膜のシート抵抗を測定した。また、試料A 3 乃至試料A 5 として、第1 のゲート電極（ボトムゲート電極、BGEともいう）として用いることができる材料と、第2 のゲート電極（トップゲート電極、TGEともいう）として用いることができる材料とで、積層膜を形成し、該積層膜のコンタクトチェーン抵抗を測定した。なお、本明細書等におけるコンタクトチェーン抵抗とは、導電膜同士のコンタクト構造（コンタクトホール）が1 0 0 個チェーン状に直列に接続した素子（コンタクトチェーン）の抵抗値である。また、試料A 1 乃至A 5 の構造を以下に示す。

[0 5 1 8]

[表 1]

膜	基板	酸化物半導体膜	導電膜
符号	102	112	114
試料A1	ガラス	IGZO(4,2,4.1)	W\Ti
試料A2			-

[0 5 1 9]

[表 2]

膜	基板	導電膜	酸化物半導体膜	導電膜
符号	102	106	112	114
試料A3	ガラス	Ti\Cu	-	W\Ti
試料A4			IGZO(4,2,4.1)	
試料A5				-

[0 5 2 0]

< 試料A 1 乃至A 5 の作製 >

試料A 1 としては、ガラス基板上に酸化物半導体膜 1 1 2 に相当する酸化物半導体膜を形成した。当該酸化物半導体膜としては、厚さが 1 0 nm の酸化物半導体膜を形成した。なお、当該酸化物半導体膜としては、スパッタリング装置を用い、In : Ga : Zn = 4 : 2 : 4. 1 [原子数比] の金属酸化物をスパッタリングターゲットとし、該スパッタリングターゲットに印加する電源としてはAC 電源を用いて形成した。続いて、当該酸化物半導体膜上に、導電膜 1 1 4 に相当する導電膜を形成した。当該導電膜としては、厚さが 5 0 nm のタングステン膜と厚さが 1 0 0 nm のチタン膜を、スパッタリング装置を用いて順次形成した。

[0 5 2 1]

試料A 2 としては、ガラス基板上に酸化物半導体膜 1 1 2 に相当する酸化物半導体膜を形成した。当該酸化物半導体膜としては、厚さが 1 0 0 nm の酸化物半導体膜を形成した。なお、当該酸化物半導体膜としては、スパッタリング装置を用い、In : Ga : Zn = 4 : 2 : 4. 1 [原子数比] の金属酸化物をスパッタリングターゲットとし、該スパッタリングターゲットに印加する電源としてはAC 電源を用いて形成した。

[0 5 2 2]

試料A 3 としては、ガラス基板上に導電膜 1 0 6 に相当する導電膜を形成した。当該導電膜としては、厚さが 1 0 nm のチタン膜と厚さが 2 0 0 nm の銅膜を、スパッタリング装置を用いて順次形成

した。続いて、該導電膜上に絶縁膜を形成し、該絶縁膜上に酸化物半導体膜 1 1 2 に相当する酸化物半導体膜を形成した。当該酸化物半導体膜としては、厚さが 1 0 n m の酸化物半導体膜を形成した。なお、当該酸化物半導体膜としては、スパッタリング装置を用い、 $I n : G a : Z n = 4 : 2 : 4$ 、1 [原子数比] の金属酸化物をスパッタリングターゲットとし、該スパッタリングターゲットに印加する電源としては A C 電源を用いて形成した。続いて、当該絶縁膜及び酸化物半導体膜に開口部 1 4 3 に相当する開口部（コンタクトホール）を形成した。なお、該開口部（コンタクトホール）としては、直径 2 . 5 μm の穴を 1 0 0 個とした。続いて、当該開口部を有する絶縁膜及び酸化物半導体膜上に、導電膜 1 1 4 に相当する導電膜を形成した。当該導電膜としては、厚さが 5 0 n m のタングステン膜と厚さが 1 0 0 n m のチタン膜を、スパッタリング装置を用いて順次形成した。試料 A 3 においては、導電膜 1 0 6 に相当する導電膜と、導電膜 1 1 4 に相当する導電膜とが、開口部（コンタクトホール）において 1 0 0 個が直列に接続する領域を有する構造である。

[0 5 2 3]

試料 A 4 としては、ガラス基板上に導電膜 1 0 6 に相当する導電膜を形成した。当該導電膜としては、厚さが 1 0 n m のチタン膜と厚さが 2 0 0 n m の銅膜を、スパッタリング装置を用いて順次形成した。続いて、該導電膜上に絶縁膜を形成し、該絶縁膜に開口部 1 4 3 に相当する開口部（コンタクトホール）を形成した。なお、該開口部（コンタクトホール）としては、直径 2 . 5 μm の穴を 1 0 0 個とした。続いて、当該開口部を有する絶縁膜上に酸化物半導体膜 1 1 2 に相当する酸化物半導体膜を形成した。当該酸化物半導体膜としては、厚さが 1 0 n m の酸化物半導体膜を形成した。なお、当該酸化物半導体膜としては、スパッタリング装置を用い、 $I n : G a : Z n = 4 : 2 : 4$ 、1 [原子数比] の金属酸化物をスパッタリングターゲットとし、該スパッタリングターゲットに印加する電源としては A C 電源を用いて形成した。続いて、当該酸化物半導体膜上に、導電膜 1 1 4 に相当する導電膜を形成した。当該導電膜としては、厚さが 1 5 n m のタングステン膜と厚さが 1 0 0 n m のチタン膜を、スパッタリング装置を用いて順次形成した。試料 A 4 においては、導電膜 1 0 6 に相当する導電膜と、酸化物半導体膜 1 1 2 に相当する酸化物半導体膜とが、開口部（コンタクトホール）において 1 0 0 個が直列に接続する領域を有する構造である。

[0 5 2 4]

試料 A 5 としては、ガラス基板上に導電膜 1 0 6 に相当する導電膜を形成した。当該導電膜としては、厚さが 1 0 n m のチタン膜と厚さが 2 0 0 n m の銅膜を、スパッタリング装置を用いて順次形成した。続いて、該導電膜上に絶縁膜を形成し、該絶縁膜に開口部 1 4 3 に相当する開口部（コンタクトホール）を形成した。なお、該開口部（コンタクトホール）としては、直径 2 . 5 μm の穴を 1 0 0 個とした。続いて、当該開口部を有する絶縁膜上に酸化物半導体膜 1 1 2 に相当する酸化物半導体膜を形成した。当該酸化物半導体膜としては、厚さが 1 0 0 n m の酸化物半導体膜を形成した。なお、当該酸化物半導体膜としては、スパッタリング装置を用い、 $I n : G a : Z n = 4 : 2 : 4$ 、1 [原子数比] の金属酸化物をスパッタリングターゲットとし、該スパッタリングターゲットに印加する電源としては A C 電源を用いて形成した。試料 A 5 においては、導電膜 1 0 6 に相当する導電膜と、酸化物半導体膜 1 1 2 に相当する導電膜とが、開口部（コンタクトホール）において 1 0 0 個が直列に接続する領域を有する構造である。

[0 5 2 5]

<シート抵抗及びコンタクトチェーン抵抗の測定>

上記作製した試料A 1及び試料A 2のシート抵抗を測定した。測定結果を図4 1に示す。試料A 1及び試料A 2のシート抵抗は、それぞれ $2.41\Omega/\text{sq.}$ 、及び $508\Omega/\text{sq.}$ であった。

[0526]

すなわち、試料A 1は、試料A 2より低いシート抵抗を有する。このように、酸化物半導体膜1 1 2に相当する酸化物半導体膜と、導電膜1 1 4に相当する導電膜とを積層した構造を第2のゲート電極に用いることで、第2のゲート電極のシート抵抗を低減できることが示された。

[0527]

また、上記作製した試料A 3乃至試料A 5におけるコンタクトチェーン抵抗を測定した。測定結果を図4 2に示す。試料A 3、試料A 4、及び試料A 5のコンタクトチェーン抵抗は、それぞれ $3.0\times 10^2\Omega$ 、 $5.6\times 10^7\Omega$ 、及び $1.9\times 10^8\Omega$ であった。

[0528]

すなわち、試料A 3は、試料A 4及び試料A 5より低いコンタクトチェーン抵抗を有する。このように、導電膜1 0 6に相当する導電膜と、導電膜1 1 4に相当する導電膜とが接する領域を有する構造を第1のゲート電極と第2のゲート電極とが接する領域が有することで、第1のゲート電極と第2のゲート電極とのコンタクトチェーン抵抗を低減できることが示された。

[0529]

以上、本実施例に示す構成は、他の実施の形態、または実施例と適宜組み合わせる用いることができる。

[実施例2]

[0530]

本実施例においては、本発明の一態様のトランジスタに相当する試料を作製し、当該トランジスタの電気特性の測定、及び断面形状の観察を行った。

[0531]

本実施例で用いた試料の作製方法について、以下説明を行う。なお、本実施例においては、図3 (A) (B) に示すトランジスタ1 0 0 Bに相当する試料B 1を作製した。なお、以下の説明においては、図3 (A) (B) に示すトランジスタ1 0 0 Bが有する構成と同様の機能を有する構成については、同様の符号を用いて説明する。

[0532]

また、比較として、図4 3 (A) (B) で示すように、第2のゲート電極が導電膜1 1 4を有さない構成のトランジスタ1 0 0 Gに相当する試料B 2も作製した。なお、図4 3 (A) (B) において、図3 (A) (B) に示すトランジスタ1 0 0 Bが有する構成と同様の機能を有する構成については、同様の符号を用いて説明する。

[0533]

<トランジスタの作製方法>

《試料B 1の作製》

試料B 1を作製する基板1 0 2としては、ガラス基板を用いた。基板1 0 2上に導電膜1 0 6を形成した。導電膜1 0 6としては、厚さが1 0 nmの窒化タンタル膜と厚さが1 0 0 nmの銅膜とを、スパッタリング装置を用いて順次形成した。

[0534]

次に、基板102及び導電膜106上に絶縁膜104を形成した。なお、本実施例においては、絶縁膜104として、絶縁膜104__1と、絶縁膜104__2と、絶縁膜104__3と、絶縁膜104__4とを順に、PECVD装置を用いて、真空中で連続して形成した。なお、絶縁膜104__1としては、厚さが50nmの窒化シリコン膜とした。また、絶縁膜104__2としては、厚さが300nmの窒化シリコン膜とした。また、絶縁膜104__3としては、厚さが50nmの窒化シリコン膜とした。また、絶縁膜104__4としては、厚さが50nmの酸化窒化シリコン膜とした。

[0535]

次に、絶縁膜104上に酸化物半導体膜を形成し、当該酸化物半導体膜を島状に加工することで、酸化物半導体膜108を形成した。酸化物半導体膜108としては、厚さが40nmの酸化物半導体膜を形成した。なお、酸化物半導体膜108としては、スパッタリング装置を用い、In:Ga:Zn=4:2:4.1 [原子数比]の金属酸化物をスパッタリングターゲットとし、該スパッタリングターゲットに印加する電源としてはAC電源を用いて形成した。また、酸化物半導体膜108の加工には、ウェットエッチング法を用いた。

[0536]

次に、絶縁膜104及び酸化物半導体膜108上に、後に絶縁膜110となる絶縁膜を形成した。当該絶縁膜としては、厚さが30nmの酸化窒化シリコン膜と、厚さが100nmの酸化窒化シリコン膜と、厚さが20nmの酸化窒化シリコン膜とを、PECVD装置を用いて真空中で連続して形成した。

[0537]

次に、熱処理を行った。当該熱処理としては、窒素と酸素との混合ガス雰囲気の下、350℃で1時間の熱処理とした。

[0538]

次に、該絶縁膜上に、後に酸化物半導体膜112となる酸化物半導体膜を形成した。当該酸化物半導体膜としては、厚さが20nmの酸化物半導体膜を形成した。なお、当該酸化物半導体膜としては、スパッタリング装置を用い、In:Ga:Zn=5:1:7 [原子数比]の金属酸化物をスパッタリングターゲットとし、該スパッタリングターゲットに印加する電源としてはAC電源を用いて形成した。

[0539]

続いて、当該酸化物半導体膜上にマスクを形成し、当該マスクを用いて、該酸化物半導体膜、該酸化物半導体膜の下側に接する絶縁膜、及び絶縁膜104に開口部143を形成した。なお、開口部143の加工にはドライエッチング装置を用いた。

[0540]

次に、後に酸化物半導体膜112となる酸化物半導体膜上に、後に導電膜114となる導電膜を形成した。当該導電膜としては、厚さが15nmのタングステン膜と厚さが100nmのチタン膜を、スパッタリング装置を用いて順次形成した。

[0541]

次に、上記形成した導電膜及び酸化物半導体膜を島状に加工することで、導電膜114及び酸化物半導体膜112を形成した。また、導電膜114及び酸化物半導体膜112を形成後、続けて、酸化物半導体膜112の下側に接する絶縁膜を加工することで、絶縁膜110を形成した。

[0542]

なお、導電膜114及び酸化物半導体膜112の加工には、ウェットエッチング法を用い、絶縁膜110の加工にはドライエッチング法を用いた。

[0543]

次に、絶縁膜104、酸化物半導体膜108、絶縁膜110、酸化物半導体膜112、及び導電膜114上から不純物元素の添加処理を行った。不純物元素の添加処理としては、ドーピング装置を用い、不純物元素としてはアルゴンを用いた。

[0544]

次に、絶縁膜104、酸化物半導体膜108、絶縁膜110、酸化物半導体膜112、導電膜114上に絶縁膜116を形成した。絶縁膜116としては、厚さが100nmの窒化シリコン膜を、PECVD装置を用いて形成した。

[0545]

次に、絶縁膜116上に絶縁膜118を形成した。絶縁膜118としては、厚さが300nmの酸化窒化シリコン膜を、PECVD装置を用いて形成した。

[0546]

次に、絶縁膜118上にマスクを形成し、当該マスクを用いて、絶縁膜116、118に開口部141a、141bを形成した。なお、開口部141a、141bの加工にはドライエッチング装置を用いた。

[0547]

次に、絶縁膜118上に絶縁膜122を形成した。絶縁膜122としては、厚さ1.5 μ mのアクリル系の感光性樹脂を用いた。なお、絶縁膜122としては、開口部141a、141bと重なる領域に開口部を設けた。

[0548]

次に、絶縁膜122上に開口部141a、141bを充填するように、導電膜を形成し、当該導電膜を島状に加工することで、導電膜120s、120dを形成した。

[0549]

導電膜120s、120dとしては、厚さが50nmのマンガンを含む銅膜と、厚さが100nmの銅膜とを、スパッタリング装置を用いて真空中で連続して形成した。

[0550]

以上の工程により、図3(A)(B)に示すトランジスタ100Bに相当する試料B1を作製した。

[0551]

なお、本実施例においては、トランジスタ100Bに相当する試料B1として、チャネル幅Wを50 μ mとし、チャネル幅Lを2.0 μ m、3.0 μ m、及び6.0 μ mとした。なお、各チャネル幅Lのトランジスタを、それぞれ20個ずつ基板上に形成した。

[0552]

《試料B2の作製》

試料B2としては、試料B1と同様に、基板102上に導電膜106、絶縁膜104、及び酸化物半導体膜108を形成した。

[0553]

次に、絶縁膜 104 及び酸化物半導体膜 108 上に、後に絶縁膜 110 となる絶縁膜を形成した。当該絶縁膜としては、厚さが 30 nm の酸化窒化シリコン膜と、厚さが 100 nm の酸化窒化シリコン膜と、厚さが 20 nm の酸化窒化シリコン膜とを、PECVD 装置を用いて真空中で連続して形成した。

[0554]

次に、熱処理を行った。当該熱処理としては、窒素と酸素との混合ガス雰囲気の下、350℃で1時間の熱処理とした。

[0555]

続いて、該絶縁膜上にマスクを形成し、当該マスクを用いて、該絶縁膜、及び絶縁膜 104 に開口部 143 を形成した。なお、開口部 143 の加工にはドライエッチング装置を用いた。

[0556]

次に、該絶縁膜上に後に酸化物半導体膜 112 となる酸化物半導体膜を形成した。当該酸化物半導体膜としては、厚さが 100 nm の酸化物半導体膜を形成した。なお、当該酸化物半導体膜としては、スパッタリング装置を用い、 $\text{In}:\text{Ga}:\text{Zn}=5:1:7$ [原子数比] の金属酸化物をスパッタリングターゲットとし、該スパッタリングターゲットに印加する電源としてはAC電源を用いて形成した。

[0557]

次に、上記形成した酸化物半導体膜を島状に加工することで、酸化物半導体膜 112 を形成した。また、酸化物半導体膜 112 を形成後、続けて、酸化物半導体膜 112 の下側に接する絶縁膜を加工することで、絶縁膜 110 を形成した。

[0558]

なお、酸化物半導体膜 112 の加工には、ウェットエッチング法を用い、絶縁膜 110 の加工にはドライエッチング法を用いた。

[0559]

次に、絶縁膜 104、酸化物半導体膜 108、絶縁膜 110、及び酸化物半導体膜 112 上から不純物元素の添加処理を行った。不純物元素の添加処理としては、ドーピング装置を用い、不純物元素としてはアルゴンを用いた。

[0560]

次に、絶縁膜 104、酸化物半導体膜 108、絶縁膜 110、及び酸化物半導体膜 112 上に絶縁膜 116 を形成した。絶縁膜 116 としては、厚さが 100 nm の窒化シリコン膜を、PECVD 装置を用いて形成した。

[0561]

次に、絶縁膜 116 上に絶縁膜 118 を形成した。絶縁膜 118 としては、厚さが 300 nm の酸化窒化シリコン膜を、PECVD 装置を用いて形成した。

[0562]

次に、絶縁膜 118 上にマスクを形成し、当該マスクを用いて、絶縁膜 116、118 に開口部 141a、141b を形成した。なお、開口部 141a、141b の加工にはドライエッチング装置を用いた。

[0563]

次に、絶縁膜 118 上に絶縁膜 122 を形成した。絶縁膜 122 としては、厚さ $1.5\ \mu\text{m}$ のアクリル系の感光性樹脂を用いた。なお、絶縁膜 122 としては、開口部 141a、141b と重なる領域に開口部を設けた。

[0564]

次に、絶縁膜 122 上に開口部 141a、141b を充填するように、導電膜を形成し、当該導電膜を島状に加工することで、導電膜 120s、120d を形成した。

[0565]

導電膜 120s、120d としては、厚さが $50\ \text{nm}$ のマンガンを含む銅膜と、厚さが $100\ \text{nm}$ の銅膜とを、スパッタリング装置を用いて真空中で連続して形成した。

[0566]

以上の工程により、図 43 (A) (B) に示すトランジスタ 100G に相当する試料 B2 を作製した。

[0567]

なお、本実施例においては、トランジスタ 100G に相当する試料 B2 として、チャネル幅 W を $50\ \mu\text{m}$ とし、チャネル幅 L を $2.0\ \mu\text{m}$ 、 $3.0\ \mu\text{m}$ 、及び $6.0\ \mu\text{m}$ とした。なお、各チャネル幅 L のトランジスタを、それぞれ 20 個ずつ基板上に形成した。

[0568]

<トランジスタの電気特性評価>

図 44 及び図 45 に、本実施例で作製した試料 B1 及び B2 のドレイン電流ーゲート電圧 ($I_d - V_g$) 特性をそれぞれ示す。なお、図 44 が試料 B1 の測定結果であり、図 45 が試料 B2 の測定結果である。

[0569]

また、図 44 (A) 及び図 45 (A) は、チャネル幅 $50\ \mu\text{m}$ 及びチャネル長 $2.0\ \mu\text{m}$ サイズの特性であり、図 44 (B) 及び図 45 (B) は、チャネル幅 $50\ \mu\text{m}$ 及びチャネル長 $3.0\ \mu\text{m}$ サイズの特性であり、図 44 (C) 及び図 45 (C) は、チャネル幅 $50\ \mu\text{m}$ 及びチャネル長 $6.0\ \mu\text{m}$ サイズの特性である。また、図 44 及び図 45 において、第 1 縦軸が I_d (A) を、第 2 縦軸が電界効果移動度 ($\mu_{FE} (\text{cm}^2/\text{Vs})$) を、横軸が V_g (V) を、それぞれ表す。

[0570]

なお、トランジスタの $I_d - V_g$ 特性の測定条件としては、トランジスタの第 1 のゲート電極として機能する導電膜 106 に印加する電圧 (以下、ゲート電圧 (V_g) ともいう)、及び第 2 のゲート電極として機能する酸化物半導体膜 112 及び導電膜 114 に印加する電圧 (V_{bg}) ともいう) としては、 $-15\ \text{V}$ から $+20\ \text{V}$ まで $0.25\ \text{V}$ のステップで印加した。また、ソース電極として機能する導電膜 120s に印加する電圧 (以下、ソース電圧 (V_s) ともいう) を $0\ \text{V} (\text{comm})$ とし、ドレイン電極として機能する導電膜 120d に印加する電圧 (以下、ドレイン電圧 (V_d) ともいう) を、 $1\ \text{V}$ または $10\ \text{V}$ とした。

[0571]

図 44 及び図 45 に示すように、本実施例で作製した試料 B1 及び試料 B2 は、チャネル長 (L) の長さに起因せずに、良好な電気特性であることが示された。

[0572]

<ゲートBT試験における信頼性評価について>

次に、上記作製したチャネル幅 $50\mu\text{m}$ 及びチャネル長 $6.0\mu\text{m}$ サイズの試料B1及び試料B2の信頼性評価を行った。信頼性評価としては、ゲート電極にストレス電圧を印加する、ゲートBT (Bias Temperature) 試験とした。なお、ゲートBT試験としては、以下に示す4つの試験方法とした。

[0573]

《PBTS: Positive Bias Temperature Stress》

ゲート電圧 (V_g) を $+30\text{V}$ とし、ドレイン電圧 (V_d) とソース電圧 (V_s) を 0V (COMMON) とし、ストレス温度を 60°C とし、ストレス印加時間を1時間とし、測定環境をダーク環境で行った。すなわち、トランジスタのソース電極とドレイン電極とを同電位とし、ゲート電極にはソース電極及びドレイン電極とは異なる電位を一定時間印加した。また、ゲート電極に与える電位は、ソース電極及びドレイン電極の電位よりも高い (プラス側に印加)。

[0574]

《NBTS: Negative Bias Temperature Stress》

ゲート電圧 (V_g) を -30V とし、ドレイン電圧 (V_d) とソース電圧 (V_s) を 0V (COMMON) とし、ストレス温度を 60°C とし、ストレス印加時間を1時間とし、測定環境をダーク環境で行った。すなわち、トランジスタのソース電極とドレイン電極とを同電位とし、ゲート電極にはソース電極及びドレイン電極とは異なる電位を一定時間印加した。また、ゲート電極に与える電位は、ソース電極及びドレイン電極の電位よりも低い (マイナス側に印加)。

[0575]

《PBITS: Positive Bias Illumination Temperature Stress》

ゲート電圧 (V_g) を $+30\text{V}$ とし、ドレイン電圧 (V_d) とソース電圧 (V_s) を 0V (COMMON) とし、ストレス温度を 60°C とし、ストレス印加時間を1時間とし、測定環境をフォト環境 (白色LEDにて約 10000Lx)で行った。すなわち、トランジスタのソース電極とドレイン電極とを同電位とし、ゲート電極にはソース電極及びドレイン電極とは異なる電位を一定時間印加した。また、ゲート電極に与える電位は、ソース電極及びドレイン電極の電位よりも高い (プラス側に印加)。

[0576]

《NBITS: Negative Bias Illumination Temperature Stress》

ゲート電圧 (V_g) を -30V とし、ドレイン電圧 (V_d) とソース電圧 (V_s) を 0V (COMMON) とし、ストレス温度を 60°C とし、ストレス印加時間を1時間とし、測定環境をフォト環境 (白色LEDにて約 10000Lx)で行った。すなわち、トランジスタのソース電極とドレイン電極とを同電位とし、ゲート電極にはソース電極及びドレイン電極とは異なる電位を一定時間印加した。また、ゲート電極に与える電位は、ソース電極及びドレイン電極の電位よりも低い (マイナス側に印加)。

[0577]

なお、ゲートBT試験は加速試験の一種であり、長期間の使用によって起こるトランジスタの特性変化を、短時間で評価することができる。特に、ゲートBT試験前後におけるトランジスタのしきい

値電圧の変化量 (ΔV_{th}) は、信頼性を調べるための重要な指標となる。ゲートBT試験前後において、しきい値電圧の変化量 (ΔV_{th}) が小さいほど信頼性が高い。

[0578]

なお、 ΔV_{th} とは、しきい値電圧 (V_{th}) の変化量を示しており、ストレス後の V_{th} からストレス前の V_{th} を差分した値である。

[0579]

試料B1及び試料B2のゲートBT試験結果を図46に示す。

[0580]

図46の結果より、試料B1は試料B2よりNBITS試験の変動が小さいことが分かった。これは、試料B1が導電膜114を有することで、酸化物半導体膜108のチャネル領域に光が照射されることを防いでいるためである。したがって、第2のゲート電極としては、導電膜114を有する構成が好ましい。

[0581]

<光照射時におけるトランジスタの電気特性評価>

次に、上記作製したチャネル長 $6\mu\text{m}$ 及びチャネル幅 $50\mu\text{m}$ サイズの試料B1及び試料B2について、光照射時のトランジスタの電気特性を測定した。トランジスタの電気特性としては、ドレイン電流 (I_d) - ゲート電圧 (V_g) 特性とした。光照射時の電気特性の測定環境としては、ストレス温度を 60°C とし、光照射は白色LEDにて約 10000Lx で行った。

[0582]

試料B1及び試料B2のトランジスタの電気特性を図47及び図48に示す。図47及び図48において、ソース電極 (V_s) を 0V (common) とし、ドレイン電圧 (V_d) を 1V 及び 10V とし、ゲート電圧 (V_g 及び V_{bg}) を -15V から $+15\text{V}$ まで 0.25V 間隔で印加した結果を示している。また、図47及び図48において、縦軸がドレイン電流 (I_d) を、横軸がゲート電圧 (V_g) を、それぞれ表している。また、図47は試料B1の測定結果であり、図48は試料B2の測定結果である。また、図47 (A) 及び図48 (A) に光照射時のトランジスタの電気特性を、図47 (B) 及び図48 (B) に光照射しないときのトランジスタの電気特性を、それぞれ示す。

[0583]

図47及び図48に示す電気特性の結果より、試料B2の光照射時におけるトランジスタの電気特性は、しきい値電圧がマイナスとなる電気特性（ノーマリーオン特性ともいう）となる結果が得られた。一方、試料B1においては光照射時においてもトランジスタの電気特性は、しきい値電圧がプラスとなる電気特性（ノーマリーオフ特性ともいう）となる結果が得られた。すなわち、第2のゲート電極として、導電膜114を有する構成が好ましい。

[0584]

以上のように、本発明の一態様のトランジスタは、光照射時においても電気特性の変動が小さく、消費電力が小さいトランジスタであるといえる。

[0585]

<トランジスタの断面観察>

次に、上記作製したチャネル幅 $50\mu\text{m}$ 及びチャネル長 $2.0\mu\text{m}$ サイズのトランジスタの断面観察を行った。当該トランジスタの断面観察の結果を図49 (A) (B) に示す。なお、断面観察とし

ては、透過型電子顕微鏡（TEM：Transmission Electron Microscope）を用いた。

[0586]

また、図49（A）は試料B1の断面であり、図49（B）は試料B2の断面であり、それぞれ図2（A）に示す一点鎖線X1-X2方向の断面に相当する。なお、図3（A）あるいは、図43（A）に対応する要素には共通の符号を記している。

[0587]

図49（A）（B）に示すように、本実施例で作製した試料B1及び試料B2は、良好な断面形状であった。また、試料B1の第2のゲート電極幅（TGE幅）は $1.70\mu\text{m}$ であった。また、試料B2の第2のゲート電極幅（TGE幅）は $1.75\mu\text{m}$ であった。

[0588]

以上、本実施例に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

[実施例3]

[0589]

本実施例においては、本発明の一態様のトランジスタの第2のゲート電極に用いることができる導電膜について、水素及び酸素の放出量の評価を行った結果を示す。

[0590]

第2のゲート電極に用いることができる導電膜の水素及び酸素の放出量を評価する方法としては、昇温脱離ガス分析法（TDS）を用いた。導電膜のTDS分析において、導電膜が放出する水素分子、及び導電膜下の絶縁膜が放出する酸素分子の放出量を測定し、評価を行った。

[0591]

まず、導電膜の水素の放出量を評価するため、以下の試料C1乃至試料C4を作製した。

[0592]

<試料C1乃至C4の作製>

試料C1としては、ガラス基板上にスパッタリング装置を用いて厚さが 30nm のタングステン膜を形成した。

[0593]

試料C2としては、ガラス基板上にスパッタリング装置を用いて厚さが 30nm のチタン膜を形成した。

[0594]

試料C3としては、ガラス基板上にスパッタリング装置を用いて厚さが 30nm の窒化タンタル膜を形成した。

[0595]

試料C4としては、ガラス基板上にスパッタリング装置を用いて厚さが 30nm の窒化チタン膜を形成した。

[0596]

<TDS分析による水素の放出量の評価1>

上記作製した試料C1乃至試料C4の水素分子の放出量を評価するため、TDS分析を行った。TDS分析結果を図50（A）乃至（D）に示す。

[0597]

図50(A)乃至(D)に示すTDS分析の結果より、各種導電膜が放出する水素分子の量が評価できる。

[0598]

図50(A)(C)及び(D)に示すように、タングステン膜、窒化タンタル膜、及び窒化チタン膜からは、水素の放出がほとんど観測されなかった。一方、図50(B)に示すように、チタン膜からは多くの水素分子の放出が確認された。過剰な水素の放出は、チャネル領域の酸化物半導体膜をn型化させる可能性がある。したがって、導電膜114として用いる材料としては、タングステン、窒化タンタル及び窒化チタンが好ましいといえる。

[0599]

次に、導電膜が透過する水素の量を評価するため、以下の試料C5乃至試料C9を作製した。

[0600]

<試料C5乃至C9の作製>

試料C5としては、ガラス基板上にPECVD装置を用いて厚さが100nmの窒化シリコン膜を形成した。

[0601]

試料C6としては、ガラス基板上にPECVD装置を用いて厚さが100nmの窒化シリコン膜を形成した。続いて、該窒化シリコン膜上に、スパッタリング装置を用いて厚さが30nmのタングステン膜を形成した。

[0602]

試料C7としては、ガラス基板上にPECVD装置を用いて厚さが100nmの窒化シリコン膜を形成した。続いて、該窒化シリコン膜上に、スパッタリング装置を用いて厚さが30nmのチタン膜を形成した。

[0603]

試料C8としては、ガラス基板上にPECVD装置を用いて厚さが100nmの窒化シリコン膜を形成した。続いて、該窒化シリコン膜上に、スパッタリング装置を用いて厚さが30nmの窒化タンタル膜を形成した。

[0604]

試料C9としては、ガラス基板上にPECVD装置を用いて厚さが100nmの窒化シリコン膜を形成した。続いて、該窒化シリコン膜上に、スパッタリング装置を用いて厚さが30nmの窒化チタン膜を形成した。

[0605]

<TDS分析による水素の放出量の評価2>

上記作製した試料C5乃至C9の水素分子の放出量を評価するため、TDS分析を行った。TDS分析結果を図51(A)乃至(D)に示す。

[0606]

図51に示すTDS分析の結果より、各種導電膜下の窒化シリコン膜が放出する水素分子の量が評価できる。すなわち、窒化シリコン膜が放出する水素分子の量が少ない場合、導電膜が該水素をブロックできることが分かる。

[0607]

図51 (A)乃至(D)に示すように、試料C5 (窒化シリコン膜)からは、350℃以上で水素分子の放出が確認された。一方、図51 (A)に示すように、試料C6 (窒化シリコン膜上のタングステン膜)からは、350℃以上480℃以下で水素分子の放出が確認されなかった。すなわち、窒化シリコン膜上にタングステン膜を形成することで、窒化シリコンが放出する水素分子をブロックすることができることが示された。また、図51 (C)(D)に示すように、試料C8 (窒化シリコン膜上の窒化タンタル膜)及び試料C9 (窒化シリコン膜上の窒化チタン膜)からは、350℃以上でも水素分子の放出が少ないことが確認された。すなわち、窒化シリコン膜上に窒化タンタル膜または窒化チタン膜を形成することで、窒化シリコンが放出する水素分子をブロックすることができることが示された。しかしながら、図51 (B)に示すように、試料C7 (窒化シリコン膜上のチタン膜)からは、チタン膜からの水素放出に加えて250℃以上で多くの水素分子の放出が確認された。すなわち、窒化シリコン膜上にタングステン膜、窒化タンタル膜、または窒化チタン膜を形成することで、窒化シリコンが放出する水素分子をブロックすることができることが示された。したがって、導電膜114として用いる材料としては、タングステン、窒化タンタル、及び窒化チタンが好ましいといえる。

[0608]

次に、導電膜が吸収する酸素の量を評価するため、以下の試料C10、及びC11-1乃至試料C14-2を作製した。

[0609]

<試料C10、及びC11-1乃至C14-2の作製>

試料C10としては、ガラス基板上にPECVD装置を用いて厚さが100nmの窒化酸化シリコン膜を形成した。

[0610]

試料C11-1としては、ガラス基板上にPECVD装置を用いて厚さが100nmの窒化酸化シリコン膜を形成した。続いて、該窒化酸化シリコン膜上に、スパッタリング装置を用いてタングステン膜を形成した。続いて、250℃で1時間の熱処理を行った後、ウェットエッチング法を用いてタングステン膜を除去し、窒化酸化シリコン膜を露出させた。

[0611]

試料C11-2としては、ガラス基板上にPECVD装置を用いて厚さが100nmの窒化酸化シリコン膜を形成した。続いて、該窒化酸化シリコン膜上に、スパッタリング装置を用いて厚さが10nmの酸化物半導体膜を形成した。該酸化物半導体膜としては、 $\text{In}:\text{Ga}:\text{Zn}=4:2:4.1$ [原子数比]の金属酸化物をスパッタリングターゲットとし、該スパッタリングターゲットに印加する電源としてはAC電源を用いて形成した。続いて、該酸化物半導体膜上に、スパッタリング装置を用いてタングステン膜を形成した。続いて、250℃で1時間の熱処理を行った後、ウェットエッチング法を用いて酸化物半導体膜及びタングステン膜を除去し、窒化酸化シリコン膜を露出させた。

[0612]

試料C12-1としては、ガラス基板上にPECVD装置を用いて厚さが100nmの窒化酸化シリコン膜を形成した。続いて、該窒化酸化シリコン膜上に、スパッタリング装置を用いてチタン膜を形成した。続いて、250℃で1時間の熱処理を行った後、ウェットエッチング法を用いてチタン膜

を除去し、窒化酸化シリコン膜を露出させた。

[0613]

試料C12-2としては、ガラス基板上にPECVD装置を用いて厚さが100nmの窒化酸化シリコン膜を形成した。続いて、該窒化酸化シリコン膜上に、スパッタリング装置を用いて厚さが10nmの酸化物半導体膜を形成した。該酸化物半導体膜としては、 $\text{In}:\text{Ga}:\text{Zn}=4:2:4.1$ [原子数比]の金属酸化物をスパッタリングターゲットとし、該スパッタリングターゲットに印加する電源としてはAC電源を用いて形成した。続いて、該酸化物半導体膜上に、スパッタリング装置を用いてチタン膜を形成した。続いて、250℃で1時間の熱処理を行った後、ウェットエッチング法を用いて酸化物半導体膜及びチタン膜を除去し、窒化酸化シリコン膜を露出させた。

[0614]

試料C13-1としては、ガラス基板上にPECVD装置を用いて厚さが100nmの窒化酸化シリコン膜を形成した。続いて、該窒化酸化シリコン膜上に、スパッタリング装置を用いて窒化タンタル膜を形成した。続いて、250℃で1時間の熱処理を行った後、ウェットエッチング法を用いて窒化タンタル膜を除去し、窒化酸化シリコン膜を露出させた。

[0615]

試料C13-2としては、ガラス基板上にPECVD装置を用いて厚さが100nmの窒化酸化シリコン膜を形成した。続いて、該窒化酸化シリコン膜上に、スパッタリング装置を用いて厚さが10nmの酸化物半導体膜を形成した。該酸化物半導体膜としては、 $\text{In}:\text{Ga}:\text{Zn}=4:2:4.1$ [原子数比]の金属酸化物をスパッタリングターゲットとし、該スパッタリングターゲットに印加する電源としてはAC電源を用いて形成した。続いて、該酸化物半導体膜上に、スパッタリング装置を用いて窒化タンタル膜を形成した。続いて、250℃で1時間の熱処理を行った後、ウェットエッチング法を用いて酸化物半導体膜及び窒化タンタル膜を除去し、窒化酸化シリコン膜を露出させた。

[0616]

試料C14-1としては、ガラス基板上にPECVD装置を用いて厚さが100nmの窒化酸化シリコン膜を形成した。続いて、該窒化酸化シリコン膜上に、スパッタリング装置を用いて窒化チタン膜を形成した。続いて、250℃で1時間の熱処理を行った後、ウェットエッチング法を用いて窒化チタン膜を除去し、窒化酸化シリコン膜を露出させた。

[0617]

試料C14-2としては、ガラス基板上にPECVD装置を用いて厚さが100nmの窒化酸化シリコン膜を形成した。続いて、該窒化酸化シリコン膜上に、スパッタリング装置を用いて厚さが10nmの酸化物半導体膜を形成した。該酸化物半導体膜としては、 $\text{In}:\text{Ga}:\text{Zn}=4:2:4.1$ [原子数比]の金属酸化物をスパッタリングターゲットとし、該スパッタリングターゲットに印加する電源としてはAC電源を用いて形成した。続いて、該酸化物半導体膜上に、スパッタリング装置を用いて窒化チタン膜を形成した。続いて、250℃で1時間の熱処理を行った後、ウェットエッチング法を用いて酸化物半導体膜及び窒化チタン膜を除去し、窒化酸化シリコン膜を露出させた。

[0618]

<TDS分析による酸素の放出量の評価>

上記作製した試料C10、及び試料C11-1乃至C14-2の酸素分子の放出量を評価するため、TDS分析を行った。TDS分析結果を図52(A)乃至(E)に示す。

[0619]

図52に示すTDS分析の結果より、窒化酸化シリコン膜が放出する酸素分子の量が評価できる。すなわち、窒化酸化シリコン膜が放出する酸素分子の量が少ない場合、窒化酸化シリコン膜が有する酸素を導電膜が吸収したことが分かる。

[0620]

図52(A)に示すように、試料C10(窒化酸化シリコン膜)からは、酸素分子の放出が確認された。また、図52(B)乃至(E)に示すように、窒化酸化シリコン膜上に酸化物半導体膜を形成後に各種導電膜を形成した試料C11-2、試料C12-2、試料C13-2、及び試料C14-2からも、試料C10と同様に、窒化酸化シリコン膜から酸素分子の放出が確認された。一方、窒化酸化シリコン膜上に直接各種導電膜を形成した試料C11-1、試料C12-1、試料C13-1、及び試料C14-1からは、窒化酸化シリコン膜から酸素分子がほとんど確認されなかった。

[0621]

すなわち、窒化酸化シリコン膜上に酸化物半導体膜を形成し、該酸化物半導体膜上に導電膜を形成することで、窒化酸化シリコンが有する酸素を該導電膜が吸収してしまうことを抑制できることが示された。

[0622]

絶縁膜110が酸素を十分に有することで、チャネル領域の酸化物半導体膜に酸素を供給することができ、チャネル領域の酸素欠損を少なくすることができる。すなわち、絶縁膜110に用いる絶縁膜は、酸素放出量が多い方が好ましい。

[0623]

したがって、絶縁膜110上に形成する第2のゲート電極としては、酸化物半導体膜と導電膜とを有する構成が好ましいといえる。

[0624]

以上、本実施例に示す構成は、他の実施の形態、または実施例と適宜組み合わせる用いることができる。

[実施例4]

[0625]

本実施例においては、本発明の一態様のトランジスタの第2のゲート電極に用いることができる導電膜の成膜時における絶縁膜の成膜ダメージについて評価を行った。

[0626]

導電膜の成膜時の絶縁膜の成膜ダメージ評価としては、電子スピン共鳴(Electron Spin Resonance、略称:ESR)測定を用いて行った。

[0627]

本実施例で用いた試料の作製方法について、以下説明を行う。また、試料D1-1乃至試料D6-2の構造を以下に示す。

[0628]

[表3]

膜 符号	基板 102	酸化物半導体膜 108	絶縁膜 110	酸化物半導体膜 112	導電膜 114
試料D1-1	石英	IGZO(4,2,4.1)	SiON	-	-
試料D1-2				IGZO(4,2,4.1)	-
試料D2-1				-	W
試料D2-2				IGZO(4,2,4.1)	W
試料D3-1				-	Ti
試料D3-2				IGZO(4,2,4.1)	Ti
試料D4-1				-	TaN
試料D4-2				IGZO(4,2,4.1)	TaN
試料D5-1				-	TiN
試料D5-2				IGZO(4,2,4.1)	TiN
試料D6-1				-	Cu
試料D6-2				IGZO(4,2,4.1)	Cu

[0629]

＜試料D1-1乃至D6-2の作製＞

試料D1-1及び試料D1-2としては、石英基板上に酸化物半導体膜108に相当する酸化物半導体膜を形成した。当該酸化物半導体膜としては、厚さが40nmの酸化物半導体膜を形成した。なお、当該酸化物半導体膜としては、スパッタリング装置を用い、In:Ga:Zn=4:2:4.1

[原子数比]の金属酸化物をスパッタリングターゲットとし、該スパッタリングターゲットに印加する電源としてはAC電源を用いて形成した。続いて、当該酸化物半導体膜上に、絶縁膜110に相当する絶縁膜を形成した。当該絶縁膜としては、厚さが100nmの酸化窒化シリコン膜を形成した。続いて、当該絶縁膜上に、酸化物半導体膜112に相当する酸化物半導体膜を形成した。当該酸化物半導体膜としては、厚さが10nmの酸化物半導体膜を形成した。なお、当該酸化物半導体膜としては、スパッタリング装置を用い、In:Ga:Zn=4:2:4.1 [原子数比]の金属酸化物をスパッタリングターゲットとし、該スパッタリングターゲットに印加する電源としてはAC電源を用いて形成した。以上の工程で試料D1-2を作製した。また、試料D1-1としては、上記成膜した酸化物半導体膜112に相当する酸化物半導体膜をウェットエッチング法にて除去することで得た。

[0630]

試料D2-1及び試料D2-2としては、試料D1-1及び試料D1-2上に導電膜114に相当する導電膜を形成することで作製した。当該導電膜としては、スパッタリング装置を用いてタングステン膜を形成した。

[0631]

試料D3-1及び試料D3-2としては、試料D1-1及び試料D1-2上に導電膜114に相当する導電膜を形成することで作製した。当該導電膜としては、スパッタリング装置を用いてチタン膜を形成した。

[0632]

試料D4-1及び試料D4-2としては、試料D1-1及び試料D1-2上に導電膜114に相当する導電膜を形成することで作製した。当該導電膜としては、スパッタリング装置を用いて窒化タンタル膜を形成した。

[0633]

試料D 5-1 及び試料D 5-2 としては、試料D 1-1 及び試料D 1-2 上に導電膜1 1 4 に相当する導電膜を形成することで作製した。当該導電膜としては、スパッタリング装置を用いて窒化チタン膜を形成した。

[0 6 3 4]

試料D 6-1 及び試料D 6-2 としては、試料D 1-1 及び試料D 1-2 上に導電膜1 1 4 に相当する導電膜を形成することで作製した。当該導電膜としては、スパッタリング装置を用いて銅膜を形成した。

[0 6 3 5]

<ESR測定>

上記作製した試料D 1-1 乃至D 6-2 についてESR測定を行った。ESR測定は、測定温度を85 Kとし、8.92 GHzの高周波電力（マイクロ波パワー）を10 mWとし、磁場の向きは作製した試料の膜表面と平行とした。なお、 NO_x に起因するシグナルのスピン密度の検出下限は $1.0 \times 10^{16} \text{ spins/cm}^3$ であった。スピン数が小さいほど絶縁膜中欠損が少ないといえる。

[0 6 3 6]

測定したESRシグナルを図5 3に示す。なお、絶縁膜が窒化酸化物（ NO_x ）を有する場合、 NO_x に由来する特徴的な3本線を有するシグナルが観測される場合がある。これらの3本シグナルは、 g 値が2.037以上2.039以下の第1シグナル、 g 値が2.001以上2.003以下の第2のシグナル、及び g 値が1.964以上1.966以下の第3のシグナルとして観測される。これらの3つのシグナルは、 NO_x に起因し、Nの核スピンによる超微細構造を有するシグナルと理解される。また、 NO_x に起因するシグナルは、スピン種が異方性を有するため非対称な波形である。

[0 6 3 7]

試料D 1-1 乃至試料D 6-2 における、 NO_x に起因する3本シグナルのスピン密度の測定結果を図5 4に示す。なお、ここでは、測定されたスピン数を単位体積あたりに換算したスピン密度を示している。

[0 6 3 8]

酸化物半導体膜1 1 2に相当する酸化物を有さず、導電膜として窒化タンタルまたは窒化チタンを有する試料D 4-1 及び試料D 5-1 は、3本シグナルのスピン密度が大きく、欠陥量の多い絶縁膜であることがわかる。これは、窒素を用いた反応性スパッタで導電膜を形成する際に、 NO_x が生成しているためと考えられる。一方、酸化物半導体膜1 1 2に相当する酸化物半導体を有する試料D 1-2、D 2-2、D 3-2、D 4-2、D 5-2、及びD 6-2 は、 NO_x に起因するシグナルのスピン密度が小さく、測定下限以下であった。

[0 6 3 9]

このことから、絶縁膜1 1 0に相当する絶縁膜上に酸化物半導体膜1 1 2に相当する酸化物半導体膜を形成することで、導電膜を形成する際に発生する該絶縁膜のダメージを抑制できることが示された。

[0 6 4 0]

したがって、第2のゲート電極として、酸化物半導体膜1 1 2と導電膜1 1 4とを有する構成が好ましいといえる。

[0 6 4 1]

以上、本実施例に示す構成は、他の実施の形態、または実施例と適宜組み合わせる用いることができる。

[実施例5]

[0642]

本実施例においては、本発明の一態様のトランジスタの第2のゲート電極に用いることができる導電膜について、水素及び酸素の放出量の評価を行った結果を示す。

[0643]

第2のゲート電極に用いることができる導電膜の水素及び酸素の放出量を評価する方法としては、昇温脱離ガス分析法(TDS)を用いた。導電膜のTDS分析において、導電膜が放出する水素分子、及び導電膜下の絶縁膜が放出する酸素分子の放出量を測定し、評価を行った。

[0644]

まず、導電膜の水素の放出量を評価するため、試料E1を作製した。

[0645]

<試料E1の作製>

試料E1としては、ガラス基板上にスパッタリング装置を用いて厚さが50nmの銅膜を形成した。

[0646]

<TDS分析による水素の放出量の評価3>

上記作製した試料E1の水素分子の放出量を評価するため、TDS分析を行った。TDS分析結果を図55に示す。

[0647]

図55に示すTDS分析の結果より、銅膜からは、水素の放出がほとんど観測されなかった。過剰な水素の放出は、チャネル領域の酸化物半導体膜をn型化させる可能性がある。したがって、導電膜114として用いる材料としては、銅が好ましいといえる。

[0648]

次に、導電膜が透過する水素の量を評価するため、以下の試料E2乃至試料E6を作製した。

[0649]

<試料E2乃至E6の作製>

試料E2としては、ガラス基板上にPECVD装置を用いて厚さが100nmの窒化シリコン膜を形成した。

[0650]

試料E3としては、ガラス基板上にPECVD装置を用いて厚さが100nmの窒化シリコン膜を形成した。続いて、該窒化シリコン膜上に、スパッタリング装置を用いて厚さが100nmの銅膜を形成した。

[0651]

試料E4としては、ガラス基板上にPECVD装置を用いて厚さが100nmの窒化シリコン膜を形成した。続いて、該窒化シリコン膜上に、スパッタリング装置を用いて厚さが100nmの銅膜を形成した。続いて、該銅膜上に、スパッタリング装置を用いて厚さが50nmのチタン膜を形成した。

[0652]

試料E5としては、ガラス基板上にPECVD装置を用いて厚さが100nmの窒化シリコン膜を

形成した。続いて、該窒化シリコン膜上に、スパッタリング装置を用いて厚さが100nmの銅膜を形成した。続いて、該銅膜上に、スパッタリング装置を用いて厚さが50nmのタングステン膜を形成した。

[0653]

試料E6としては、ガラス基板上にPECVD装置を用いて厚さが100nmの窒化シリコン膜を形成した。続いて、該窒化シリコン膜上に、スパッタリング装置を用いて厚さが100nmの銅膜を形成した。続いて、該銅膜上に、スパッタリング装置を用いて厚さが50nmの窒化チタン膜を形成した。

[0654]

<TDS分析による水素の放出量の評価4>

上記作製した試料E2乃至E6の水素分子の放出量を評価するため、TDS分析を行った。TDS分析結果を図56及び図57に示す。

[0655]

図56及び図57に示すTDS分析の結果より、各種導電膜下の窒化シリコン膜が放出する水素分子の量が評価できる。すなわち、窒化シリコン膜が放出する水素分子の量が少ない場合、導電膜が該水素をブロックできることが分かる。

[0656]

図56に示すように、試料E2（窒化シリコン膜）からは、250℃以上で水素分子の放出が確認された。一方、試料E3（窒化シリコン膜上の銅膜）からは、350℃程度まで水素分子の放出が確認されなかった。すなわち、窒化シリコン膜上に銅膜を形成することで、窒化シリコンが放出する水素分子をブロックすることができることが示された。

[0657]

また、図57（B）（C）に示すように、試料E5（窒化シリコン膜上の銅膜及びタングステン膜）及び試料E6（窒化シリコン膜上の銅膜及び窒化チタン膜）からは、350℃程度まで水素分子の放出が少ないことが確認された。すなわち、窒化シリコン膜上に銅膜を形成し、該銅膜上にタングステン膜または窒化チタン膜を形成することで、窒化シリコンが放出する水素分子をブロックすることができることが示された。しかしながら、図57（A）に示すように、試料E4（窒化シリコン膜上の銅膜及びチタン膜）からは、チタン膜からの水素放出に加えて250℃以上で多くの水素分子の放出が確認された。すなわち、窒化シリコン膜上に銅膜、タングステン膜、及び窒化チタン膜を形成することで、窒化シリコンが放出する水素分子をブロックすることができることが示された。したがって、導電膜114として用いる材料としては、銅、タングステン、及び窒化チタンが好ましいといえる。

[0658]

以上、本実施例に示す構成は、他の実施の形態、または実施例と適宜組み合わせる用いることができる。

[実施例6]

[0659]

本実施例においては、本発明の一態様のトランジスタに相当する試料を作製し、当該トランジスタの電気特性の測定、及び断面形状の観察を行った。

[0660]

本実施例で用いた試料の作製方法について、以下説明を行う。なお、本実施例においては、図3 (A) (B) に示すトランジスタ100Bに相当する試料F1及び試料F2を作製した。なお、以下の説明においては、図3 (A) (B) に示すトランジスタ100Bが有する構成と同様の機能を有する構成については、同様の符号を用いて説明する。

[0661]

また、比較として、図43 (A) (B) で示すように、第2のゲート電極が導電膜114を有さない構成のトランジスタ100Gに相当する試料F3、及び図58 (A) (B) で示すように、第2のゲート電極が酸化物半導体膜112を有さない構成のトランジスタ100Hに相当する試料F4及び試料F5も作製した。なお、図58 (A) (B) において、図3 (A) (B) に示すトランジスタ100Bが有する構成と同様の機能を有する構成については、同様の符号を用いて説明する。

[0662]

<トランジスタの作製方法>

《試料F1の作製》

試料F1を作製する基板102としては、ガラス基板を用いた。基板102上に導電膜106を形成した。導電膜106としては、厚さが10nmのチタン膜と厚さが100nmの銅膜とを、スパッタリング装置を用いて順次形成した。

[0663]

次に、基板102及び導電膜106上に絶縁膜104を形成した。なお、本実施例においては、絶縁膜104として、絶縁膜104__1と、絶縁膜104__2と、絶縁膜104__3と、絶縁膜104__4とを順に、PECVD装置を用いて、真空中で連続して形成した。なお、絶縁膜104__1としては、厚さが50nmの窒化シリコン膜とした。また、絶縁膜104__2としては、厚さが300nmの窒化シリコン膜とした。また、絶縁膜104__3としては、厚さが50nmの窒化シリコン膜とした。また、絶縁膜104__4としては、厚さが50nmの酸化窒化シリコン膜とした。

[0664]

次に、絶縁膜104上に酸化物半導体膜を形成し、当該酸化物半導体膜を島状に加工することで、酸化物半導体膜108を形成した。酸化物半導体膜108としては、厚さが40nmの酸化物半導体膜を形成した。なお、酸化物半導体膜108としては、スパッタリング装置を用い、In:Ga:Zn=4:2:4.1 [原子数比] の金属酸化物をスパッタリングターゲットとし、該スパッタリングターゲットに印加する電源としてはAC電源を用いて形成した。また、酸化物半導体膜108の加工には、ウェットエッチング法を用いた。

[0665]

次に、絶縁膜104及び酸化物半導体膜108上に、後に絶縁膜110となる絶縁膜を形成した。当該絶縁膜としては、厚さが30nmの酸化窒化シリコン膜と、厚さが50nmの酸化窒化シリコン膜と、厚さが20nmの酸化窒化シリコン膜とを、PECVD装置を用いて真空中で連続して形成した。

[0666]

次に、熱処理を行った。当該熱処理としては、窒素と酸素との混合ガス雰囲気の下、350℃で1時間の熱処理とした。

[0667]

次に、該絶縁膜上に、後に酸化物半導体膜 1 1 2 となる酸化物半導体膜を形成した。当該酸化物半導体膜としては、厚さが 1 0 n m の酸化物半導体膜を形成した。なお、当該酸化物半導体膜としては、スパッタリング装置を用い、 $\text{In} : \text{Ga} : \text{Zn} = 4 : 2 : 4.1$ [原子数比] の金属酸化物をスパッタリングターゲットとし、該スパッタリングターゲットに印加する電源としては A C 電源を用いて形成した。

[0 6 6 8]

続いて、当該酸化物半導体膜上にマスクを形成し、当該マスクを用いて、該酸化物半導体膜、該酸化物半導体膜の下側に接する絶縁膜、及び絶縁膜 1 0 4 に開口部 1 4 3 を形成した。なお、開口部 1 4 3 の加工にはドライエッチング装置を用いた。

[0 6 6 9]

次に、後に酸化物半導体膜 1 1 2 となる酸化物半導体膜上に、後に導電膜 1 1 4 となる導電膜を形成した。当該導電膜としては、厚さが 5 0 n m の窒化チタン膜と厚さが 1 0 0 n m の銅膜を、スパッタリング装置を用いて順次形成した。

[0 6 7 0]

次に、上記形成した導電膜及び酸化物半導体膜を島状に加工することで、導電膜 1 1 4 及び酸化物半導体膜 1 1 2 を形成した。また、導電膜 1 1 4 及び酸化物半導体膜 1 1 2 を形成後、続けて、酸化物半導体膜 1 1 2 の下側に接する絶縁膜を加工することで、絶縁膜 1 1 0 を形成した。

[0 6 7 1]

なお、導電膜 1 1 4 及び酸化物半導体膜 1 1 2 の加工には、ウェットエッチング法を用い、絶縁膜 1 1 0 の加工にはドライエッチング法を用いた。

[0 6 7 2]

次に、絶縁膜 1 0 4、酸化物半導体膜 1 0 8、絶縁膜 1 1 0、酸化物半導体膜 1 1 2、及び導電膜 1 1 4 上から不純物元素の添加処理を行った。不純物元素の添加処理としては、ドーピング装置を用い、不純物元素としてはアルゴン及び窒素を用いた。

[0 6 7 3]

次に、絶縁膜 1 0 4、酸化物半導体膜 1 0 8、絶縁膜 1 1 0、酸化物半導体膜 1 1 2、導電膜 1 1 4 上に絶縁膜 1 1 6 を形成した。絶縁膜 1 1 6 としては、厚さが 1 0 0 n m の窒化シリコン膜を、P E C V D 装置を用いて形成した。

[0 6 7 4]

次に、絶縁膜 1 1 6 上に絶縁膜 1 1 8 を形成した。絶縁膜 1 1 8 としては、厚さが 3 0 0 n m の酸化窒化シリコン膜を、P E C V D 装置を用いて形成した。

[0 6 7 5]

次に、絶縁膜 1 1 8 上にマスクを形成し、当該マスクを用いて、絶縁膜 1 1 6、1 1 8 に開口部 1 4 1 a、1 4 1 b を形成した。なお、開口部 1 4 1 a、1 4 1 b の加工にはドライエッチング装置を用いた。

[0 6 7 6]

次に、絶縁膜 1 1 8 上に絶縁膜 1 2 2 を形成した。絶縁膜 1 2 2 としては、厚さ 1.5 μm のアクリル系の感光性樹脂を用いた。なお、絶縁膜 1 2 2 としては、開口部 1 4 1 a、1 4 1 b と重なる領域に開口部を設けた。

[0677]

次に、絶縁膜122上に開口部141a、141bを充填するように、導電膜を形成し、当該導電膜を島状に加工することで、導電膜120s、120dを形成した。

[0678]

導電膜120s、120dとしては、厚さが10nmのチタン膜と、厚さが100nmの銅膜とを、スパッタリング装置を用いて真空中で連続して形成した。

[0679]

以上の工程により、図3(A)(B)に示すトランジスタ100Bに相当する試料F1を作製した。

[0680]

なお、本実施例においては、トランジスタ100Bに相当する試料F1として、チャネル幅Wを50 μ mとし、チャネル幅Lを1.5 μ m、2.0 μ m、3.0 μ m、及び6.0 μ mとした。なお、各チャネル幅Lのトランジスタを、それぞれ20個ずつ基板上に形成した。

[0681]

《試料F2の作製》

試料F2としては、試料F1と導電膜114を形成する材料のみ異なり、それ以外の工程は試料F1と同様である。

[0682]

試料F2の導電膜114となる導電膜としては、厚さが10nmのチタン膜と厚さが100nmの銅膜を、スパッタリング装置を用いて順次形成した。

[0683]

なお、本実施例においては、トランジスタ100Bに相当する試料F2として、チャネル幅Wを50 μ mとし、チャネル幅Lを1.5 μ m、2.0 μ m、3.0 μ m、及び6.0 μ mとした。なお、各チャネル幅Lのトランジスタを、それぞれ20個ずつ基板上に形成した。

[0684]

《試料F3の作製》

試料F3としては、試料F1と同様に、基板102上に導電膜106、絶縁膜104、及び酸化物半導体膜108を形成した。

[0685]

次に、絶縁膜104及び酸化物半導体膜108上に、後に絶縁膜110となる絶縁膜を形成した。当該絶縁膜としては、厚さが30nmの酸化窒化シリコン膜と、厚さが50nmの酸化窒化シリコン膜と、厚さが20nmの酸化窒化シリコン膜とを、PECVD装置を用いて真空中で連続して形成した。

[0686]

次に、熱処理を行った。当該熱処理としては、窒素と酸素との混合ガス雰囲気の下、350℃で1時間の熱処理とした。

[0687]

続いて、該絶縁膜上にマスクを形成し、当該マスクを用いて、該絶縁膜、及び絶縁膜104に開口部143を形成した。なお、開口部143の加工にはドライエッチング装置を用いた。

[0688]

次に、該絶縁膜上に後に酸化物半導体膜 1 1 2 となる酸化物半導体膜を形成した。当該酸化物半導体膜としては、厚さが 1 0 0 nm の酸化物半導体膜を形成した。なお、当該酸化物半導体膜としては、スパッタリング装置を用い、 $\text{In} : \text{Ga} : \text{Zn} = 4 : 2 : 4.1$ [原子数比] の金属酸化物をスパッタリングターゲットとし、該スパッタリングターゲットに印加する電源としては AC 電源を用いて形成した。

[0 6 8 9]

次に、上記形成した酸化物半導体膜を島状に加工することで、酸化物半導体膜 1 1 2 を形成した。また、酸化物半導体膜 1 1 2 を形成後、続けて、酸化物半導体膜 1 1 2 の下側に接する絶縁膜を加工することで、絶縁膜 1 1 0 を形成した。

[0 6 9 0]

なお、酸化物半導体膜 1 1 2 の加工には、ウェットエッチング法を用い、絶縁膜 1 1 0 の加工にはドライエッチング法を用いた。

[0 6 9 1]

次に、絶縁膜 1 0 4、酸化物半導体膜 1 0 8、絶縁膜 1 1 0、及び酸化物半導体膜 1 1 2 上から不純物元素の添加処理を行った。不純物元素の添加処理としては、ドーピング装置を用い、不純物元素としてはアルゴン及び窒素を用いた。

[0 6 9 2]

次に、絶縁膜 1 0 4、酸化物半導体膜 1 0 8、絶縁膜 1 1 0、及び酸化物半導体膜 1 1 2 上に絶縁膜 1 1 6 を形成した。絶縁膜 1 1 6 としては、厚さが 1 0 0 nm の窒化シリコン膜を、PECVD 装置を用いて形成した。

[0 6 9 3]

次に、絶縁膜 1 1 6 上に絶縁膜 1 1 8 を形成した。絶縁膜 1 1 8 としては、厚さが 3 0 0 nm の酸化窒化シリコン膜を、PECVD 装置を用いて形成した。

[0 6 9 4]

次に、絶縁膜 1 1 8 上にマスクを形成し、当該マスクを用いて、絶縁膜 1 1 6、1 1 8 に開口部 1 4 1 a、1 4 1 b を形成した。なお、開口部 1 4 1 a、1 4 1 b の加工にはドライエッチング装置を用いた。

[0 6 9 5]

次に、絶縁膜 1 1 8 上に絶縁膜 1 2 2 を形成した。絶縁膜 1 2 2 としては、厚さ $1.5 \mu\text{m}$ のアクリル系の感光性樹脂を用いた。なお、絶縁膜 1 2 2 としては、開口部 1 4 1 a、1 4 1 b と重なる領域に開口部を設けた。

[0 6 9 6]

次に、絶縁膜 1 2 2 上に開口部 1 4 1 a、1 4 1 b を充填するように、導電膜を形成し、当該導電膜を島状に加工することで、導電膜 1 2 0 s、1 2 0 d を形成した。

[0 6 9 7]

導電膜 1 2 0 s、1 2 0 d としては、厚さが 1 0 nm のチタン膜と、厚さが 1 0 0 nm の銅膜とを、スパッタリング装置を用いて真空中で連続して形成した。

[0 6 9 8]

以上の工程により、図 4 3 (A) (B) に示すトランジスタ 1 0 0 G に相当する試料 F 3 を作製し

た。

[0699]

なお、本実施例においては、トランジスタ100Gに相当する試料F3として、チャネル幅Wを50 μ mとし、チャネル幅Lを1.5 μ m、2.0 μ m、3.0 μ m、及び6.0 μ mとした。なお、各チャネル幅Lのトランジスタを、それぞれ20個ずつ基板上に形成した。

[0700]

《試料F4の作製》

試料F4としては、試料F1と同様に、基板102上に導電膜106、絶縁膜104、及び酸化物半導体膜108を形成した。

[0701]

次に、絶縁膜104及び酸化物半導体膜108上に、後に絶縁膜110となる絶縁膜を形成した。当該絶縁膜としては、厚さが30nmの酸化窒化シリコン膜と、厚さが50nmの酸化窒化シリコン膜と、厚さが20nmの酸化窒化シリコン膜とを、PECVD装置を用いて真空中で連続して形成した。

[0702]

次に、熱処理を行った。当該熱処理としては、窒素と酸素との混合ガス雰囲気の下、350℃で1時間の熱処理とした。

[0703]

続いて、該絶縁膜上にマスクを形成し、当該マスクを用いて、該絶縁膜、及び絶縁膜104に開口部143を形成した。なお、開口部143の加工にはドライエッチング装置を用いた。

[0704]

次に、該絶縁膜上に後に導電膜114となる導電膜を形成した。当該導電膜としては、厚さが50nmの窒化チタン膜と厚さが100nmの銅膜を、スパッタリング装置を用いて順次形成した。

[0705]

次に、上記形成した導電膜を島状に加工することで、導電膜114を形成した。また、導電膜114を形成後、続けて、導電膜114の下側に接する絶縁膜を加工することで、絶縁膜110を形成した。

[0706]

なお、導電膜114の加工には、ウェットエッチング法を用い、絶縁膜110の加工にはドライエッチング法を用いた。

[0707]

次に、絶縁膜104、酸化物半導体膜108、絶縁膜110、及び導電膜114上から不純物元素の添加処理を行った。不純物元素の添加処理としては、ドーピング装置を用い、不純物元素としてはアルゴン及び窒素を用いた。

[0708]

次に、絶縁膜104、酸化物半導体膜108、絶縁膜110、及び導電膜114上に絶縁膜116を形成した。絶縁膜116としては、厚さが100nmの窒化シリコン膜を、PECVD装置を用いて形成した。

[0709]

次に、絶縁膜 116 上に絶縁膜 118 を形成した。絶縁膜 118 としては、厚さが 300 nm の酸化窒化シリコン膜を、PECVD 装置を用いて形成した。

[0710]

次に、絶縁膜 118 上にマスクを形成し、当該マスクを用いて、絶縁膜 116、118 に開口部 141a、141b を形成した。なお、開口部 141a、141b の加工にはドライエッチング装置を用いた。

[0711]

次に、絶縁膜 118 上に絶縁膜 122 を形成した。絶縁膜 122 としては、厚さ 1.5 μm のアクリル系の感光性樹脂を用いた。なお、絶縁膜 122 としては、開口部 141a、141b と重なる領域に開口部を設けた。

[0712]

次に、絶縁膜 122 上に開口部 141a、141b を充填するように、導電膜を形成し、当該導電膜を島状に加工することで、導電膜 120s、120d を形成した。

[0713]

導電膜 120s、120d としては、厚さが 10 nm のチタン膜と、厚さが 100 nm の銅膜とを、スパッタリング装置を用いて真空中で連続して形成した。

[0714]

以上の工程により、図 58 (A) (B) に示すトランジスタ 100H に相当する試料 F4 を作製した。

[0715]

なお、本実施例においては、トランジスタ 100H に相当する試料 F4 として、チャネル幅 W を 50 μm とし、チャネル幅 L を 1.5 μm 、2.0 μm 、3.0 μm 、及び 6.0 μm とした。なお、各チャネル幅 L のトランジスタを、それぞれ 20 個ずつ基板上に形成した。

[0716]

《試料 F5 の作製》

試料 F5 としては、試料 F3 と導電膜 114 を形成する材料のみ異なり、それ以外の工程は試料 F4 と同様である。

[0717]

試料 F5 の導電膜 114 となる導電膜としては、厚さが 10 nm のチタン膜と厚さが 100 nm の銅膜を、スパッタリング装置を用いて順次形成した。

[0718]

なお、本実施例においては、トランジスタ 100H に相当する試料 F5 として、チャネル幅 W を 50 μm とし、チャネル幅 L を 1.5 μm 、2.0 μm 、3.0 μm 、及び 6.0 μm とした。なお、各チャネル幅 L のトランジスタを、それぞれ 20 個ずつ基板上に形成した。

[0719]

<トランジスタの電気特性評価>

図 59 乃至図 63 に、本実施例で作製した試料 F1 乃至 F5 のドレイン電流ーゲート電圧 ($I_d - V_g$) 特性をそれぞれ示す。なお、図 59 が試料 F1 の測定結果であり、図 60 が試料 F2 の測定結果であり、図 61 が試料 F3 の測定結果であり、図 62 が試料 F4 の測定結果であり、図 63 が試料

F 5 の測定結果である。

[0720]

また、図59 (A)、図60 (A)、図61 (A)、図62 (A)、及び図63 (A) は、チャネル幅 $50\mu\text{m}$ 及びチャネル長 $1.5\mu\text{m}$ サイズの特性であり、図59 (B)、図60 (B)、図61 (B)、図62 (B)、及び図63 (B) は、チャネル幅 $50\mu\text{m}$ 及びチャネル長 $2.0\mu\text{m}$ サイズの特性であり、図59 (C)、図60 (C)、図61 (C)、図62 (C)、及び図63 (C) は、チャネル幅 $50\mu\text{m}$ 及びチャネル長 $3.0\mu\text{m}$ サイズの特性であり、図59 (D)、図60 (D)、図61 (D)、図62 (D)、及び図63 (D) は、チャネル幅 $50\mu\text{m}$ 及びチャネル長 $6.0\mu\text{m}$ サイズの特性である。また、図59乃至図63において、第1縦軸が I_d (A) を、第2縦軸が電界効果移動度 (μ_{FE} (cm^2/Vs)) を、横軸が V_g (V) を、それぞれ表す。

[0721]

なお、トランジスタの I_d-V_g 特性の測定条件としては、トランジスタの第1のゲート電極として機能する導電膜106に印加する電圧 (以下、ゲート電圧 (V_g) ともいう)、及び第2のゲート電極として機能する酸化半導体膜112及び導電膜114に印加する電圧 (V_{bg}) ともいう) としては、 -1.5V から $+2.0\text{V}$ まで 0.25V のステップで印加した。また、ソース電極として機能する導電膜120sに印加する電圧 (以下、ソース電圧 (V_s) ともいう) を 0V (common) とし、ドレイン電極として機能する導電膜120dに印加する電圧 (以下、ドレイン電圧 (V_d) ともいう) を、 1V または 10V とした。

[0722]

図59乃至図63に示すように、本実施例で作製した試料F1乃至試料F3は、チャネル長 (L) の長さに起因せずに、良好な電気特性であることが示された。一方、試料4及び試料F5は、チャネル長が短い $1.5\mu\text{m}$ 及び $2\mu\text{m}$ でバラツキが大きく、しきい値電圧がマイナスとなる電気特性 (ノーマリーオン特性ともいう) となる結果が得られた。したがって、第2のゲート電極として酸化半導体膜112を有する本発明の一態様の構造が好ましいといえる。

[0723]

<ゲートBT試験における信頼性評価について>

次に、上記作製したチャネル幅 $50\mu\text{m}$ 及びチャネル長 $3.0\mu\text{m}$ サイズの試料F1乃至F3の信頼性評価を行った。信頼性評価としては、ゲート電極にストレス電圧を印加する、ゲートBT (Bias Temperature) 試験とした。なお、ゲートBT試験としては、以下に示す4つの試験方法とした。

[0724]

《PBTS: Positive Bias Temperature Stress》

ゲート電圧 (V_g) を $+2.0\text{V}$ とし、ドレイン電圧 (V_d) とソース電圧 (V_s) を 0V (COMMON) とし、ストレス温度を 60°C とし、ストレス印加時間を1時間とし、測定環境をダーク環境で行った。すなわち、トランジスタのソース電極とドレイン電極とを同電位とし、ゲート電極にはソース電極及びドレイン電極とは異なる電位を一定時間印加した。また、ゲート電極に与える電位は、ソース電極及びドレイン電極の電位よりも高い (プラス側に印加)。

[0725]

《NBTS: Negative Bias Temperature Stress》

ゲート電圧 (V_g) を -20 V とし、ドレイン電圧 (V_d) とソース電圧 (V_s) を 0 V (COMMON) とし、ストレス温度を 60°C とし、ストレス印加時間を 1 時間とし、測定環境をダーク環境で行った。すなわち、トランジスタのソース電極とドレイン電極とを同電位とし、ゲート電極にはソース電極及びドレイン電極とは異なる電位を一定時間印加した。また、ゲート電極に与える電位は、ソース電極及びドレイン電極の電位よりも低い (マイナス側に印加)。

[0726]

《PBITS: Positive Bias Illumination Temperature Stress》

ゲート電圧 (V_g) を $+20\text{ V}$ とし、ドレイン電圧 (V_d) とソース電圧 (V_s) を 0 V (COMMON) とし、ストレス温度を 60°C とし、ストレス印加時間を 1 時間とし、測定環境をフォト環境 (白色 LED にて約 10000 Lx) で行った。すなわち、トランジスタのソース電極とドレイン電極とを同電位とし、ゲート電極にはソース電極及びドレイン電極とは異なる電位を一定時間印加した。また、ゲート電極に与える電位は、ソース電極及びドレイン電極の電位よりも高い (プラス側に印加)。

[0727]

《NBITS: Negative Bias Illumination Temperature Stress》

ゲート電圧 (V_g) を -20 V とし、ドレイン電圧 (V_d) とソース電圧 (V_s) を 0 V (COMMON) とし、ストレス温度を 60°C とし、ストレス印加時間を 1 時間とし、測定環境をフォト環境 (白色 LED にて約 10000 Lx) で行った。すなわち、トランジスタのソース電極とドレイン電極とを同電位とし、ゲート電極にはソース電極及びドレイン電極とは異なる電位を一定時間印加した。また、ゲート電極に与える電位は、ソース電極及びドレイン電極の電位よりも低い (マイナス側に印加)。

[0728]

なお、ゲート BT 試験は加速試験の一種であり、長期間の使用によって起こるトランジスタの特性変化を、短時間で評価することができる。特に、ゲート BT 試験前後におけるトランジスタのしきい値電圧の変化量 (ΔV_{th}) は、信頼性を調べるための重要な指標となる。ゲート BT 試験前後において、しきい値電圧の変化量 (ΔV_{th}) が小さいほど信頼性が高い。

[0729]

なお、 ΔV_{th} とは、しきい値電圧 (V_{th}) の変化量を示しており、ストレス後の V_{th} からストレス前の V_{th} を差分した値である。

[0730]

試料 F 1 乃至試料 F 3 のゲート BT 試験結果を図 6 4 に示す。

[0731]

図 6 4 の結果より、試料 F 1 乃至試料 F 3 は各種ゲート BT 試験の変動が小さいことが分かった。

[0732]

<光照射時におけるトランジスタの電気特性評価>

次に、上記作製したチャネル長 $3\text{ }\mu\text{m}$ 及びチャネル幅 $50\text{ }\mu\text{m}$ サイズの試料 F 1 乃至試料 F 3 について、光照射時のトランジスタの電気特性を測定した。トランジスタの電気特性としては、ドレイン電流 (I_d) - ゲート電圧 (V_g) 特性とした。光照射は白色 LED にて約 10000 Lx で行った。

[0733]

試料F1乃至試料F3のトランジスタの電気特性を図65及び図67に示す。図65乃至図67において、ソース電極(V_s)を0V(c o m m)とし、ドレイン電圧(V_d)を1V及び10Vとし、ゲート電圧(V_g及びV_{b g})を-15Vから+15Vまで0.25V間隔で印加した結果を示している。また、図65乃至図67において、縦軸がドレイン電流(I_d)を、横軸がゲート電圧(V_g)を、それぞれ表している。また、図65は試料F1の測定結果であり、図66は試料F2の測定結果であり、図67は試料F3の測定結果である。また、図65(A)、図66(A)、及び図67(A)に光照射時のトランジスタの電気特性を、図65(B)、図66(B)、及び図67(B)に光照射しないときのトランジスタの電気特性を、それぞれ示す。

[0734]

図67に示すように、試料F3の光照射時におけるトランジスタの電気特性は、しきい値電圧がマイナスとなる電気特性(ノーマリーオン特性ともいう)となる結果が得られた。一方、図65及び図66に示すように、試料F1及びF2においては光照射時においてもトランジスタの電気特性は、しきい値電圧がプラスとなる電気特性(ノーマリーオフ特性ともいう)となる結果が得られた。すなわち、第2のゲート電極として、酸化物半導体膜112及び導電膜114を有する本発明の一態様の構成が好ましい。

[0735]

以上のように、本発明の一態様のトランジスタは、光照射時においても電気特性の変動が小さく、消費電力が小さいトランジスタである。

[0736]

以上、本実施例に示す構成は、他の実施の形態、または他の実施例に示す構成と適宜組み合わせて用いることができる。

[符号の説明]

[0737]

100 トランジスタ
100A トランジスタ
100B トランジスタ
100C トランジスタ
100D トランジスタ
100E トランジスタ
100F トランジスタ
100G トランジスタ
100H トランジスタ
102 基板
104 絶縁膜
104__1 絶縁膜
104__2 絶縁膜
104__3 絶縁膜
104__4 絶縁膜

1 0 6 導電膜
1 0 7 酸化物半導体膜
1 0 8 酸化物半導体膜
1 0 8__1 酸化物半導体膜
1 0 8__2 酸化物半導体膜
1 0 8__3 酸化物半導体膜
1 0 8 d ドレイン領域
1 0 8 f 領域
1 0 8 i チャネル領域
1 0 8 s ソース領域
1 1 0 絶縁膜
1 1 0__0 絶縁膜
1 1 2 酸化物半導体膜
1 1 2__0 酸化物半導体膜
1 1 4 導電膜
1 1 4__0 導電膜
1 1 6 絶縁膜
1 1 8 絶縁膜
1 2 0 導電膜
1 2 0 d 導電膜
1 2 0 s 導電膜
1 2 2 絶縁膜
1 4 0 マスク
1 4 1 a 開口部
1 4 1 b 開口部
1 4 1 d 開口部
1 4 1 s 開口部
1 4 3 開口部
1 4 5 不純物元素
1 4 7 中空領域
5 0 1 画素回路
5 0 2 画素部
5 0 4 駆動回路部
5 0 4 a ゲートドライバ
5 0 4 b ソースドライバ
5 0 6 保護回路
5 0 7 端子部
5 5 0 トランジスタ
5 5 2 トランジスタ

5 5 4	トランジスタ
5 6 0	容量素子
5 6 2	容量素子
5 7 0	液晶素子
5 7 2	発光素子
6 6 4	電極
6 6 5	電極
6 6 7	電極
7 0 0	表示装置
7 0 1	基板
7 0 2	画素部
7 0 4	ソースドライバ回路部
7 0 5	基板
7 0 6	ゲートドライバ回路部
7 0 8	F P C端子部
7 1 0	信号線
7 1 1	配線部
7 1 2	シール材
7 1 6	F P C
7 3 0	絶縁膜
7 3 2	封止膜
7 3 4	絶縁膜
7 3 6	着色膜
7 3 8	遮光膜
7 5 0	トランジスタ
7 5 2	トランジスタ
7 6 0	接続電極
7 7 0	平坦化絶縁膜
7 7 2	導電膜
7 7 3	絶縁膜
7 7 4	導電膜
7 7 5	液晶素子
7 7 6	液晶層
7 7 8	構造体
7 8 0	異方性導電膜
7 8 2	発光素子
7 8 4	導電膜
7 8 6	E L層
7 8 8	導電膜

7 9 0 容量素子
7 9 1 タッチパネル
7 9 2 絶縁膜
7 9 3 電極
7 9 4 電極
7 9 5 絶縁膜
7 9 6 電極
7 9 7 絶縁膜
8 0 0 インバータ
8 1 0 O S トランジスタ
8 2 0 O S トランジスタ
8 3 1 信号波形
8 3 2 信号波形
8 4 0 破線
8 4 1 実線
8 5 0 O S トランジスタ
8 6 0 C M O S インバータ
9 0 0 半導体装置
9 0 1 電源回路
9 0 2 回路
9 0 3 電圧生成回路
9 0 3 A 電圧生成回路
9 0 3 B 電圧生成回路
9 0 3 C 電圧生成回路
9 0 4 回路
9 0 5 電圧生成回路
9 0 6 回路
9 1 1 トランジスタ
9 1 2 トランジスタ
9 1 2 A トランジスタ
9 1 2 B トランジスタ
9 2 1 制御回路
9 2 2 トランジスタ
7 0 0 0 表示モジュール
7 0 0 1 上部カバー
7 0 0 2 下部カバー
7 0 0 3 F P C
7 0 0 4 タッチパネル
7 0 0 5 F P C

7 0 0 6	表示パネル
7 0 0 7	バックライト
7 0 0 8	光源
7 0 0 9	フレーム
7 0 1 0	プリント基板
7 0 1 1	バッテリー
8 0 0 0	カメラ
8 0 0 1	筐体
8 0 0 2	表示部
8 0 0 3	操作ボタン
8 0 0 4	シャッターボタン
8 0 0 6	レンズ
8 1 0 0	ファインダー
8 1 0 1	筐体
8 1 0 2	表示部
8 1 0 3	ボタン
8 2 0 0	ヘッドマウントディスプレイ
8 2 0 1	装着部
8 2 0 2	レンズ
8 2 0 3	本体
8 2 0 4	表示部
8 2 0 5	ケーブル
8 2 0 6	バッテリー
8 3 0 0	ヘッドマウントディスプレイ
8 3 0 1	筐体
8 3 0 2	表示部
8 3 0 4	固定具
8 3 0 5	レンズ
9 0 0 0	筐体
9 0 0 1	表示部
9 0 0 3	スピーカ
9 0 0 5	操作キー
9 0 0 6	接続端子
9 0 0 7	センサ
9 0 0 8	マイクロフォン
9 0 5 0	操作ボタン
9 0 5 1	情報
9 0 5 2	情報
9 0 5 3	情報

9 0 5 4	情報
9 0 5 5	ヒンジ
9 1 0 0	テレビジョン装置
9 1 0 1	携帯情報端末
9 1 0 2	携帯情報端末
9 2 0 0	携帯情報端末
9 2 0 1	携帯情報端末
9 5 0 0	表示装置
9 5 0 1	表示パネル
9 5 0 2	表示領域
9 5 0 3	領域
9 5 1 1	軸部
9 5 1 2	軸受部

請求の範囲

[請求項 1]

トランジスタを有し、
前記トランジスタは、
第 1 の導電膜と、
前記第 1 の導電膜上の第 1 の絶縁膜と、
前記第 1 の絶縁膜を間に挟んで前記第 1 の導電膜と重なる領域を有する、第 1 の酸化物半導体膜と、
前記第 1 の酸化物半導体膜上の第 2 の絶縁膜と、
前記第 2 の絶縁膜を間に挟んで前記第 1 の酸化物半導体膜と重なる領域を有する、第 2 の酸化物半導体膜と、
前記第 2 の酸化物半導体膜上の第 2 の導電膜と、
前記第 1 の酸化物半導体膜上、前記第 2 の酸化物半導体膜上、及び前記第 2 の導電膜上の第 3 の絶縁膜と、を有し、
前記第 1 の酸化物半導体膜は、前記第 2 の絶縁膜と接するチャネル領域と、前記第 3 の絶縁膜と接するソース領域と、前記第 3 の絶縁膜と接するドレイン領域と、を有し、
前記第 2 の酸化物半導体膜は、前記チャネル領域よりキャリア密度が高い領域を有し、
前記第 2 の導電膜は、前記第 1 の導電膜と接する領域を有する、
ことを特徴とする半導体装置。

[請求項 2]

請求項 1 において、
前記トランジスタは、さらに、第 3 の導電膜と、第 4 の導電膜と、を有し、
前記第 3 の導電膜は、前記第 3 の絶縁膜に設けられた第 1 の開口部を介して、前記ソース領域において前記第 1 の酸化物半導体膜に電氣的に接続する領域を有し、
前記第 4 の導電膜は、前記第 3 の絶縁膜に設けられた第 2 の開口部を介して、前記ドレイン領域において前記第 1 の酸化物半導体膜に電氣的に接続する領域を有する、
ことを特徴とする半導体装置。

[請求項 3]

トランジスタを有し、
前記トランジスタは、
第 1 の導電膜と、
前記第 1 の導電膜上の第 1 の絶縁膜と、
前記第 1 の絶縁膜を間に挟んで前記第 1 の導電膜と重なる領域を有する、第 1 の酸化物半導体膜と、
前記第 1 の酸化物半導体膜上の第 2 の絶縁膜と、
前記第 2 の絶縁膜を間に挟んで前記第 1 の酸化物半導体膜と重なる領域を有する、第 2 の酸化物半導体膜と、
前記第 2 の酸化物半導体膜上の第 2 の導電膜と、
前記第 1 の酸化物半導体膜上、前記第 2 の酸化物半導体膜上、及び前記第 2 の導電膜上の第 3 の絶縁膜と、を有し、
前記第 1 の酸化物半導体膜は、前記第 2 の絶縁膜と接するチャネル領域と、前記第 3 の絶縁膜と接

するソース領域と、前記第3の絶縁膜と接するドレイン領域と、を有し、

前記第2の酸化物半導体膜は、前記チャネル領域よりキャリア密度が高い領域を有し、
前記第1の絶縁膜、前記第2の絶縁膜、及び前記第2の酸化物半導体膜は、開口部を有し、
前記第2の導電膜は、前記開口部において、前記第1の導電膜と接する領域を有する、
ことを特徴とする半導体装置。

[請求項4]

請求項3において、

前記開口部は、第1の開口部であり、

前記トランジスタは、さらに、第3の導電膜と、第4の導電膜と、を有し、

前記第3の導電膜は、前記第3の絶縁膜に設けられた第2の開口部を介して、前記ソース領域において前記第1の酸化物半導体膜に電氣的に接続する領域を有し、

前記第4の導電膜は、前記第3の絶縁膜に設けられた第3の開口部を介して、前記ドレイン領域において前記第1の酸化物半導体膜に電氣的に接続する領域を有する、

ことを特徴とする半導体装置。

[請求項5]

請求項1又は請求項3において、

前記第2の導電膜は、遮光性を有する、

ことを特徴とする半導体装置。

[請求項6]

請求項1又は請求項3において、

前記第2の導電膜のシート抵抗が、 $10\Omega/\text{sq.}$ 以下である、

ことを特徴とする半導体装置。

[請求項7]

請求項1又は請求項3において、

前記第2の酸化物半導体膜は、In、Zn、およびM（Mは、Al、Ga、Y、またはSn）を有し、

前記第2の酸化物半導体膜は、前記Inの含有量が、前記Mの含有量以上である領域を有する、

ことを特徴とする半導体装置。

[請求項8]

請求項1又は請求項3において、

前記第1の酸化物半導体膜は、In、Zn、およびM（Mは、Al、Ga、Y、またはSn）を有し、

前記第1の酸化物半導体膜は、前記Inの含有量が、前記Mの含有量以上である領域を有する、

ことを特徴とする半導体装置。

[請求項9]

請求項1又は請求項3において、

前記第3の絶縁膜は、窒素および水素の少なくとも一方を有する、

ことを特徴とする半導体装置。

[請求項10]

請求項 1 乃至請求項 9 のいずれか一項において、
前記第 1 の酸化物半導体膜は、結晶部を有し、
前記結晶部は、c 軸配向性を有する、
ことを特徴とする半導体装置。

[請求項 1 1]

請求項 1 又は請求項 3 に記載の半導体装置と、
表示素子と、
を有することを特徴とする表示装置。

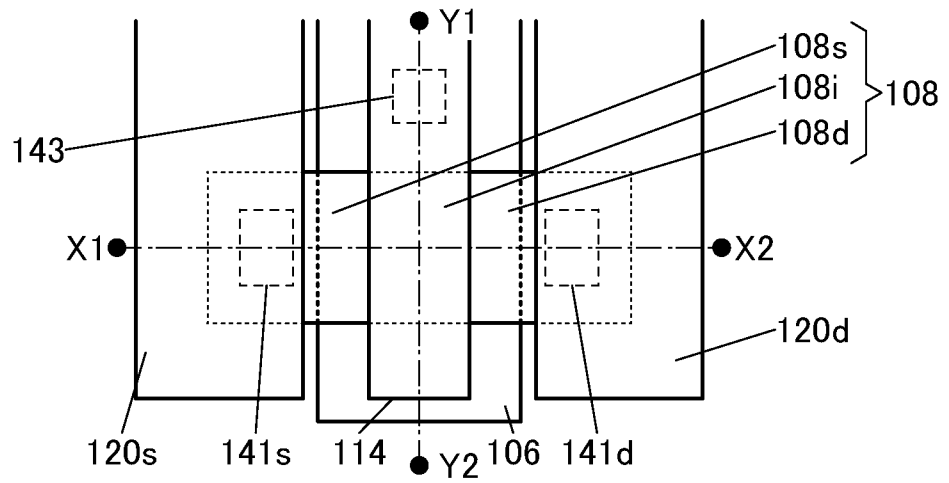
[請求項 1 2]

請求項 1 又は請求項 3 に記載の半導体装置と、
センサと、を有する、
ことを特徴とする電子機器。

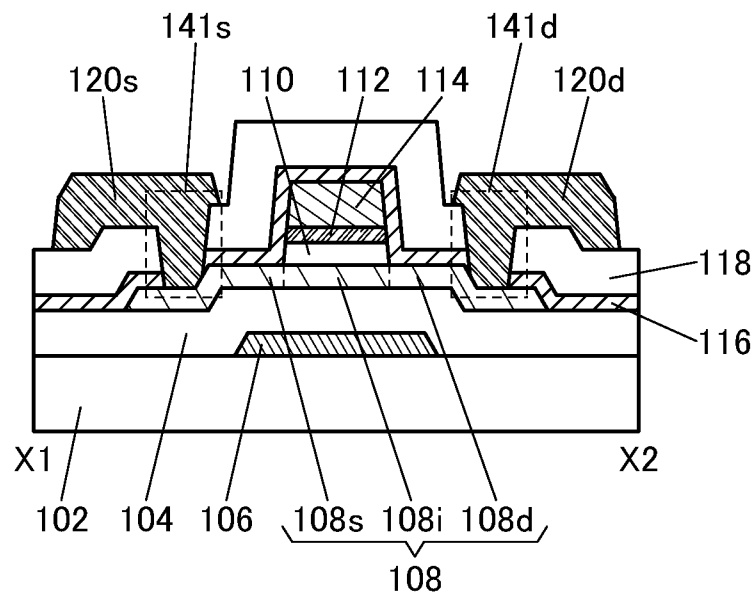
[図 1]

(A)

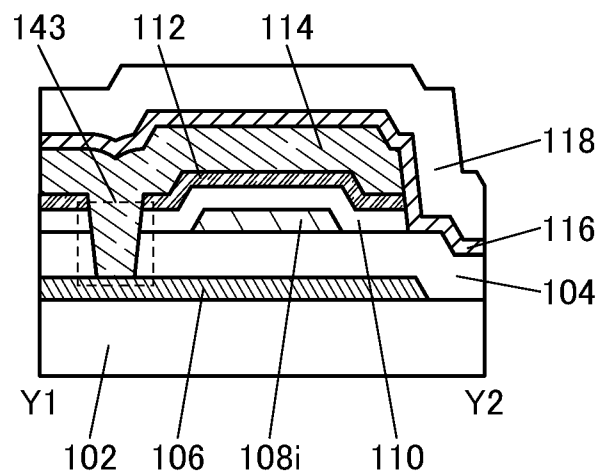
100



(B)

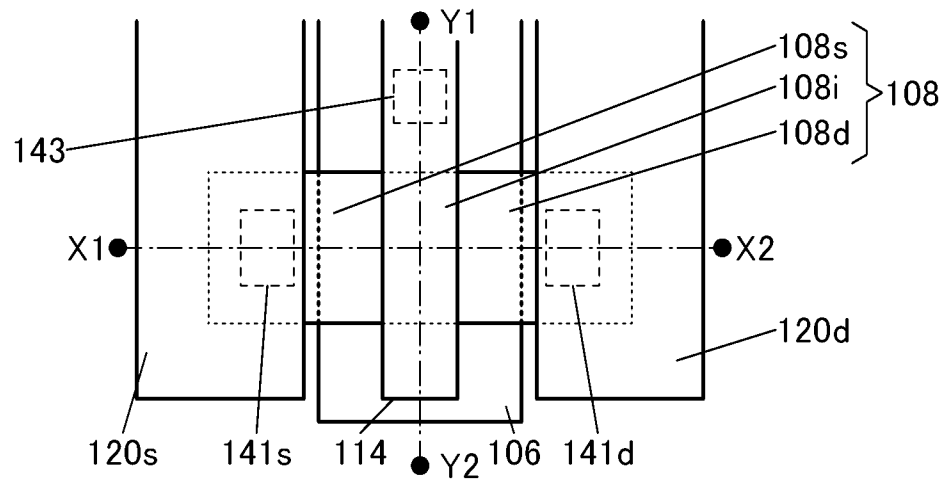


(C)

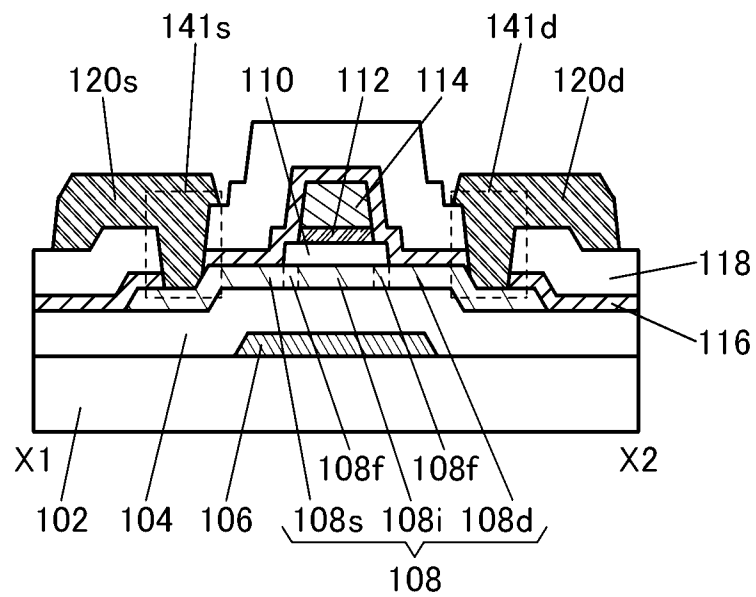


[図 2]

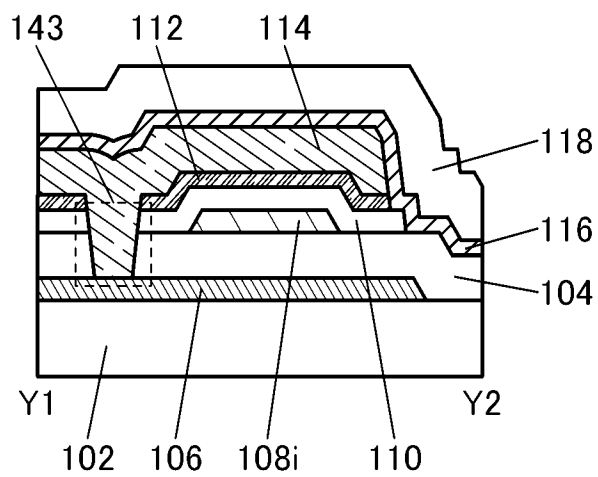
(A)

100A

(B)

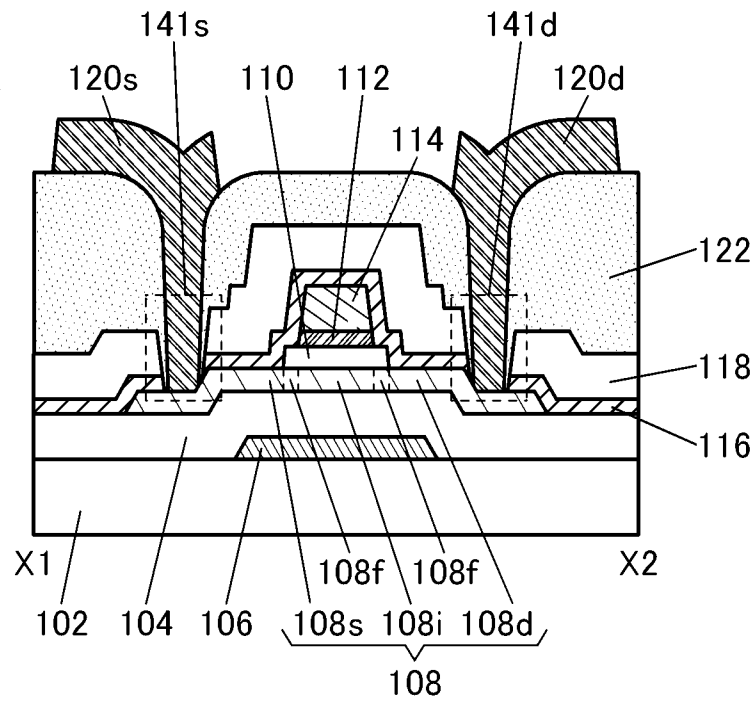


(C)

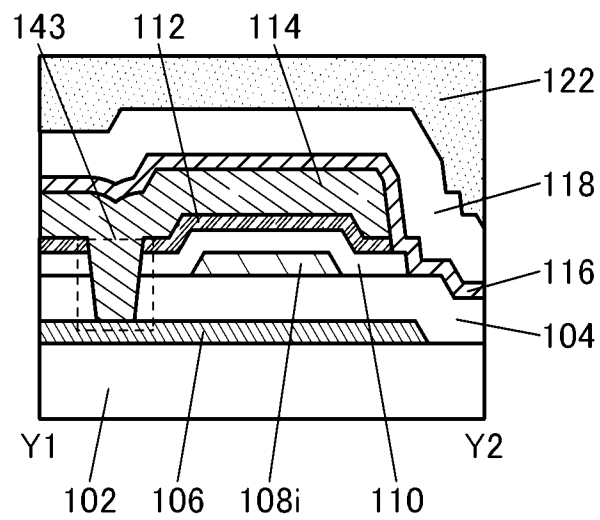


[図 3]

(A)

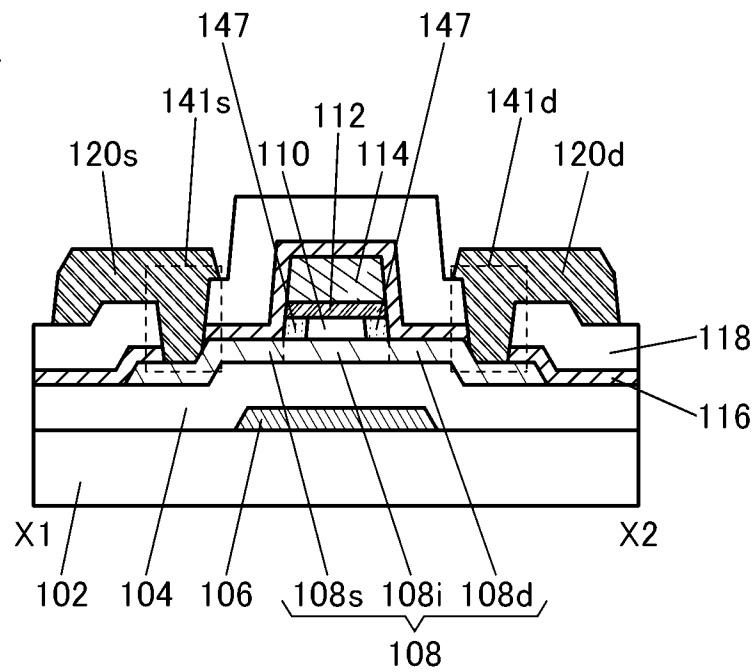
100B

(B)

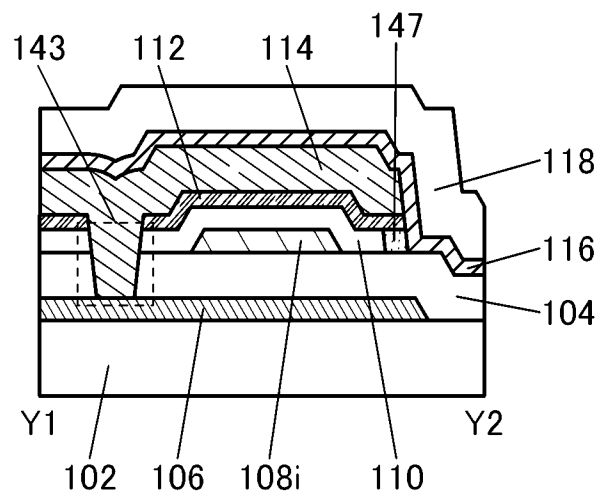


[図 4]

(A)

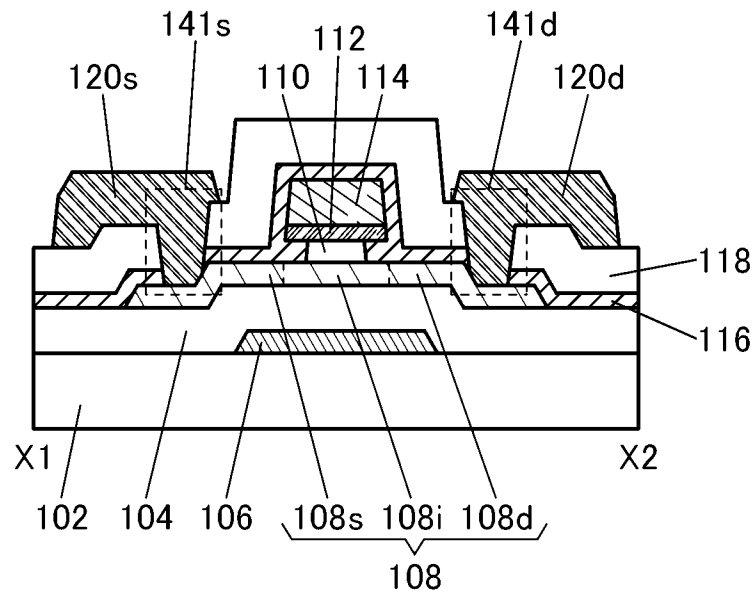
100C

(B)

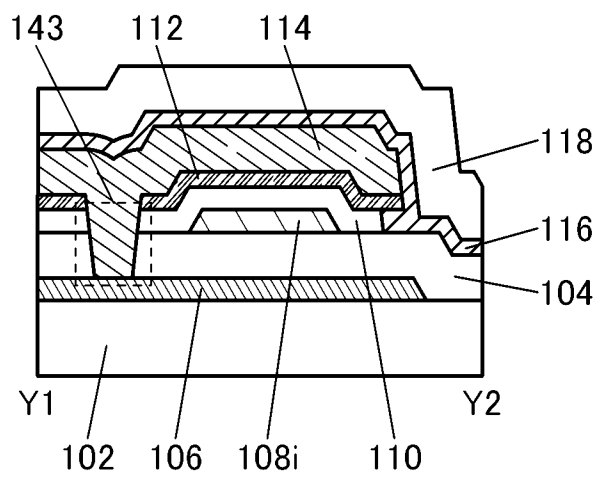


[図 5]

(A)

100D

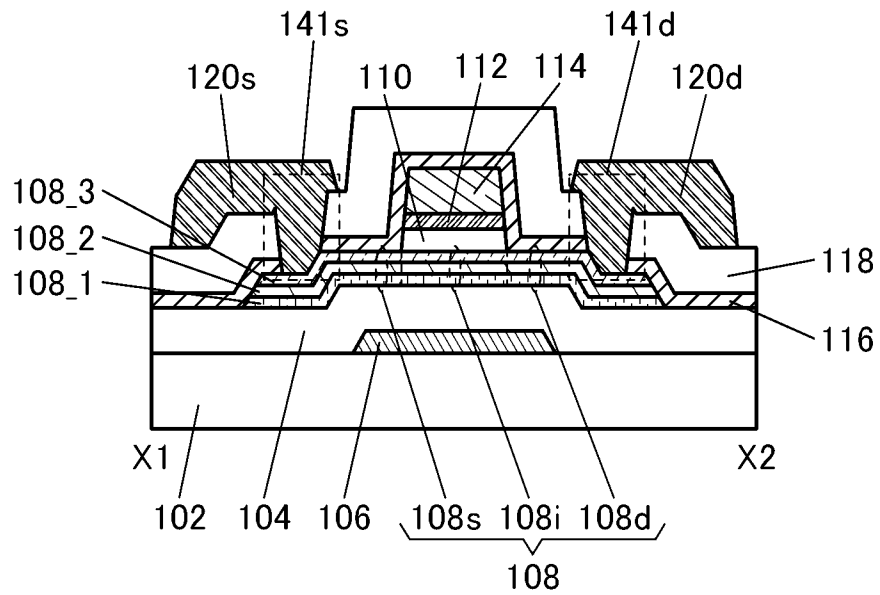
(B)



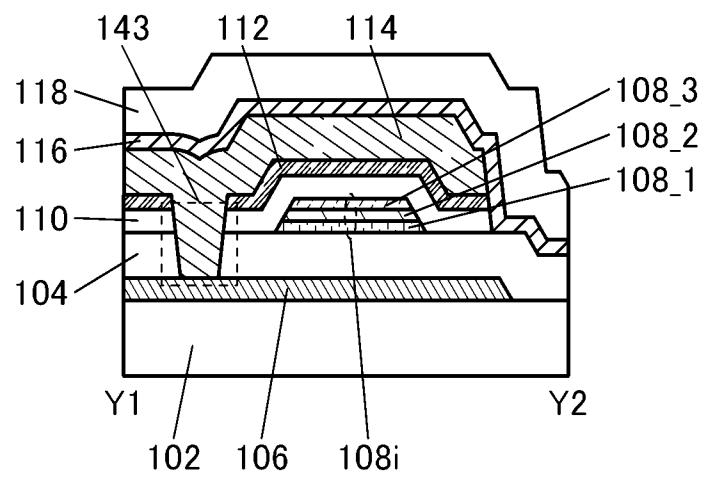
[図 6]

(A)

100E

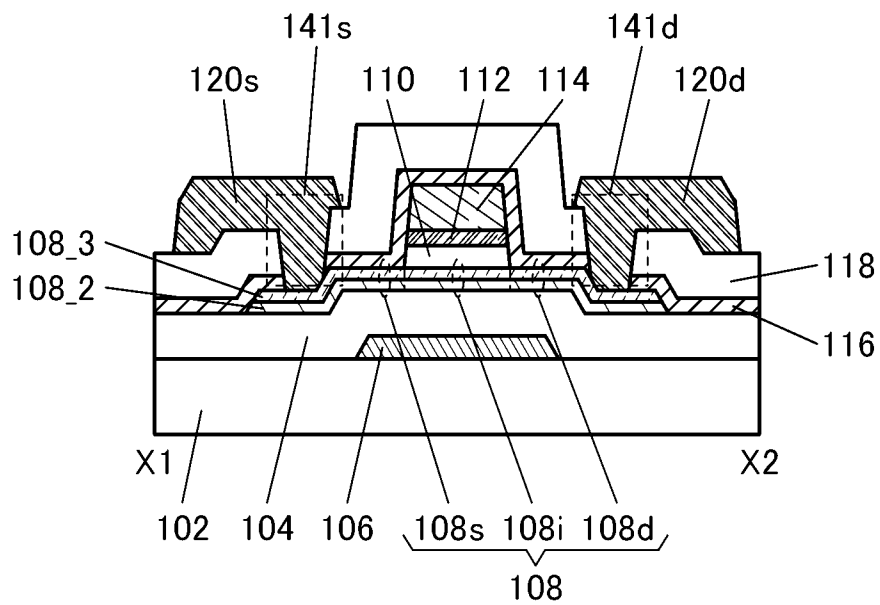


(B)

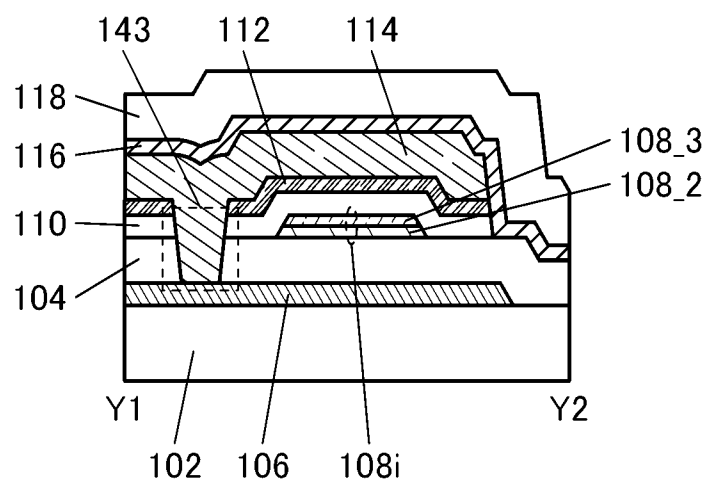


[図 7]

(A)

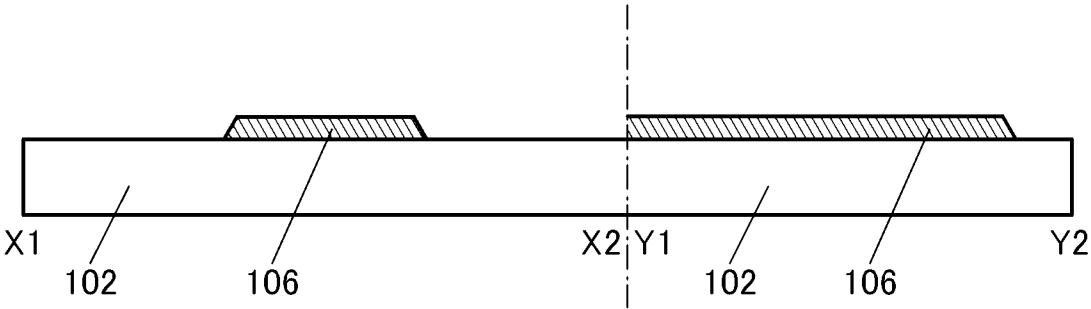
100F

(B)

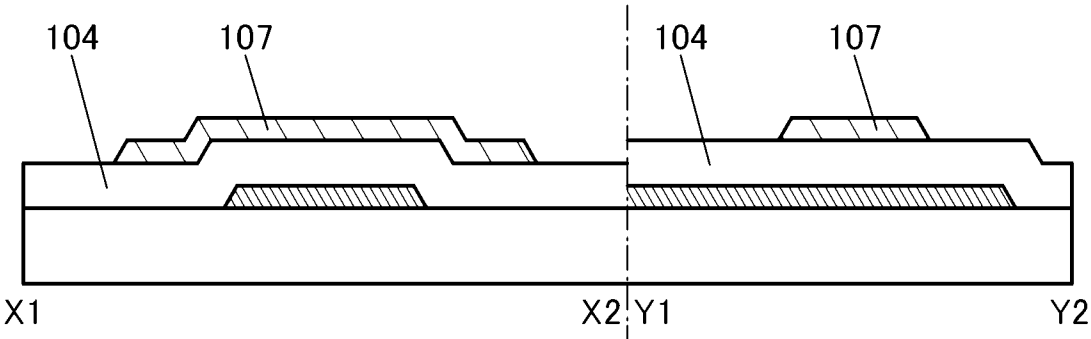


[図 8]

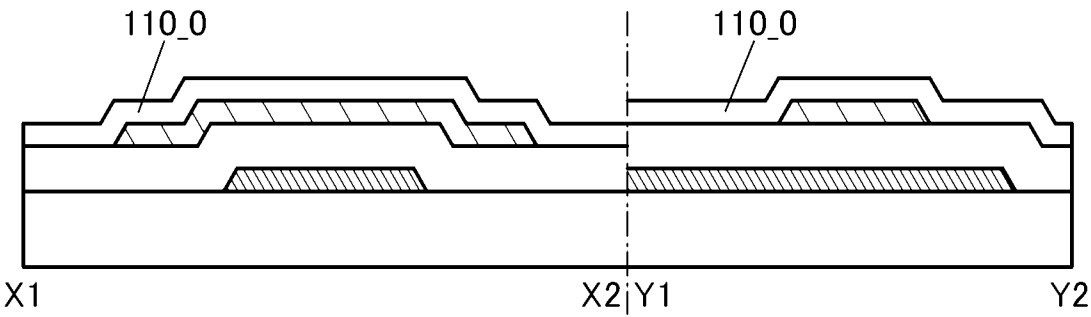
(A)



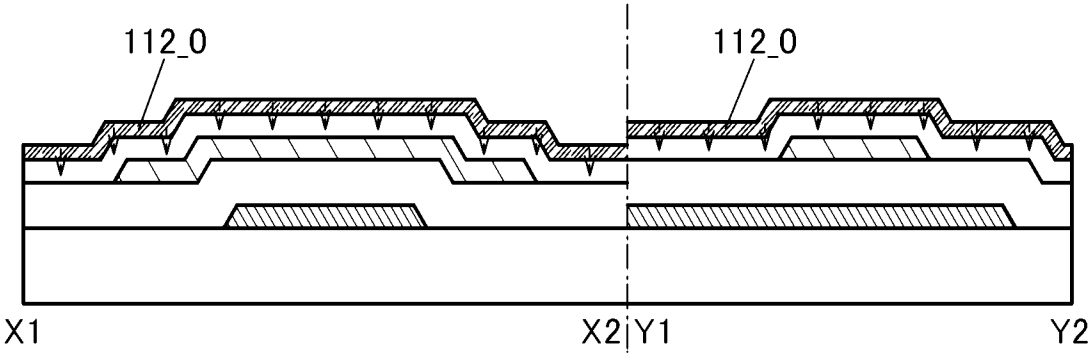
(B)



(C)

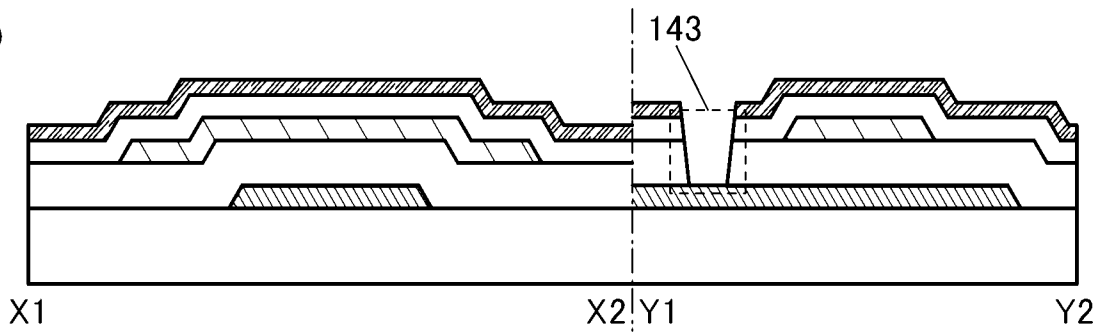


(D)

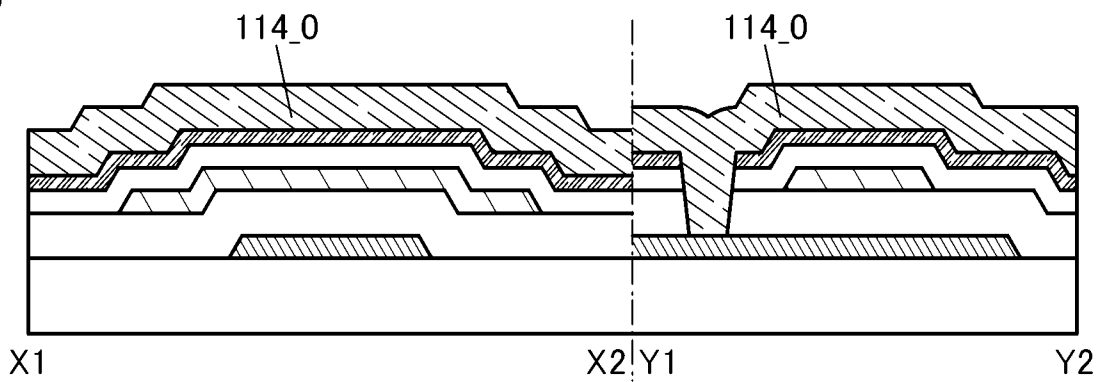


[図 9]

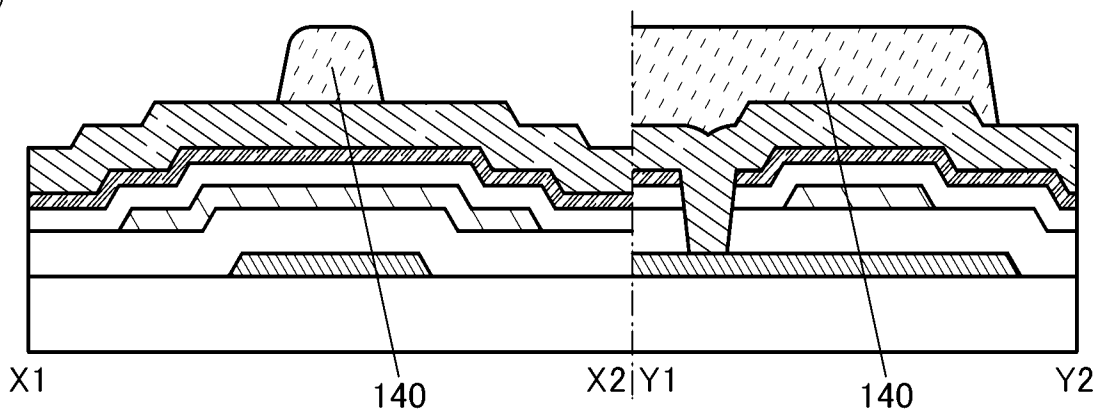
(A)



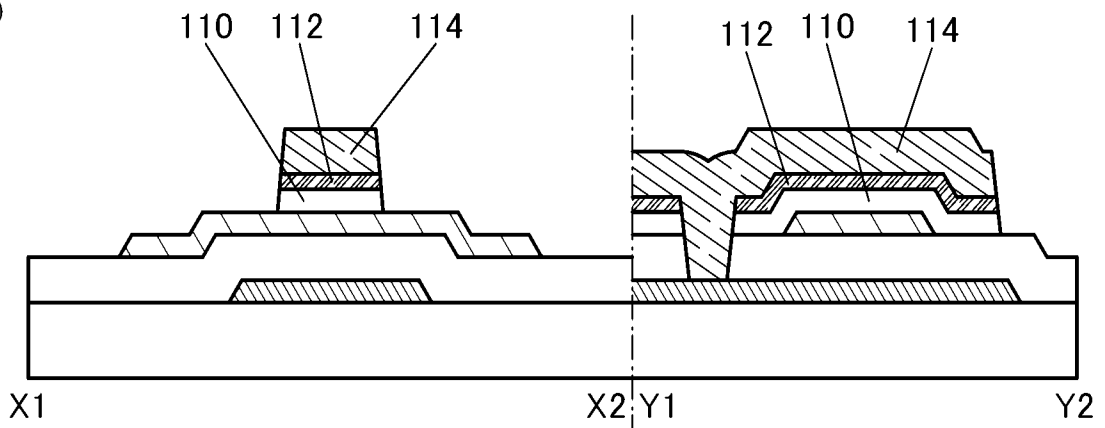
(B)



(C)

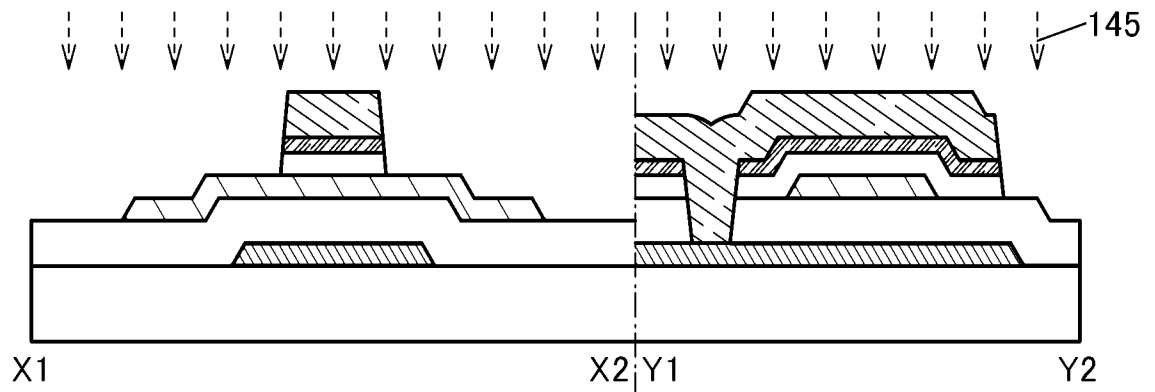


(D)

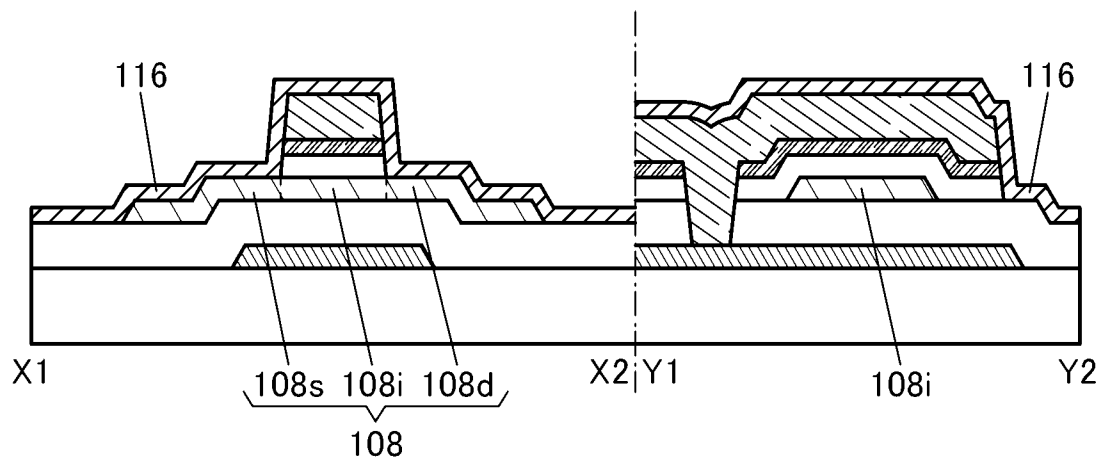


[図10]

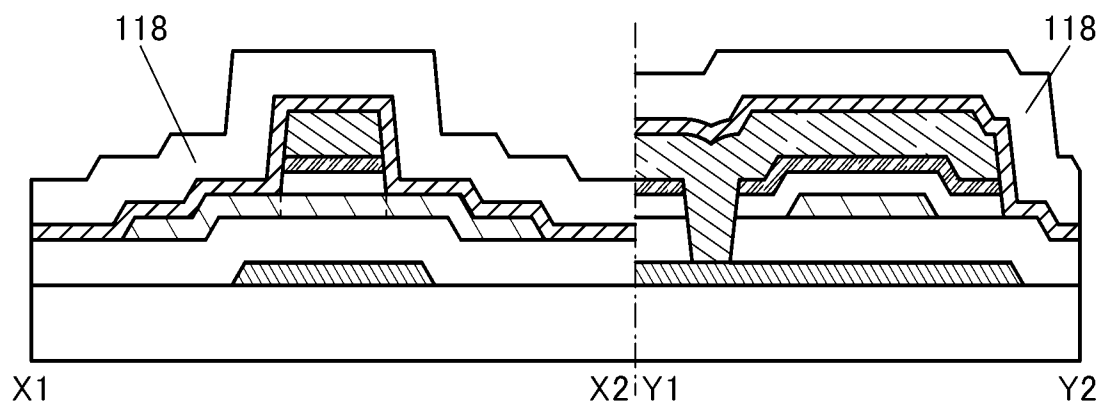
(A)



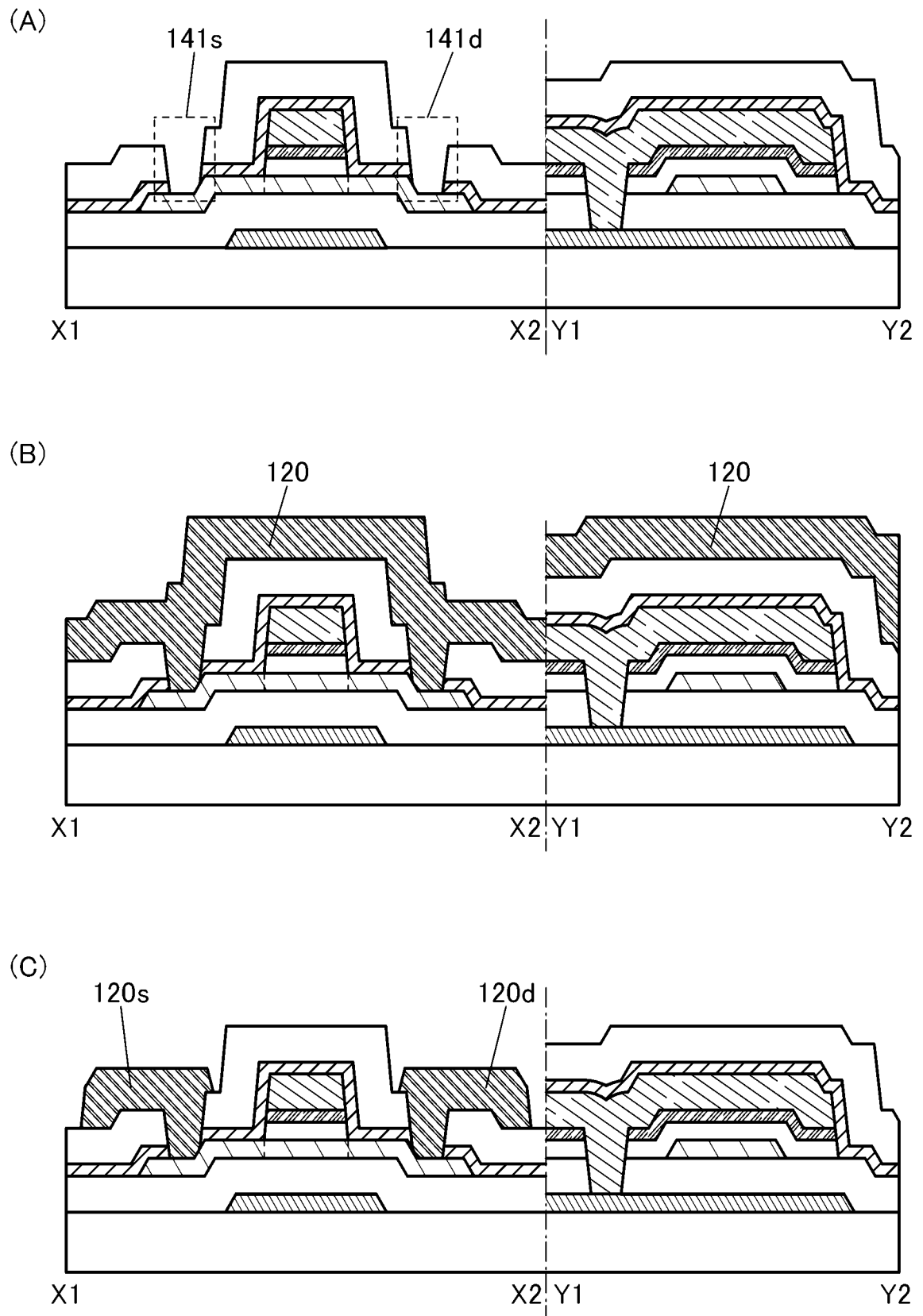
(B)



(C)

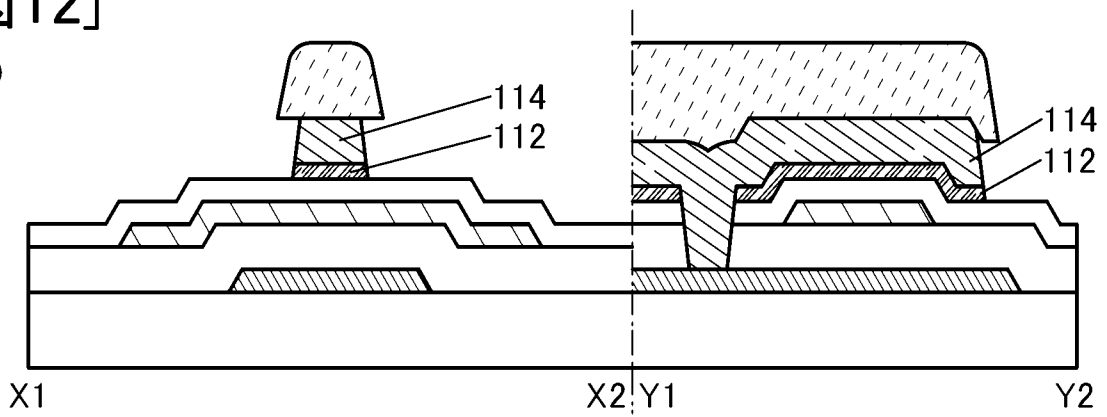


[図 11]

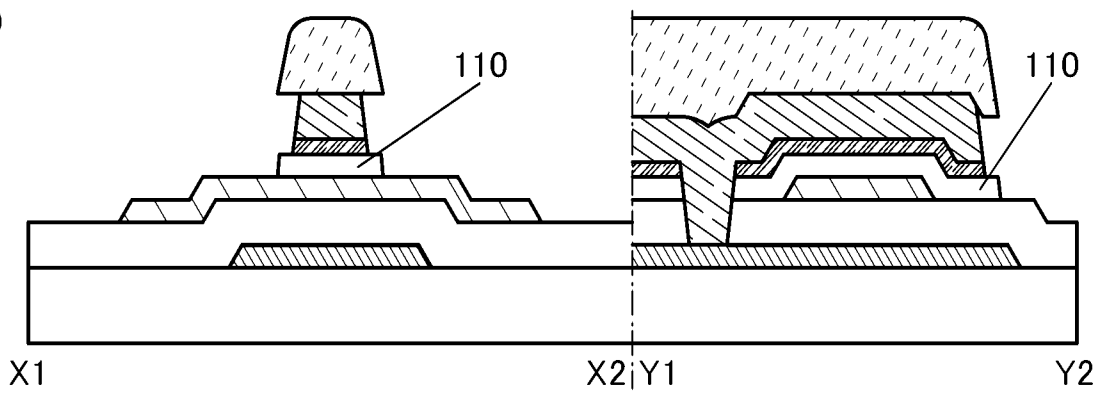


[図12]

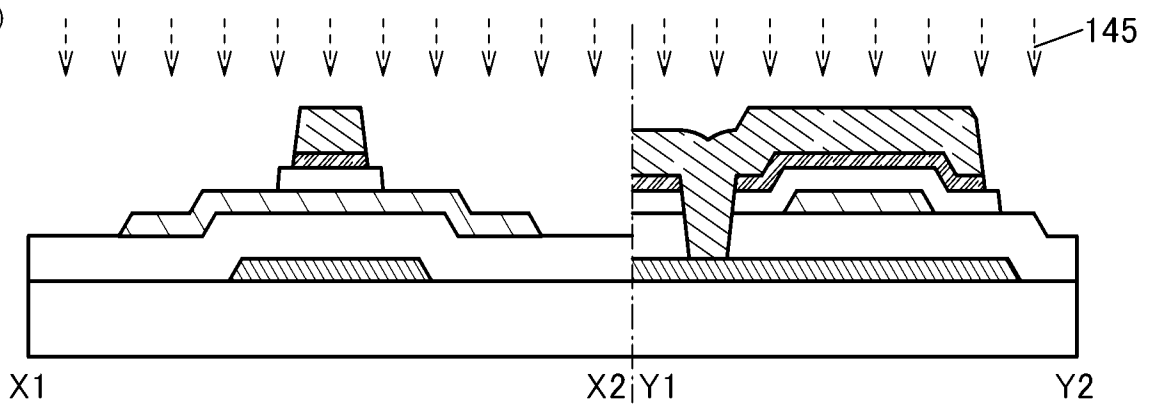
(A)



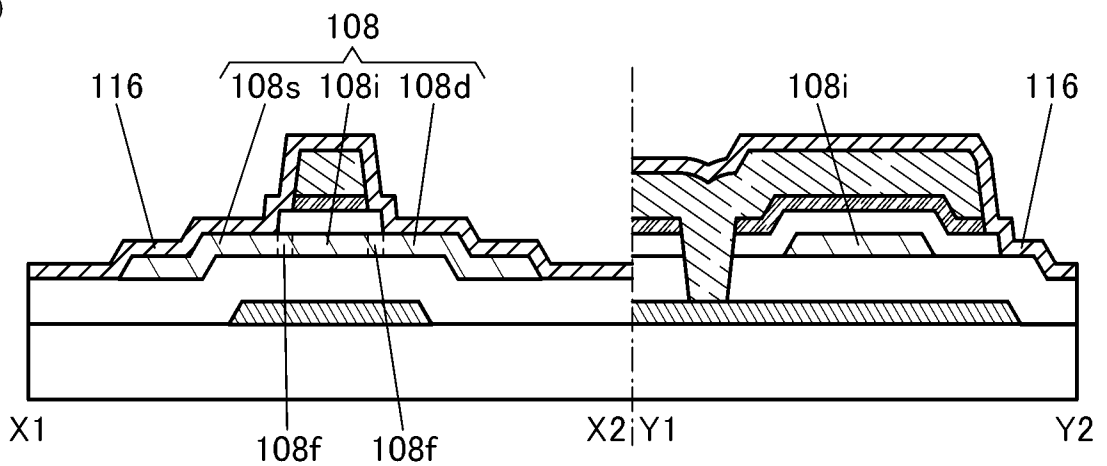
(B)



(C)

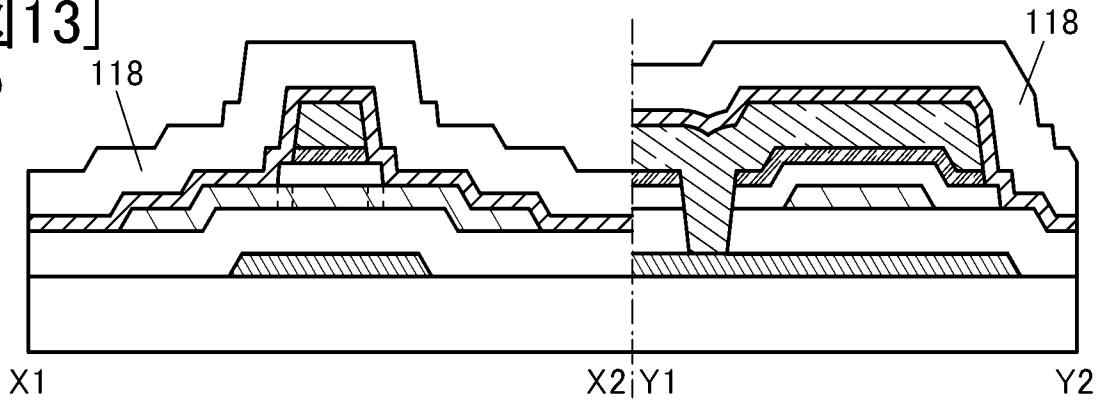


(D)

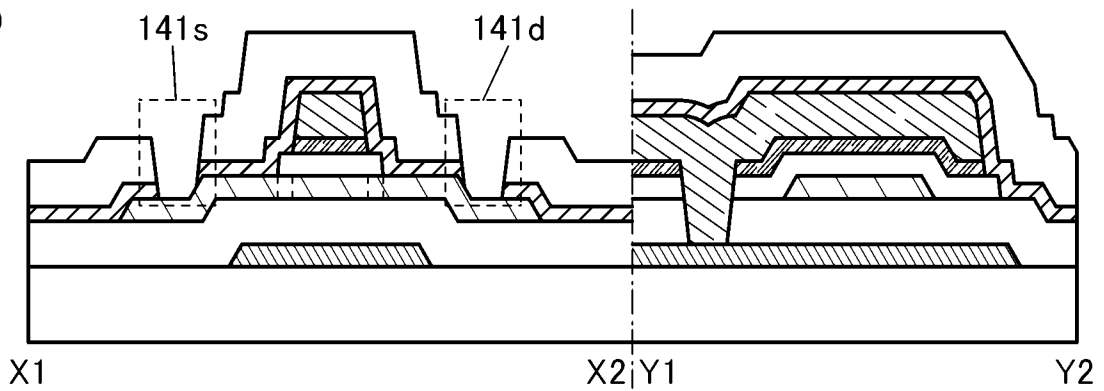


[図 13]

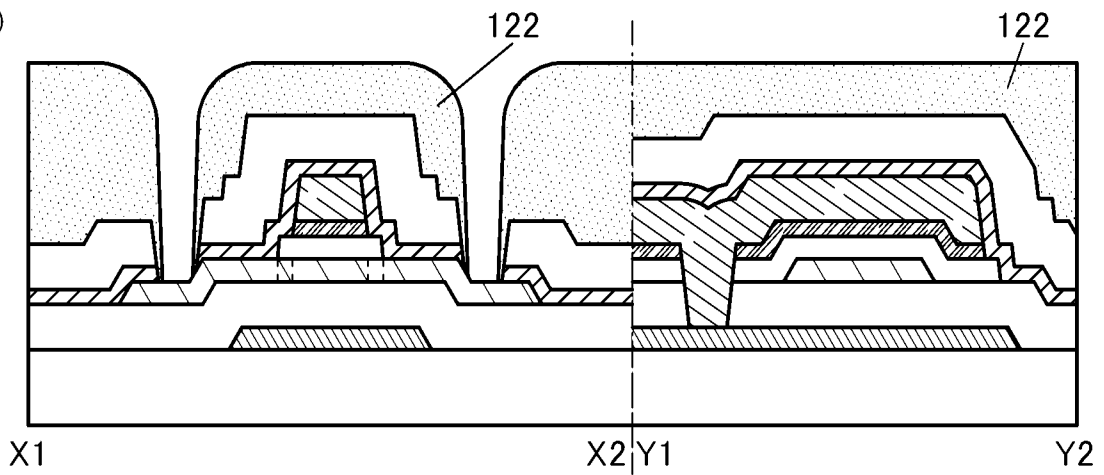
(A)



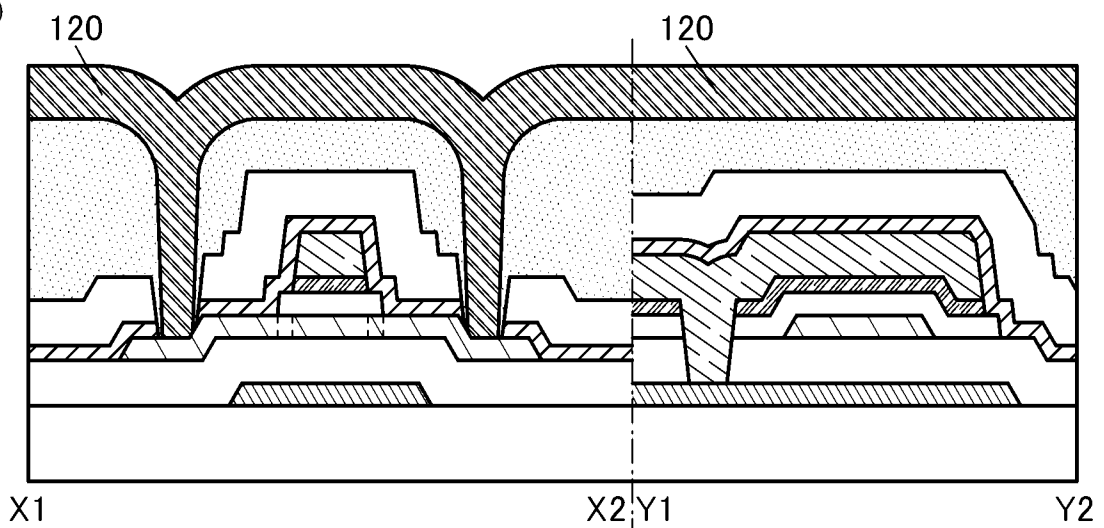
(B)

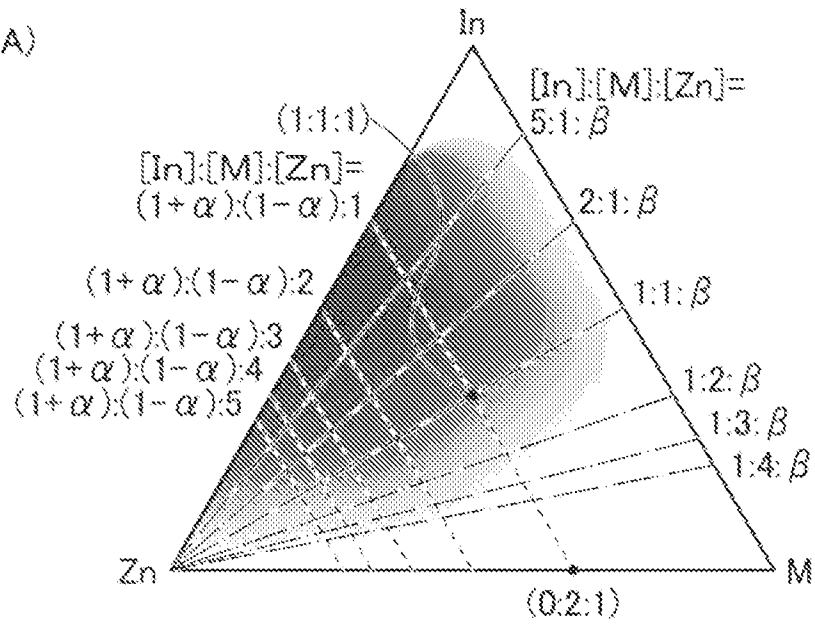


(C)

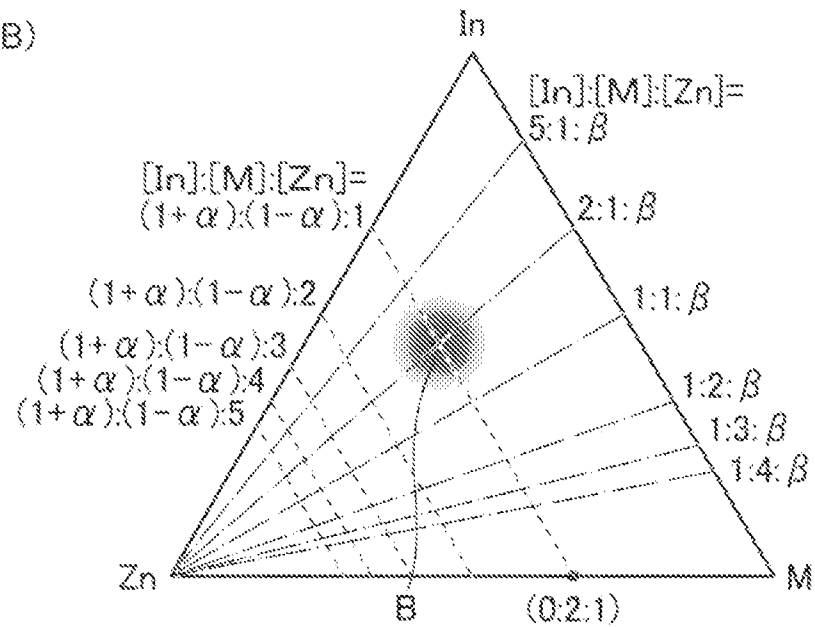


(D)

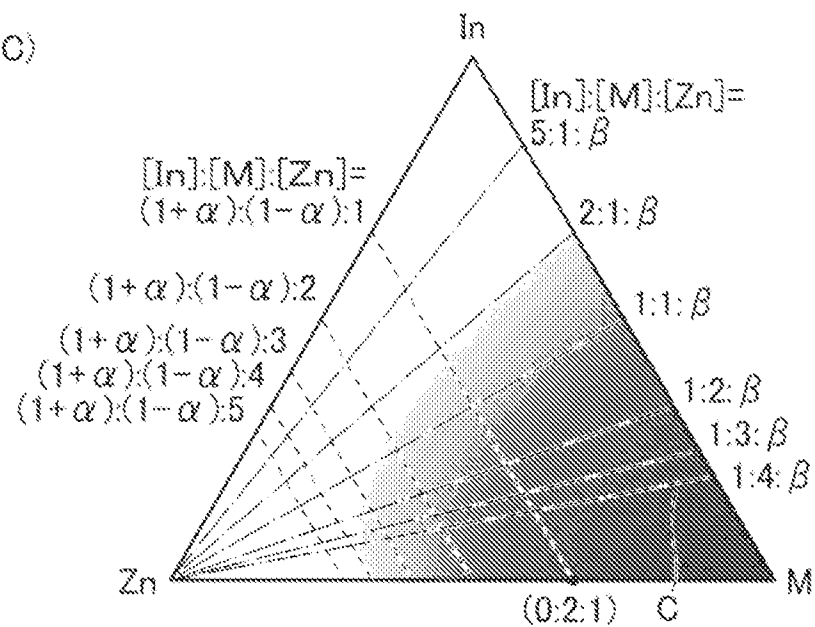


[ 14] (A)

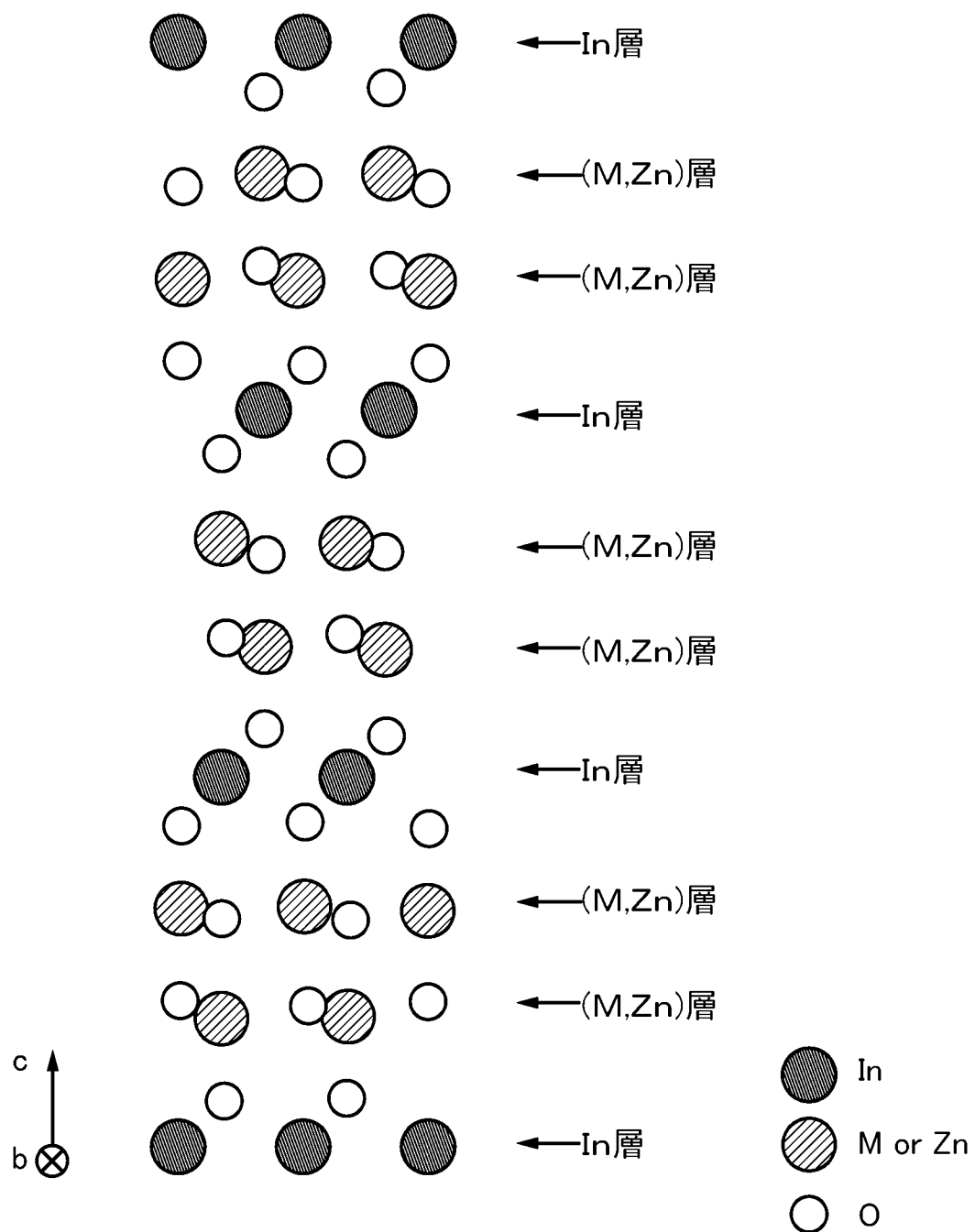
(B)



(C)

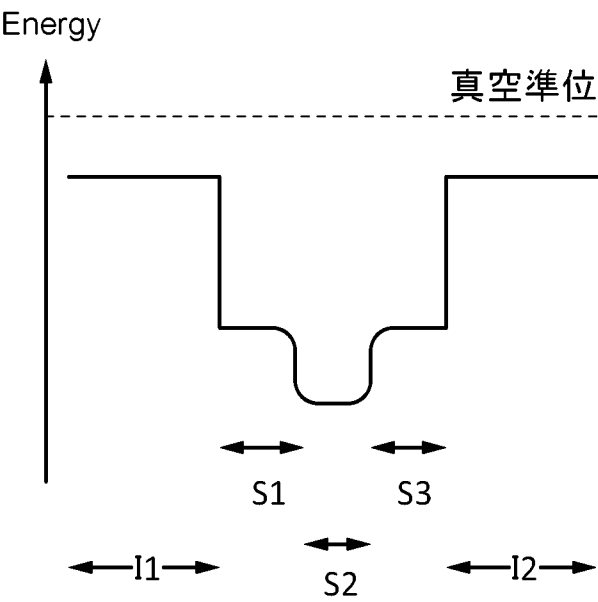


[図15]

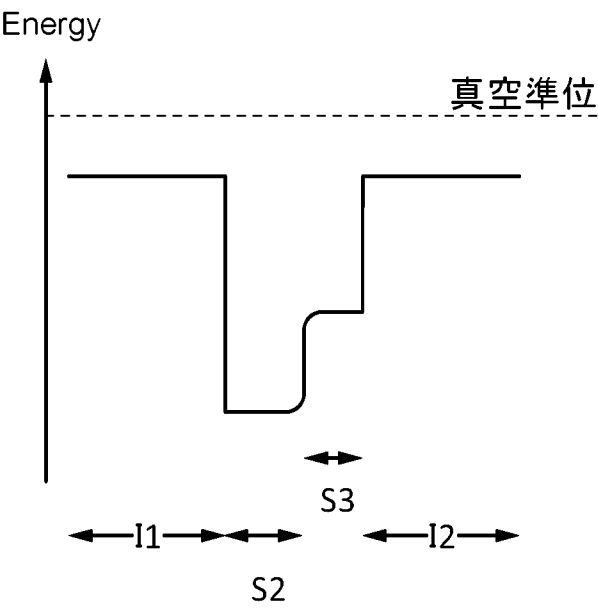
InM₂ZnO₄の結晶構造

[図16]

(A)

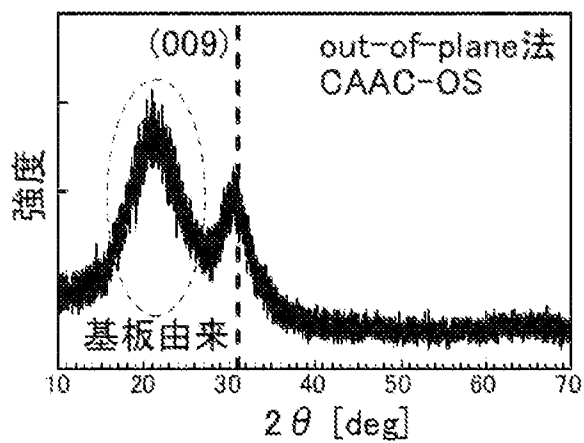


(B)

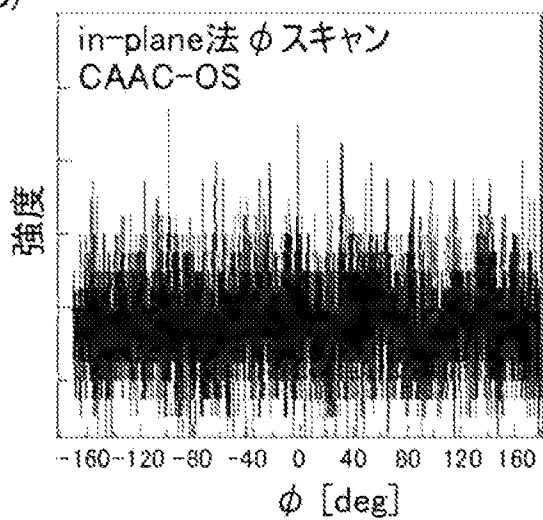


[図 17]

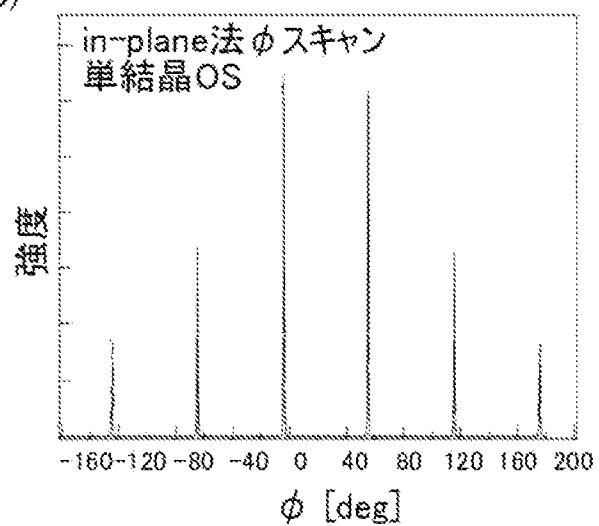
(A)



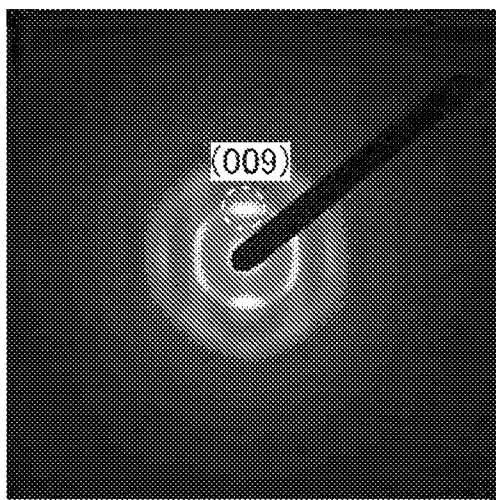
(B)



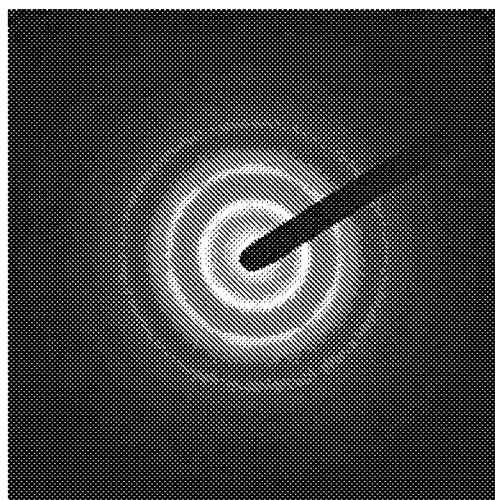
(C)



(D)

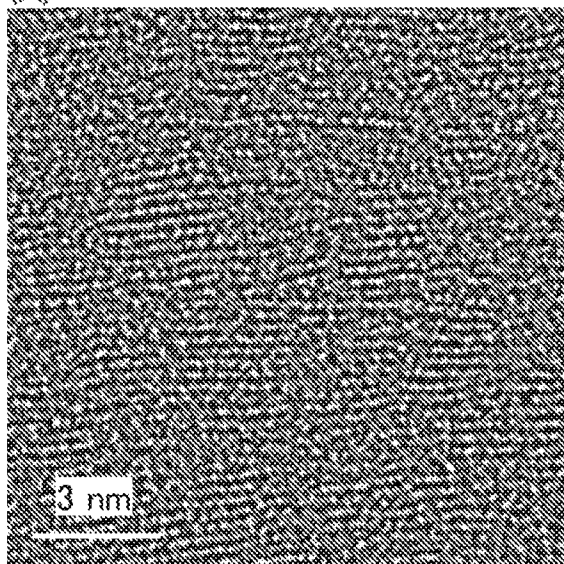


(E)

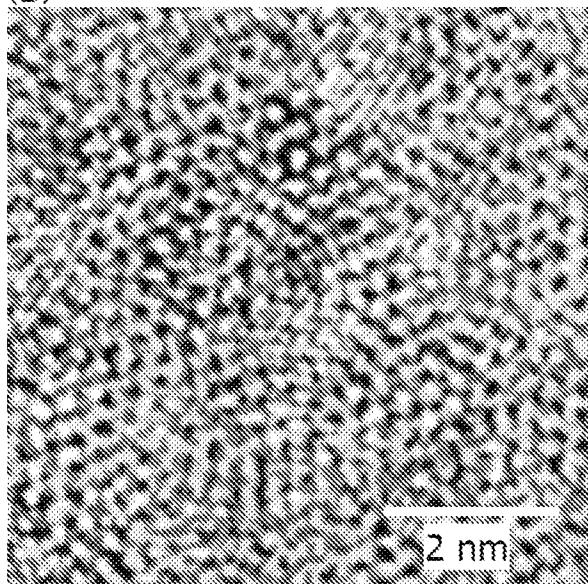


[ 18]

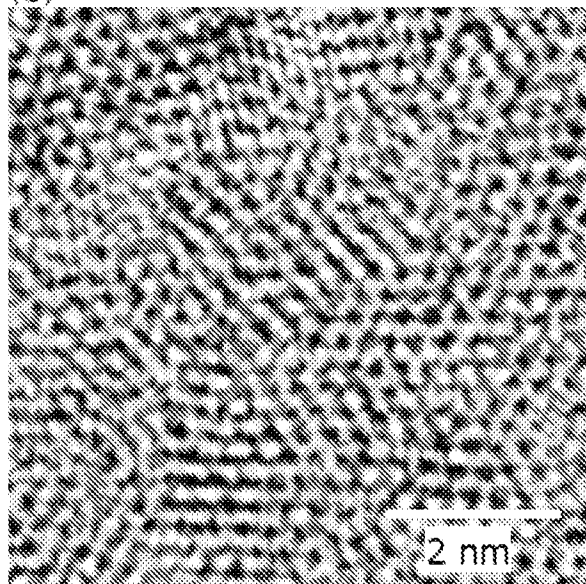
(A)



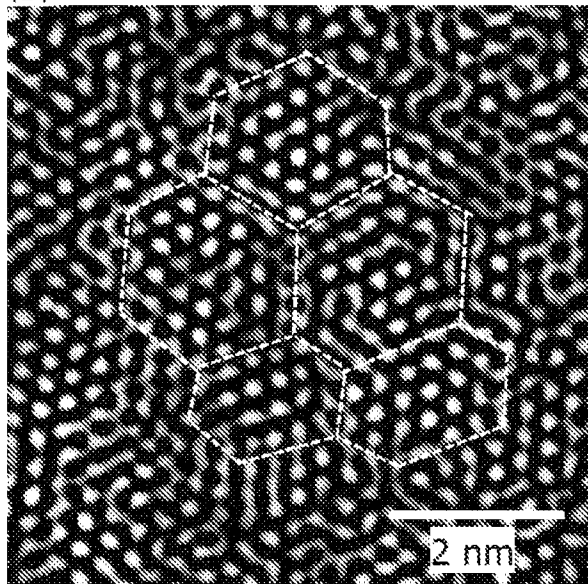
(B)



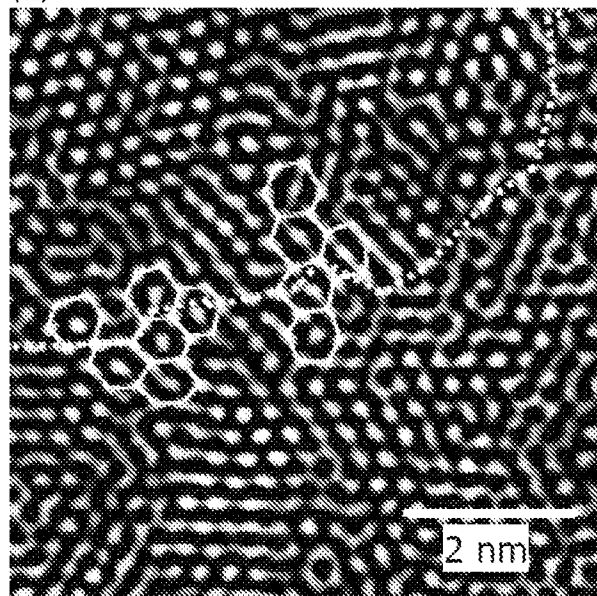
(C)



(D)

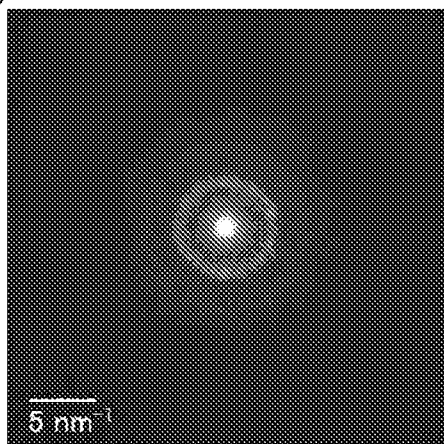


(E)

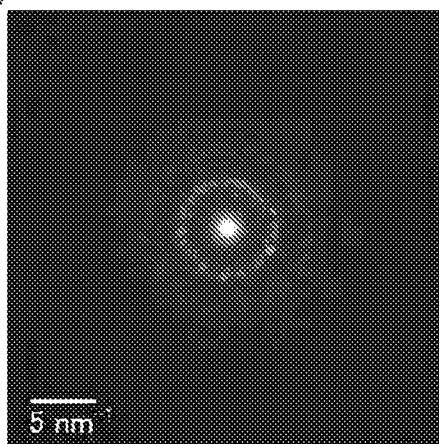


[ 19]

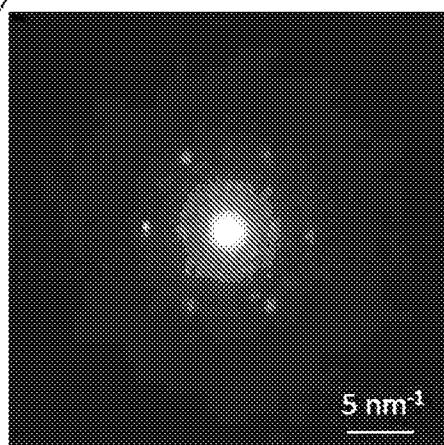
(A)



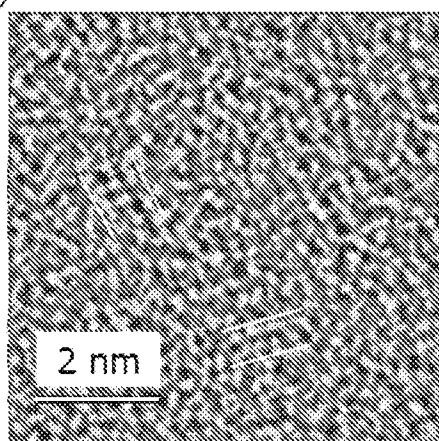
(B)



(C)

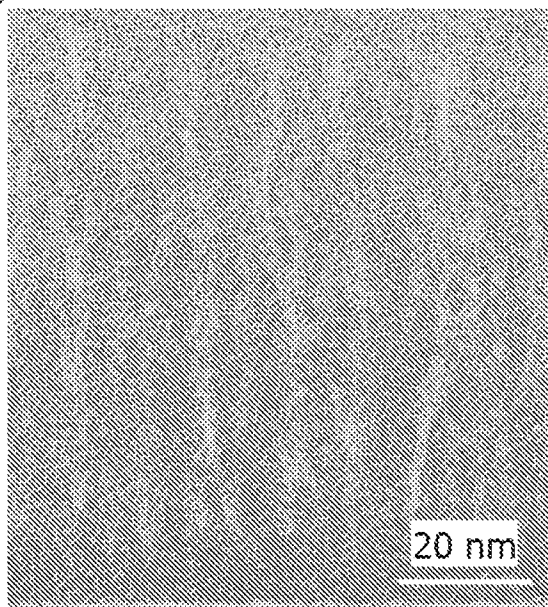


(D)

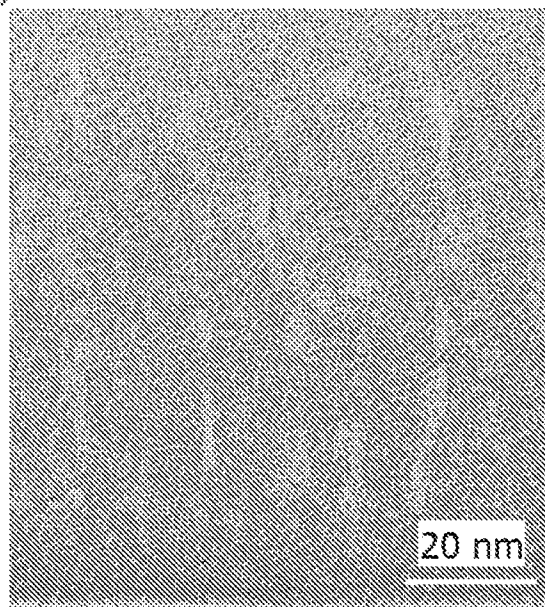


[図20]

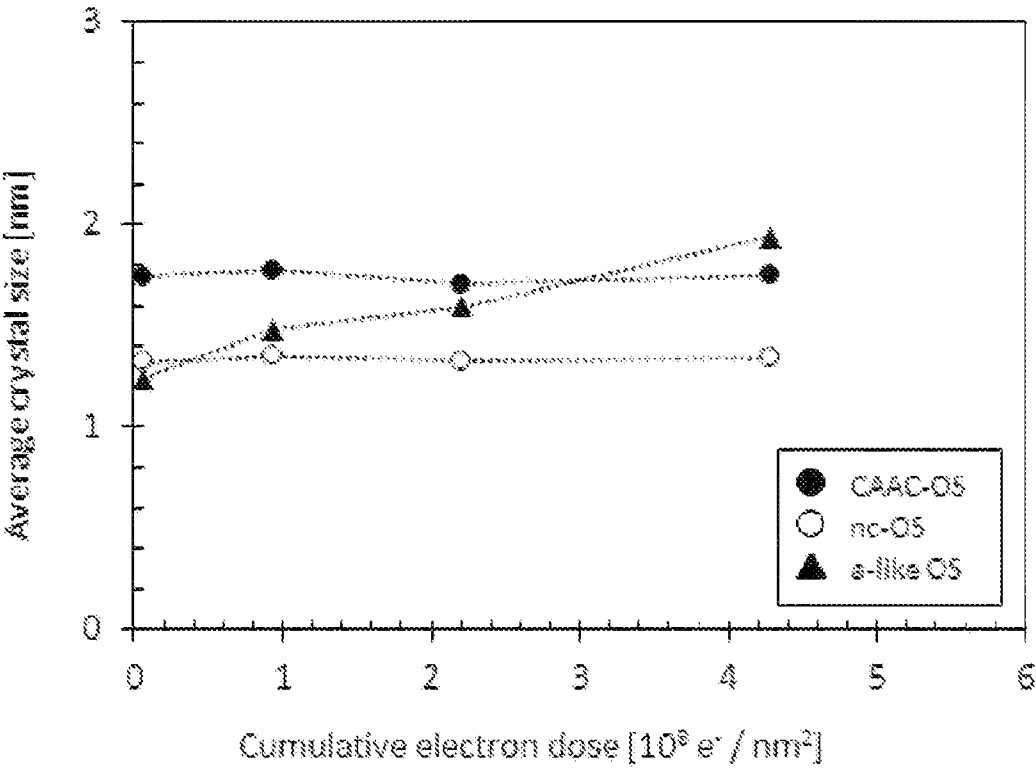
(A)



(B)

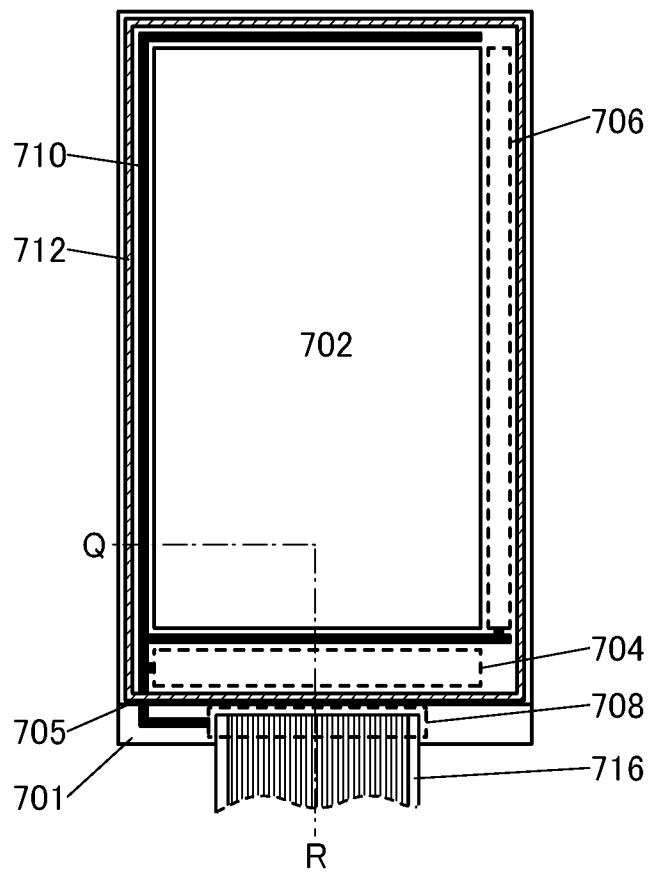


[図21]



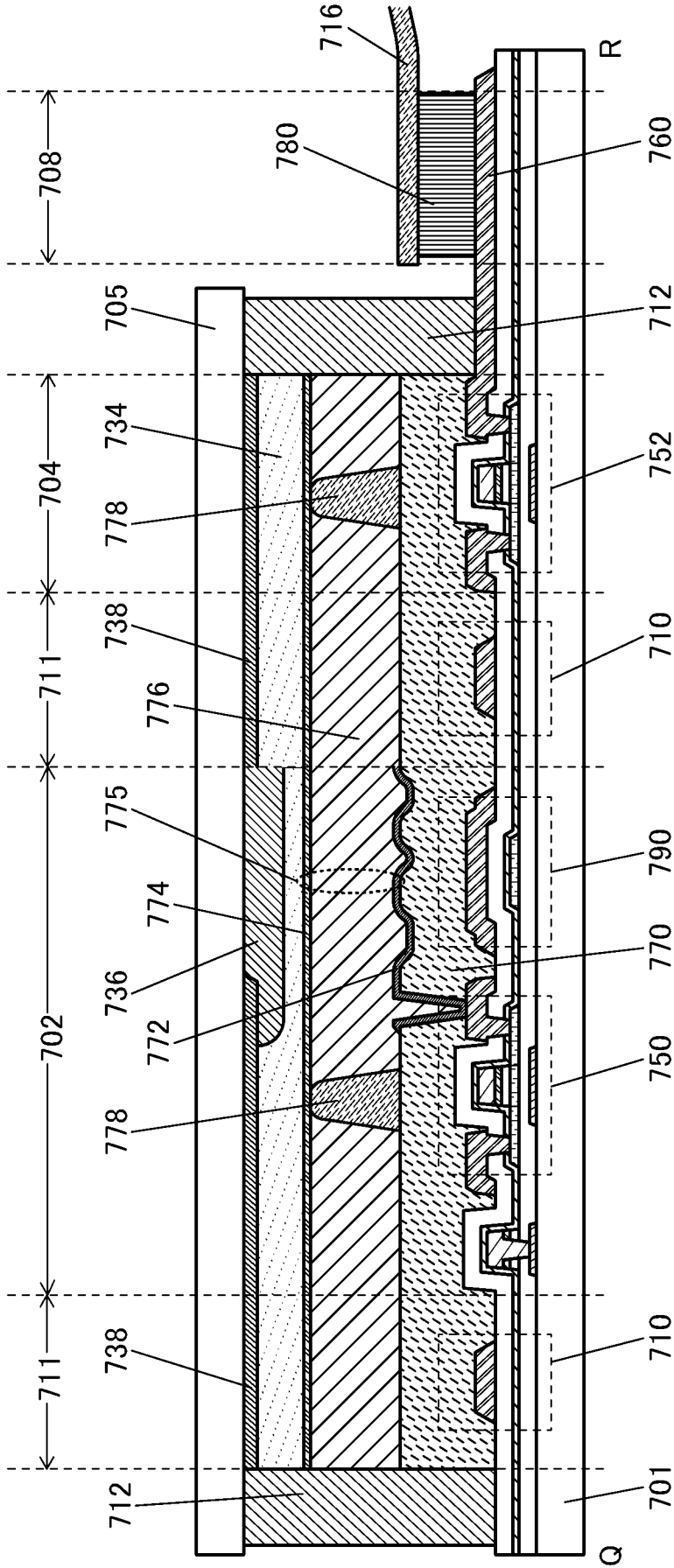
[図22]

700



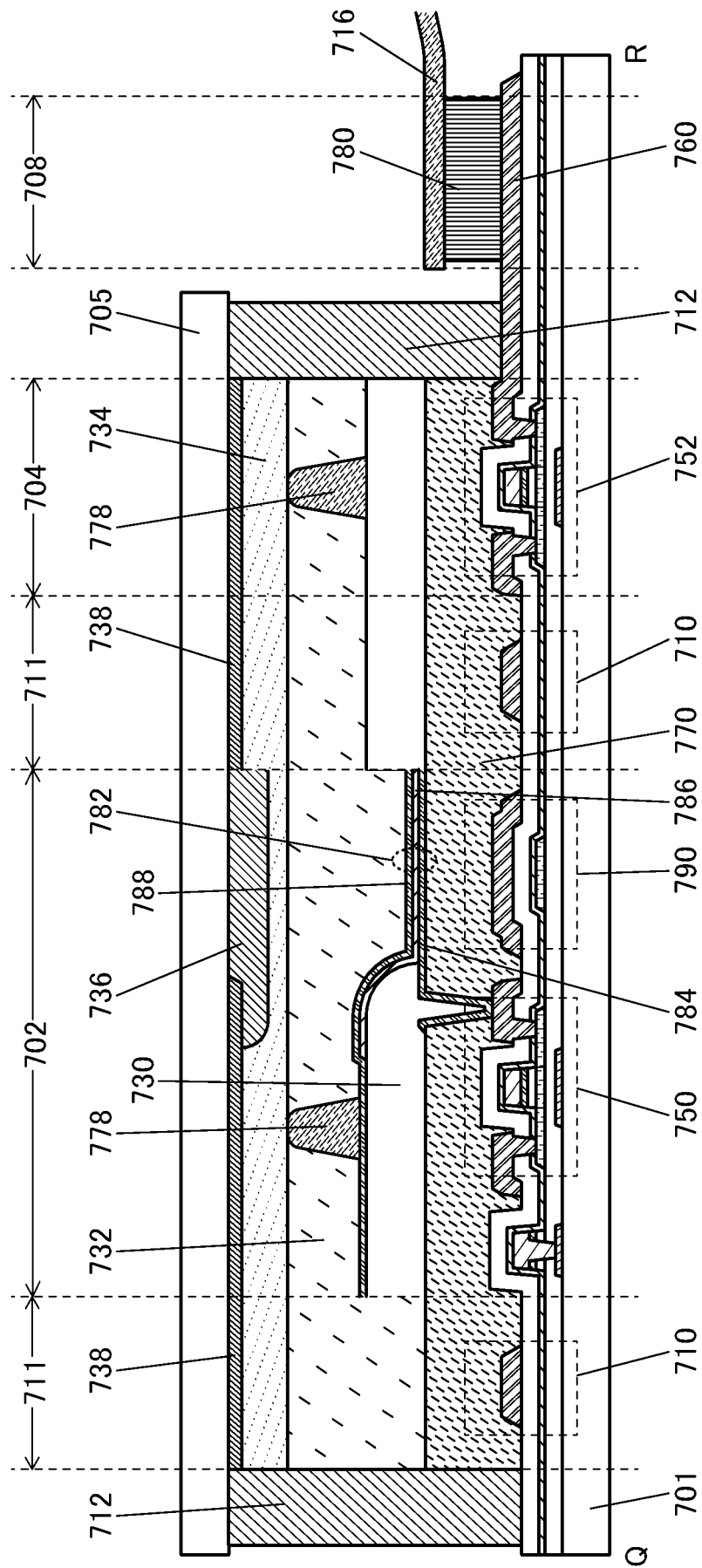
[圖23]

700



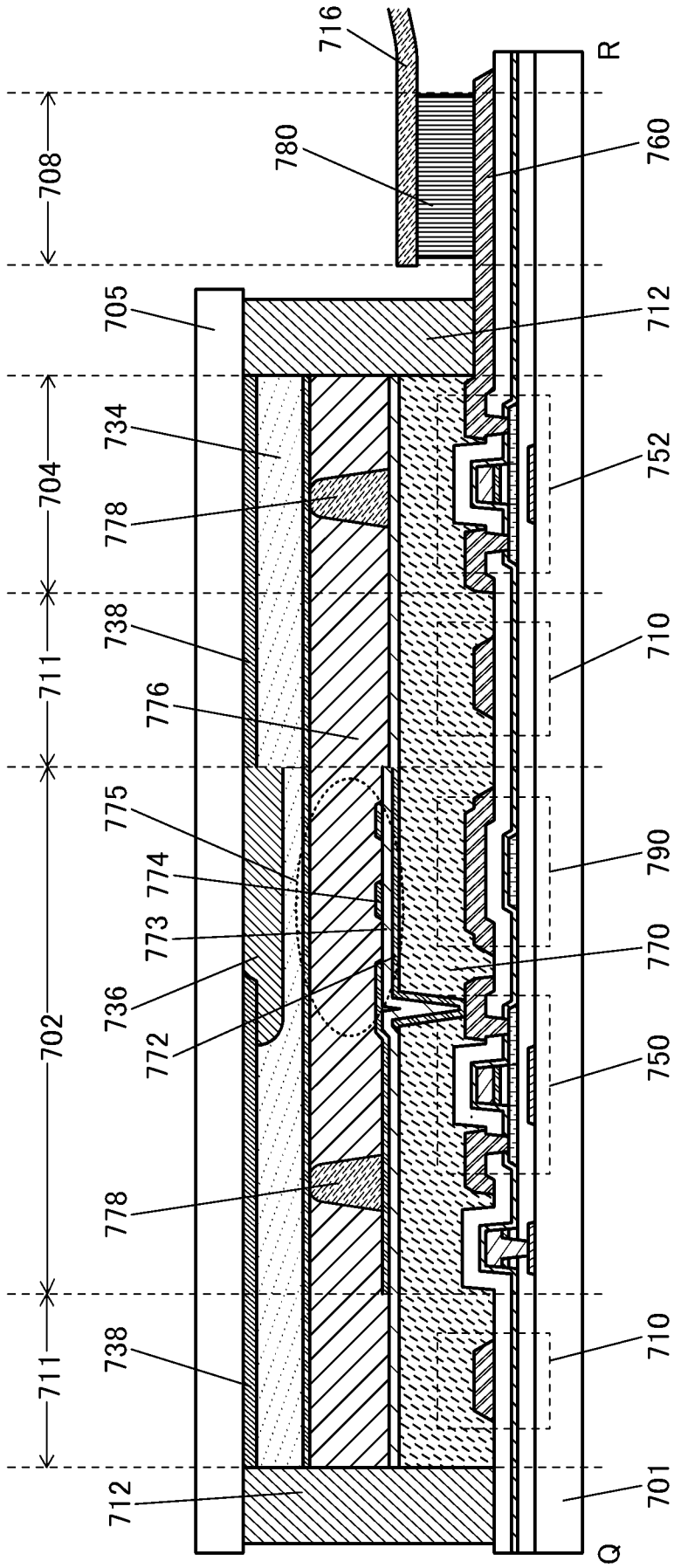


700



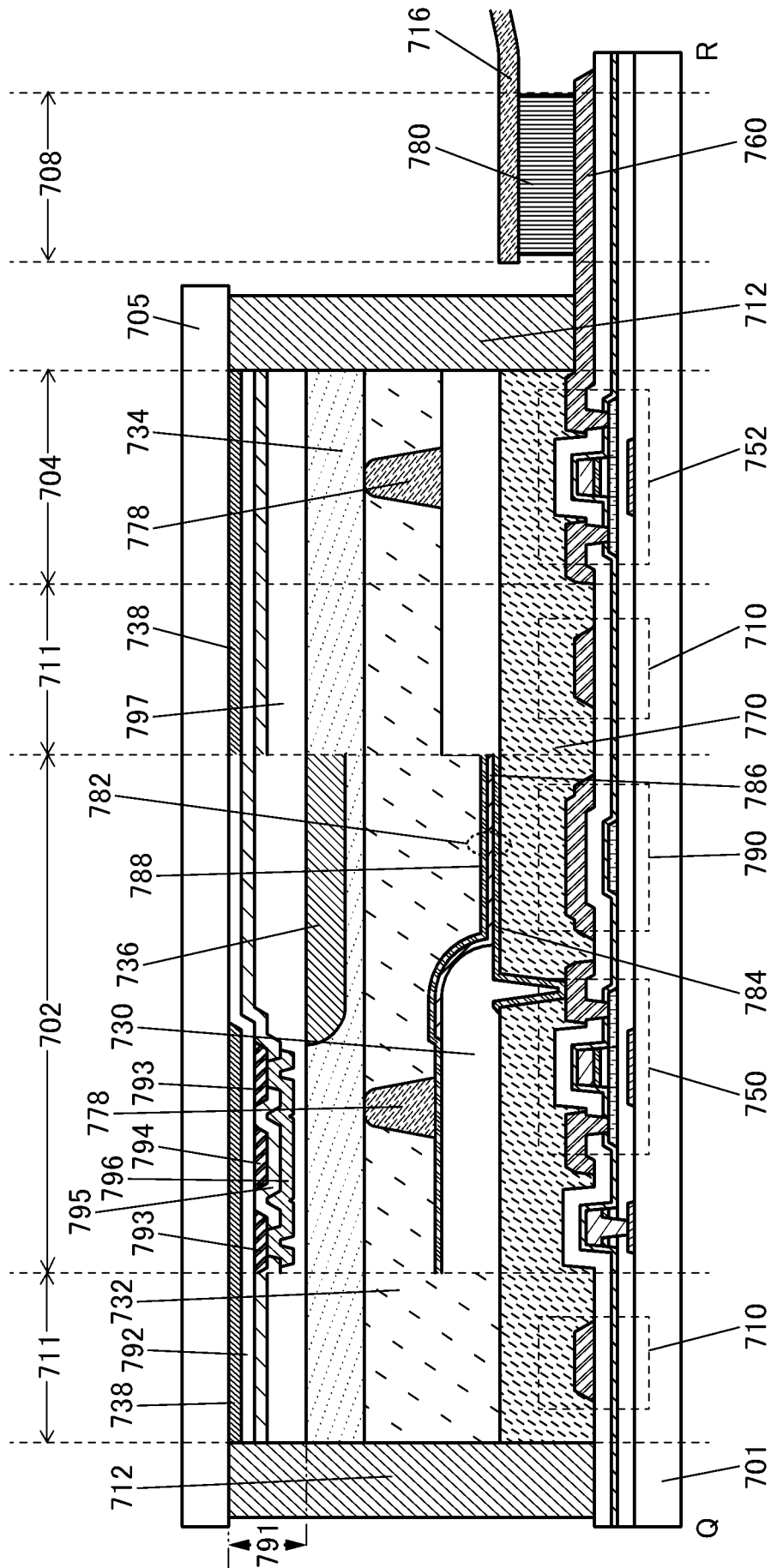
[圖25]

700



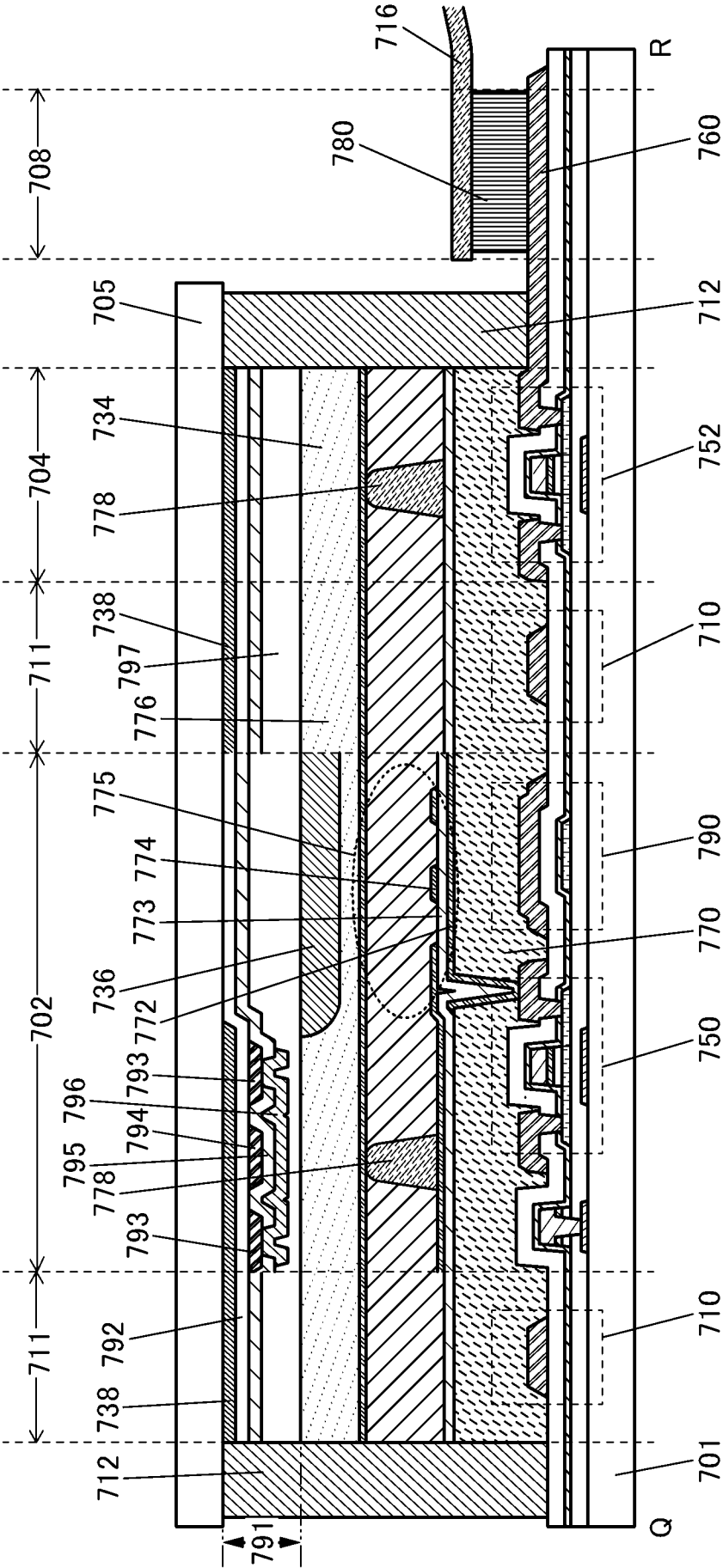
[圖26]

700



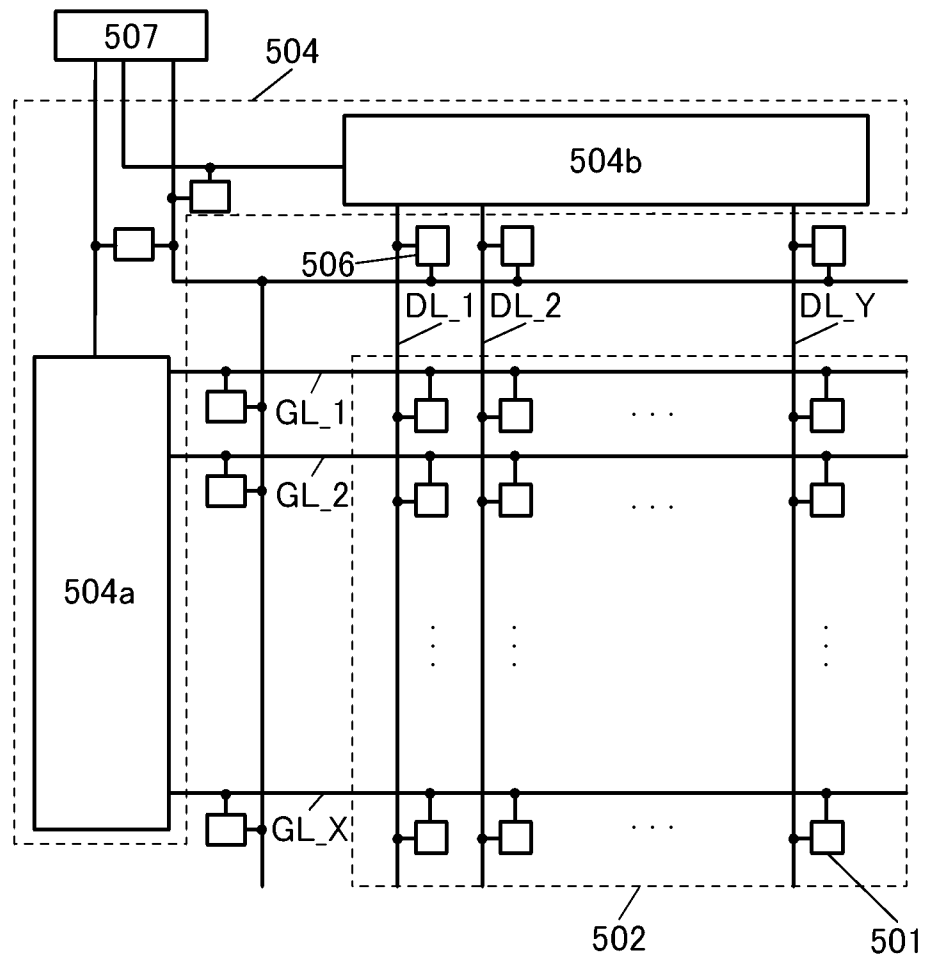
[圖27]

700

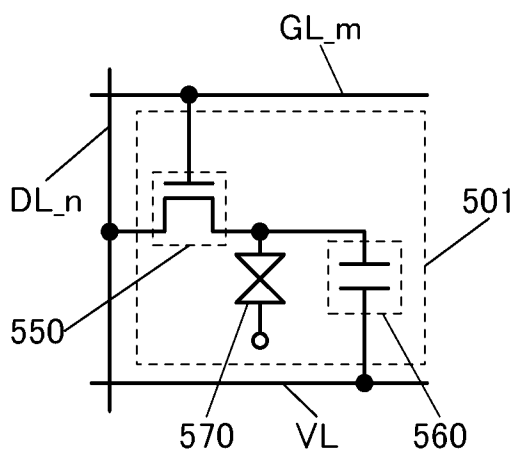


[図28]

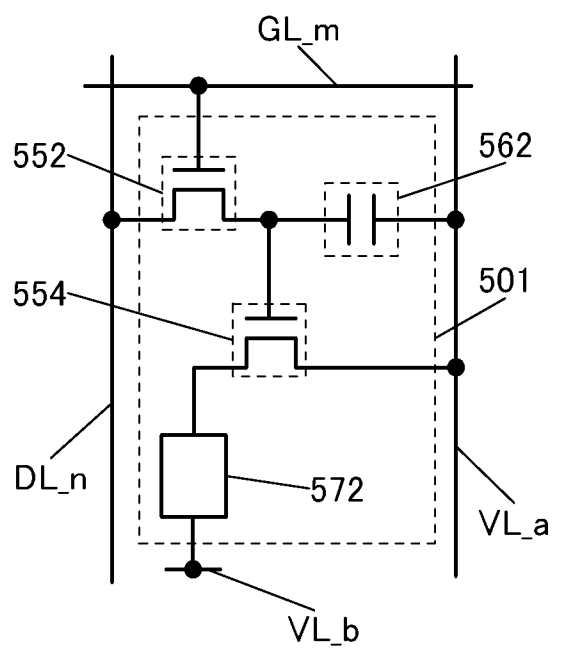
(A)



(B)

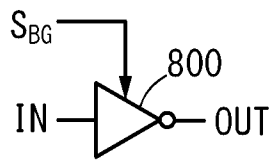


(C)

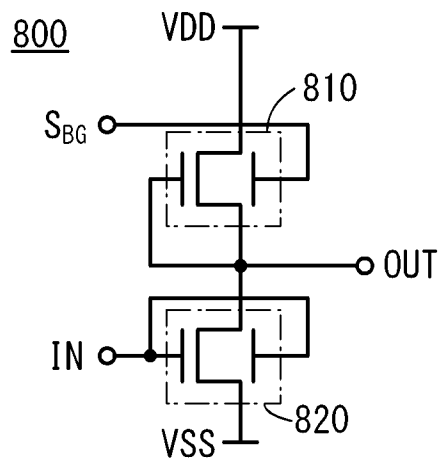


[図29]

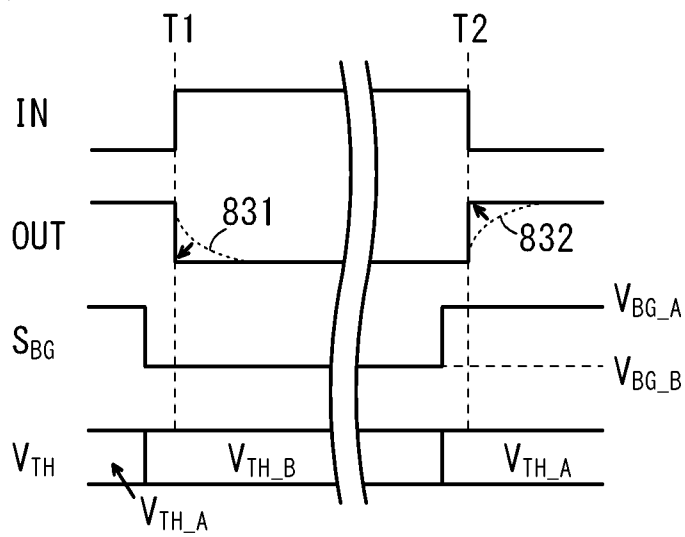
(A)



(B)

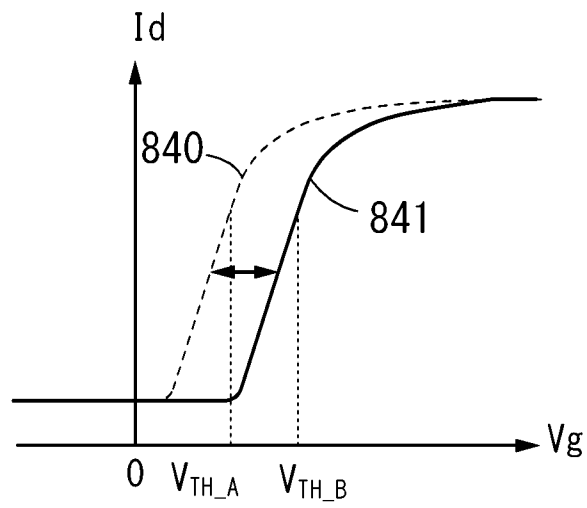
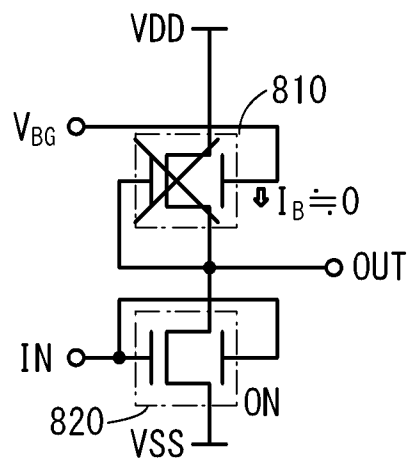
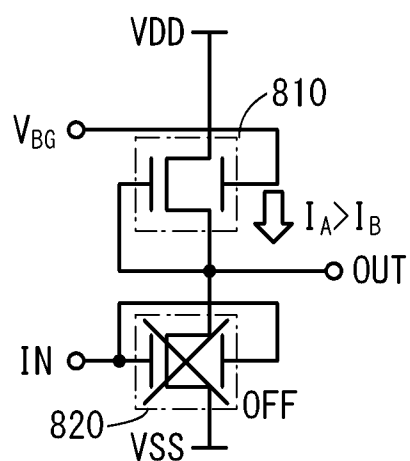


(C)

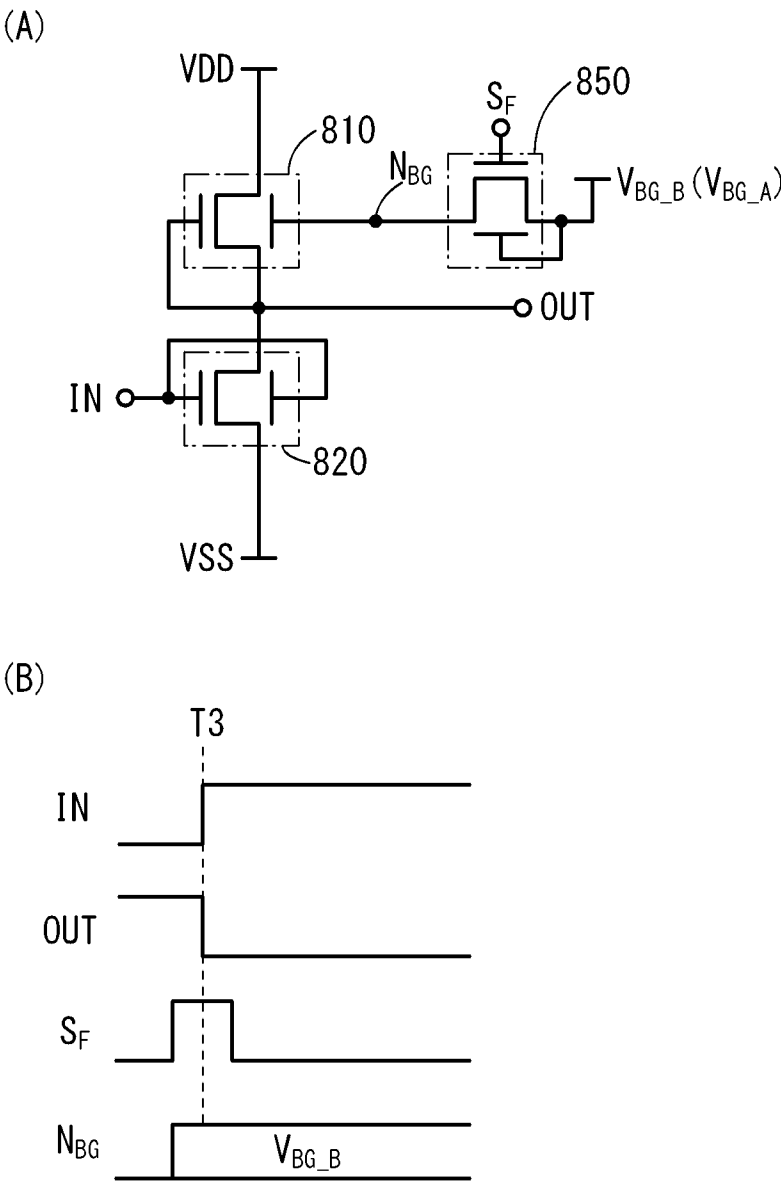


[図30]

(A)

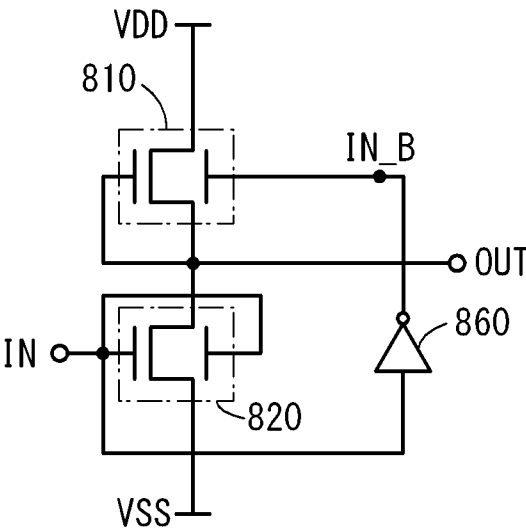
(B) V_{BG_B} (C) V_{BG_A} 

[図31]

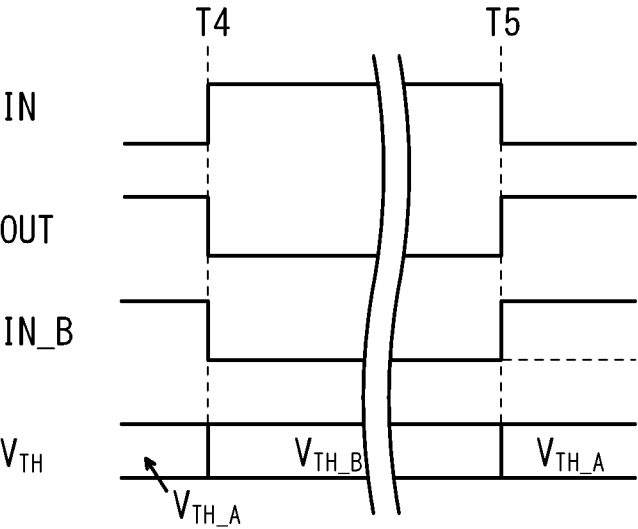


[図32]

(A)

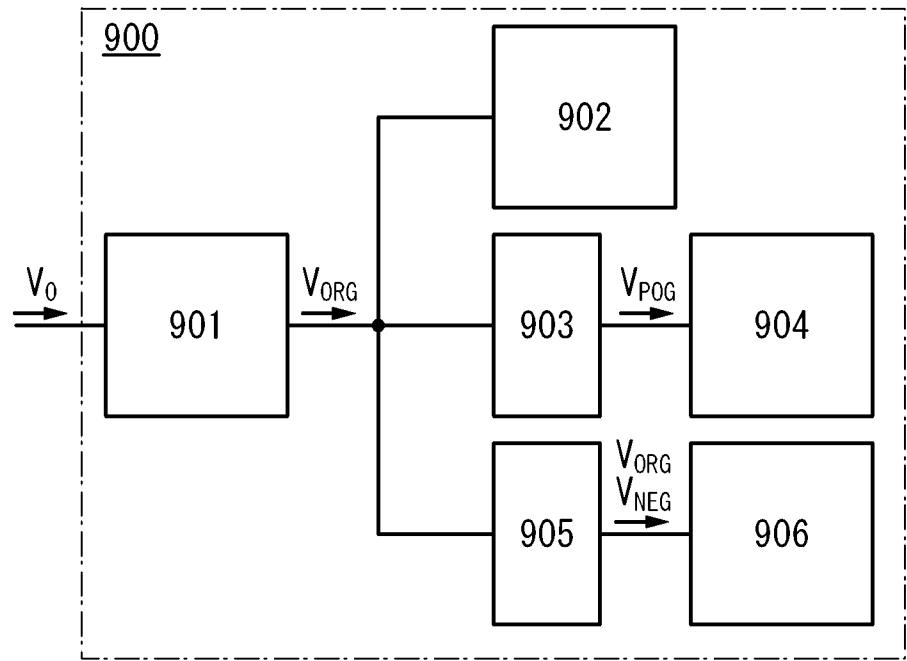


(B)

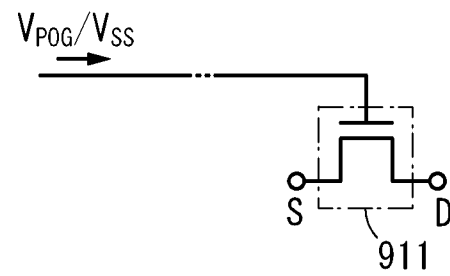


[図33]

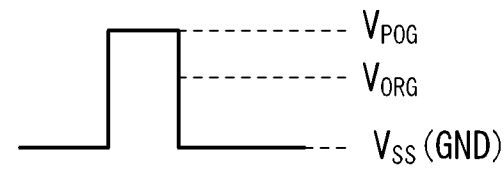
(A)



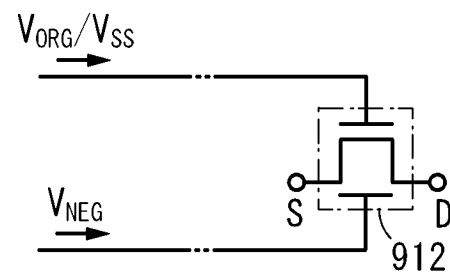
(B)



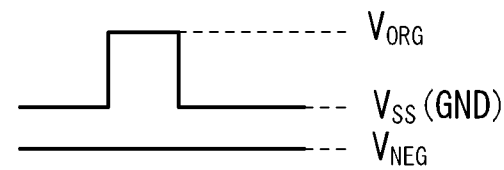
(C)



(D)

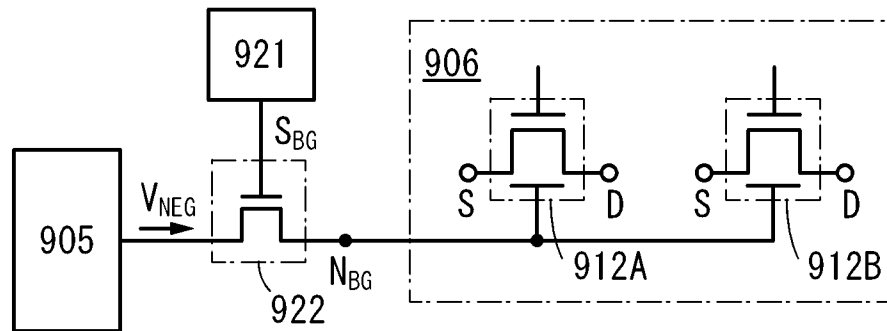


(E)

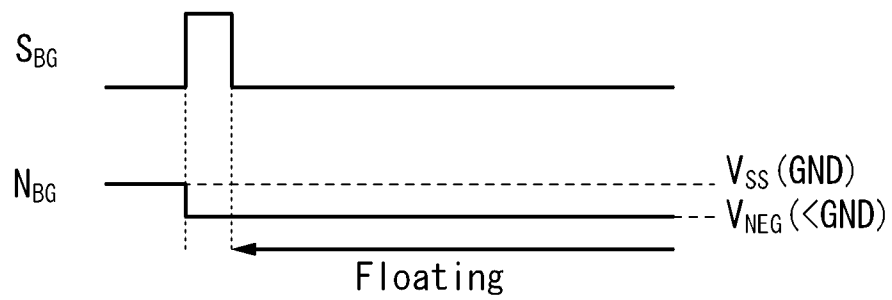


[図34]

(A)



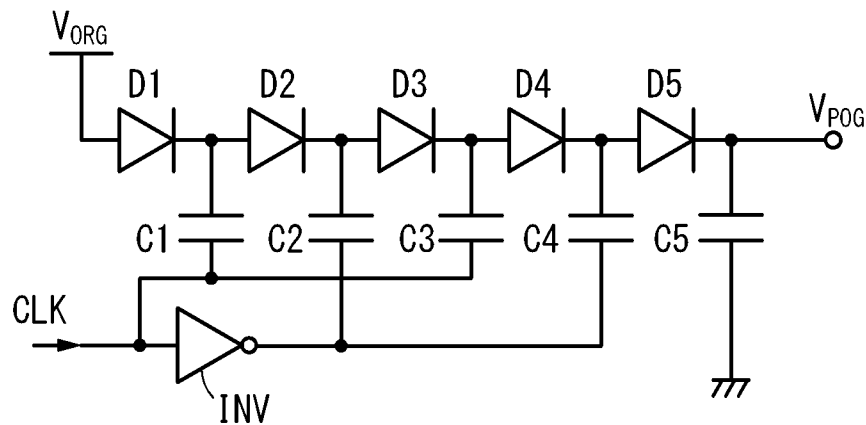
(B)



[図35]

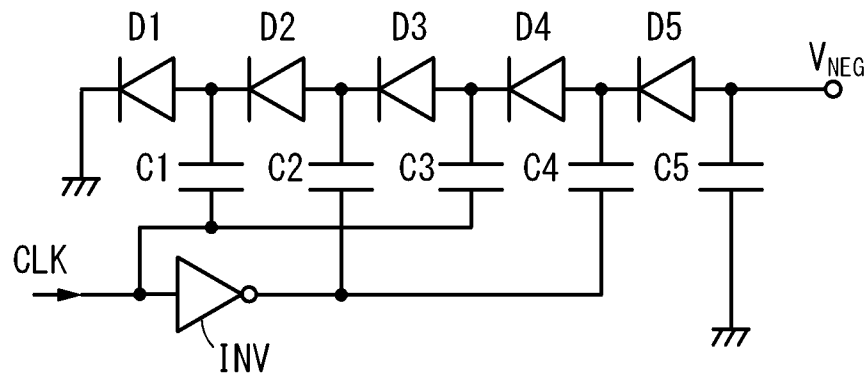
(A)

903



(B)

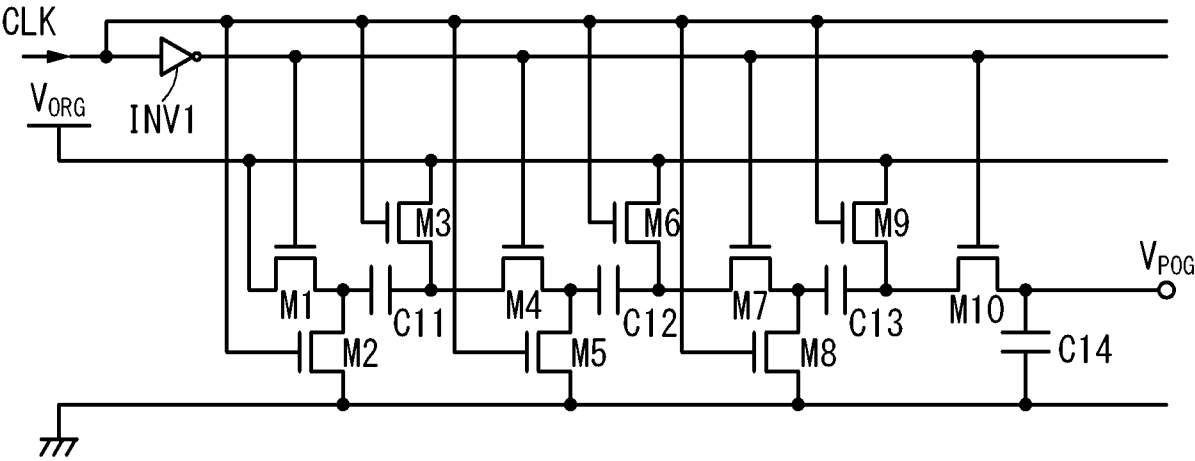
905



[図 36]

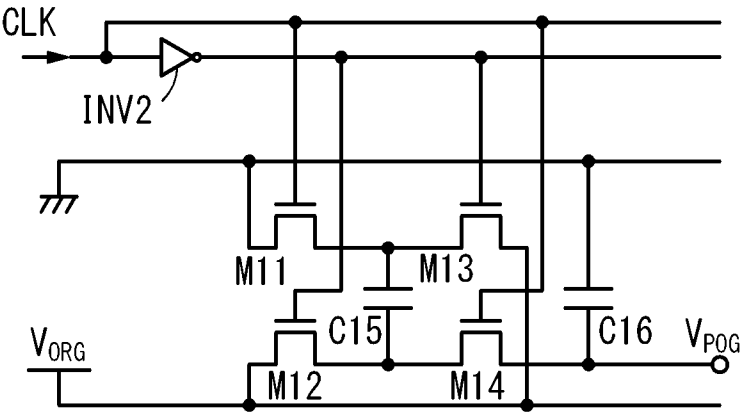
(A)

903A



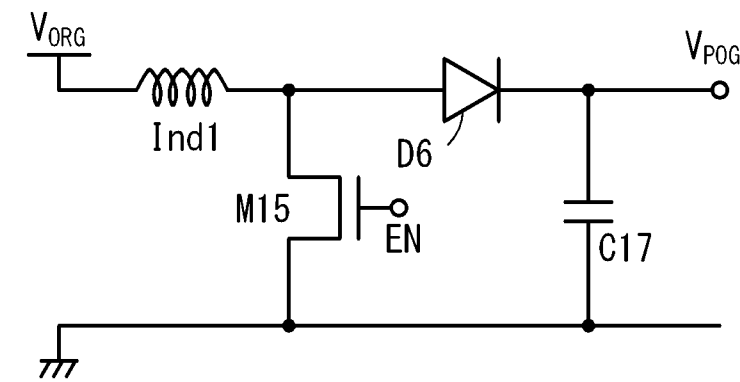
(B)

903B

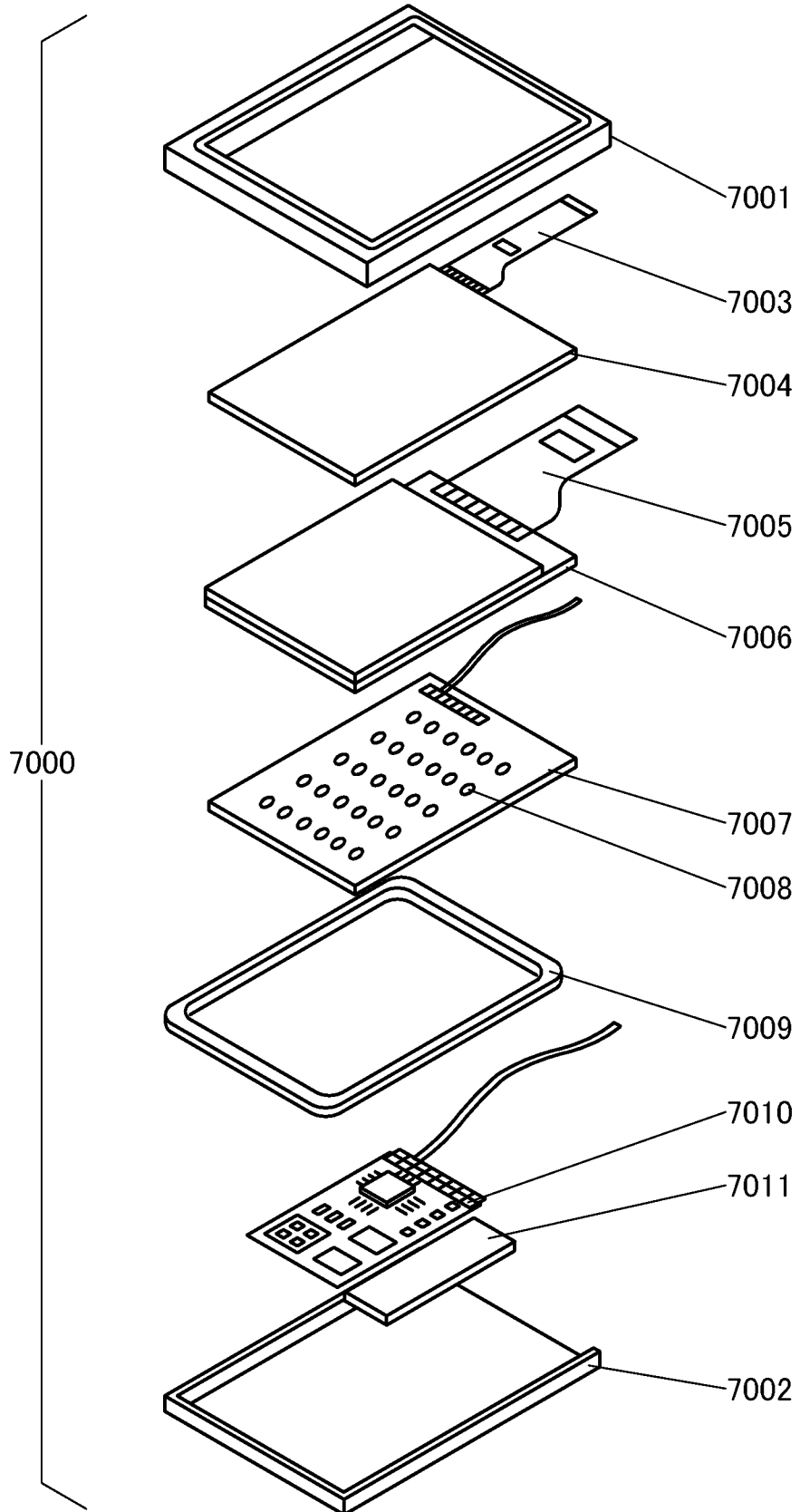


(C)

903C

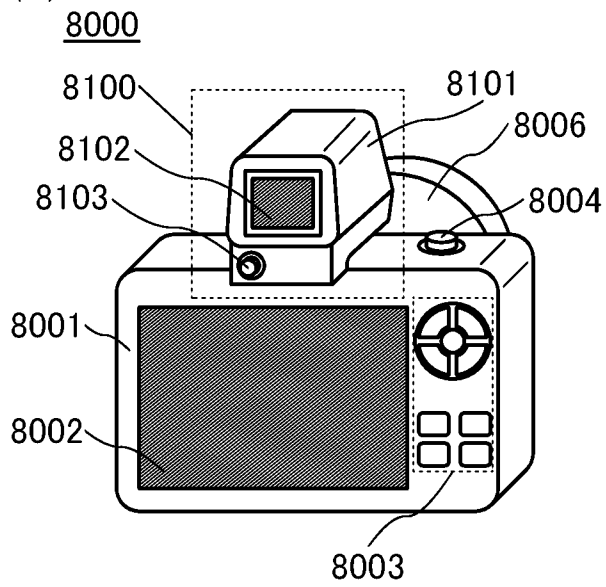


[図37]

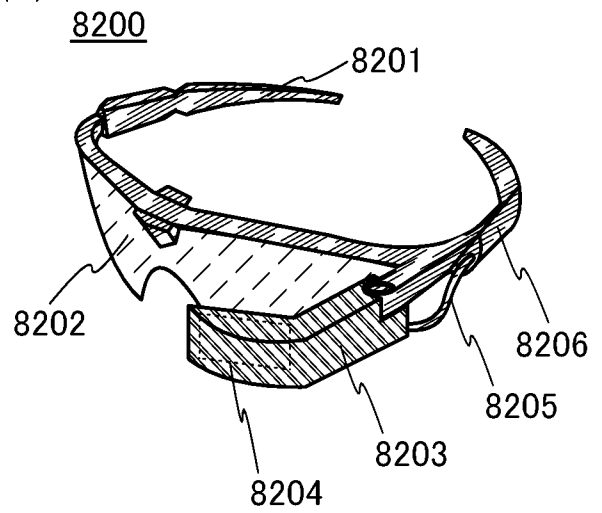


[図38]

(A)

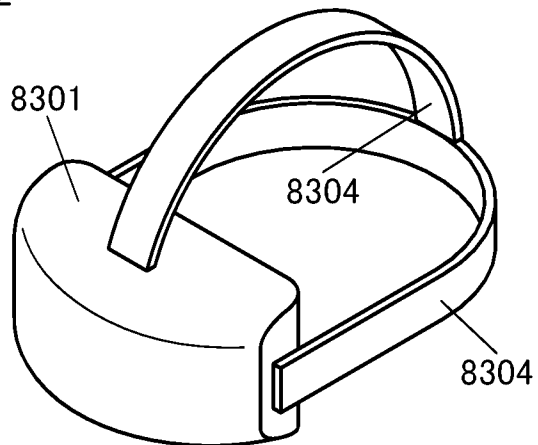


(B)



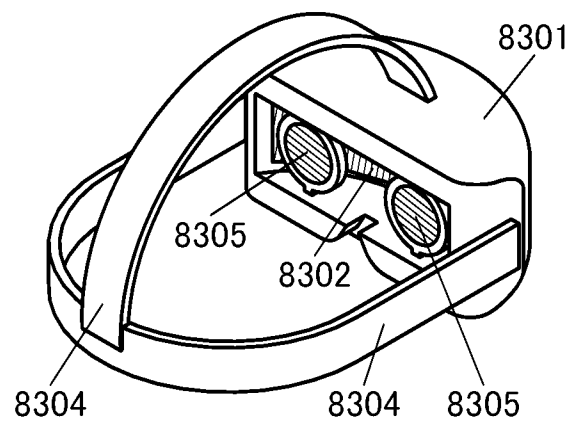
(C)

8300



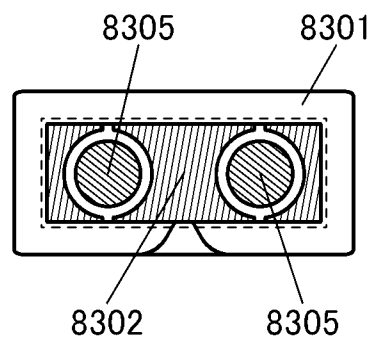
(D)

8300



(E)

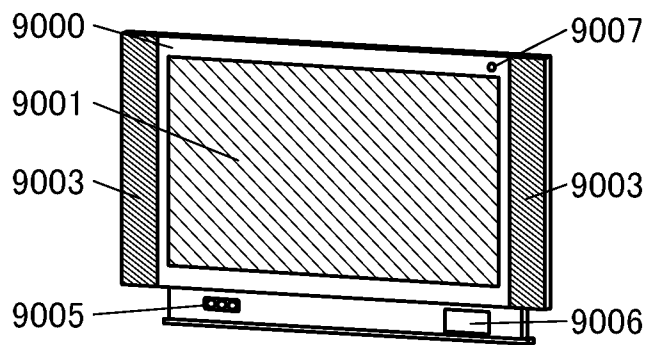
8300



[図 39]

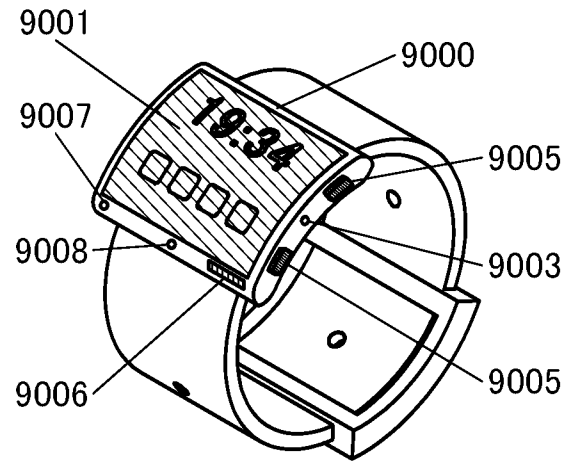
(A)

9100



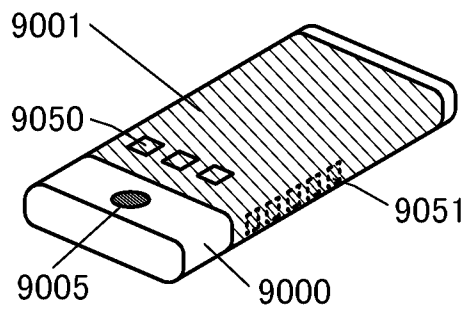
(D)

9200



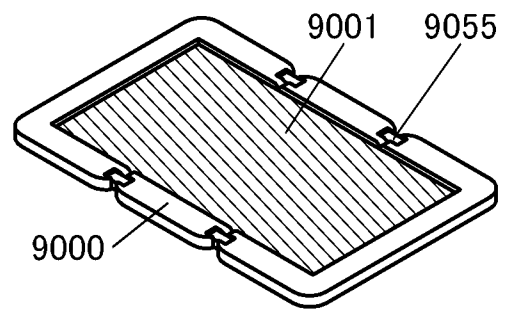
(B)

9101



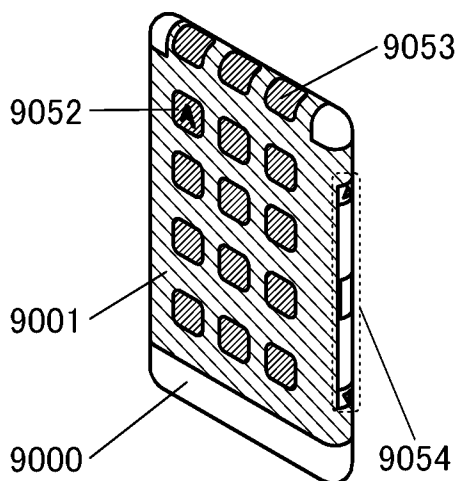
(E)

9201



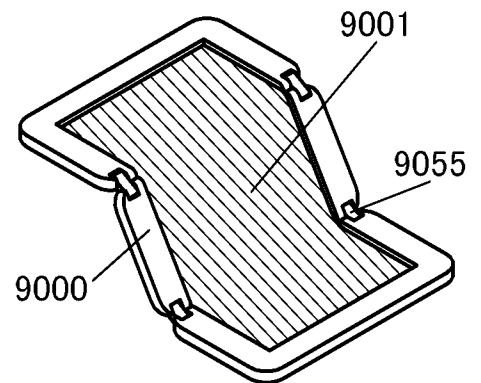
(C)

9102



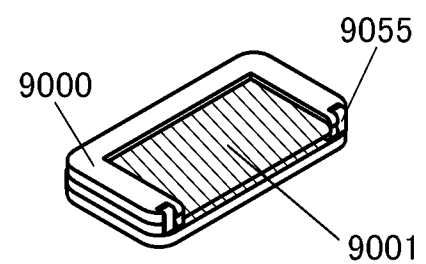
(F)

9201



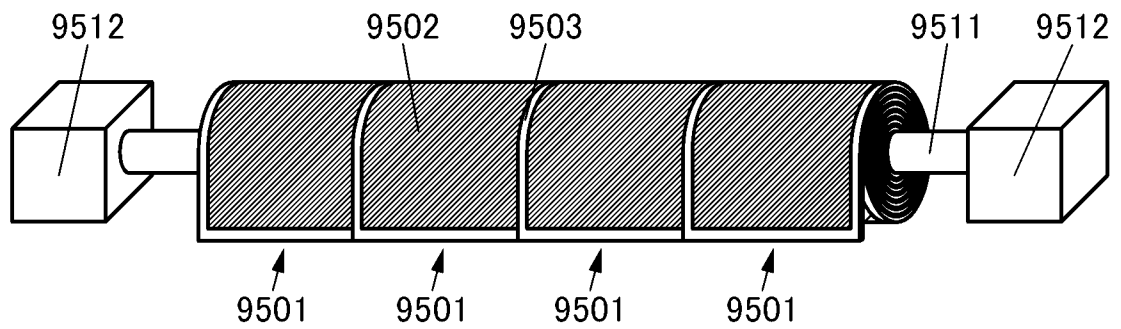
(G)

9201

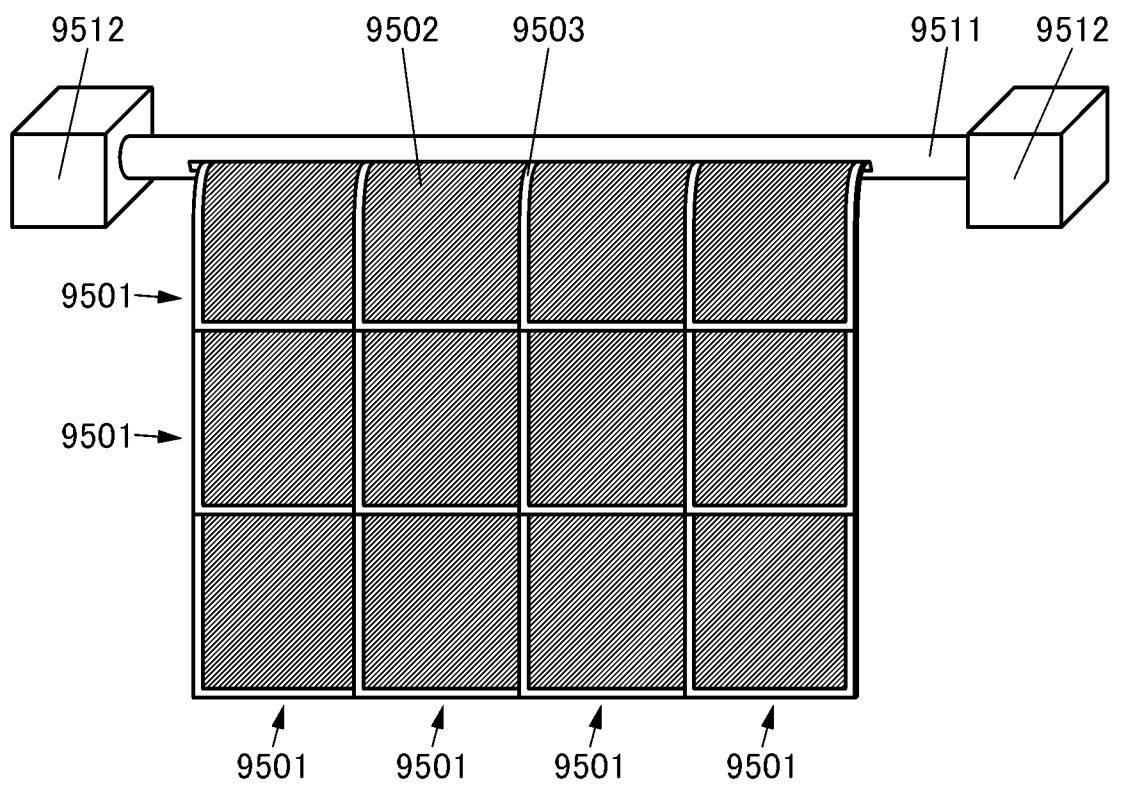


[図40]

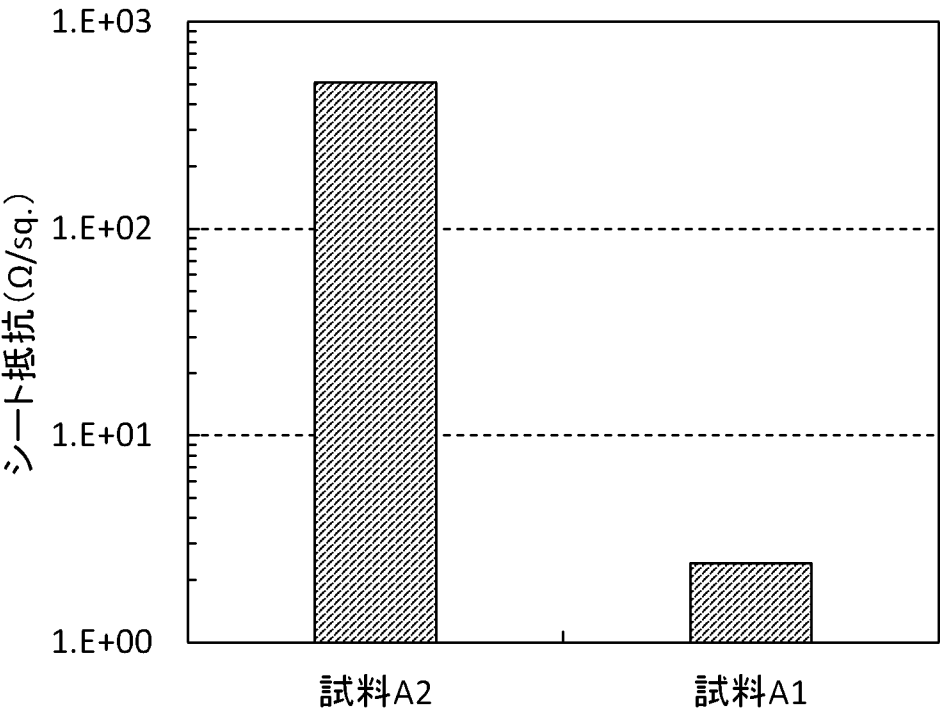
(A)

9500

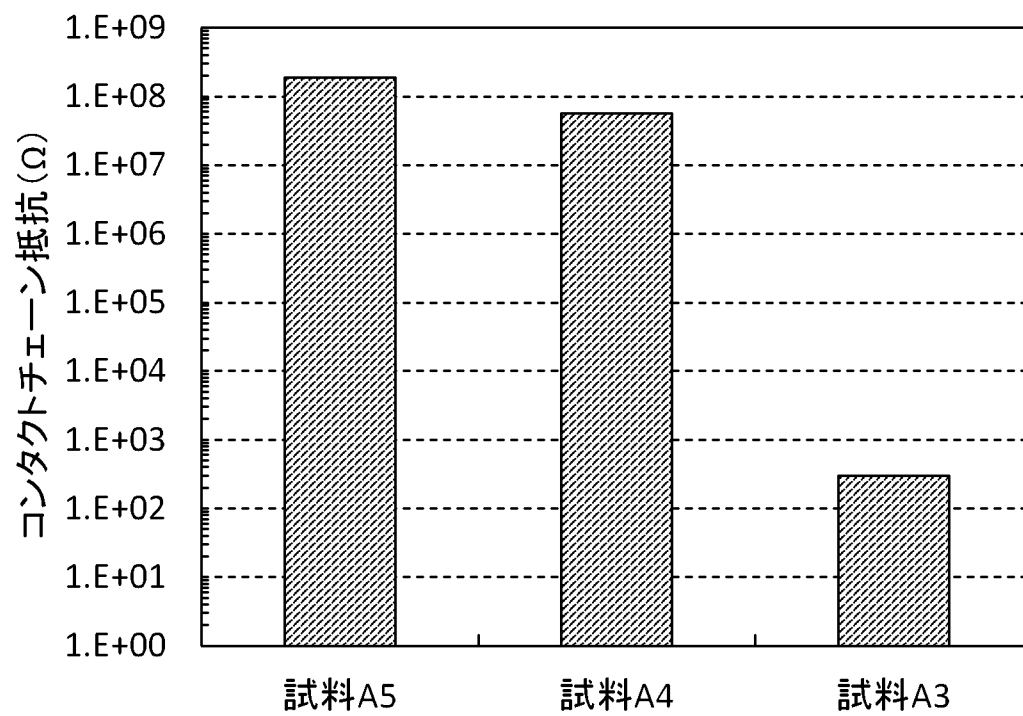
(B)

9500

[図41]



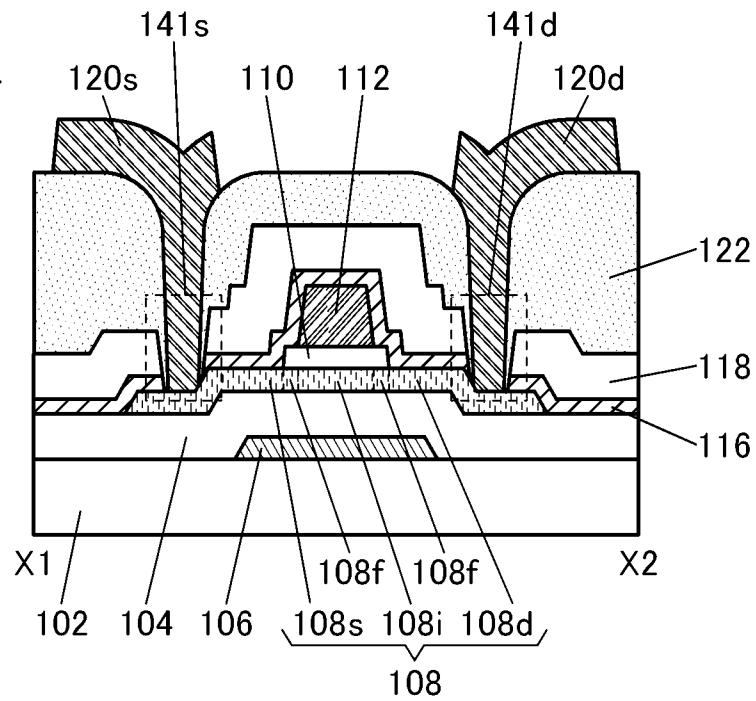
[図42]



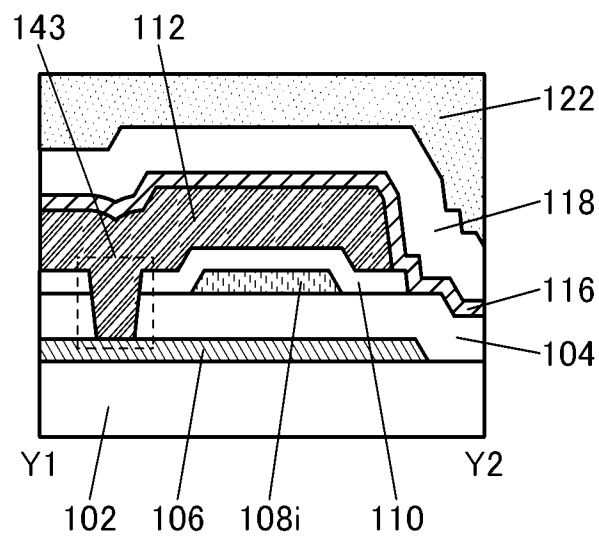
[図43]

(A)

100G

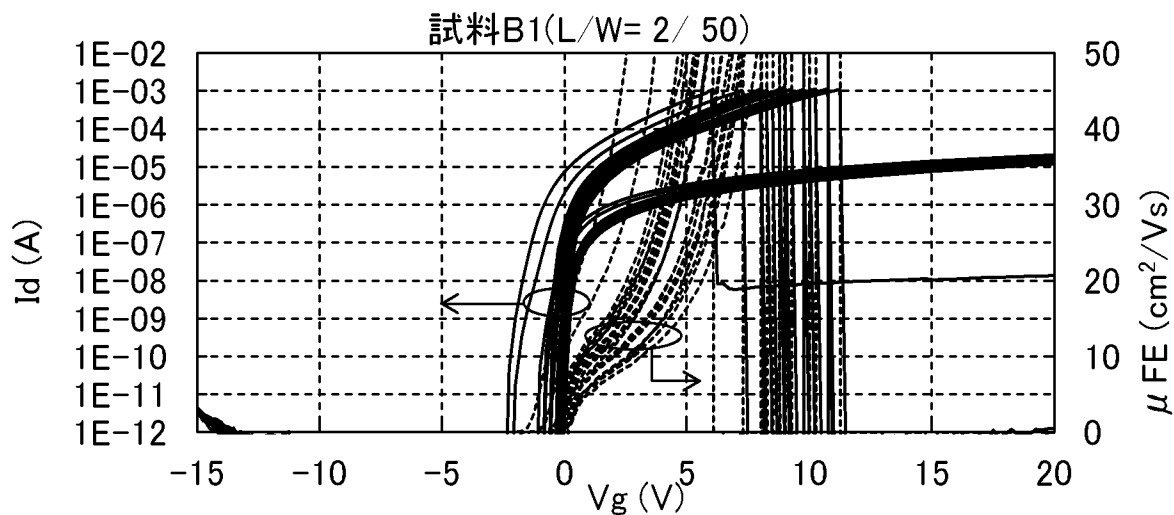


(B)

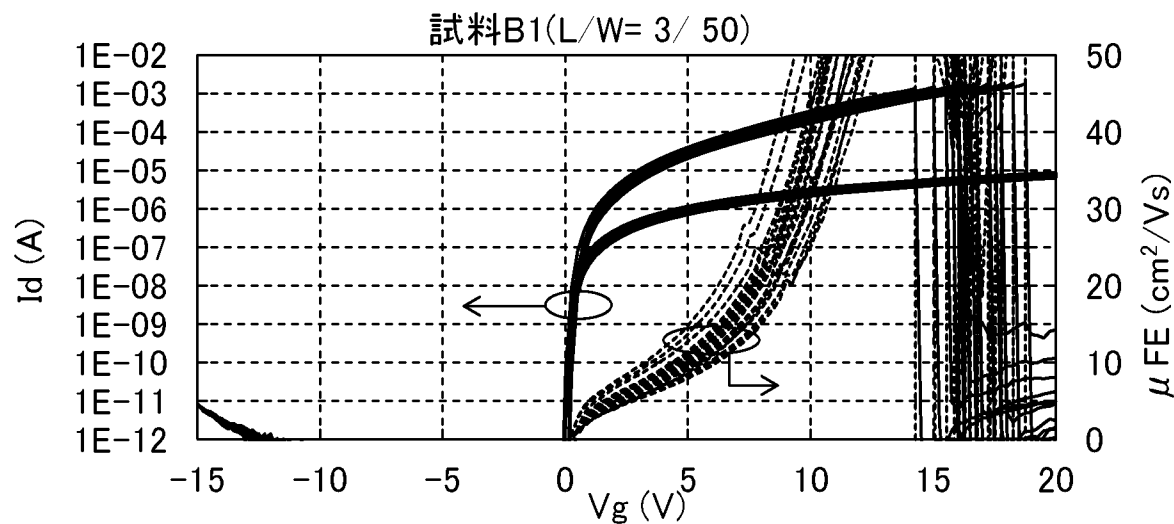


[図44]

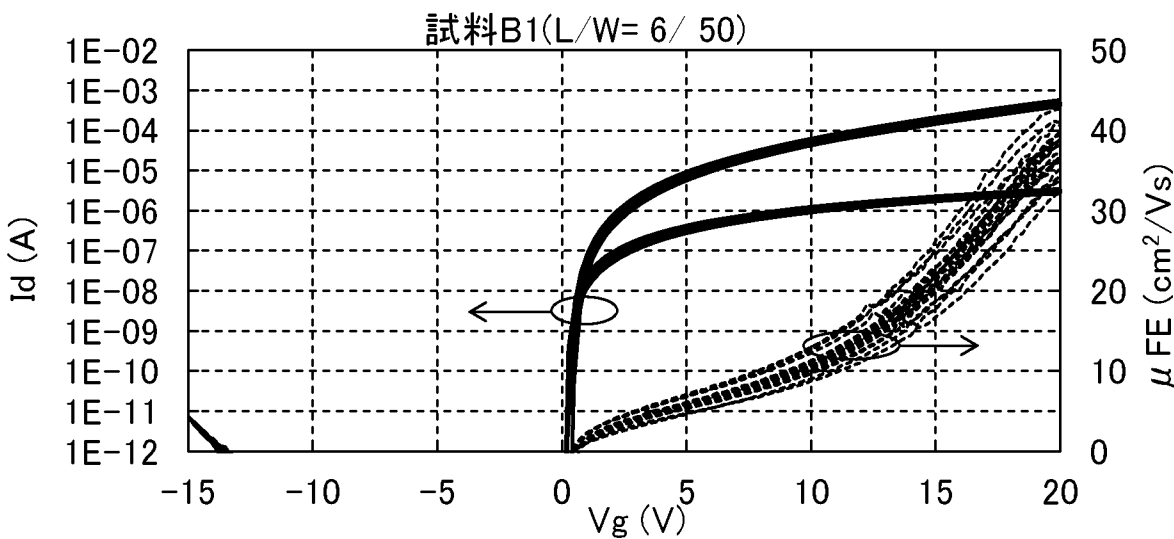
(A)



(B)

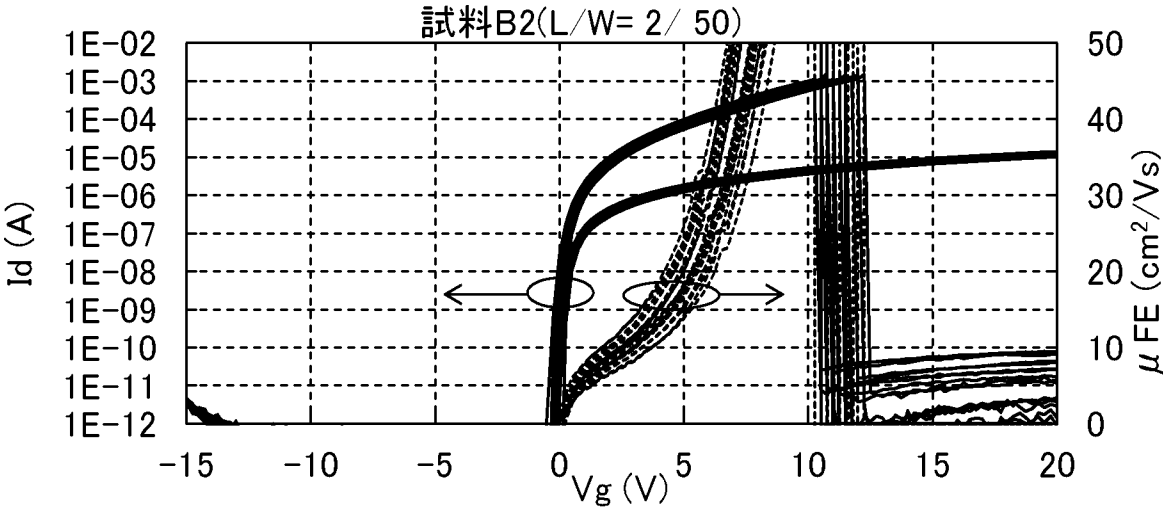


(C)

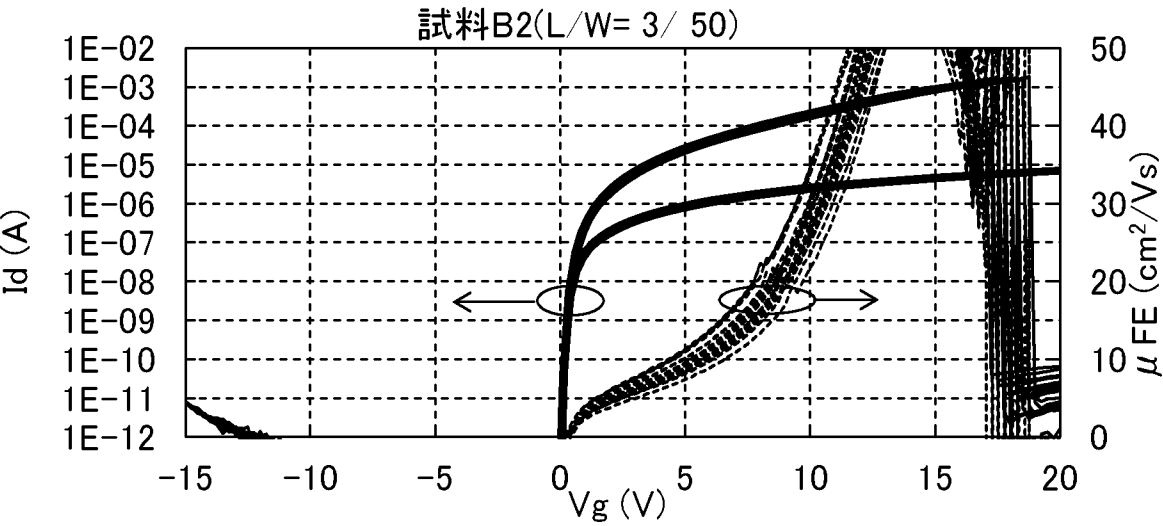


[図45]

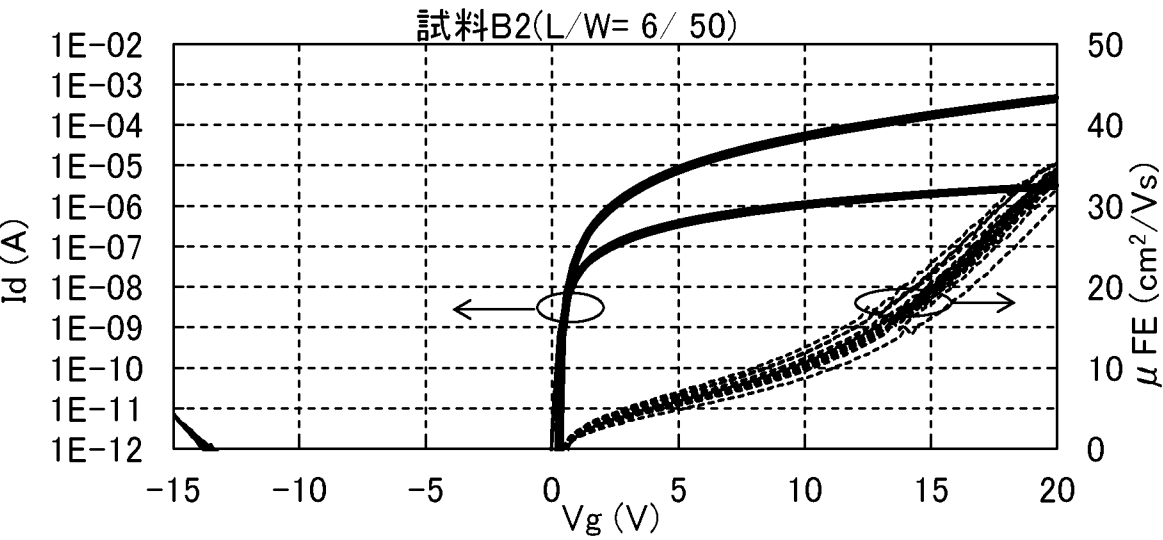
(A)



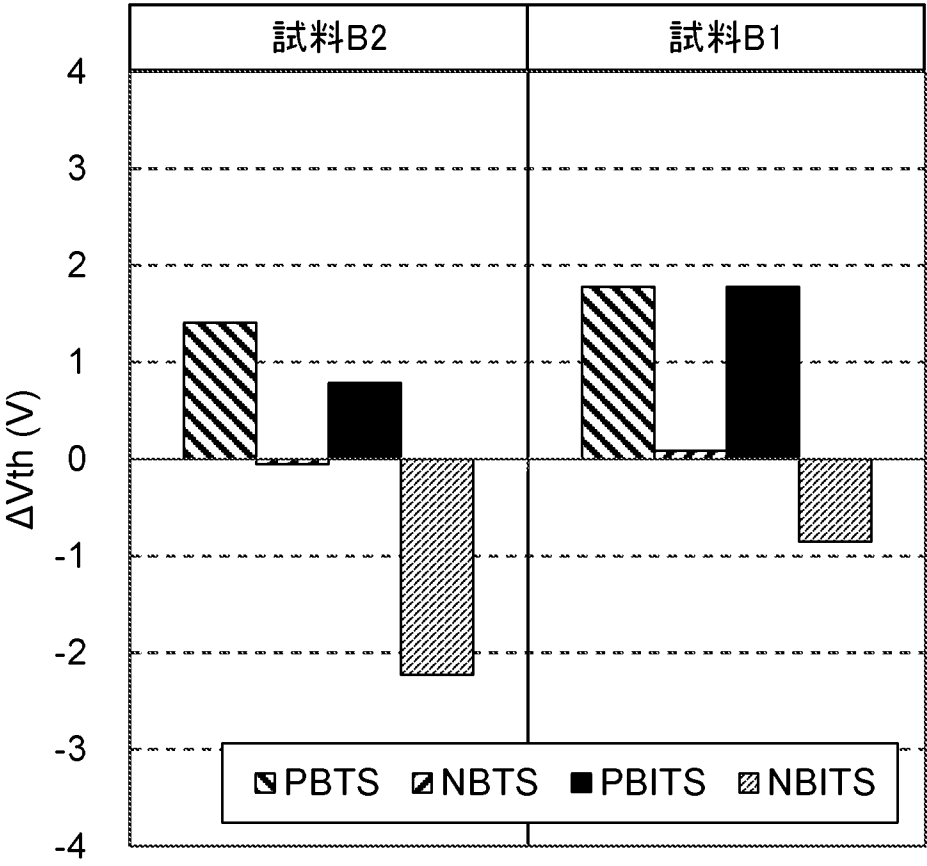
(B)



(C)

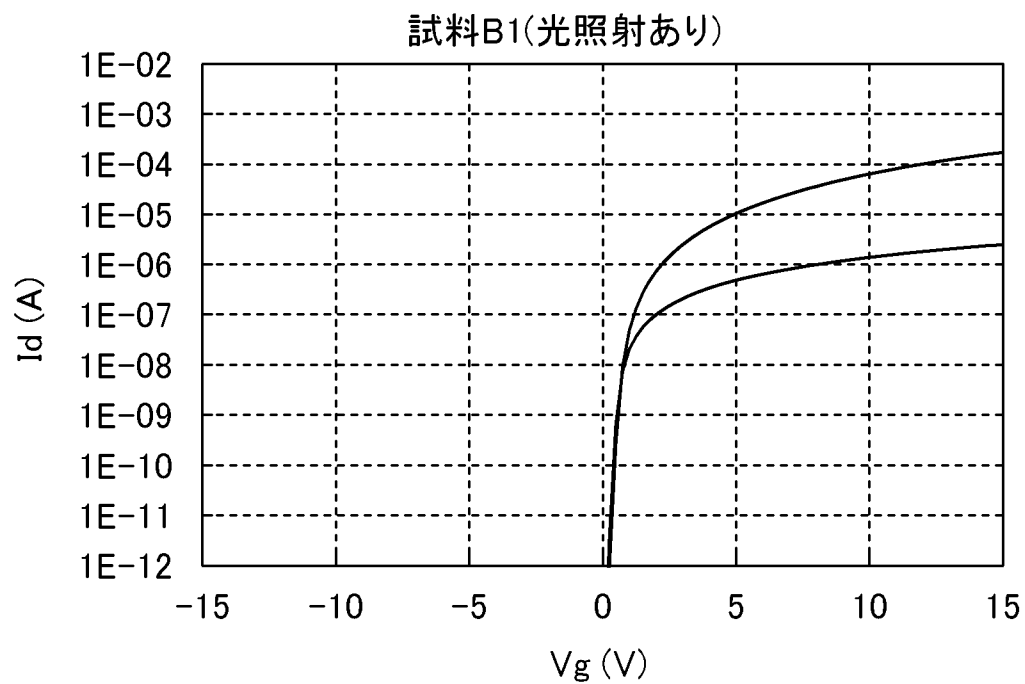


[図46]

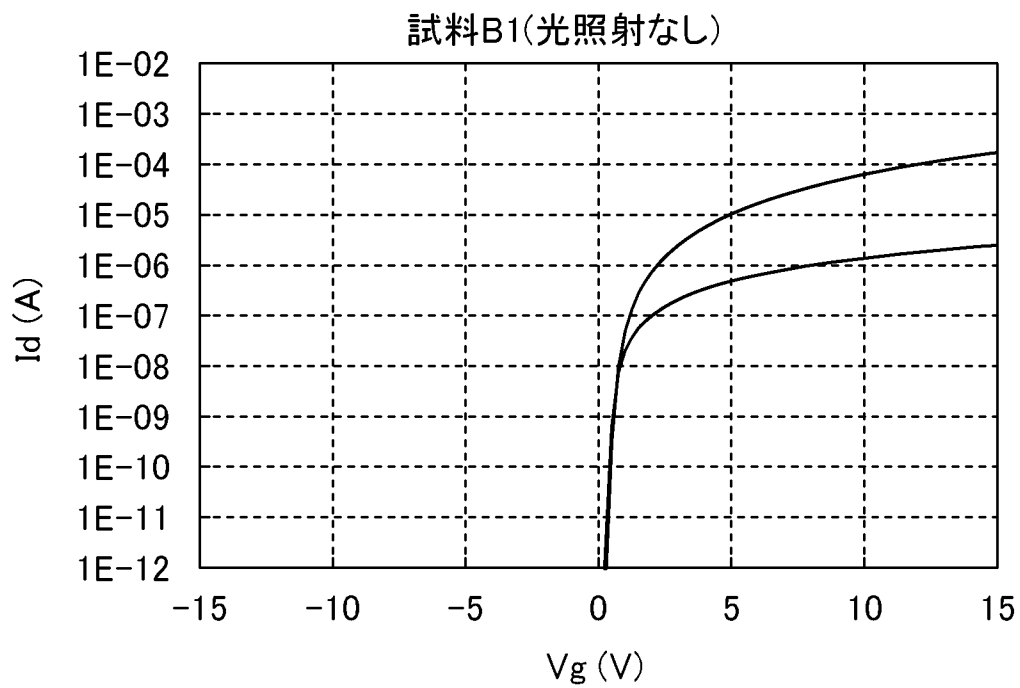


[図47]

(A)

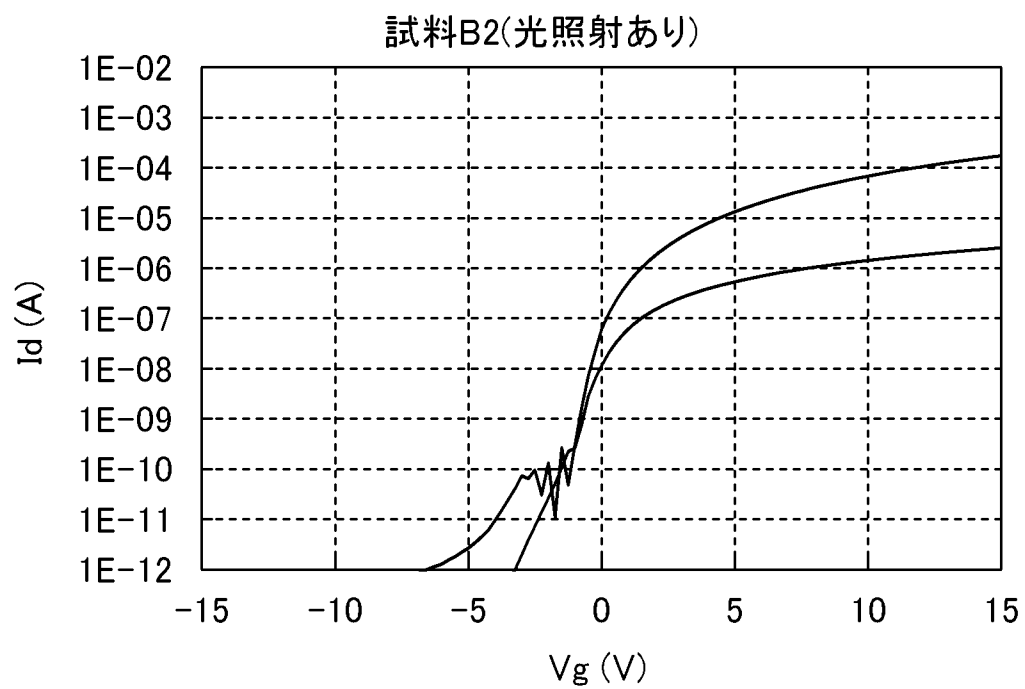


(B)

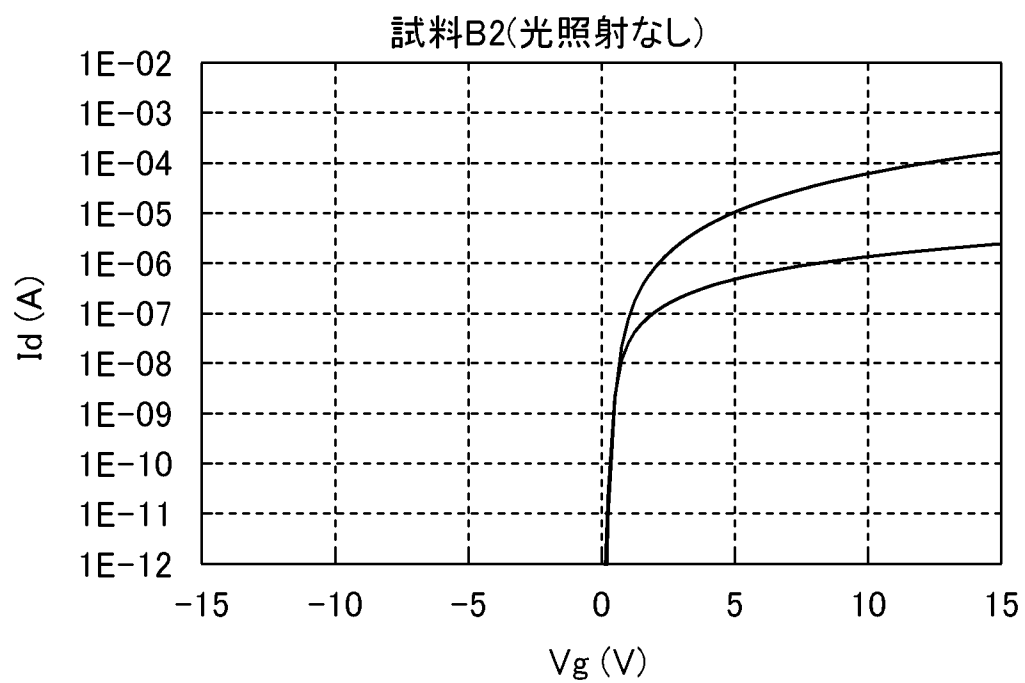


[図48]

(A)

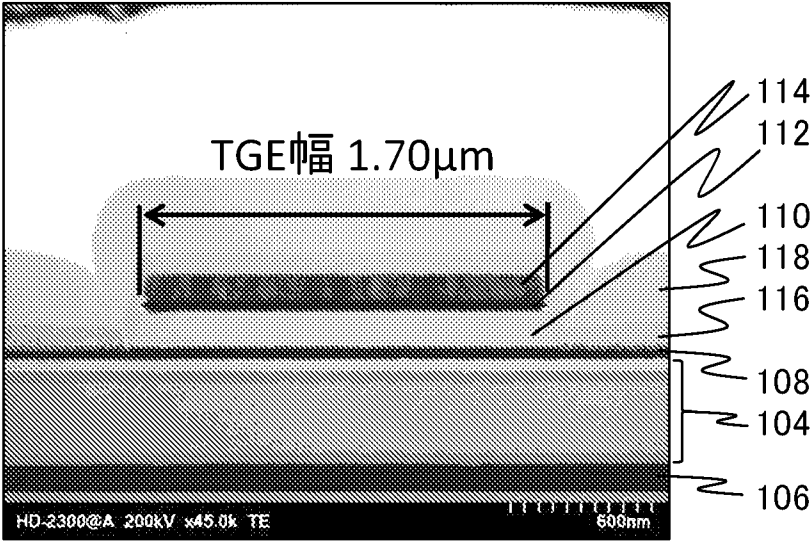


(B)

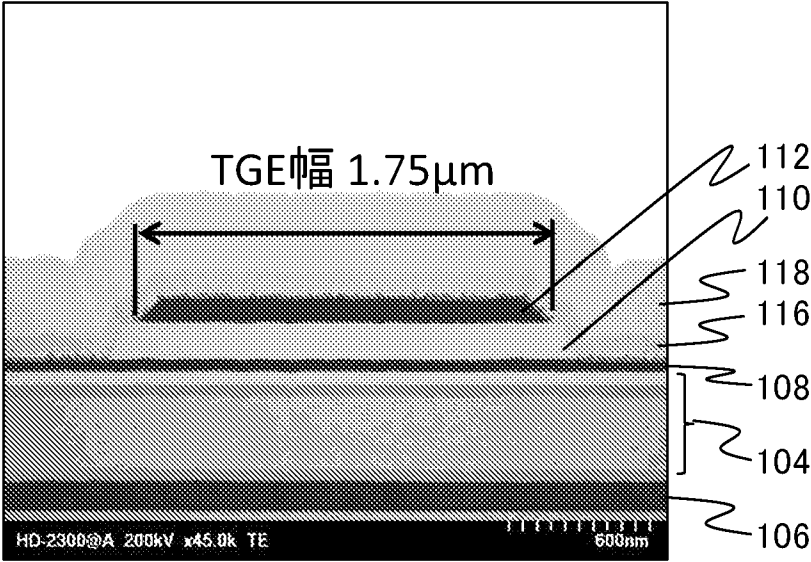


[図49]

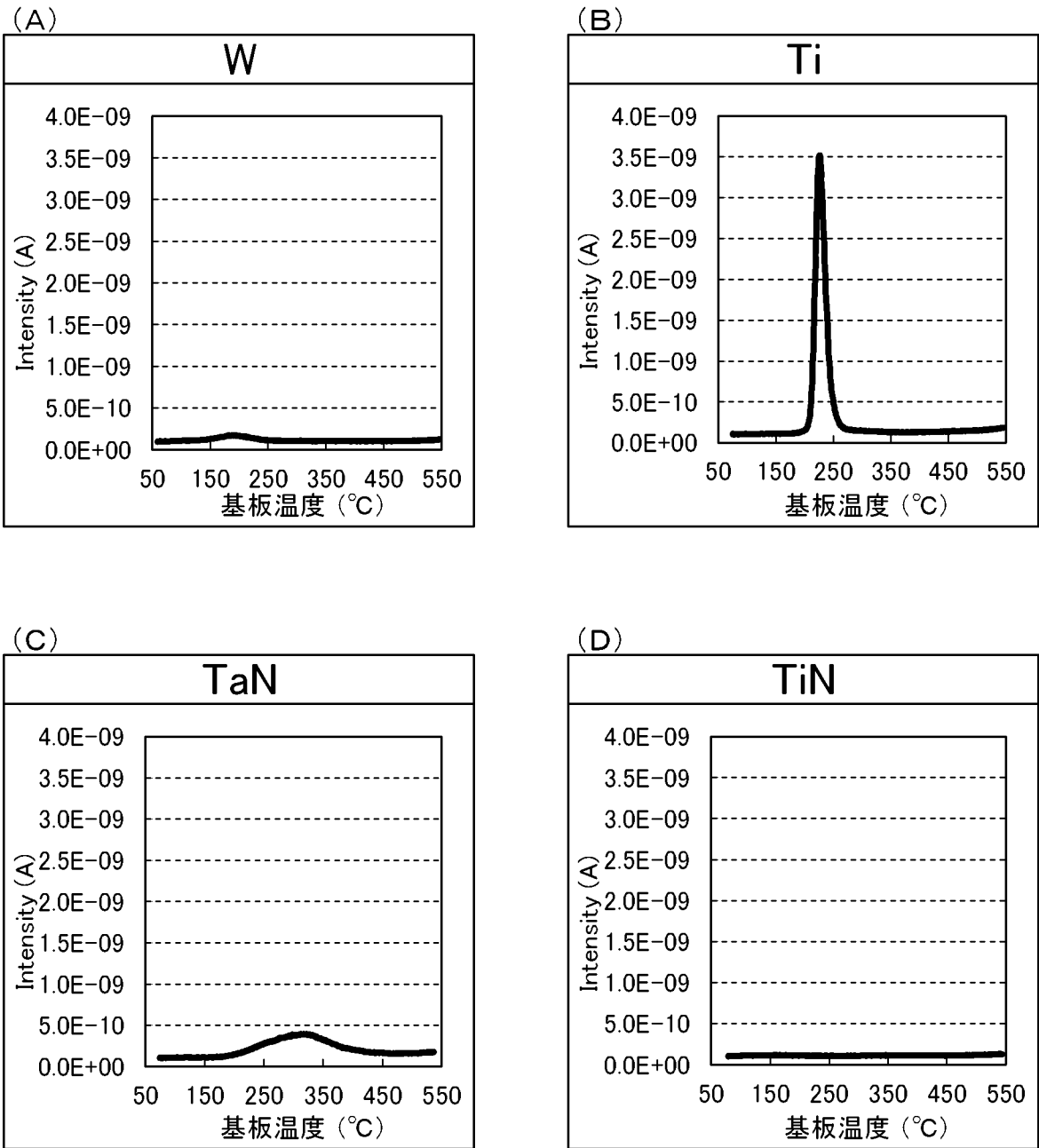
(A)



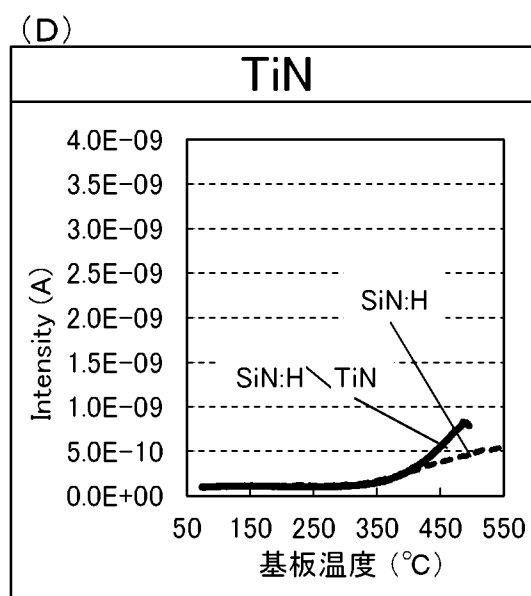
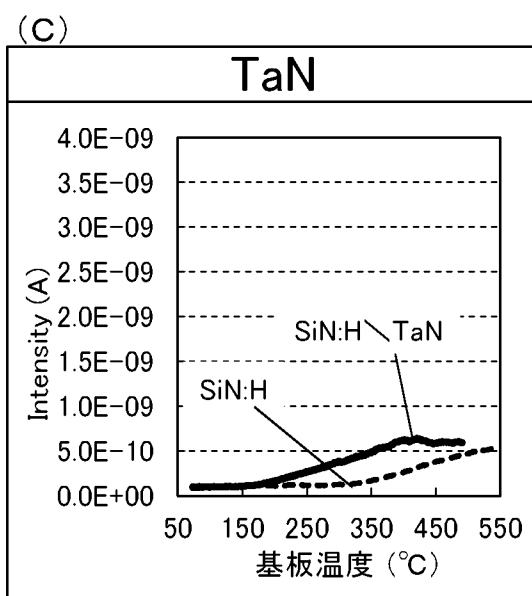
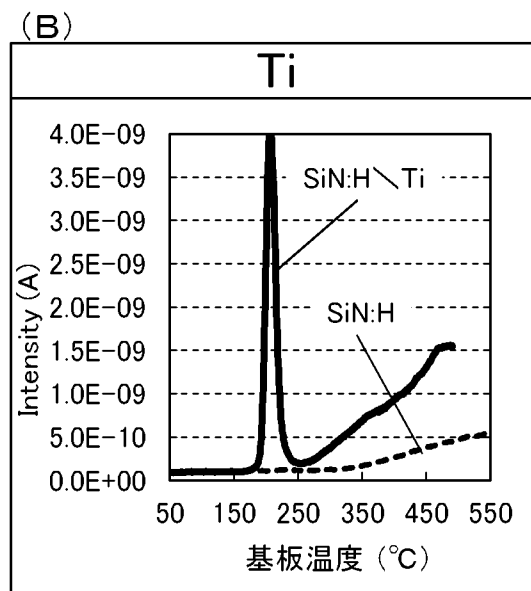
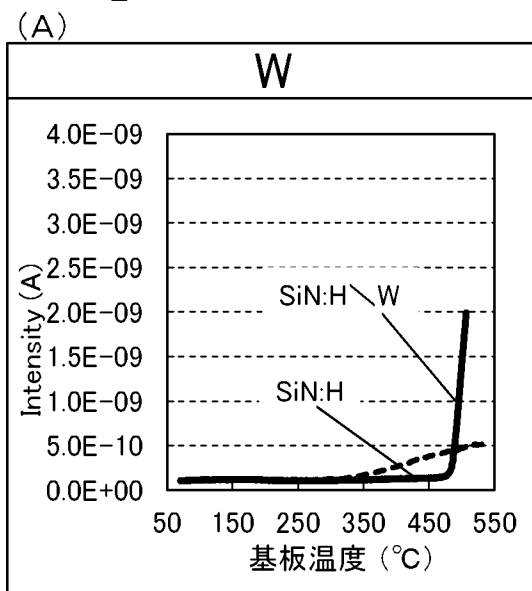
(B)



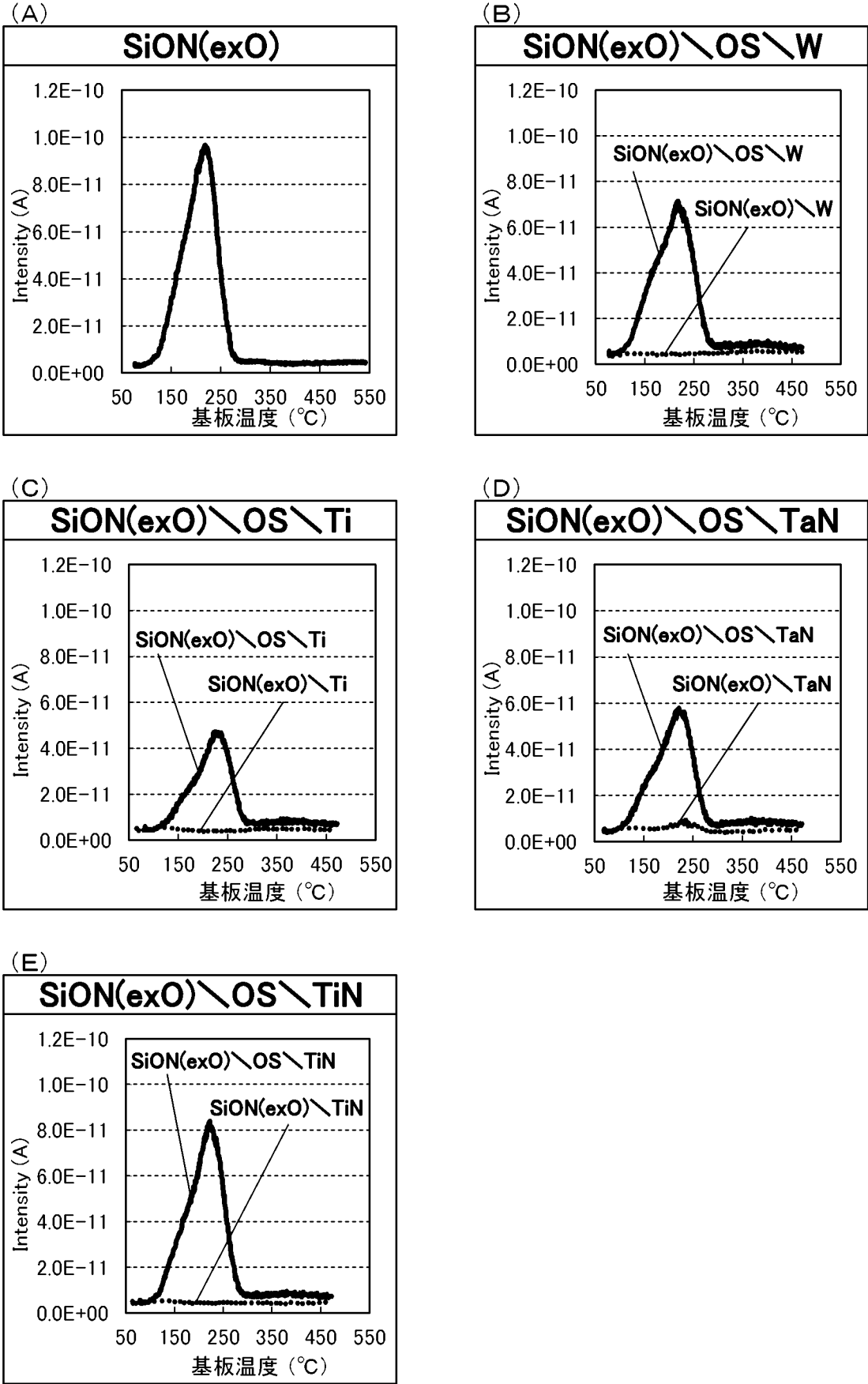
[図50]



[図51]

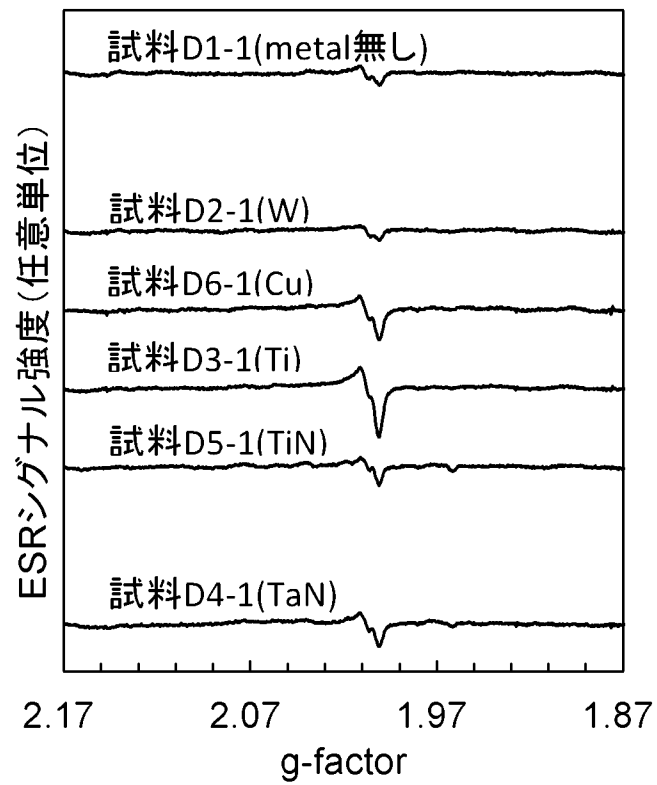


[図52]

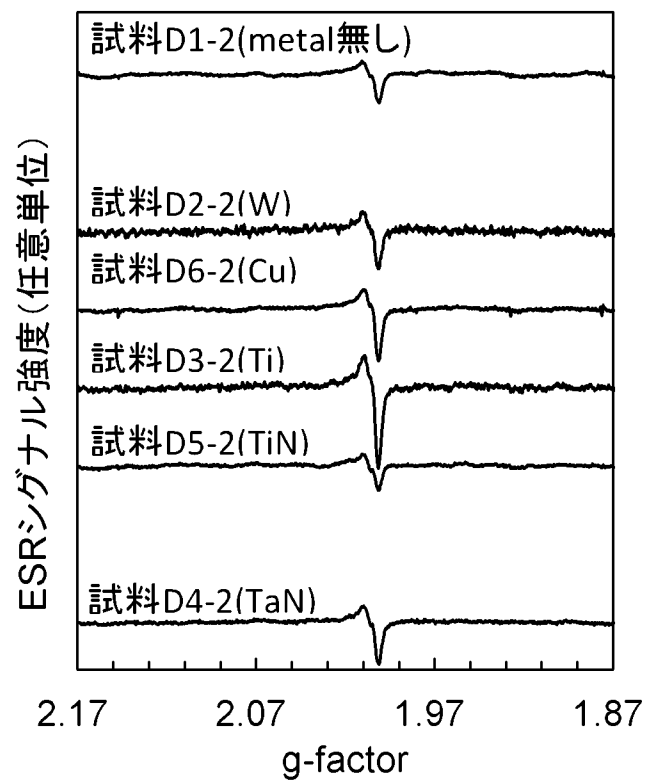


[図53]

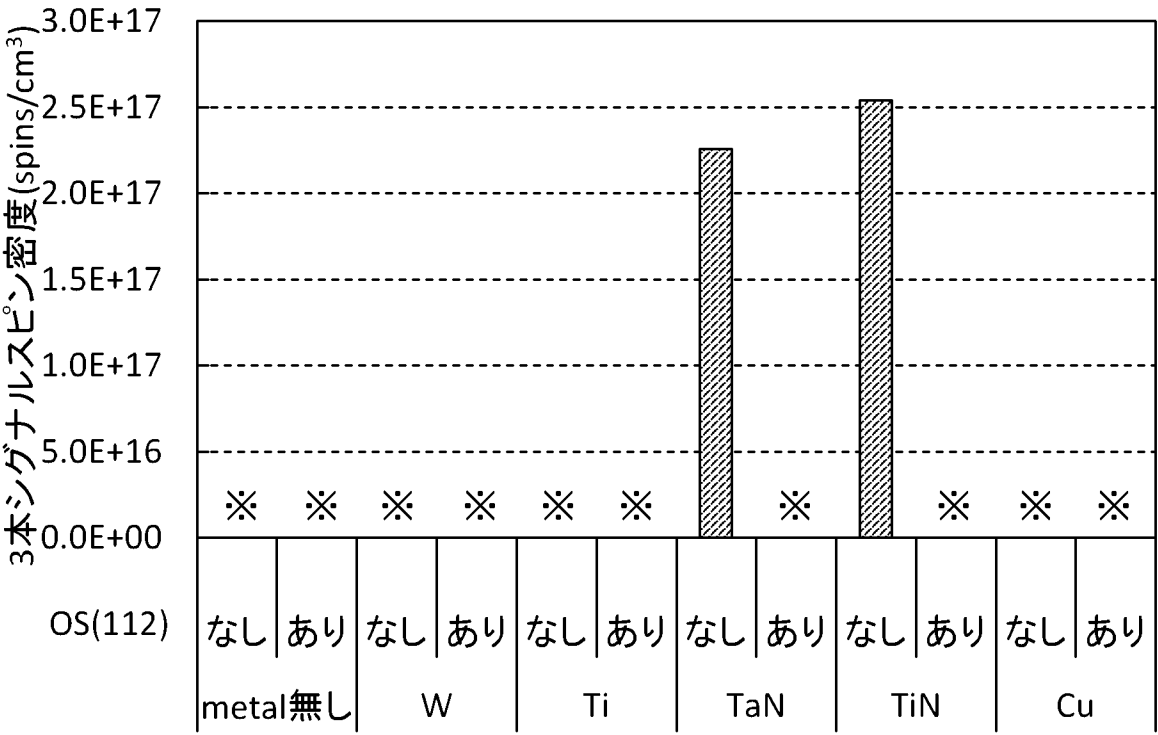
(A)



(B)

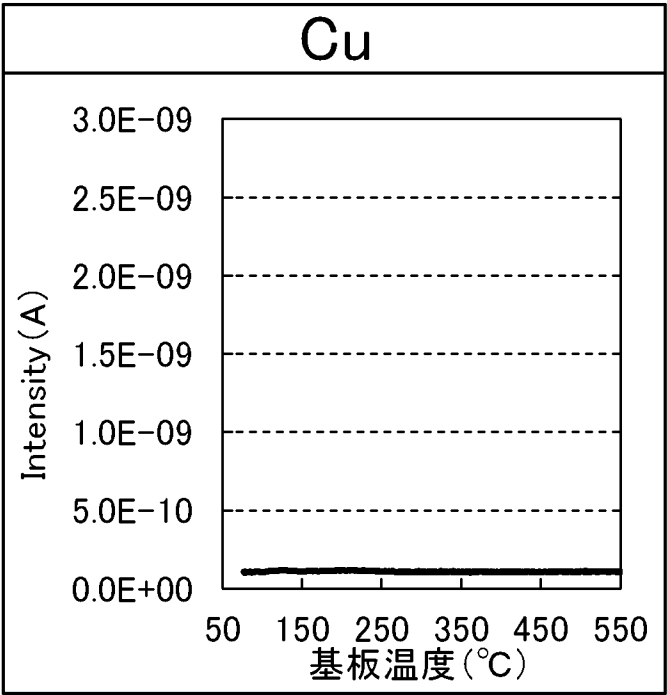


[図54]

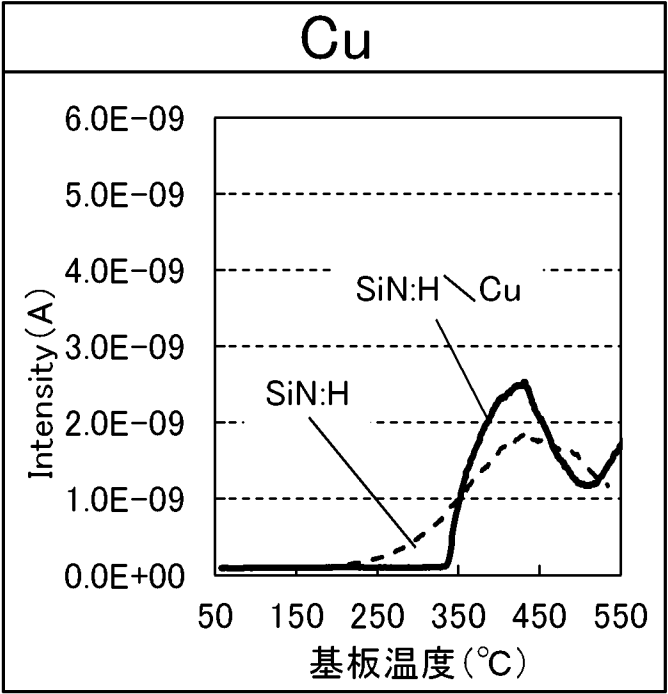


※測定下限以下

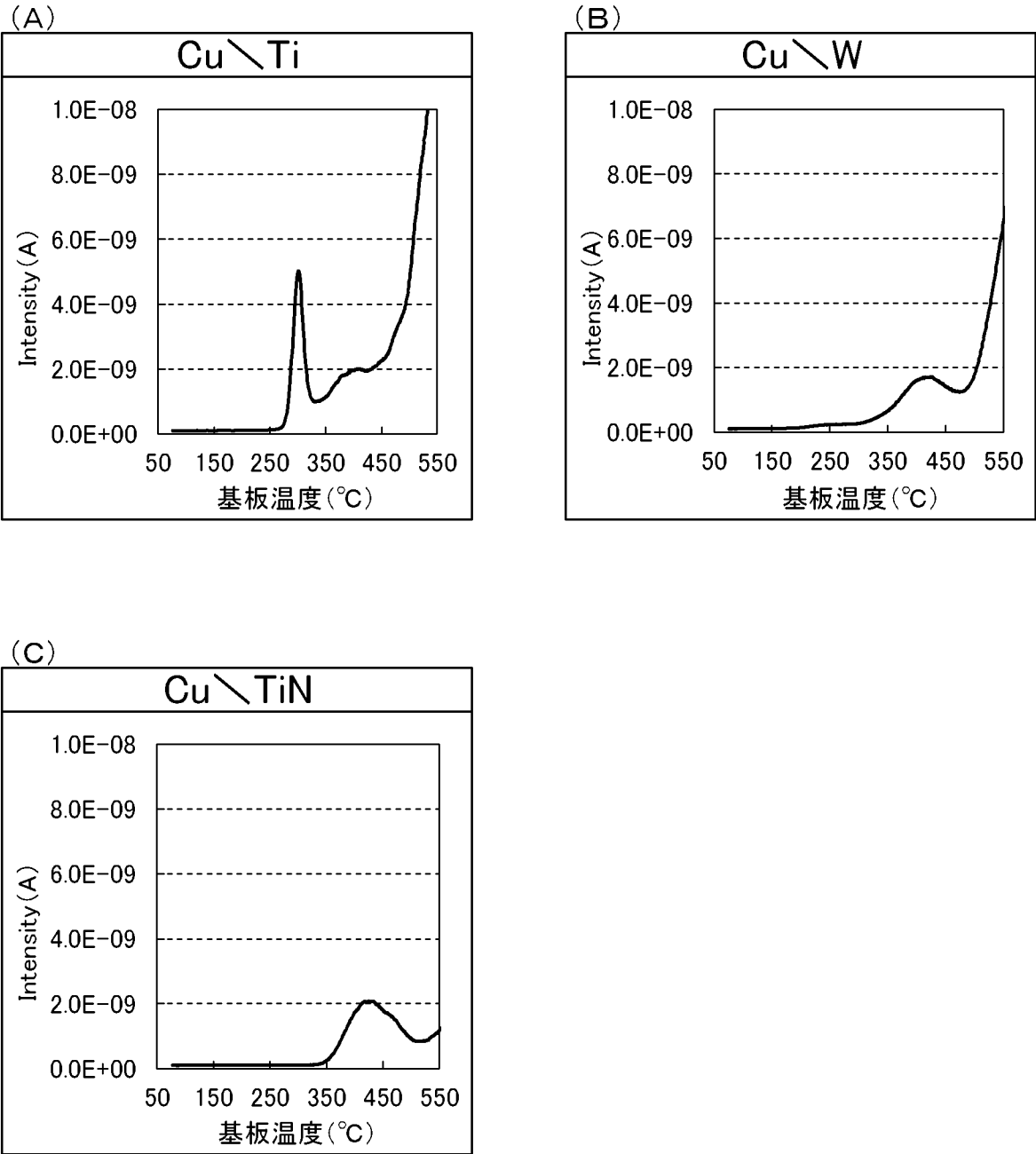
[図55]



[図56]



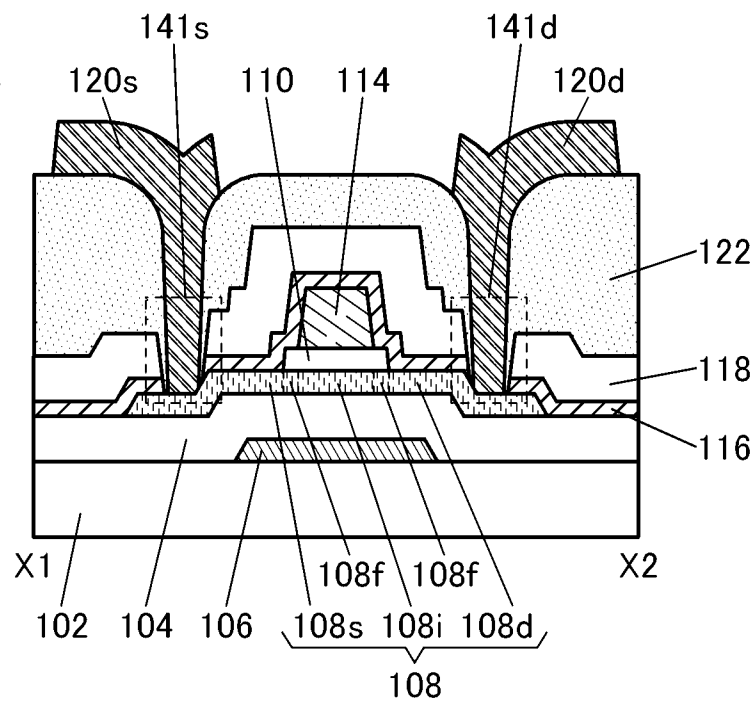
[図57]



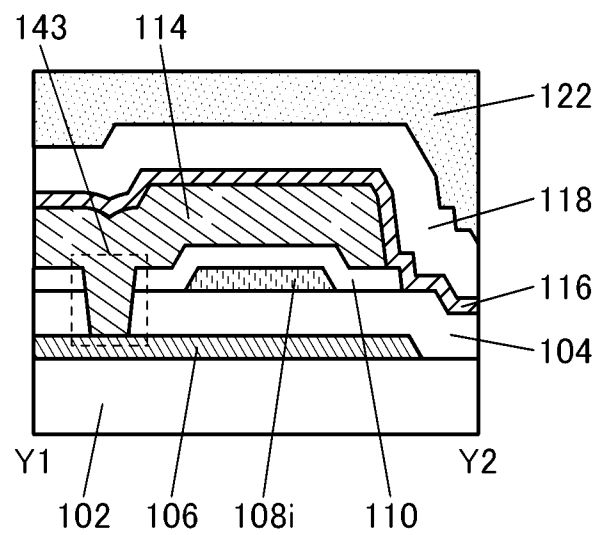
[図58]

(A)

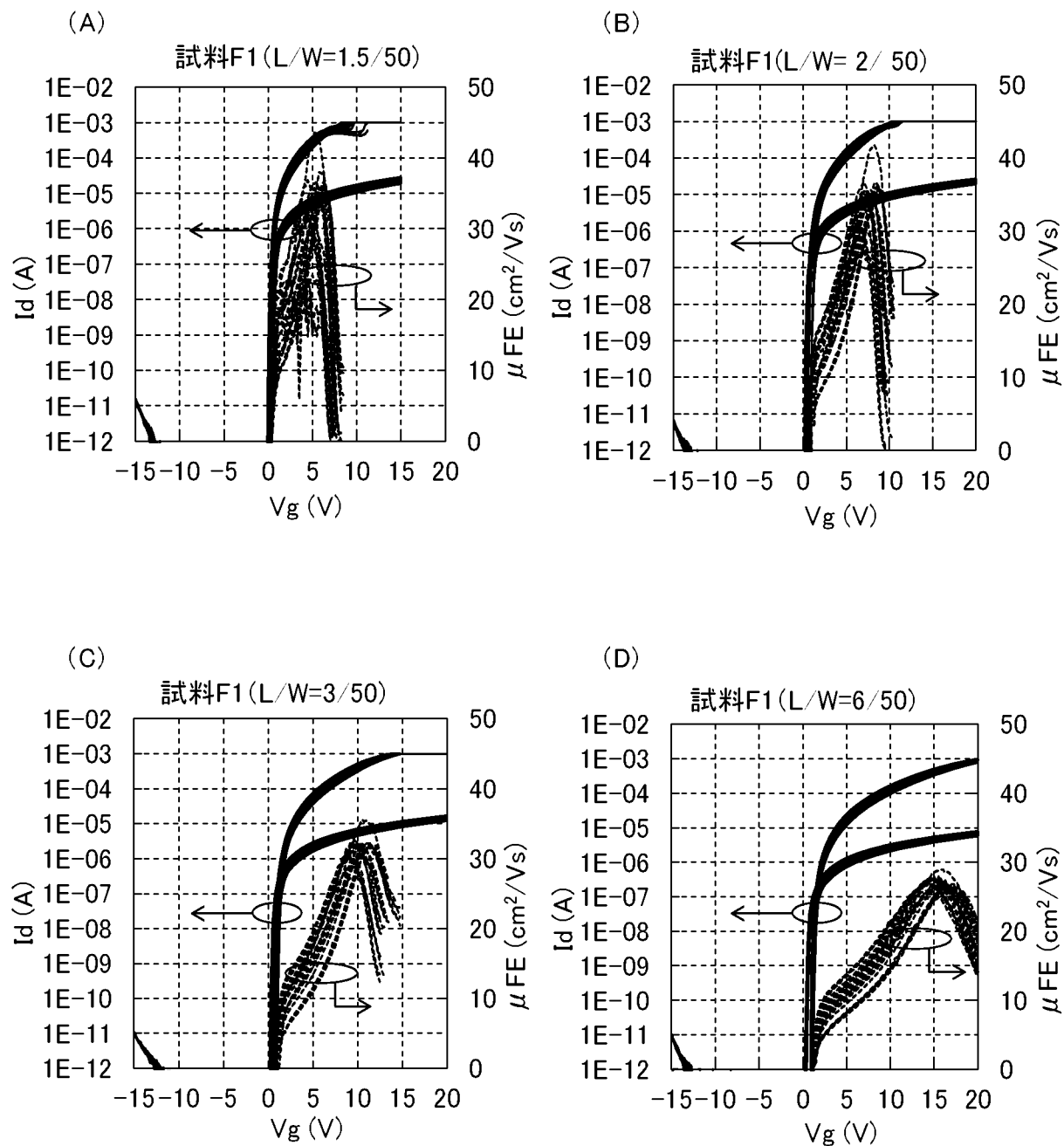
100H



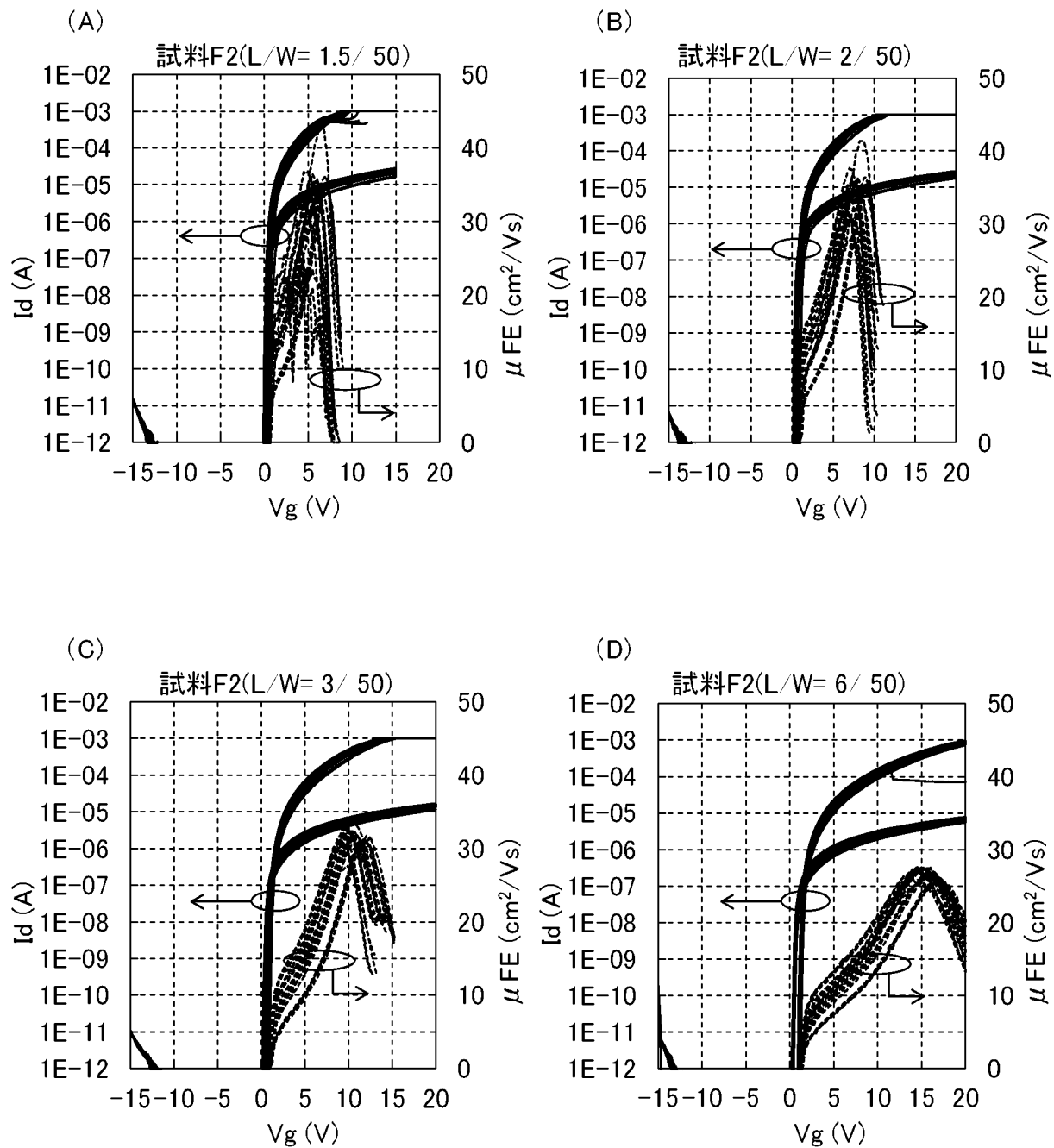
(B)



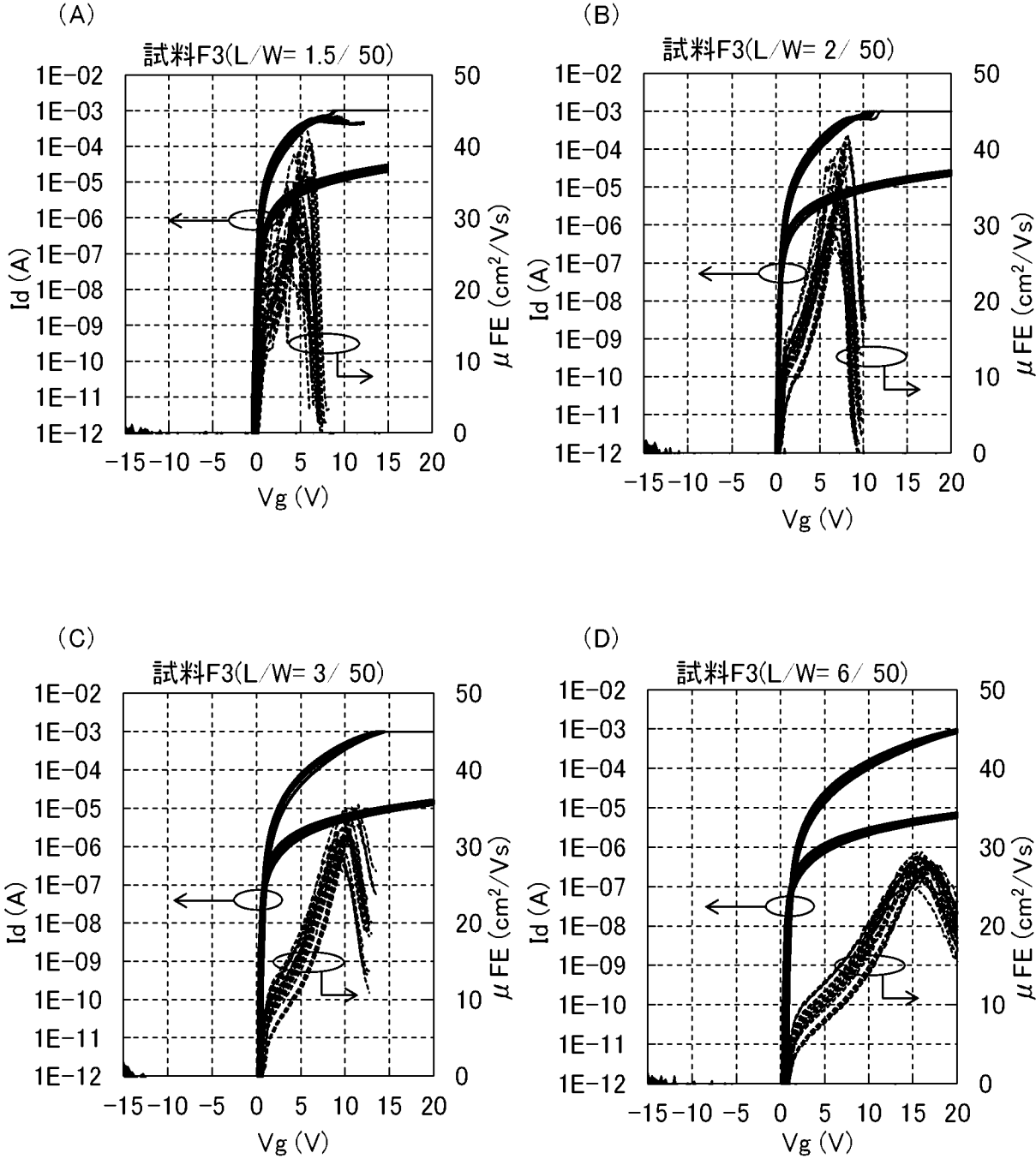
[図59]



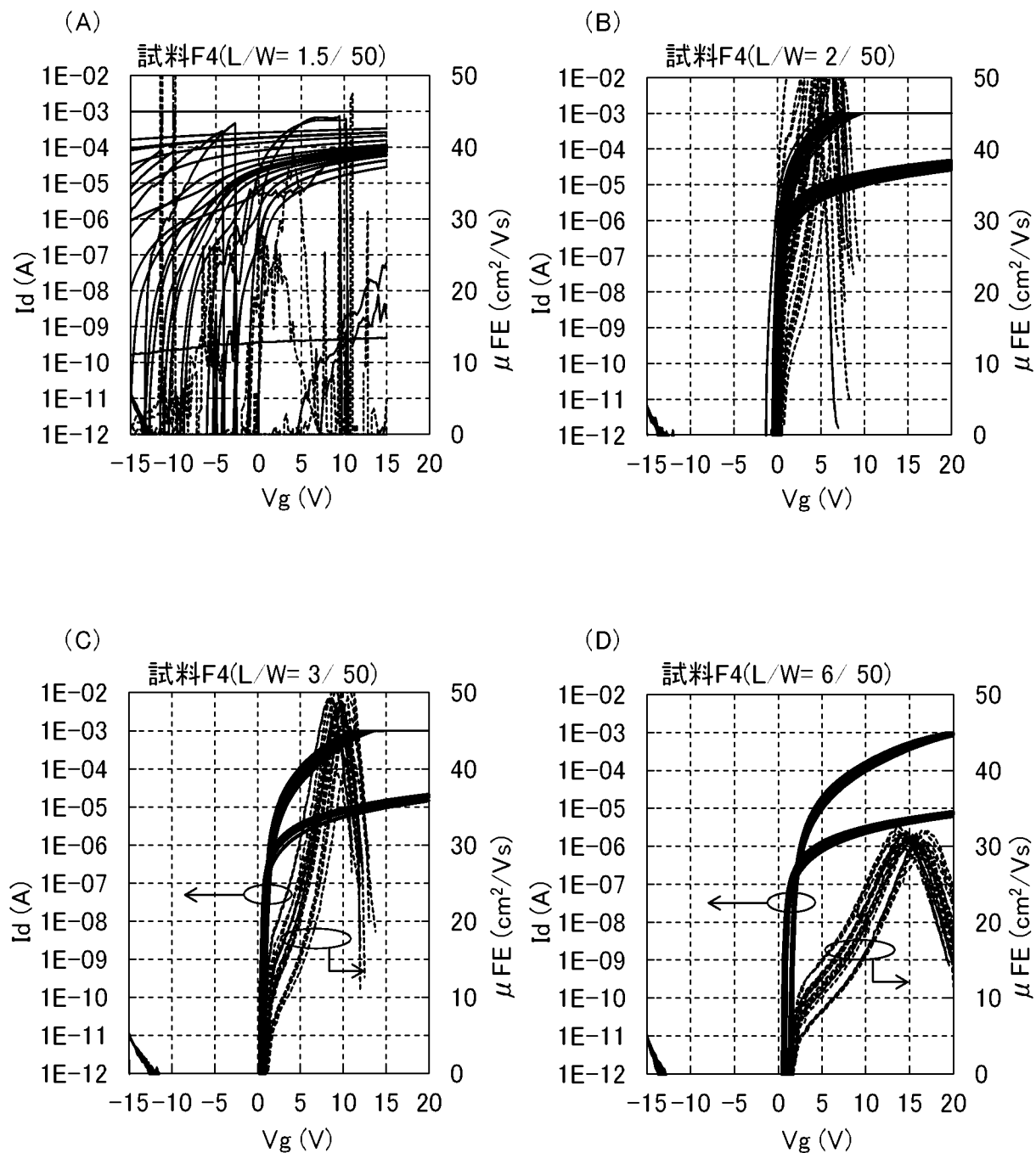
[図60]



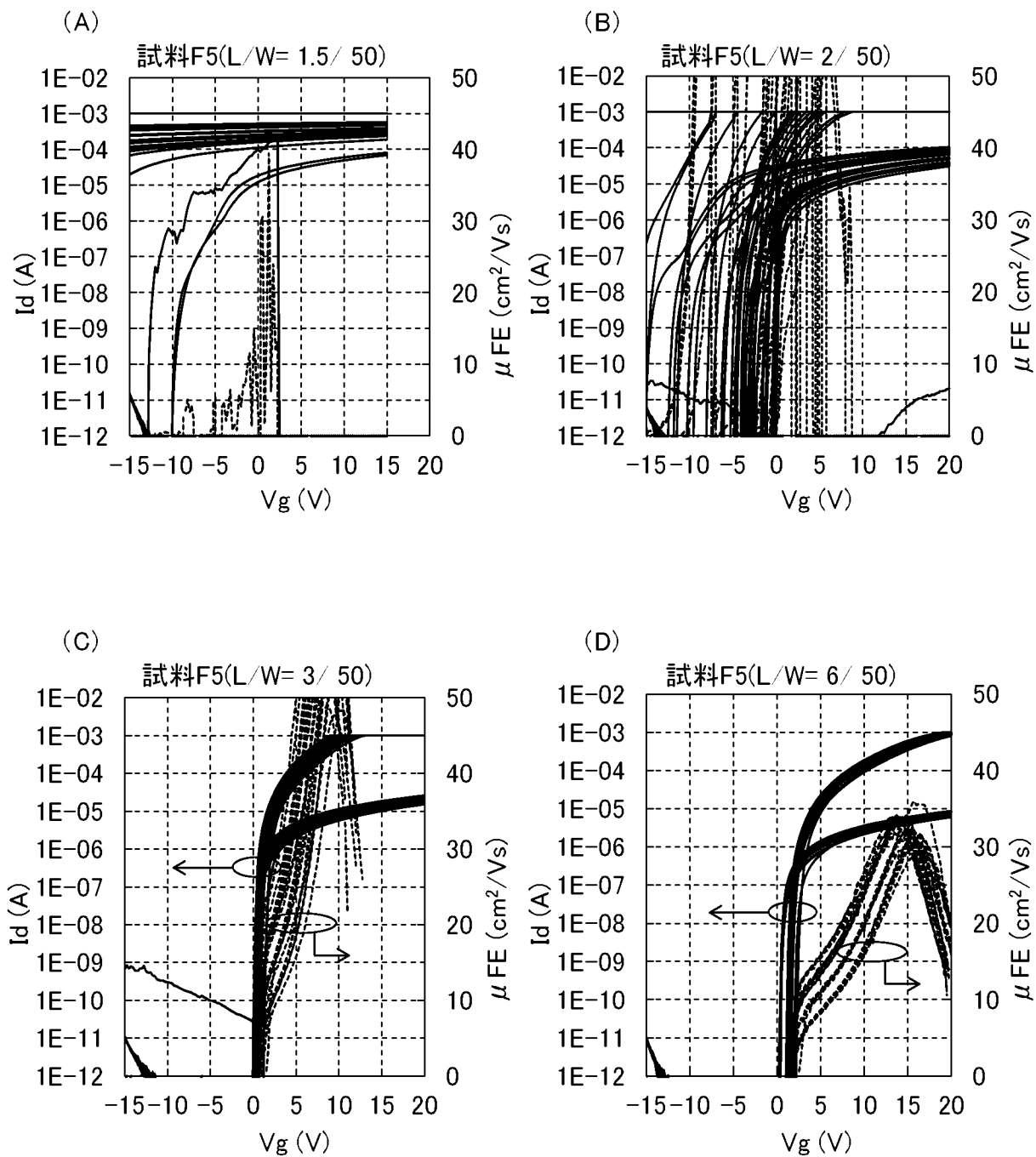
[図61]



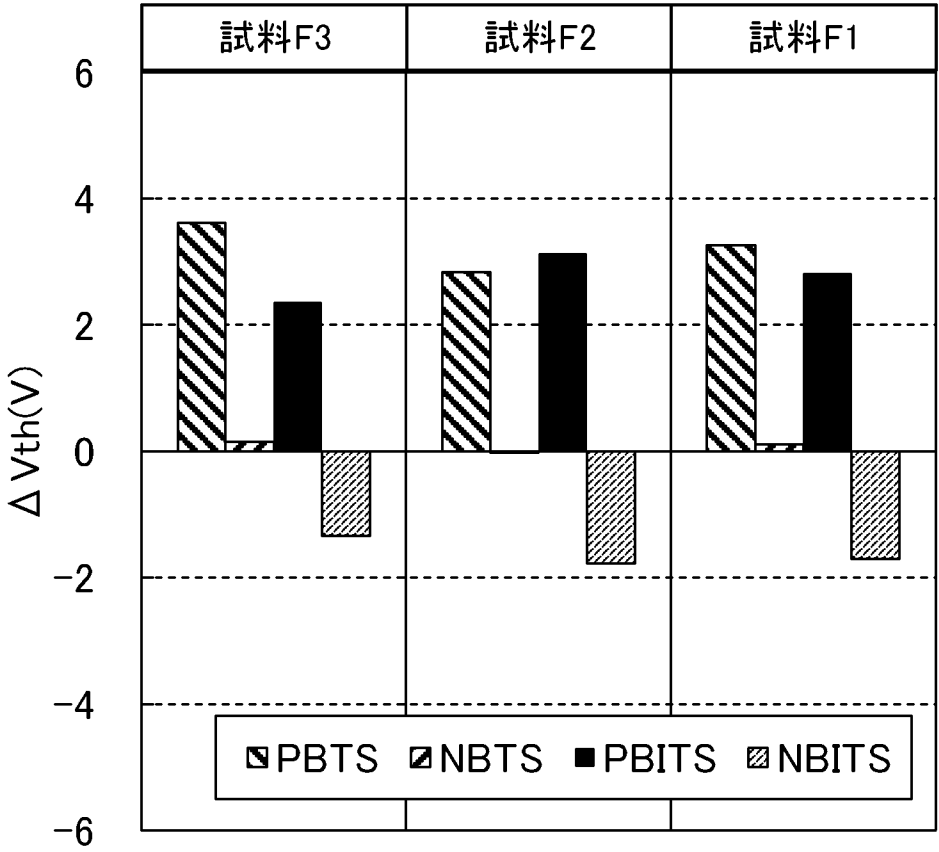
[図62]



[図63]



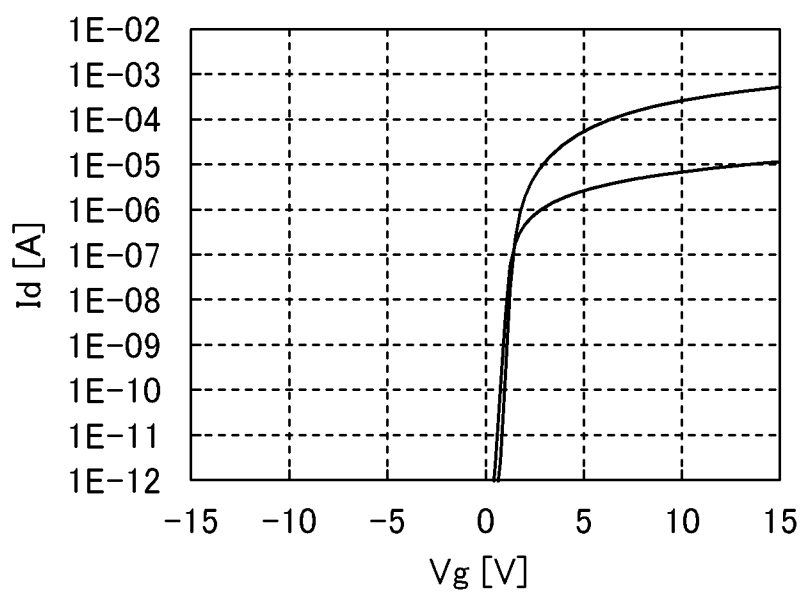
[図64]



[図65]

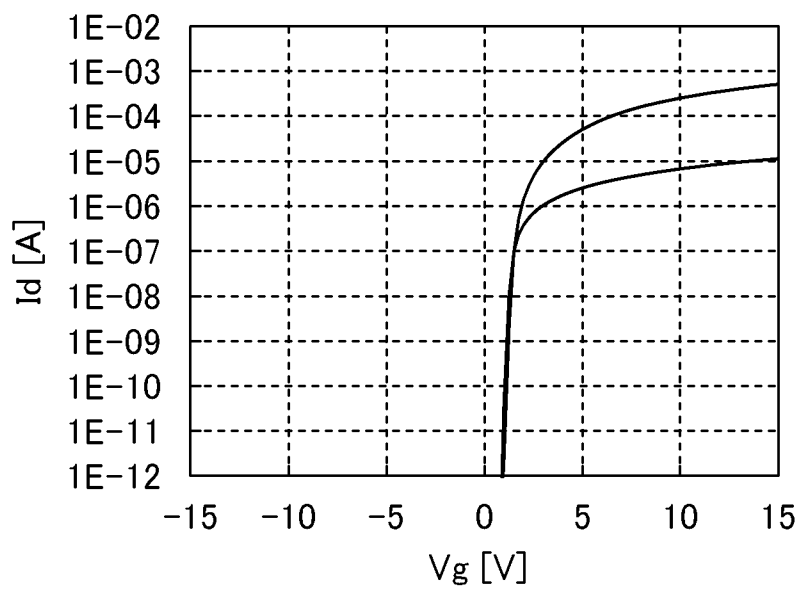
(A)

試料F1(光照射あり)



(B)

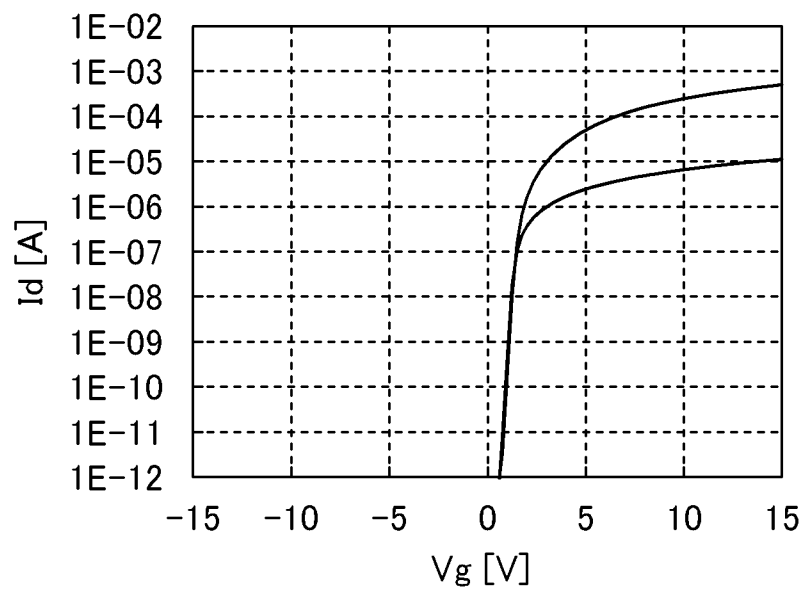
試料F1(光照射なし)



[図66]

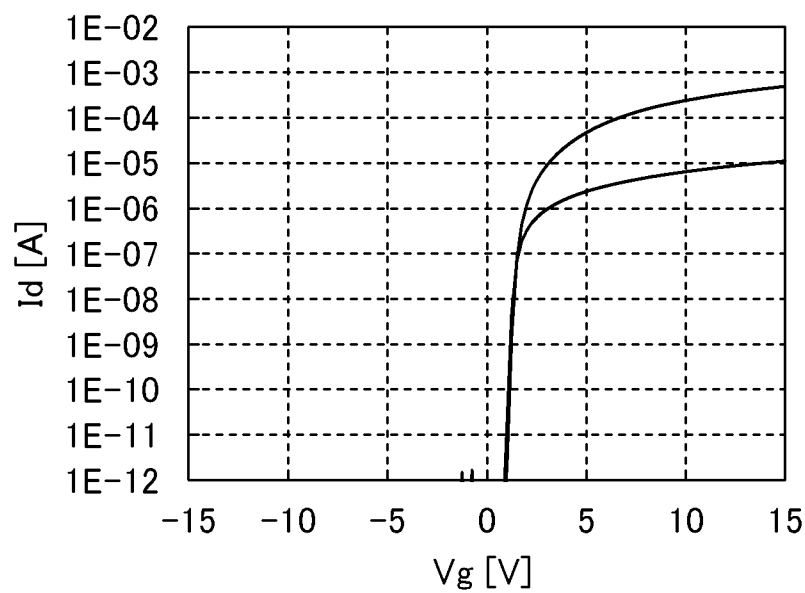
(A)

試料F2(光照射あり)



(B)

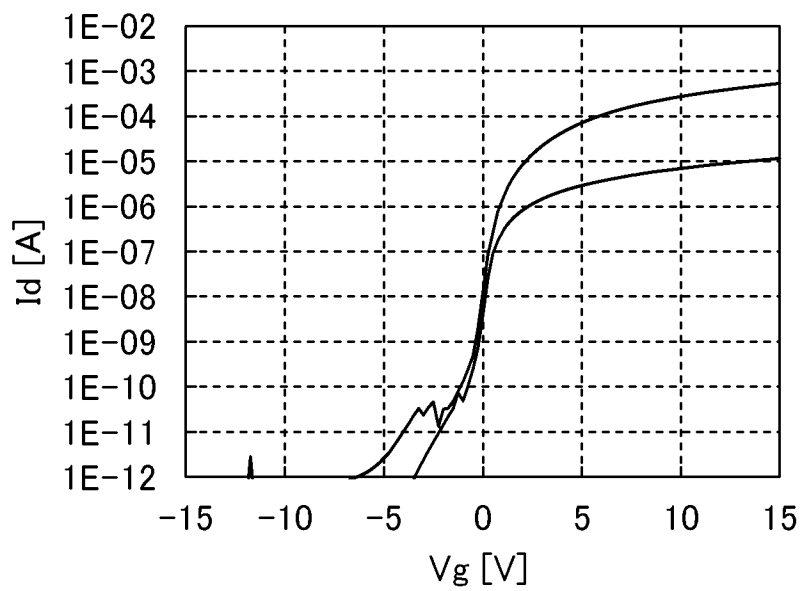
試料F2(光照射なし)



[図67]

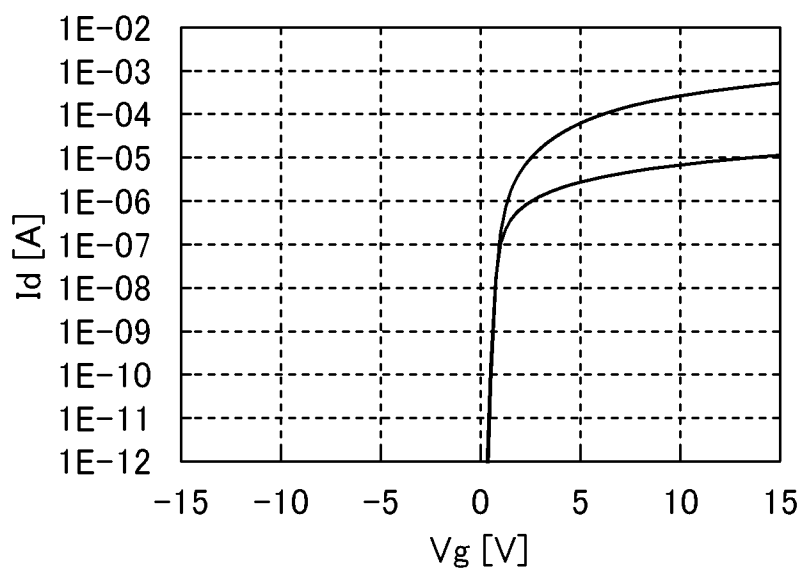
(A)

試料F3(光照射あり)



(B)

試料F3(光照射なし)



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2016/056731

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/786(2006.01)i, G09F9/30(2006.01)i, H01L21/28(2006.01)i,
H01L21/336(2006.01)i, H01L29/423(2006.01)i, H01L29/49(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/786, G09F9/30, H01L21/28, H01L21/336, H01L29/423, H01L29/49

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2017
Kokai Jitsuyo Shinan Koho 1971-2017 Toroku Jitsuyo Shinan Koho 1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2015-188079 A (Semiconductor Energy Laboratory Co., Ltd.), 29 October 2015 (29.10.2015), paragraphs [0035] to [0094], [0125] to [0126], [0385] to [0389]; fig. 1, 29 & US 2015/0263141 A1 paragraphs [0073] to [0132], [0163] to [0164], [0418] to [0422]; fig. 1, 29	1-12
A	JP 2015-188080 A (Semiconductor Energy Laboratory Co., Ltd.), 29 October 2015 (29.10.2015), & US 2015/0263174 A1 & KR 10-2015-0107622 A	1-12



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

01 February 2017 (01.02.17)

Date of mailing of the international search report

14 February 2017 (14.02.17)

Name and mailing address of the ISA/

Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2016/056731

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2015-181151 A (Semiconductor Energy Laboratory Co., Ltd.), 15 October 2015 (15.10.2015), & US 2015/0221774 A1	1-12

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L29/786(2006.01)i, G09F9/30(2006.01)i, H01L21/28(2006.01)i, H01L21/336(2006.01)i,
H01L29/423(2006.01)i, H01L29/49(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L29/786, G09F9/30, H01L21/28, H01L21/336, H01L29/423, H01L29/49

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2015-188079 A（株式会社半導体エネルギー研究所）2015.10.29, [0035]-[0094], [0125]-[0126], [0385]-[0389]、図1, 29 & US 2015/0263141 A1, [0073]-[0132], [0163]-[0164], [0418]-[0422]、図1, 29	1-12
A	JP 2015-188080 A（株式会社半導体エネルギー研究所）2015.10.29, & US 2015/0263174 A1 & KR 10-2015-0107622 A	1-12

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

01.02.2017

国際調査報告の発送日

14.02.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/JP）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

岩本 勉

5F

9355

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2015-181151 A (株式会社半導体エネルギー研究所) 2015. 10. 15, & US 2015/0221774 A1	1-12