

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】令和6年4月26日(2024.4.26)

【国際公開番号】WO2023/013200

【出願番号】特願2023-539657(P2023-539657)

【国際特許分類】

H 0 1 L 2 1 / 3 3 6 ( 2 0 0 6 . 0 1 )

H 0 1 L 2 9 / 1 2 ( 2 0 0 6 . 0 1 )

H 0 1 L 2 9 / 7 8 ( 2 0 0 6 . 0 1 )

H 0 1 L 2 9 / 7 3 9 ( 2 0 0 6 . 0 1 )

10

【 F I 】

H 0 1 L 2 9 / 7 8 3 0 1 V

H 0 1 L 2 9 / 7 8 6 5 2 T

H 0 1 L 2 9 / 7 8 6 5 2 Q

H 0 1 L 2 9 / 7 8 6 5 2 S

H 0 1 L 2 9 / 7 8 6 5 5 G

H 0 1 L 2 9 / 7 8 6 5 3 C

H 0 1 L 2 9 / 7 8 6 5 2 C

H 0 1 L 2 9 / 7 8 6 5 2 K

H 0 1 L 2 9 / 7 8 6 5 2 M

H 0 1 L 2 9 / 7 8 6 5 8 J

H 0 1 L 2 9 / 7 8 6 5 8 E

H 0 1 L 2 9 / 7 8 6 5 8 G

H 0 1 L 2 9 / 7 8 6 5 8 F

H 0 1 L 2 9 / 7 8 6 5 8 A

H 0 1 L 2 9 / 7 8 6 5 2 N

H 0 1 L 2 9 / 7 8 6 5 5 F

H 0 1 L 2 9 / 7 8 3 0 1 B

20

30

【手続補正書】

【提出日】令和5年12月7日(2023.12.7)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

一方側の第1主面および他方側の第2主面を有するチップと、  
前記チップ内で前記第1主面側の領域に形成された第1導電型の第1半導体領域と、  
前記チップ内で前記第1半導体領域よりも前記第2主面側の領域に形成された第2導電型の第2半導体領域と、  
断面視において前記第1半導体領域を一方側の第1領域および他方側の第2領域に区画するように前記第1半導体領域を貫通して前記第1主面に形成された第1溝、前記第1溝の内壁を被覆する制御絶縁膜、および、前記第2半導体領域におけるチャンネルを制御するように前記制御絶縁膜を挟んで前記第1溝に埋設された制御電極を含む第1溝構造と、  
前記第1領域において前記第1半導体領域に電氣的に接続された第1電極と、  
前記第2領域において前記第1半導体領域を貫通して前記第1主面に形成された第2溝、および、前記第1電極との間で前記チャンネルを介する電流経路を形成するように前記第

40

50

2 溝に埋設された第 2 電極を含む第 2 溝構造と、を含む、半導体装置。

【請求項 2】

前記チップは、Si 単結晶または SiC 単結晶を含む、請求項 1 に記載の半導体装置。

【請求項 3】

前記第 2 電極は、前記第 2 溝内において前記第 1 半導体領域および前記第 2 半導体領域の双方に電氣的に接続されている、請求項 1 に記載の半導体装置。

【請求項 4】

前記第 2 溝は、前記第 1 溝よりも深い、請求項 1 に記載の半導体装置。

【請求項 5】

前記制御電極は、非金属導体を含み、

10

前記第 2 電極は、金属を含む、請求項 1 に記載の半導体装置。

【請求項 6】

前記制御電極は、前記第 1 主面から前記第 1 溝の底壁側に間隔を空けて前記第 1 溝に埋設されている、請求項 1 に記載の半導体装置。

【請求項 7】

前記制御電極は、前記第 1 溝の中間部の深さ位置から前記第 1 溝の底壁側に間隔を空けて前記第 1 溝に埋設されている、請求項 6 に記載の半導体装置。

【請求項 8】

前記第 1 溝構造は、前記制御電極を被覆するように前記第 1 溝に埋設された絶縁体を含む、請求項 6 に記載の半導体装置。

20

【請求項 9】

前記絶縁体は、前記第 1 溝の深さ方向に関して前記制御電極の厚さを超える厚さを有している、請求項 8 に記載の半導体装置。

【請求項 10】

複数の前記第 1 溝構造が、前記第 1 主面に形成され、

前記第 2 溝構造は、複数の前記第 1 溝構造の間の領域に形成されている、請求項 1 に記載の半導体装置。

【請求項 11】

前記第 1 電極に電氣的に接続されるように前記第 1 半導体領域よりも高い濃度で前記第 1 領域に形成された第 1 導電型の第 1 不純物領域と、

30

前記第 2 電極に電氣的に接続されるように前記第 1 半導体領域よりも高い濃度で前記第 2 領域に形成された第 1 導電型の第 2 不純物領域と、をさらに含む、請求項 1 ~ 10 のいずれか一項に記載の半導体装置。

【請求項 12】

前記第 2 不純物領域は、前記第 1 不純物領域よりも深く形成されている、請求項 11 に記載の半導体装置。

【請求項 13】

前記第 1 不純物領域は、断面視において前記第 1 主面に沿う横方向に延び、

前記第 2 不純物領域は、断面視において前記第 2 溝構造に沿う縦方向に延びている、請求項 11 に記載の半導体装置。

40

【請求項 14】

前記第 2 不純物領域は、前記第 2 電極に接続されている、請求項 11 に記載の半導体装置。

【請求項 15】

前記第 1 主面の上で前記第 1 溝構造および前記第 1 半導体領域を被覆する主面絶縁膜をさらに含み、

前記第 1 電極は、前記主面絶縁膜を貫通し、

前記第 2 溝構造は、前記主面絶縁膜を貫通する前記第 2 溝を有している、請求項 1 ~ 10 のいずれか一項に記載の半導体装置。

【請求項 16】

50

前記第 2 電極は、前記第 2 溝内において、前記第 1 主面の高さ位置に対して前記第 2 溝の底壁側に位置された部分、および、前記第 1 主面の高さ位置に対して前記主面絶縁膜側に位置された部分を有している、請求項 1 5 に記載の半導体装置。

【請求項 1 7】

前記主面絶縁膜は、前記制御絶縁膜よりも厚い、請求項 1 5 に記載の半導体装置。

【請求項 1 8】

前記第 2 半導体領域内で前記第 1 溝構造の底壁に沿って形成された第 2 導電型の底壁不純物領域をさらに含む、請求項 1 ~ 1 0 のいずれか一項に記載の半導体装置。

【請求項 1 9】

前記チップ内で前記第 2 半導体領域よりも前記第 2 主面側の領域に形成され、前記第 2 半導体領域よりも高い不純物濃度を有する第 2 導電型の第 3 半導体領域をさらに含む、請求項 1 ~ 1 0 のいずれか一項に記載の半導体装置。

10

【請求項 2 0】

前記第 1 溝構造の底壁は、前記第 2 半導体領域内に位置され、

前記第 2 溝構造の底壁は、前記第 3 半導体領域内に位置されている、請求項 1 9 に記載の半導体装置。

20

30

40

50