

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2022 年 10 月 27 日 (27.10.2022)



(10) 国际公布号
WO 2022/222297 A1

(51) 国际专利分类号:
H01L 21/768 (2006.01) **H01L 29/78** (2006.01)

(21) 国际申请号: PCT/CN2021/108970

(22) 国际申请日: 2021 年 7 月 28 日 (28.07.2021)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202110444445.9 2021 年 4 月 23 日 (23.04.2021) CN

(71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230000 (CN)。

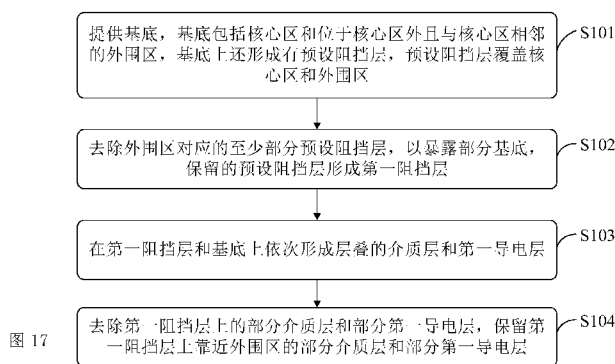
(72) 发明人: 杨蒙蒙 (YANG, Mengmeng); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230000 (CN)。 白杰 (BAI, Jie); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230000 (CN)。

(74) 代理人: 北京同立钧成知识产权代理有限公司 (LEADER PATENT & TRADEMARK FIRM); 中国北京市海淀区西直门北大街 32 号枫蓝国际 A 座 8F-6, Beijing 100082 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK,

(54) Title: SEMICONDUCTOR STRUCTURE MANUFACTURING METHOD AND SEMICONDUCTOR STRUCTURE

(54) 发明名称: 半导体结构的制作方法以及半导体结构



S101 Provide a substrate, the substrate comprising a core region and a peripheral region located outside and adjacent to the core region, a preset barrier layer being formed on the substrate, and the preset barrier layer covering the core region and the peripheral region
S102 Remove at least part of the preset barrier layer corresponding to the peripheral area to expose a part of the substrate, the retained preset barrier layer forming a first barrier layer
S103 Sequentially form, on the first barrier layer and the substrate, a dielectric layer and a first conductive layer that are stacked
S104 Remove a part of the dielectric layer and a part of the first conductive layer on the first barrier layer, and retain the part of the dielectric layer and the part of the first conductive layer on the first barrier layer close to the peripheral region

(57) Abstract: The present application relates to the technical field of semiconductor manufacturing, and provides a semiconductor structure manufacturing method and a semiconductor structure, for use in solving the technical problem of device damage in a substrate. The manufacturing method comprises: providing a substrate, the substrate comprising a core region and a peripheral region located outside and adjacent to the core region, a preset barrier layer being formed on the substrate, and the preset barrier layer covering the core region and the peripheral region; removing at least part of the preset barrier layer corresponding to the peripheral area to expose

LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

一 包括国际检索报告 (条约第21条(3))。

a part of the substrate, the retained preset barrier layer forming a first barrier layer; sequentially forming, on the first barrier layer and the substrate, a dielectric layer and a first conductive layer that are stacked; and removing a part of the dielectric layer and a part of the first conductive layer on the first barrier layer, and retaining the part of the dielectric layer and the part of the first conductive layer on the first barrier layer close to the peripheral region. Since the first barrier layer and the dielectric layer partially overlap, the exposure of the substrate is reduced, and the risk of a part of the substrate being removed is lowered, thereby lowering the risk of exposure or even damage of a device in the substrate.

(57) 摘要: 本申请提供一种半导体结构的制作方法, 涉及半导体制造技术领域, 用于解决基底内的器件损伤的技术问题, 该制作方法包括: 提供基底, 基底包括核心区和位于核心区外且相邻的外围区, 基底上形成有预设阻挡层, 预设阻挡层覆盖核心区和外围区; 去除外围区对应的至少部分预设阻挡层, 以暴露部分基底, 保留的预设阻挡层形成第一阻挡层; 在第一阻挡层和基底上依次形成层叠的介质层和第一导电层; 去除第一阻挡层上的部分介质层和部分第一导电层, 保留第一阻挡层上靠近外围区的部分介质层和部分第一导电层。通过第一阻挡层和介质层部分重叠, 减少基底暴露, 降低基底被去除部分的风险, 进而降低了基底内的器件暴露甚至损伤的风险。

半导体结构的制作方法

本申请要求于 2021 年 04 月 23 日提交中国专利局、申请号为 202110444445.9、申请名称为“半导体结构的制作方法”的中国专利申请 5 的优先权，其全部内容通过引用结合在本申请中。

技术领域

本申请实施例涉及半导体制造技术领域，尤其涉及一种半导体结构的制作方法

10

背景技术

半导体结构一般应用在存储器、控制器等电子器件上；半导体结构应用在存储器上时，存储数据的阵列区内通常形成有电容器，阵列区外的边缘区内通常形成有金属氧化物场效应晶体管（Metal Oxide Semiconductor Field Effect Transistor，简称 MOSFET）。金属氧化物场效应晶体管一般根据掺杂类型的不同，可包括 P 型晶体管（PMOS）和 N 型晶体管（NMOS），这两种类型的晶体管中通常设置高介电常数（high-k）的介质层，以提高晶体管的击穿电压。

相关技术中，制作半导体结构时，通常先在基底上形成第一阻挡层，其中，基底包括核心区和设置在核心区外的外围区；去除外围区的第一阻挡层，保留核心区的第一阻挡层；在第一阻挡层和位于外围区的基底上依次层叠形成介质层和第一导电层；去除核心区的介质层和第一导电层，保留外围区的介质层和第一导电层。

然而，在上述制作半导体结构的过程中，去除核心区的介质层和第一导电层后，易在位于外围区的介质层与位于核心区的第一阻挡层之间出现断口，该断口的存在导致暴露出来的基底被去除，甚至导致基底内的器件损伤。

发明内容

第一方面，本申请实施例提供一种半导体结构的制作方法，其包括：提供基底，所述基底包括核心区和位于所述核心区外且与所述核心区相邻的外围区，所述基底上还形成有预设阻挡层，所述预设阻挡层覆盖所述核心区

5 和所述外围区；去除所述外围区对应的至少部分所述预设阻挡层，以暴露部分所述基底，保留的所述预设阻挡层形成第一阻挡层；在所述第一阻挡层和所述基底上依次形成层叠的介质层和第一导电层；去除所述第一阻挡层上的部分所述介质层和部分所述第一导电层，保留所述第一阻挡层上靠近所述外围区的部分所述介质层和部分所述第一导电层。

本申请实施例提供的半导体结构的制作方法具有如下优点：

10 本申请实施例提供的半导体结构的制作方法中，提供基底，基底包括核心区和位于核心区外且与核心区相邻的外围区，基底上还形成有预设阻挡层，预设阻挡层覆盖核心区和外围区；去除外围区对应的至少部分预设阻挡层，以暴露部分基底，保留的预设阻挡层形成第一阻挡层；在第一阻挡层和基底上依次形成层叠的介质层和第一导电层；去除第一阻挡层上的

15 部分介质层和部分第一导电层，保留第一阻挡层上靠近外围区的部分介质层和部分第一导电层。通过形成第一阻挡层，并保留第一阻挡层上的部分介质层和部分第一导电层，使得基底的部分区域覆盖第一阻挡层，基底的部分区域覆盖介质层，且第一阻挡层和介质层部分重叠，从而减少基底的暴露，降低基底被去除部分的风险，进而降低了基底内的器件暴露甚至损伤

20 的风险。

第二方面，本申请实施例提供一种半导体结构，其包括：基底，所述基底包括核心区和位于所述核心区外且与所述核心区相邻的外围区，所述基底内还设置有源区；设置在所述基底上的第一阻挡层，所述第一阻挡层至少覆盖所述核心区；设置在所述基底和部分所述第一阻挡层上的介质层；

25 设置在所述介质层上的第一导电层。

本申请实施例提供的半导体结构具有如下优点：

本申请实施例提供的半导体结构包括基底、第一阻挡层、介质层和第一导电层，其中，基底包括核心区和位于核心区外且与核心区相邻的外围区，基底内还设置有源区；第一阻挡层设置在基底上，第一阻挡层至少覆盖核心区；介质层设置在基底和部分第一阻挡层上，第一导电层设置在介质层上。通过在基底和部分第一阻挡层上设置介质层，使得基底的部分区

30

域覆盖第一阻挡层，基底的部分区域覆盖介质层，且第一阻挡层和介质层部分重叠，从而减少基底的暴露，降低基底被去除部分的风险，进而降低了基底内的器件暴露甚至损伤的风险。

5 附图说明

图 1 为相关技术中的形成第一光刻胶层后第一截面在核心区的剖视图；

图 2 为相关技术中的形成第一光刻胶层后第二截面在核心区的剖视图；

图 3 为相关技术中的形成第一光刻胶层后第二截面在外围区剖视图；

图 4 为相关技术中的去除外围区对应的第一阻挡层后第一截面在核心区
10 区的剖视图；

图 5 为相关技术中的去除外围区对应的第一阻挡层后第二截面在核心区的剖视图；

图 6 为相关技术中的去除外围区对应的第一阻挡层后第二截面在外围区的剖视图；

图 7 为相关技术中的形成介质层和第一导电层后第一截面在核心区的剖视图；
15

图 8 为相关技术中的形成介质层和第一导电层后第二截面在核心区的剖视图；

图 9 为相关技术中的形成介质层和第一导电层后第二截面在外围区剖
20 视图；

图 10 为相关技术中的形成第二光刻胶层后第一截面在核心区的剖视图；

图 11 为相关技术中的形成第二光刻胶层后第二截面在核心区的剖视图；

图 12 为相关技术中的形成第二光刻胶层后第二截面在外围区的剖视图；
25

图 13 为相关技术中的去除核心区对应的介质层和第一导电层后第一截面在核心区的剖视图；

图 14 为相关技术中的去除核心区对应的介质层和第一导电层后第二
30 截面在核心区的剖视图；

图 15 为相关技术中的去除核心区对应的介质层和第一导电层后第二截面在外围区剖视图；

图 16 为相关技术中的核心区和外围区交接区域的示意图；

图 17 为本申请实施例中的半导体结构的制作方法的流程图；

5 图 18 为本申请实施例中的形成第一光刻胶层后第二截面的剖视图；

图 19 为本申请实施例中的基底的俯视图；

图 20 为本申请实施例中的形成第一光刻胶层后第一截面在核心区的剖视图；

10 图 21 为本申请实施例中的形成第一光刻胶层后第三截面在核心区的剖视图；

图 22 为本申请实施例中的形成第一光刻胶层后的俯视图；

图 23 为本申请实施例中的去除部分第一阻挡层后第二截面的剖视图；

图 24 为本申请实施例中的去除部分第一阻挡层后第一截面在核心区的剖视图；

15 图 25 为本申请实施例中的去除部分第一阻挡层后第三截面在核心区的剖视图；

图 26 为本申请实施例中的去除第一光刻胶层后第二截面的剖视图；

图 27 为本申请实施例中的去除第一光刻胶层后第一截面在核心区的剖视图；

20 图 28 为本申请实施例中的去除第一光刻胶层后第三截面在核心区的剖视图；

图 29 为本申请实施例中的形成介质层后第二截面的剖视图；

图 30 为本申请实施例中的形成介质层后第一截面在核心区的剖视图；

图 31 为本申请实施例中的形成介质层后第三截面在核心区的剖视图；

25 图 32 为本申请实施例中的形成第一导电层后第二截面的剖视图；

图 33 为本申请实施例中的形成第一导电层后第一截面在核心区的剖视图；

图 34 为本申请实施例中的形成第一导电层后第三截面在核心区的剖视图；

30 图 35 为本申请实施例中的形成第一光刻胶层后第二截面的剖视图；

图 36 为本申请实施例中的形成第一光刻胶层后第一截面在核心区的

剖视图；

图 37 为本申请实施例中的形成第一光刻胶层后第三截面在核心区的剖视图；

5 图 38 为本申请实施例中的去除部分介质层和第一导电层后第二截面的剖视图；

图 39 为本申请实施例中的去除部分介质层和第一导电层后第一截面在核心区的剖视图；

图 40 为本申请实施例中的去除部分介质层和第一导电层后第三截面在核心区的剖视图；

10 图 41 为本申请实施例中的去除第二光刻胶层后第二截面的剖视图；

图 42 为本申请实施例中的去除第二光刻胶层后的俯视图；

图 43 为本申请实施例中的去除第二光刻胶层后第一截面在核心区的剖视图；

15 图 44 为本申请实施例中的去除第二光刻胶层后第三截面在核心区的剖视图；

图 45 为本申请实施例中的形成第三导电层和第二阻挡层后第二截面的剖视图；

图 46 为本申请实施例中的形成第三导电层和第二阻挡层后第一截面在核心区的剖视图；

20 图 47 为本申请实施例中的平坦化处理后第二截面的剖视图；

图 48 为本申请实施例中的平坦化处理后第一截面在核心区的剖视图；

图 49 为本申请实施例中的外延层的示意图。

具体实施方式

25 参照图 1 至图 16，制作半导体结构时，通常先在提供基底 100，基底 100 包括核心区和位于核心区外且与核心区相邻的外围区，基底 100 上设置有第一阻挡层 200；如图 1 至图 3 所示，在核心区对应的第一阻挡层 200 上形成第一光刻胶层 710，第一光刻胶层 710 覆盖图 1 和图 2 所示核心区上的第一阻挡层 200，图 3 所示外围区上的第一阻挡层 200 暴露；如图 4 至图 6 所示，去除外围区对应的第一阻挡层 200，保留图 4 和图 5 所示核心区上的第一阻挡层 200；如图 7 至图 9 所示，在核心区对应的第一阻挡

30

层 200 上和外围区对应的基底 100 上依次沉积介质层 300 和第一导电层 400，介质层 300 覆盖图 7 和图 8 所示核心区上的第一阻挡层 200，且覆盖图 9 所示外围区上的基底 100，第一导电层 400 覆盖介质层 300；如图 10 至图 12 所示，在外围区对应的第一导电层 400 上形成第二光刻胶层 720，图 10 和图 11 所示核心区的第一导电层 400 暴露；如图 13 至图 15 所示，去除核心区对应的第一导电层 400 和介质层 300，保留被第二光刻胶层 720 覆盖的第一导电层 400 和介质层 300，图 13 和图 14 所示核心区的第一阻挡层 200 暴露。

然而，参照图 16，在上述制作半导体结构的过程中，核心区对应的第一阻挡层 200 和外围区对应的介质层 300 之间易出现断口，暴露在断口中的基底 100 会被去除部分，如图 16 所示虚线区域，基底 100 内的器件易暴露甚至损伤，导致半导体结构的良率较低。

需要说明的是，图 1 至图 16 中的第一截面与第二截面相垂直，第一截面垂直于字线 130 的延伸方向，第二截面平行于字线 130 的延伸方向。其中，第一截面位于相邻两个有源区 110 之间，第二截面过有源区 110 的中心。

本申请实施例提供一种半导体的制作方法，通过形成第一阻挡层，并保留第一阻挡层上的部分介质层和部分第一导电层，使得基底的部分区域覆盖第一阻挡层，基底的部分区域覆盖介质层，且第一阻挡层和介质层部分重叠，从而减少基底的暴露，降低基底被去除部分的风险，进而降低了基底内的器件暴露甚至损伤的风险。

为了使本申请实施例的上述目的、特征和优点能够更加明显易懂，下面将结合本申请实施例中的附图，对本申请实施例中的技术方案进行清楚、完整地描述。显然，所描述的实施例仅仅是本申请的一部分实施例，而不是全部的实施例。基于本申请中的实施例，本领域普通技术人员在没有作出创造性劳动的前提下所获得的所有其它实施例，均属于本申请保护的范围。

参照图 17，本申请实施例提供一种半导体结构的制作方法，该制作方法包括以下步骤：

步骤 S101、提供基底，基底包括核心区和位于核心区外且与核心区相邻的外围区，基底上还形成有预设阻挡层，预设阻挡层覆盖核心区和外围

区。

参照图 18 至图 21，基底 100 包括核心区和外围区，核心区和外围区可以相邻，核心区如图 18 至图 21 中所示的 A 区，外围区如图 18 至图 21 所示的 B 区。示例性的，如图 19 所示，核心区的周向边缘设置外围区，即外围区环绕核心区一周。

基底 100 内还通常设置有源区 110，参照图 18，部分有源区 110 位于核心区，部分有源区 110 位于外围区。位于核心区内的有源区 110 间隔较小，位于外围区内的有源区 110 间隔较大。有源区 110 之间设置浅槽隔离结构 120，浅槽隔离结构 120 内通常填充氧化物，例如氧化硅，以将各有源区 110 之间隔开。如图 18 所示，有源区 110 上还覆盖氧化物，避免有源区 110 暴露。

需要说明的是，如图 18 所示，位于外围区的浅槽隔离结构 120 内还填充有氮化物层 140，例如氮化硅层。示例性的，在基底 100 的外围区形成第一凹槽；在第一凹槽内沉积第一氧化物层，第一氧化物层围设成第二凹槽；在第二凹槽内沉积氮化物层 140，氮化物层 140 围设成第三凹槽；在第三凹槽内沉积第二氧化物层，第二氧化物层填满第三沟槽，以形成浅槽隔离结构 120。

参照图 20 和图 21，基底 100 内通常还设置有埋入式字线 130。图 18 所示的截面为平行于字线的延伸方向的截面，且过有源区 110 的中心，即图 18 所示截面为第二截面，图 20 和图 21 所示的截面为垂直于字线的延伸方向的截面，且位于字线的延伸方向上的不同位置。图 20 所示的第一截面与图 21 所示的第三截面平行，图 20 所示的第一截面位于相邻两个有源区 110 的中心，图 21 所示的第三截面过有源区 110 的中心位置处。

继续参照图 18 至图 21，基底 100 上设置有预设阻挡层 210，预设阻挡层 210 覆盖基底 100 的核心区和外围区。示例性的，预设阻挡层 210 的材质可以为氮化硅，预设阻挡层 210 的厚度可以为 200nm-600nm。

预设阻挡层 210 可以通过沉积工艺形成在基底 100 上，例如，预设阻挡层 210 通过化学气相沉积（Chemical Vapor Deposition，简称 CVD）工艺、物理气相沉积（Physical Vapor Deposition，简称 PVD）工艺或者原子层沉积（Atomic Layer Deposition，简称 ALD）等工艺形成在基底 100 上。

步骤 S102、去除外围区对应的至少部分预设阻挡层，以暴露部分基底，

保留的预设阻挡层形成第一阻挡层。

参照图 18 至图 28, 去除部分预设阻挡层 210, 以形成第一阻挡层 200。例如, 去除外围区对应的预设阻挡层 210, 保留核心区对应的预设阻挡层 210, 核心区上形成第一阻挡层 200, 外围区暴露。

5 或者, 去除外围区中远离核心区的部分预设阻挡层 210, 暴露外围区的部分基底 100, 保留核心区上以及靠近核心区的部分外围区上的预设阻挡层 210, 即保留的预设阻挡层 210 部分位于外围区上, 部分位于核心区上。示例性的, 核心区位于第一阻挡层 200 在基底 100 上的正投影的内部, 例如, 核心区位于该正投影的中心区域。

10 在一种可能的示例中, 去除外围区对应的至少部分预设阻挡层 210, 以暴露部分基底 100, 保留的预设阻挡层 210 形成第一阻挡层 200 的步骤包括:

如图 18 至图 21 所示, 在预设阻挡层 210 上形成第一光刻胶层 710, 第一光刻胶层 710 至少覆盖核心区对应的预设阻挡层 210。其中, 第一光刻胶层 710 可以只覆盖核心区, 或者, 如图 18 至图 21 所示, 第一光刻胶层 710 覆盖核心区且延伸至外围区。

如图 22 至图 25 所示, 以第一光刻胶层 710 为掩膜刻蚀预设阻挡层 210, 以形成第一阻挡层 200。第一光刻胶层 710 覆盖的预设阻挡层 210 保留, 形成第一阻挡层 200, 第一光刻胶层 710 未覆盖的预设阻挡层 210 去除, 20 暴露出基底 100。第一阻挡层 200 至少覆盖核心区, 参照图 22 所示的俯视图, 第一光刻胶层 710 下方即为第一阻挡层 200, 第一阻挡层 200 覆盖核心区与位于核心区边缘的外围区。

如图 26 至图 28 所示, 去除第一光刻胶层 710。第一光刻胶层 710 可以通过灰化 (Ashing) 去除, 去除第一光刻胶层 710 后, 第一阻挡层 200 25 显露。

步骤 S103、在第一阻挡层和基底上依次形成层叠的介质层和第一导电层 4。

参照图 29 至图 31, 在第一阻挡层 200 和暴露的基底 100 上沉积介质层 300, 介质层 300 的厚度可以为 50nm-200nm。介质层 300 可以具有较高的介电常数, 以使该层绝缘性较好, 提高包含该层的器件的击穿电压。如图 29 所示, 位于第一阻挡层 200 上的介质层 300 和位于基底 100 上的介质

层 300 之间形成台阶。

参照图 32 至图 34，在介质层 300 上沉积第一导电层 400，第一导电层 400 的厚度可以为 300nm-600nm，如图 32 所示，第一导电层 400 中与第一阻挡层 200 对应的部分高于其他部分。第一导电层 400 的材质可以为多晶硅（polycrystalline silicon）。

步骤 S104、去除第一阻挡层上的部分介质层和部分第一导电层，保留第一阻挡层上靠近外围区的部分介质层和部分第一导电层。

参照图 35 至图 44，去除第一阻挡层 200 上远离外围区的部分介质层 300 和部分第一导电层 400。参照图 41，介质层 300 在基底 100 上的正投影与第一阻挡层 200 在基底 100 上的正投影部分重合，重合区域的宽度尺寸为 20nm-100nm。

可以理解的是，介质层 300 与第一阻挡层 200 部分重叠，如图 41 虚线所示，重叠部分在基底 100 上的正投影即为重合区域，重合区域水平方向（X 方向）的尺寸为 20nm-100nm。

在一种可能的示例中，参照图 42 所示的俯视图，重合区域可以为环状，重合区域如图 42 所示的 H 处。如图 42 所示，内部的虚线所围合的区域为核心区，套设的两实线之间的区域为介质层 300 在基底 100 上的正投影，位于外侧的虚线所围合的区域为第一阻挡层 200 在基底 100 上的正投影。

重合区域的形状与核心区的形状相适配，例如重合区域的形状为方环形。方形环的各内边与相对应的外边之间的间距可以相等，该间距位于 20nm-100nm 之间。

当然，方形环的各内边与相对应的外边之间的间距也可以不等，即方形环中，部分内边与相对应的外边之间的间距大于另一部分内边与相对应的外边之间的间距，且各间距均位于 20nm-100nm 之间。

可以理解的是，介质层 300 和第一阻挡层 200 部分重叠，以避免核心区和/或外围区的基底 100 暴露而被去除部分，即去除介质层 300 和第一导电层 400 时，基底 100 上还覆盖第一阻挡层 200，从而避免去除介质层 300 和第一导电层 400 时会去除部分基底 100。

在一种可能的示例中，去除第一阻挡层 200 上的部分介质层 300 和部分第一导电层 400，保留第一阻挡层 200 上靠近外围区的部分介质层 300 和部分第一导电层 400 的步骤包括：

参照图 35 至图 37，在第一导电层 400 上形成第二光刻胶层 720，第二光刻胶层 720 在基底 100 上的正投影与第一阻挡层 200 在基底 100 上的正投影部分重合。

如图 35 至图 37 所示，第二光刻胶层 720 沉积在第一导电层 400 上，且第二光刻胶层 720 与第一导电层 400 部分重叠，以使第二光刻胶层 720 在基底 100 上的正投影与第一阻挡层 200 在基底 100 上的正投影部分重合。第二光刻胶层 720 在基底 100 上的正投影与第一阻挡层 200 在基底 100 上的正投影重合区域的尺寸可以为 20nm-100nm。

需要说明的是，第二光刻胶层 720 背离基底 100 的表面可以不齐平，如图 35 所示，第一阻挡层 200 对应的第二光刻胶层 720 的上表面可以高于其余区域的第二光刻胶层 720 的上表面。

参照图 38 至图 40，以第二光刻胶层 720 为掩膜刻蚀第一导电层 400 和介质层 300，以暴露第一阻挡层 200。如图 38 至图 40 示，保留第二光刻胶层 720 遮挡的部分第一导电层 400 和介质层 300，去除暴露的部分第一导电层 400 和介质层 300，刻蚀后，第一阻挡层 200 显露。

参照图 41 至图 44，去除第二光刻胶层 720。如图 41 至图 44 所示，去除第二光刻胶层 720 后，第一导电层 400 显露，介质层 300 和第一阻挡层 200 部分重叠，核心区 and 外围区交界处附近的基底 100 未暴露。

本申请实施例提供的半导体结构的制作方法中，提供基底 100，基底 100 包括核心区和位于核心区外且与核心区相邻的外围区，基底 100 上还形成有预设阻挡层 210，预设阻挡层 210 覆盖核心区和外围区；去除外围区对应的至少部分预设阻挡层 210，以暴露部分基底 100，保留的预设阻挡层 210 形成第一阻挡层 200；在第一阻挡层 200 和基底 100 上依次形成层叠的介质层 300 和第一导电层 400；去除第一阻挡层 200 上的部分介质层 300 和部分第一导电层 400，保留第一阻挡层 200 上靠近外围区的部分介质层 300 和部分第一导电层 400。通过形成第一阻挡层 200，并保留第一阻挡层 200 上的部分介质层 300 和部分第一导电层 400，使得基底 100 的部分区域覆盖第一阻挡层 200，基底 100 的部分区域覆盖介质层 300，且第一阻挡层 200 和介质层 300 部分重叠，从而减少基底 100 的暴露，降低基底 100 被去除部分的风险，进而降低了基底 100 内的器件暴露甚至损伤的风险。

需要说明的是，参照图 18 至图 46，本申请实施例中的基底 100 内还

设置有源区 110，去除第一阻挡层 200 上的部分介质层 300 和部分第一导电层 400，保留第一阻挡层 200 上靠近外围区的部分介质层 300 和部分第一导电层 400 的步骤之后，半导体结构的制作方法还包括以下步骤：

在第一阻挡层 200 和基底 100 上形成位线接触孔，位线接触孔的底部暴露核心区内的有源区 110。如图 45 和图 46 所示，刻蚀第一阻挡层 200 和基底 100，在第一阻挡层 200 和基底 100 内形成位线接触孔，位线接触孔暴露有源区 110。

在第一阻挡层 200 和基底 100 上形成位线接触孔之后，在位线接触孔内形成第二导电层 800，第二导电层 800 与第一阻挡层 200 齐平。在位线接触孔内沉积第二导电层 800，以使第二导电层 800 填满位线接触孔，以用于后续形成位线接触。

如图 45 和图 46 所示，第二导电层 800 的上表面与第一阻挡层 200 的上表面齐平，即第二导电层 800 背离基底 100 的表面与第一阻挡层 200 背离基底 100 的表面等高，以便于在第二导电层 800 和第一阻挡层 200 上形成其他膜层。

需要说明的是，在形成第二导电层 800 时，第一阻挡层 200 上还具有氧化层（未图示），第二导电层 800 沉积在位线接触孔内且沉积在氧化层（未图示）上。先以氧化层（未图示）为停止层对第二导电层 800 进行化学机械研磨，当第二导电层 800 被研磨至与氧化层（未图示）平齐时，对第二导电层 800 进行回刻蚀，使第二导电层 800 的上表面与第一阻挡层 200 平齐，再去除氧化层（未图示）。

在位线接触孔内形成第二导电层 800 之后，在第一阻挡层 200、第二导电层 800 和第一导电层 400 上形成第三导电层 500。第三导电层 500 的厚度可以为 50nm-200nm。

示例性的，在第一阻挡层 200、第二导电层 800 和第一导电层 400 上沉积氮化钛层；在氮化钛层上沉积钨层。氮化钛层和钨层构成第三导电层 500。如图 45 和图 46 所示，第三导电层 500 覆盖第一阻挡层 200、第二导电层 800 和第一导电层 400。

需要说明的是，氮化钛层与第一导电层 400 之间还设置有金属层，例如钴（Co）层或者钛（Ti）层，即在形成氮化钛层之前，在第一导电层 400 上沉积金属层。在氮化钛层上沉积钨层后，进行退火处理，以使第一导电

层 400 与金属层反应，形成金属化合物（例如金属硅化物）的欧姆接触，降低界面电阻，提高半导体结构的性能。

在第一阻挡层 200、第二导电层 800 和第一导电层 400 上形成第三导电层 500 之后，在第三导电层 500 上形成第二阻挡层 600。继续参照图 45 和图 46，在第三导电层 500 上沉积第二阻挡层 600，第二阻挡层 600 的材质可以为氮化硅。如图 45 和图 46 所示，第二阻挡层 600 覆盖第三导电层 500。

需要说明的是，如图 45 所示，第一阻挡层 200 与第一导电层 400 具有一定高度差，沉积第三导电层 500 和第二阻挡层 600 后，第二阻挡层 600 背离基底 100 的表面不齐平。

参照图 47 和图 48，在第三导电层 500 上形成第二阻挡层 600 的步骤之后，对第二阻挡层 600 背离基底 100 的表面进行平坦化处理，平坦化处理后的第二阻挡层 600 未暴露出第三导电层 500。

示例性的，通过化学机械研磨（Chemical Mechanical Polishing，简称 CMP）对第二阻挡层 600 背离基底 100 的表面进行平坦化处理，以获得较为平整的表面。如图 47 所示，核心区对应的第二阻挡层 600 与外围区对应的第二阻挡层 600 齐平，且第二阻挡层 600 覆盖第三导电层 500。

如图 47 所示，核心区的基底 100 内设置有第二导电层 800，第二导电层 800 后续可以形成位线接触，核心区的基底 100 上依次设置有第三导电层 500 和第二阻挡层 600，核心区对应的第三导电层 500 后续可以形成位线，核心区对应的第二阻挡层 600 后续形成位线的隔离结构。

如图 47 所示，外围区的基底 100 上依次形成有介质层 300、第三导电层 500 和第二阻挡层 600，介质层 300、第三导电层 500 与基底 100 中的有源区 110 可以后续形成器件，例如晶体管，外围区对应的第二阻挡层 600 后续形成器件的隔离结构。介质层 300 可以具有高介电常数（high-k），例如介质层 300 的材质可以包括氧化锆、掺硅氧化锆、掺硅氧化锆等，以使器件具有较高的击穿电压。

需要说明的是，参照图 49，去除第一阻挡层 200 上的部分介质层 300 和部分第一导电层 400，保留第一阻挡层 200 上靠近外围区的部分介质层 300 和部分第一导电层 400 的步骤之后，半导体结构的制作方法还包括：在外围区内的部分有源区 110 上外延生长外延层 900，外延层 900 含有预

设金属。

如图 49 所示，位于外围区内的部分有源区 110 上形成外延层 900，例如，通过外延生长等工艺在有源区 110 上形成外延层 900，外延层 900 含有预设金属。

- 5 外延层 900 的材质可以与有源区 110 的材质相同，例如，有源区 110 与外延层的材质均为硅，外延层 900 中可以含有锗。当然，有源区 110 和外延层 900 的材质不是限定的，外延层 900 的材质可以与有源区 110 的材质不同，预设金属可以为锗，也可以为其他金属。

- 10 在一些可能的示例中，部分有源区 110 上不设置外延层 900，该部分有源区 110 后续形成 NMOS；部分有源区 110 上设置外延层 900，该部分有源区 110 后续形成 PMOS。

- 15 参照图 47，本申请实施例提供一种半导体结构，该半导体结构包括基底 100、第一阻挡层 200、介质层 300 和第一导电层 400。其中，基底 100 包括核心区和外围区，核心区和外围区可以相邻接，核心区如图 46 中所示的 A 区，外围区如图 46 所示的 B 区。示例性的，核心区的周向边缘设置外围区，即外围区环绕核心区一周。

- 20 基底 100 内还通常设置有源区 110，参照图 46，部分有源区 110 位于核心区，部分有源区 110 位于外围区。位于核心区内的有源区 110 间隔较小，位于外围区内的有源区 110 间隔较大。有源区 110 之间设置浅槽隔离结构 120，浅槽隔离结构 120 内通常填充氧化物，例如氧化硅，以将各有源区 110 之间隔开。如图 46 所示，有源区 110 上还覆盖氧化物，避免有源区 110 暴露。

- 25 继续参照图 46，基底 100 内通常还设置有埋入式字线 130，图 46 所示的第二截面为平行于字线 130 的延伸方向且过有源区 110 的中心的平面。基底 100 上还设置有第一阻挡层 200，第一阻挡层 200 至少覆盖核心区。第一阻挡层 200 可以设置在基底 100 的核心区上，或者第一阻挡层 200 可以设置在基底 100 的核心区以及靠近核心区的部分外围区上。

- 30 在一种可能的示例中，如图 46 所示，第一阻挡层 200 覆盖核心区和部分外围区，即核心区位于第一阻挡层 200 在基底 100 上的正投影的内部区域。第一阻挡层 200 的材质可以为氮化硅，第一阻挡层 200 的厚度可以为 200nm-600nm。

介质层 300 设置在基底 100 和部分第一阻挡层 200 上，即介质层 300 与第一阻挡层 200 部分重叠。介质层 300 的厚度可以为 50nm-200nm，介质层 300 可以具有较高的介电常数，其材质可以为氧化铅、掺硅氧化铅、掺硅氧化锆等。

5 如图 46 所示，介质层 300 覆盖外围区的基底 100 以及靠近外围区的部分第一阻挡层 200。示例性的，介质层 300 在基底 100 上的正投影与第一阻挡层 200 在基底 100 上的正投影的重合，重合区域的宽度尺寸为 20nm-100nm。

10 第一导电层 400 设置在介质层 300 上，如图 46 所示，第一导电层 400 覆盖介质层 300 的上表面。第一导电层 400 的材质可以为多晶硅，第一导电层 400 的厚度可以为 300nm-600nm。

继续参照图 46，半导体结构还包括第三导电层 500 和第二阻挡层 600，第三导电层 500 设置在第一阻挡层 200 和第一导电层 400 上，第二阻挡层 600 设置在第三导电层 500 上。

15 第三导电层 500 可以包括靠近基底 100 的氮化钛层，以及设置在氮化钛层上的钨层，第三导电层 500 的厚度可以为 50nm-200nm，第二阻挡层 600 的材质可以为氮化硅。

20 继续参照图 46，第二阻挡层 600 背离基底 100 的表面齐平，且第三导电层 500 的上表面未显露，即第二阻挡层 600 覆盖第三导电层 500 的上表面。如图 46 所示，介质层 300、第一导电层 400 和第三导电层 500 的上表面在第一阻挡层 200 与基底 100 的交界区域形成有台阶，第二阻挡层 600 的上表面齐平。

25 需要说明的是，第一阻挡层 200 的上表面形成有位线接触孔，位线接触孔延伸至基底 100，且位线接触孔的底部暴露核心区内的有源区 110，位线接触孔内填充第二导电层 800。第二导电层 800 可以与第一阻挡层 200 齐平。可以理解的是，第三导电层 500 设置在第一阻挡层 200 和第二导电层 800 上，且第二导电层 800 与第三导电层 500 电连接。

30 参照图 48 和图 49，位于外围区内的部分有源区 110 上设置有外延层 900，外延层 900 含有预设金属。如图 48 所示，部分有源区 110 上不设置外延层 900，该部分有源区 110 后续形成 NMOS；如图 49 所示，部分有源区 110 上设置外延层 900，该部分有源区 110 后续形成 PMOS。其中，有

源区 110 和外延层 900 的材质可以为硅，预设金属可以为锗。

本申请实施例提供的半导体结构包括基底 100、第一阻挡层 200、介质层 300 和第一导电层 400，其中，基底 100 包括核心区和位于核心区外且与核心区相邻的外围区，基底 100 内还设置有源区 110；第一阻挡层 200 5 设置在基底 100 上，第一阻挡层 200 至少覆盖核心区；介质层 300 设置在基底 100 和部分第一阻挡层 200 上，第一导电层 400 设置在介质层 300 上。通过在基底 100 和部分第一阻挡层 200 上设置介质层 300，使得基底 100 的部分区域覆盖第一阻挡层 200，基底 100 的部分区域覆盖介质层 300，且第一阻挡层 200 和介质层 300 部分重叠，从而减少基底 100 的暴露，降低 10 基底 100 被去除部分的风险，进而降低了基底 100 内的器件暴露甚至损伤的风险。

本说明书中各实施例或实施方式采用递进的方式描述，每个实施例重点说明的都是与其他实施例的不同之处，各个实施例之间相同相似部分相互参见即可。

15 在本说明书的描述中，参考术“一个实施方式”、“一些实施方式”、“示意性实施方式”、“示例”、“具体示例”、或“一些示例”等的描述意指结合实施方式或示例描述的具体特征、结构、材料或者特点包含于本申请的至少一个实施方式或示例中。在本说明书中，对上述术语的示意性表述不一定指的是相同的实施方式或示例。而且，描述的具体特征、结构、材料或者特点可以在任何的一个或多个实施方式或示例中以合适的方式结合。

25 最后应说明的是：以上各实施例仅用以说明本申请的技术方案，而非对其限制；尽管参照前述各实施例对本申请进行了详细的说明，本领域的普通技术人员应当理解：其依然可以对前述各实施例所记载的技术方案进行修改，或者对其中部分或者全部技术特征进行等同替换；而这些修改或者替换，并不使相应技术方案的本质脱离本申请各实施例技术方案的范围。

权 利 要 求 书

1、一种半导体结构的制作方法，其中，包括：

提供基底，所述基底包括核心区和位于所述核心区外且与所述核心区相邻的外围区，所述基底上还形成有预设阻挡层，所述预设阻挡层覆盖所述核心区

5 所述核心区和所述外围区；

去除所述外围区对应的至少部分所述预设阻挡层，以暴露部分所述基底，保留的所述预设阻挡层形成第一阻挡层；

在所述第一阻挡层和所述基底上依次形成层叠的介质层和第一导电层；

去除所述第一阻挡层上的部分所述介质层和部分所述第一导电层，保留所述第一阻挡层上靠近所述外围区的部分所述介质层和部分所述第一导电层。

10

2、根据权利要求1所述的半导体结构的制作方法，其中，所述介质层在所述基底上的正投影与所述第一阻挡层在所述基底上的正投影部分重合，且重合区域的宽度尺寸为20nm-100nm。

3、根据权利要求1所述的半导体结构的制作方法，其中，去除所述外围区对应的至少部分所述预设阻挡层，以暴露部分所述基底，保留的所述预设阻挡层形成第一阻挡层的步骤包括：

15

在所述预设阻挡层上形成第一光刻胶层，所述第一光刻胶层至少覆盖所述核心区对应的所述预设阻挡层；

以所述第一光刻胶层为掩膜刻蚀所述预设阻挡层，以形成所述第一阻挡层；

20

去除所述第一光刻胶层。

4、根据权利要求1所述的半导体结构的制作方法，其中，去除所述第一阻挡层上的部分所述介质层和部分所述第一导电层，保留所述第一阻挡层上靠近所述外围区的部分所述介质层和部分所述第一导电层的步骤包括：

25

在所述第一导电层上形成第二光刻胶层，所述第二光刻胶层在所述基底上的正投影与所述第一阻挡层在所述基底上的正投影部分重合；

以所述第二光刻胶层为掩膜刻蚀所述第一导电层和所述介质层，以暴露所述第一阻挡层；

去除所述第二光刻胶层。

30

5、根据权利要求 1 所述的半导体结构的制作方法，其中，所述基底内还设置有源区；

去除所述第一阻挡层上的部分所述介质层和部分所述第一导电层，保留所述第一阻挡层上靠近所述外围区的部分所述介质层和部分所述第一导电层的步骤之后，所述半导体结构的制作方法还包括：

在所述第一阻挡层和所述基底上形成位线接触孔，所述位线接触孔的底部暴露所述核心区内的所述有源区；

在所述位线接触孔内形成第二导电层，所述第二导电层与所述第一阻挡层齐平；

10 在所述第一阻挡层、所述第二导电层和所述第一导电层上形成第三导电层；

在所述第三导电层上形成第二阻挡层。

6、根据权利要求 5 所述的半导体结构的制作方法，其中，在所述第三导电层上形成第二阻挡层的步骤之后，所述半导体结构的制作方法还包括：

15 对所述第二阻挡层背离所述基底的表面进行平坦化处理，平坦化处理后的所述第二阻挡层未暴露出所述第三导电层。

7、根据权利要求 6 所述的半导体结构的制作方法，其中，通过化学机械研磨对所述第二阻挡层背离所述基底的表面进行平坦化处理。

8、根据权利要求 6 所述的半导体结构的制作方法，其中，在所述第一阻挡层、所述第二导电层和所述第一导电层上形成第三导电层的步骤包括：

20 在所述第一阻挡层、所述第二导电层和所述第一导电层上沉积氮化钛层；

在所述氮化钛层上沉积钨层。

9、根据权利要求 5 所述的半导体结构的制作方法，其中，去除所述第一阻挡层上的部分所述介质层和部分所述第一导电层，保留所述第一阻挡层上靠近所述外围区的部分所述介质层和部分所述第一导电层的步骤之后，所述半导体结构的制作方法还包括：

在所述外围区内的部分所述有源区上外延生长外延层，所述外延层含有预设金属。

30 10、根据权利要求 9 所述的半导体结构的制作方法，其中，所述有源区和所述外延层的材质均为硅，所述预设金属为锗。

11、根据权利要求 1 所述的半导体结构的制作方法，其中，所述核心区的周向边缘设有所述外围区，且所述核心区位于所述第一阻挡层在所述基底上的正投影的内部。

12、根据权利要求 1 所述的半导体结构的制作方法，其中，所述第一阻挡层的材质包括氮化硅，所述第一导电层的材质包括多晶硅。

13、一种半导体结构，其中，包括：

基底，所述基底包括核心区和位于所述核心区外且与所述核心区相邻的外围区，所述基底内还设置有源区；

10 设置在所述基底上的第一阻挡层，所述第一阻挡层至少覆盖所述核心区；

设置在所述基底和部分所述第一阻挡层上的介质层；

设置在所述介质层上的第一导电层。

14、根据权利要求 13 所述的半导体结构，其中，所述介质层在所述基底上的正投影与所述第一阻挡层在所述基底上的正投影部分重合，且重合
15 区域的宽度尺寸为 20nm-100nm。

15、根据权利要求 13 所述的半导体结构，其中，所述半导体结构还包括：设置在所述第一阻挡层和所述第一导电层上的第三导电层，以及设置在所述第三导电层上的第二阻挡层，所述第二阻挡层背离所述基底的表面齐平。

20 16、根据权利要求 13 所述的半导体结构，其中，所述第一阻挡层形成有位线接触孔，所述位线接触孔延伸至所述基底，且位线接触孔的底部暴露所述核心区内的所述有源区；

所述位线接触孔内填充有第二导电层，所述第二导电层与所述第一阻挡层齐平。

25

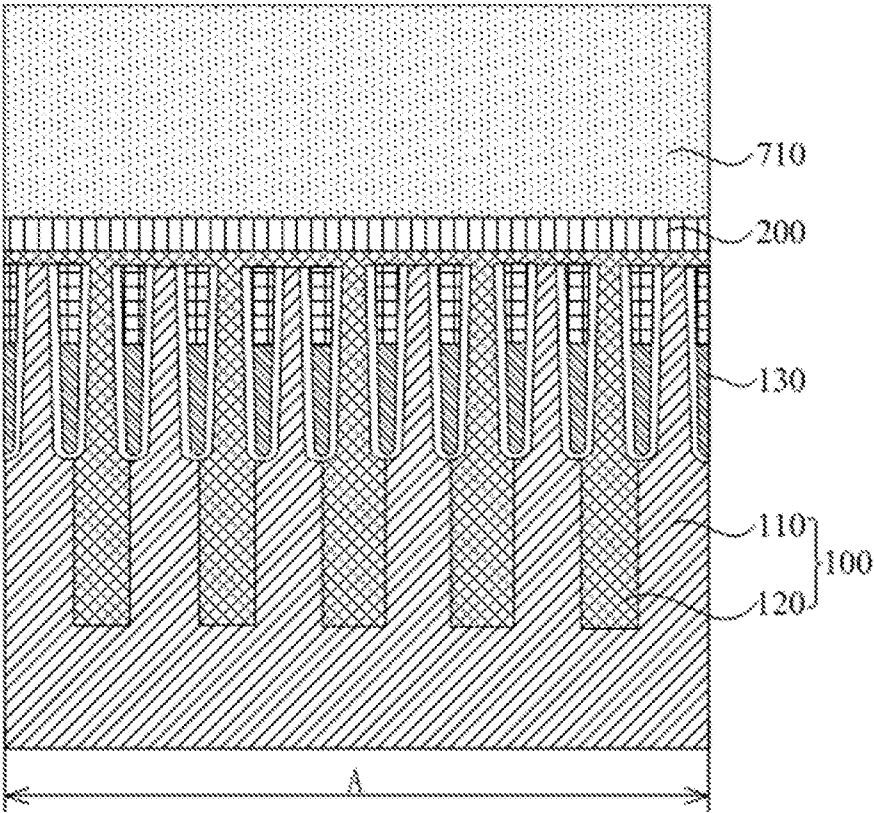


图 1

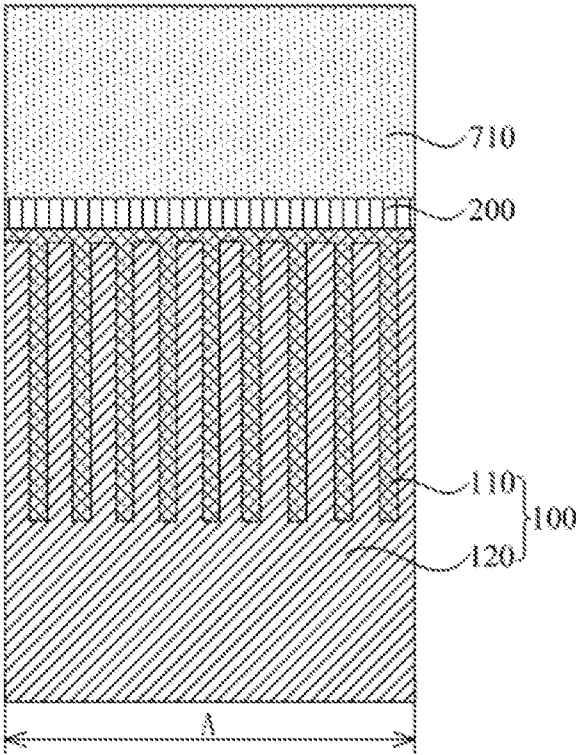


图 2

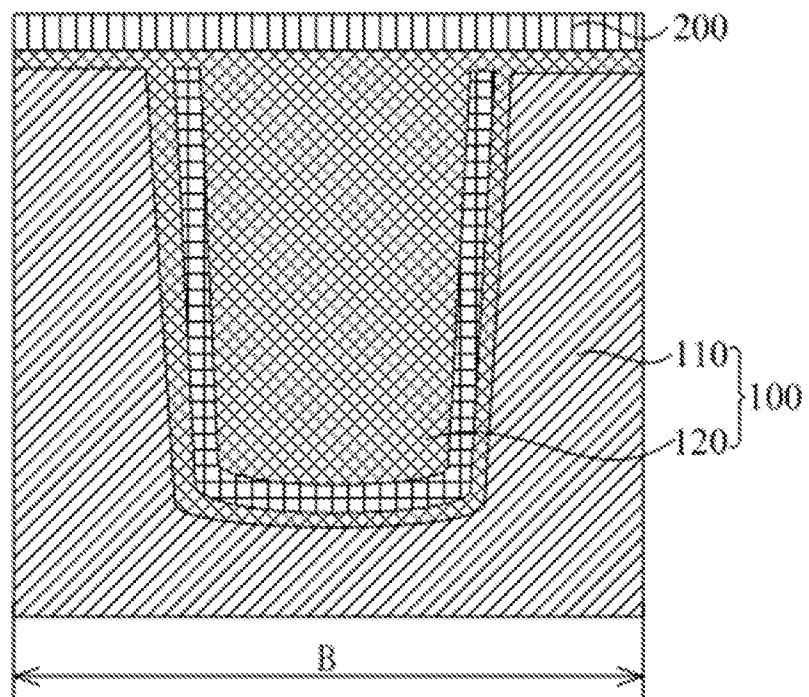


图 3

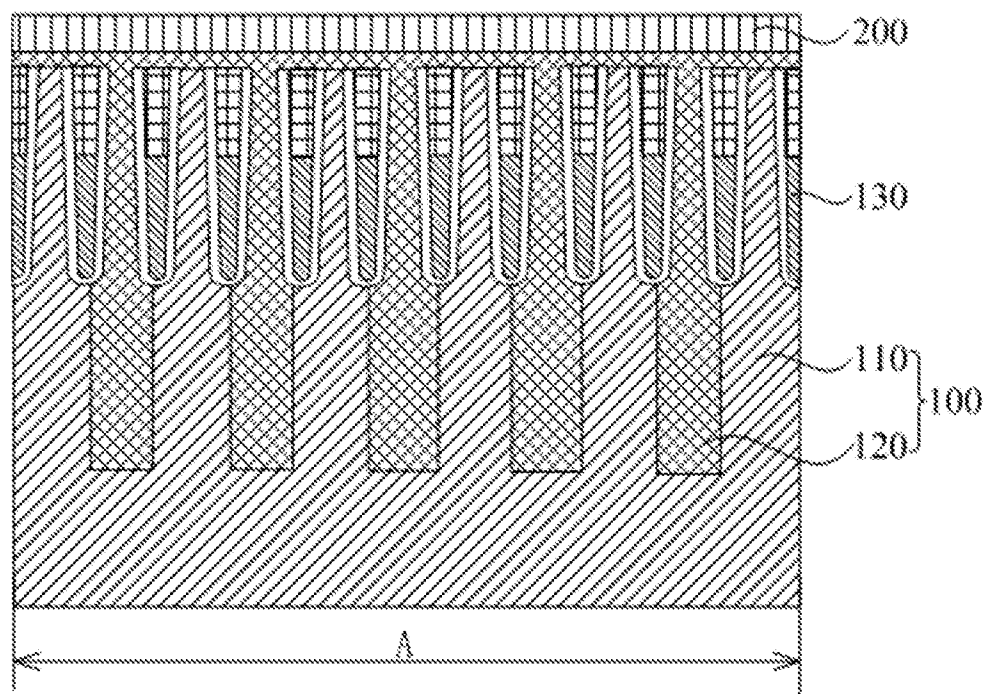


图 4

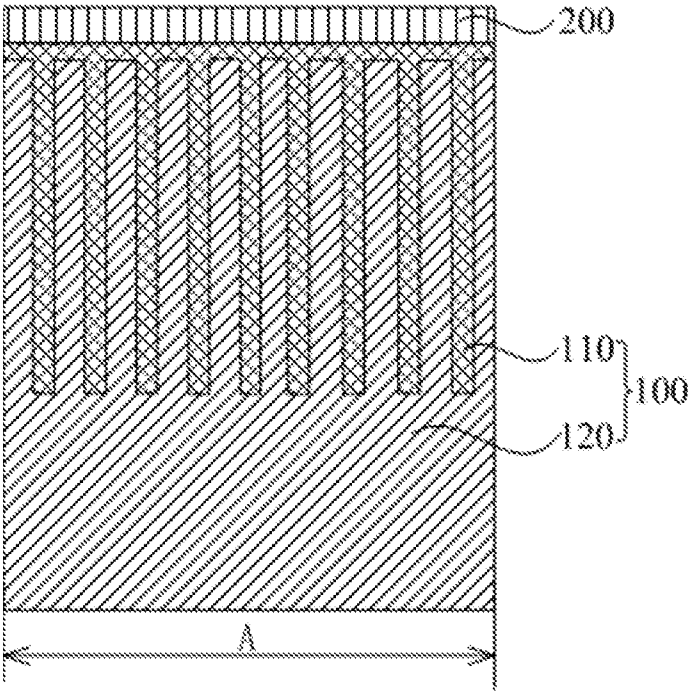


图 5

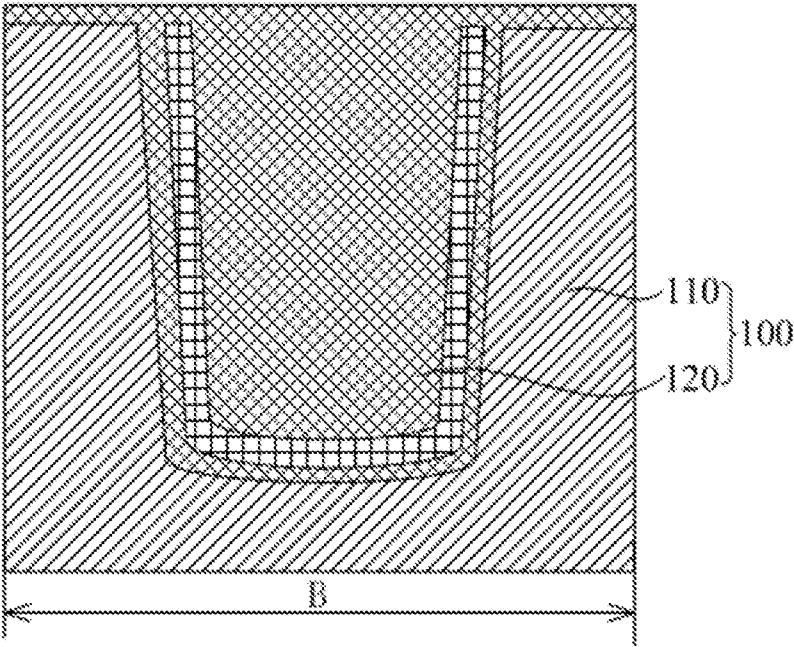


图 6

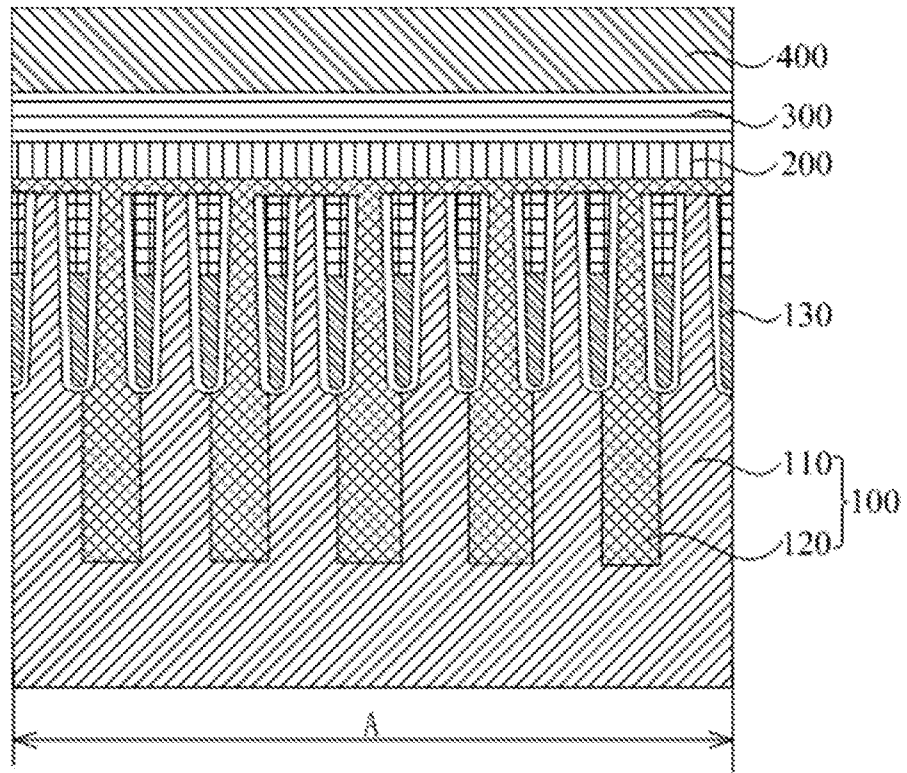


图 7

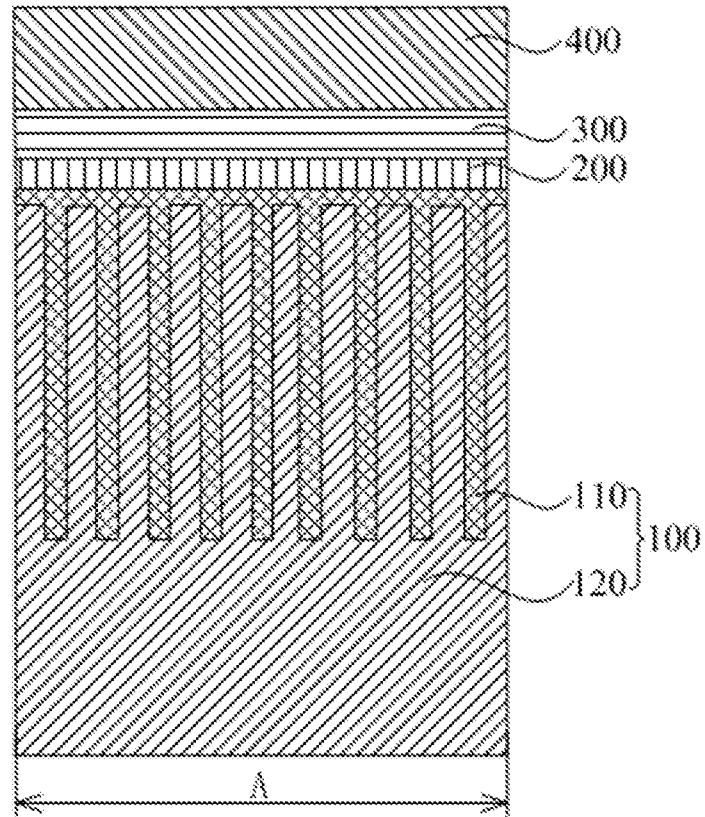


图 8

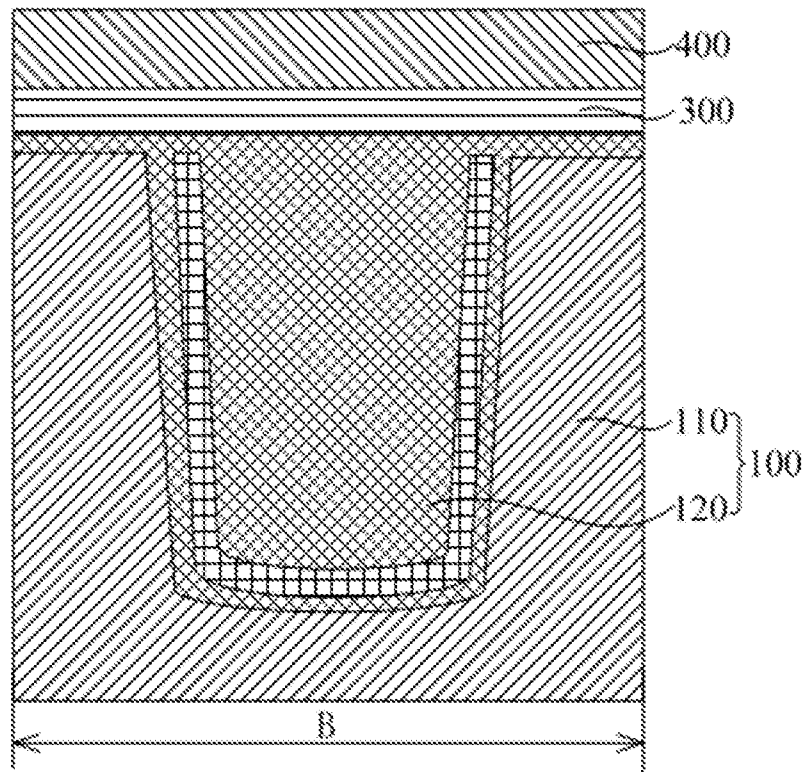


图 9

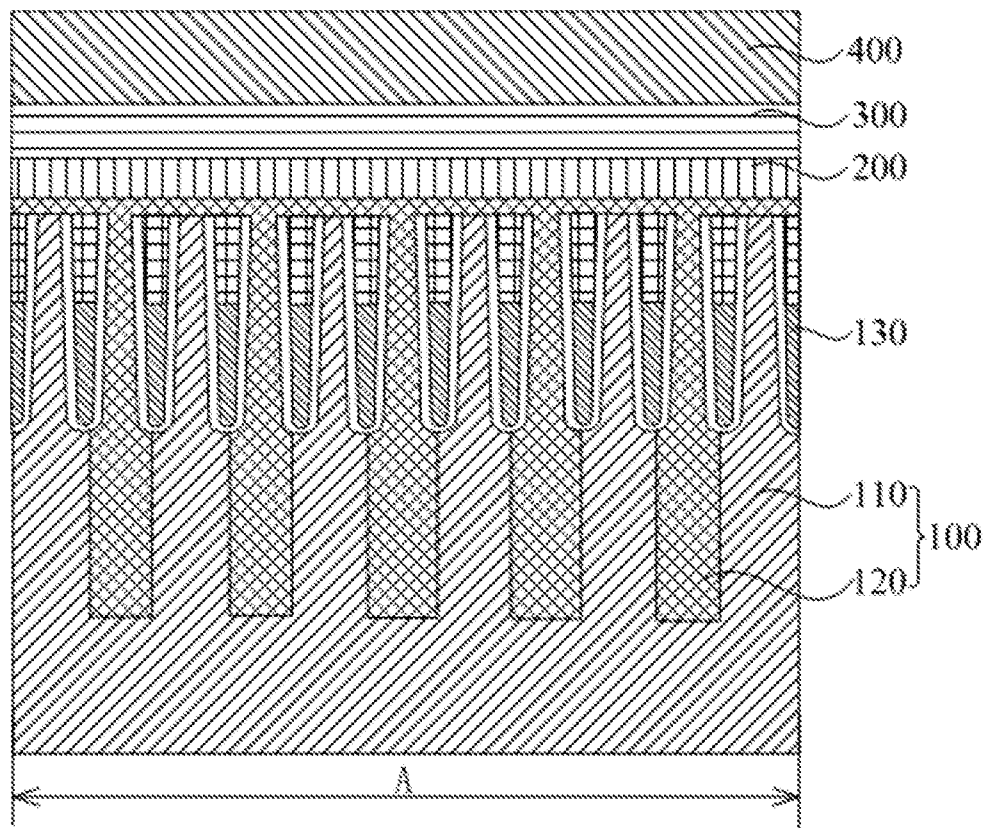


图 10

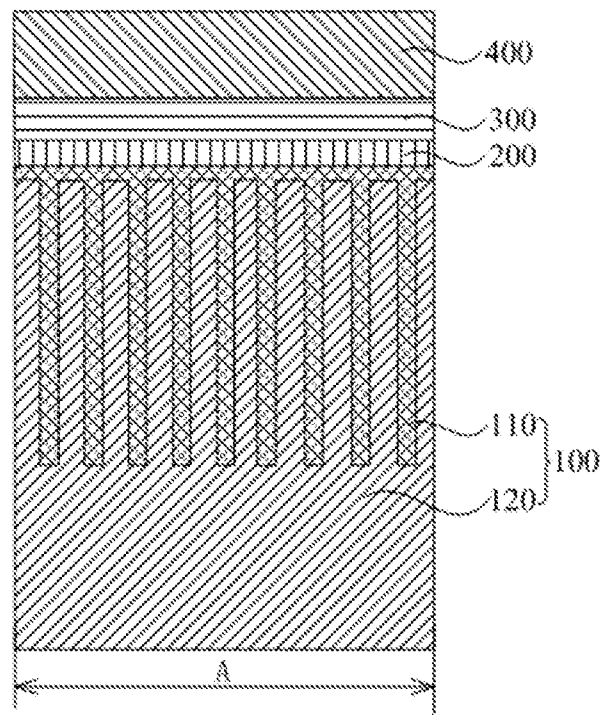


图 11

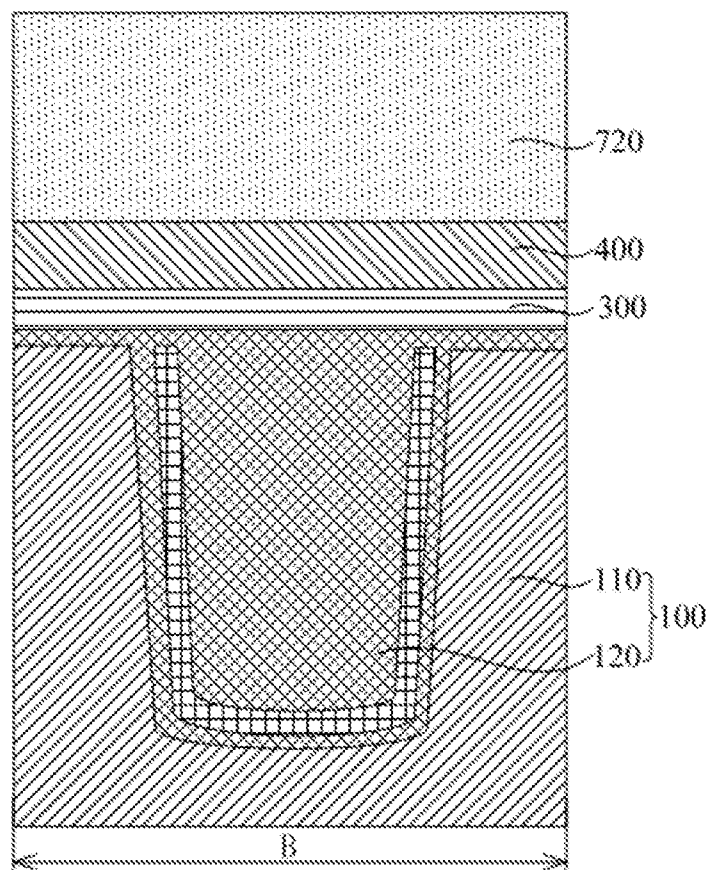


图 12

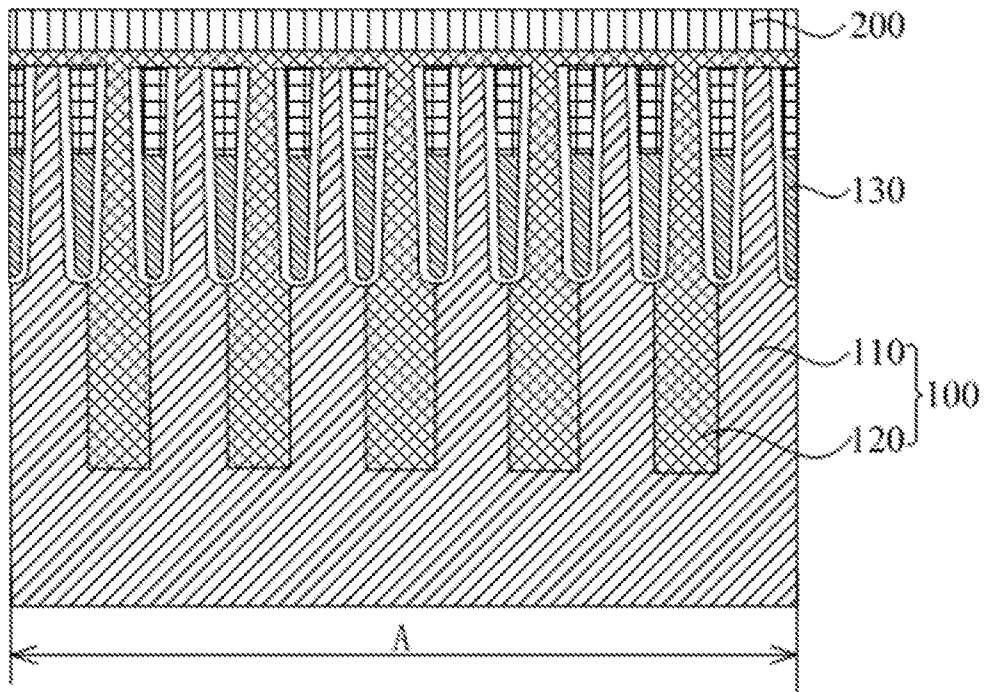


图 13

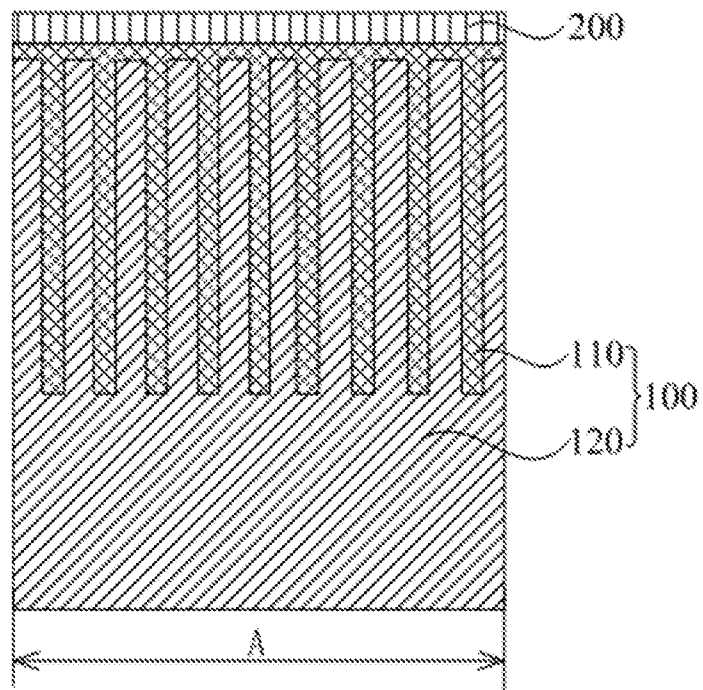


图 14

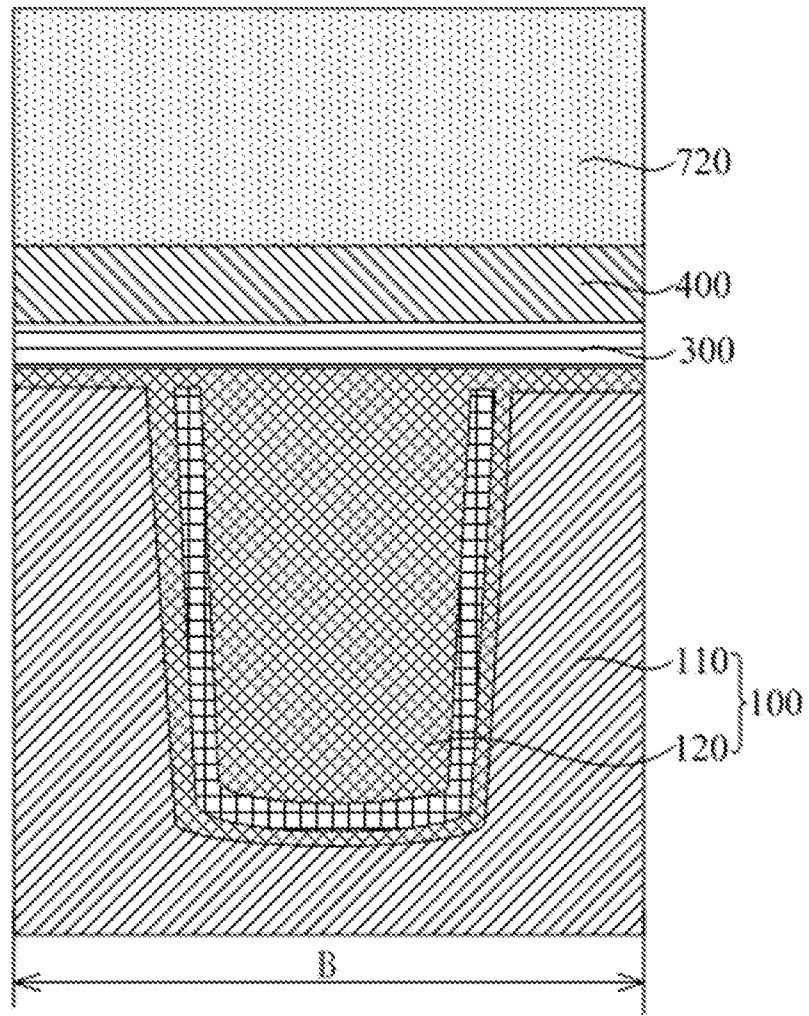


图 15

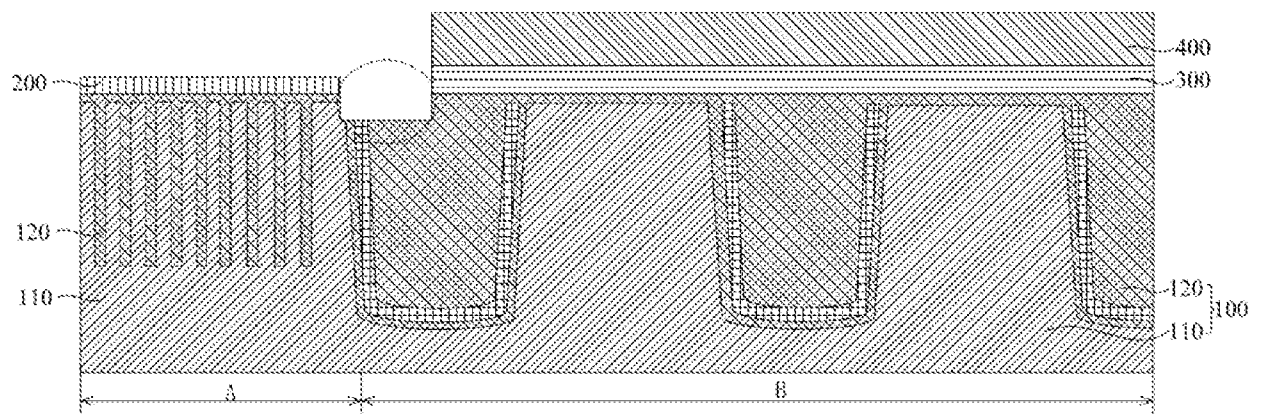


图 16

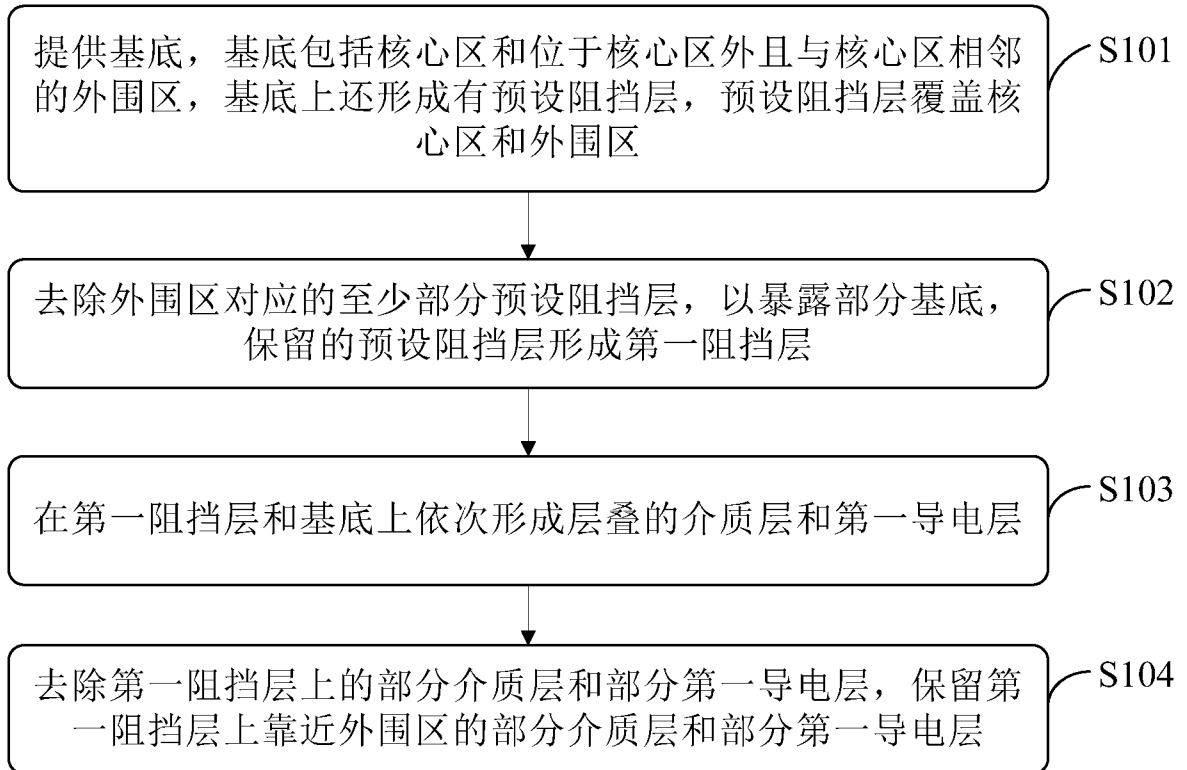


图 17

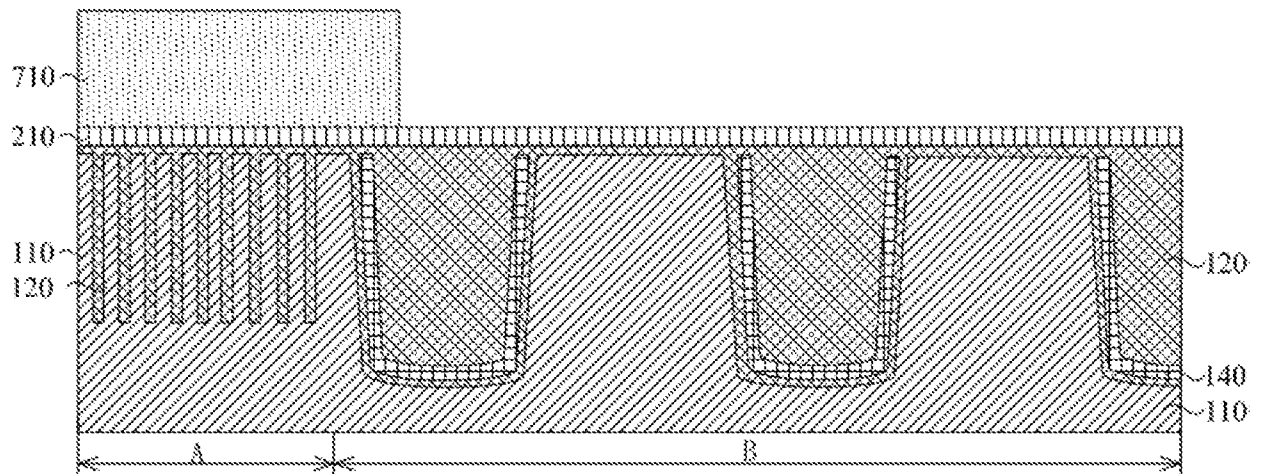


图 18

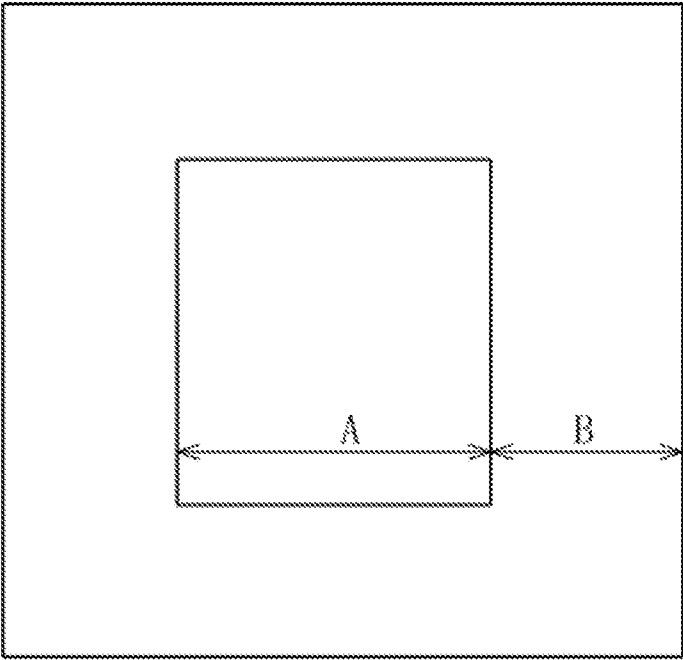


图 19

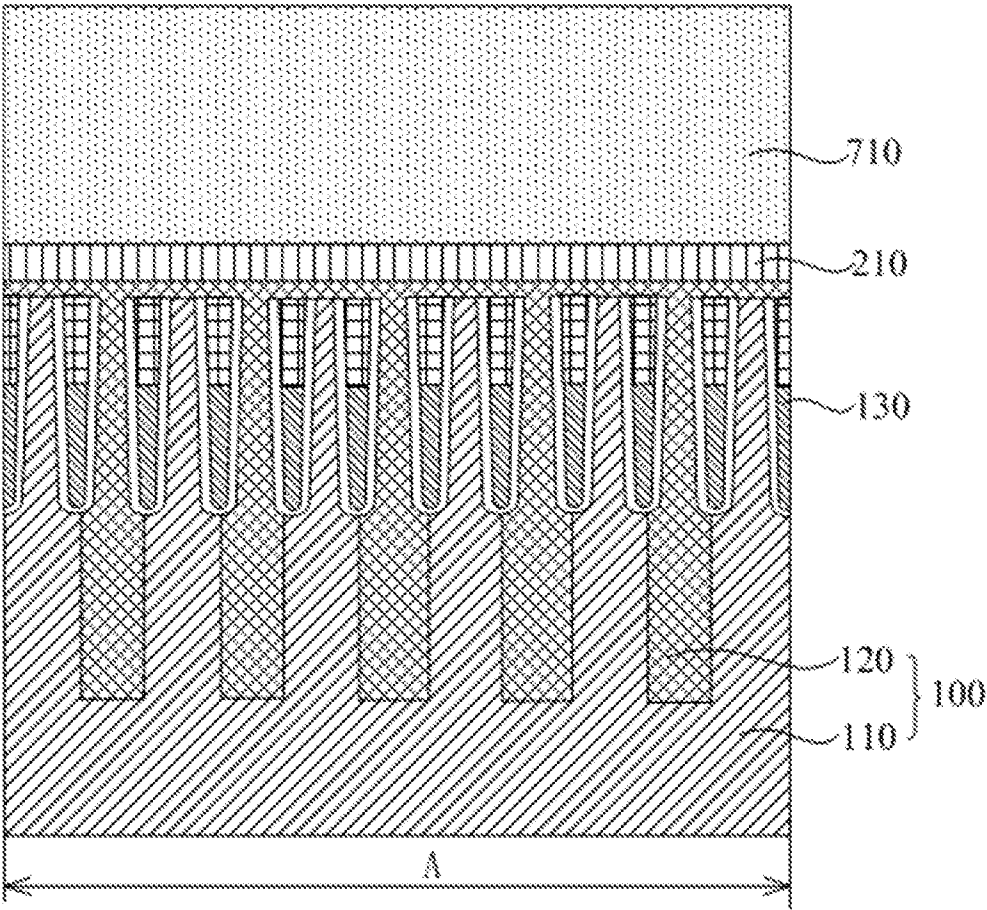


图 20

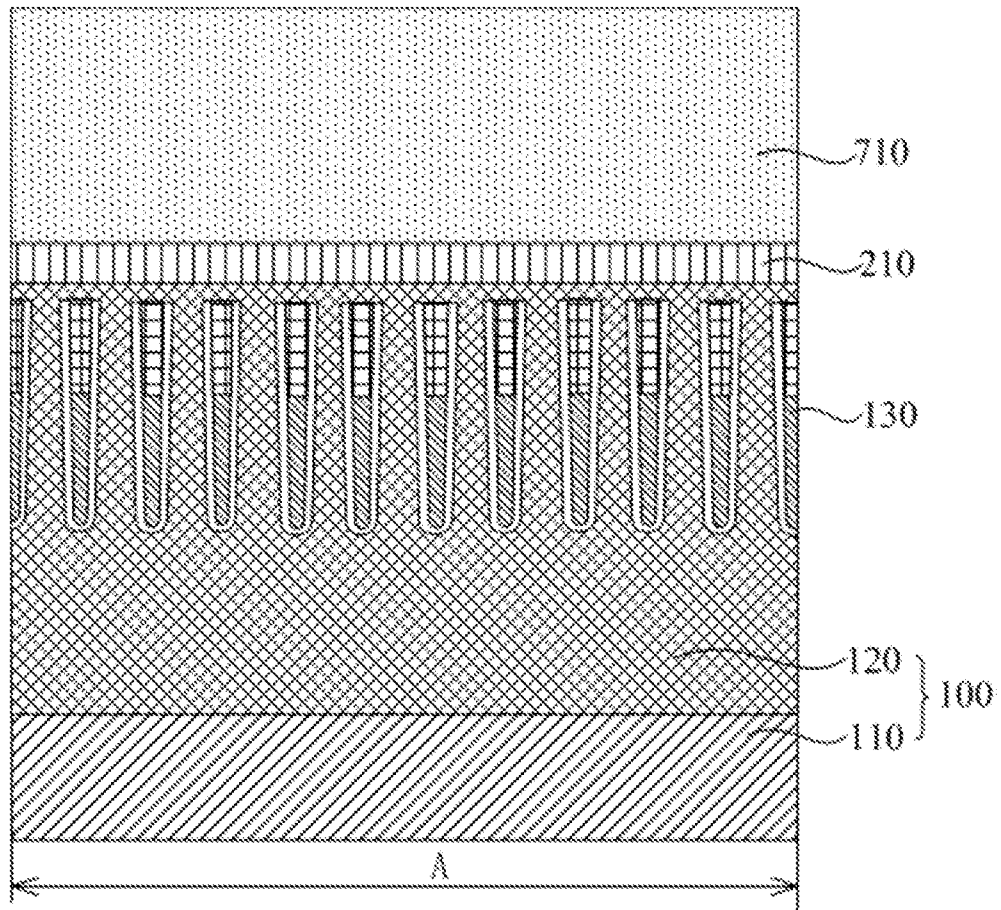


图 21

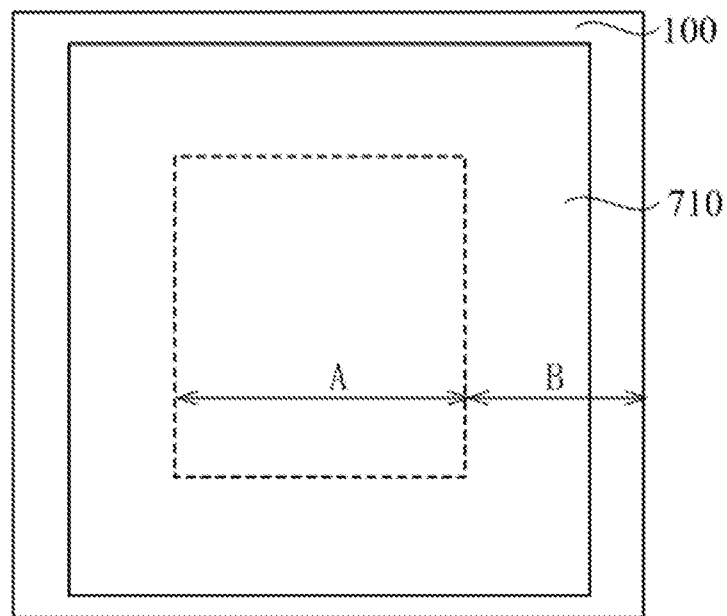


图 22

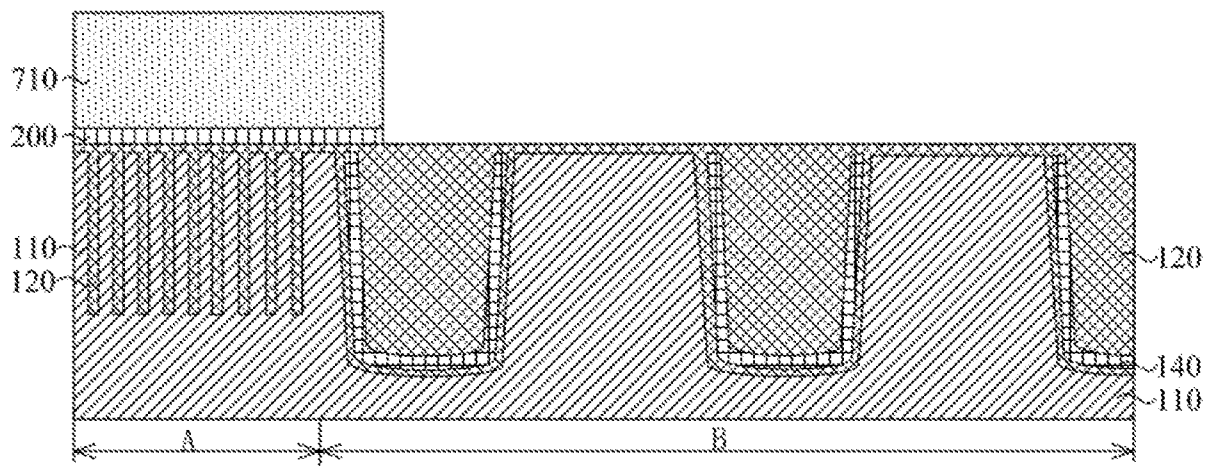


图 23

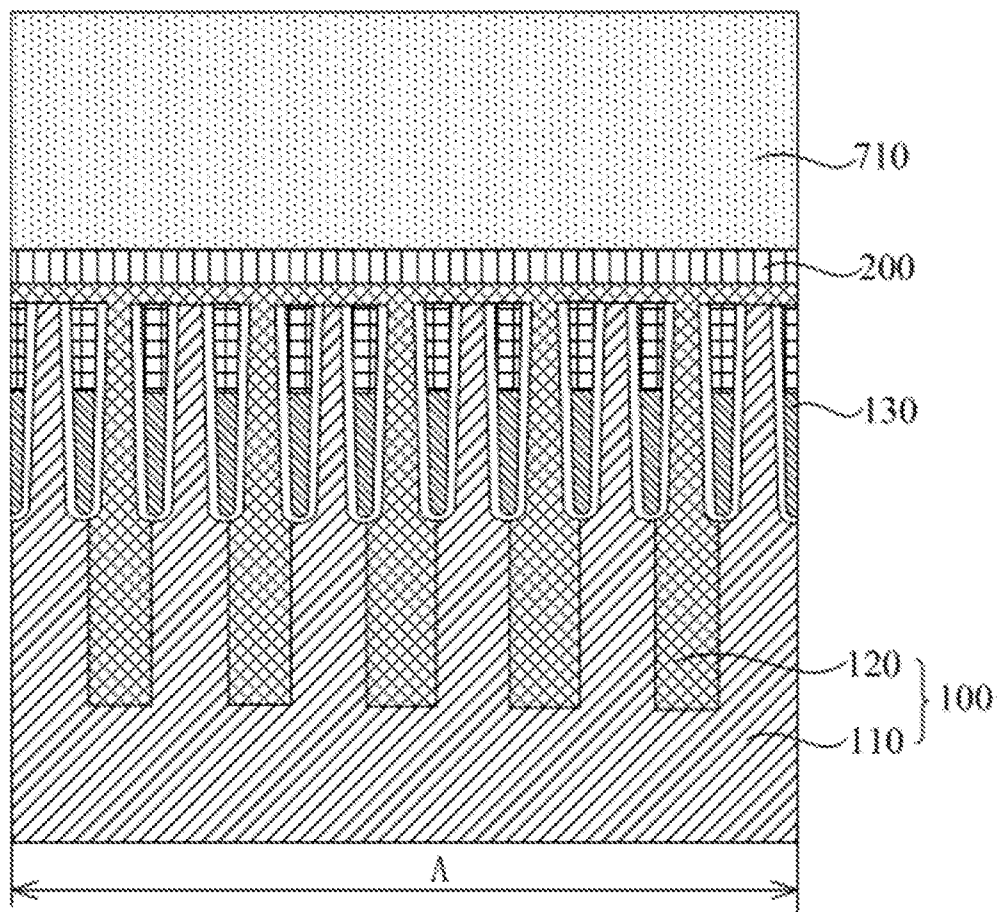


图 24

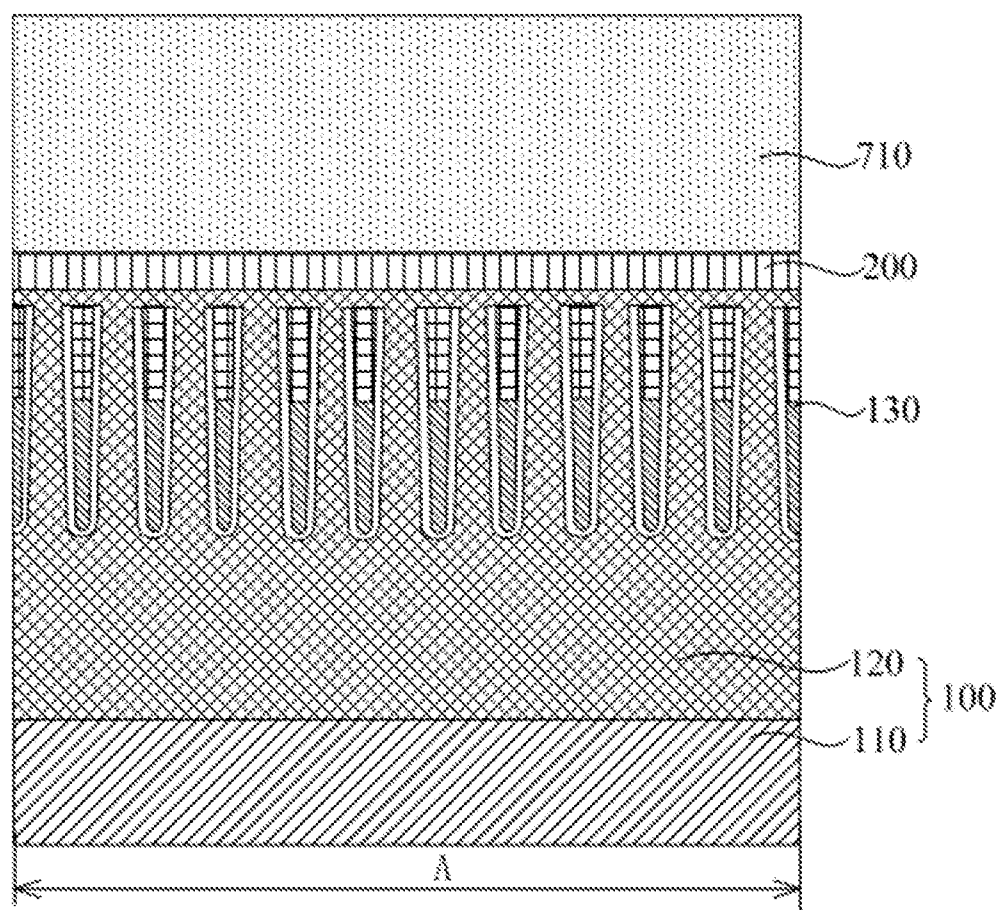


图 25

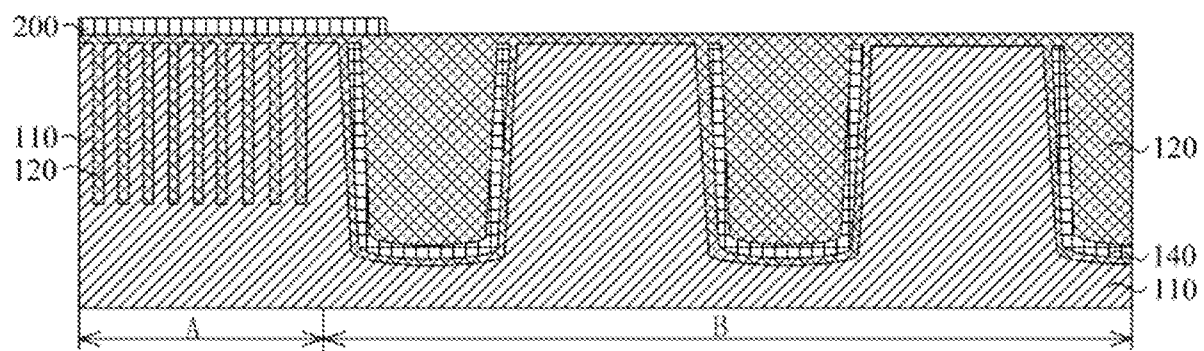


图 26

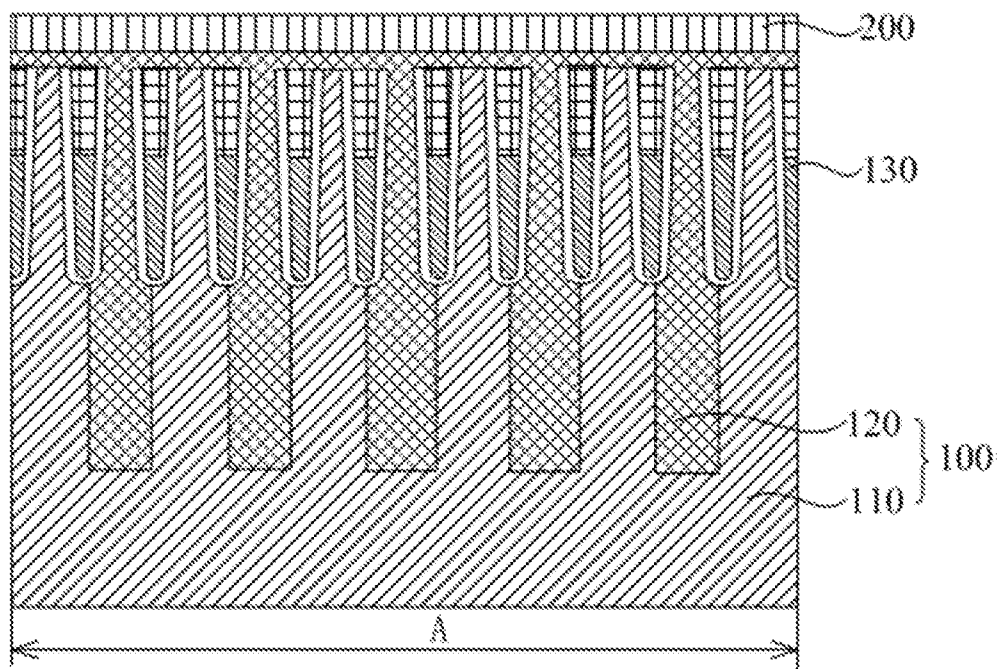


图 27

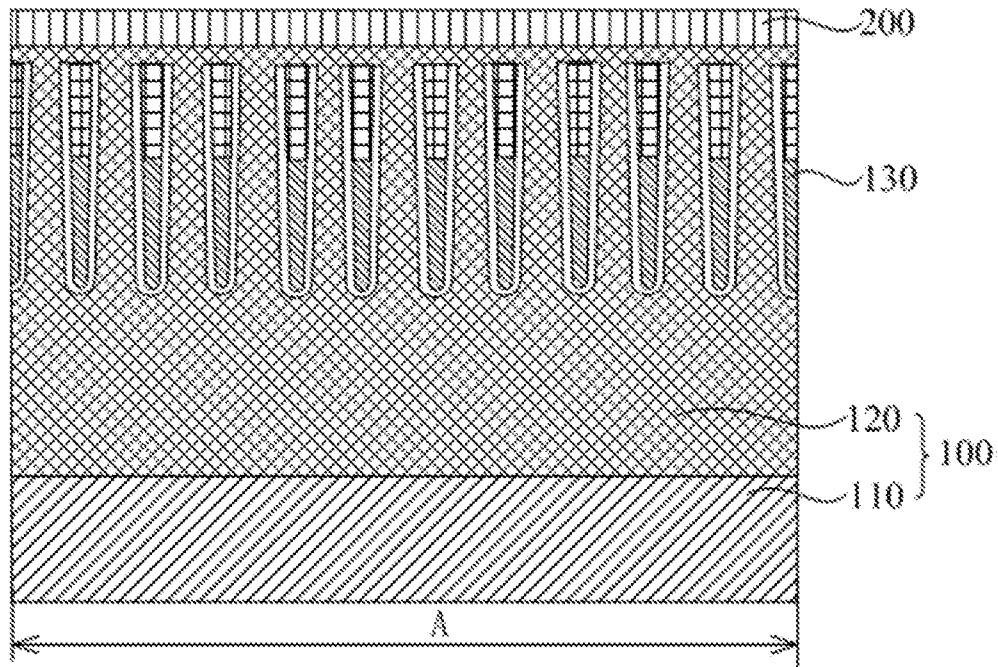


图 28

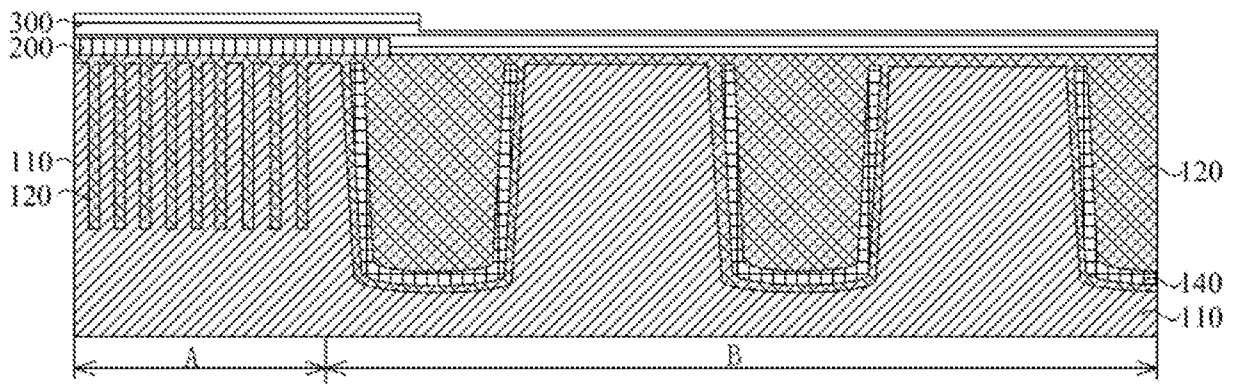


图 29

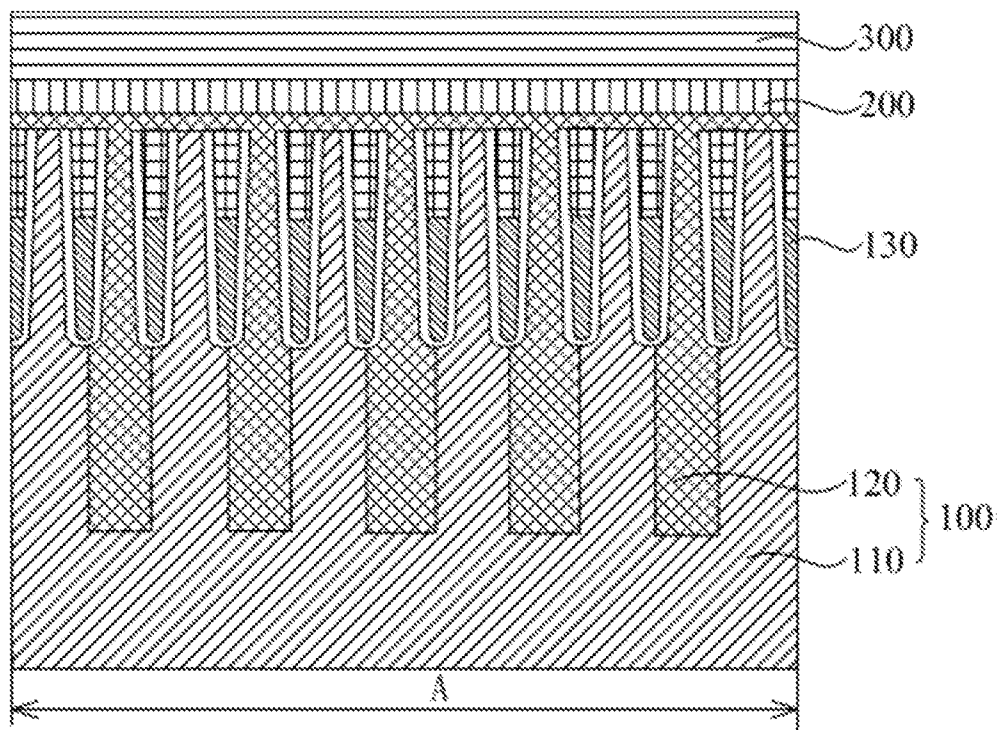


图 30

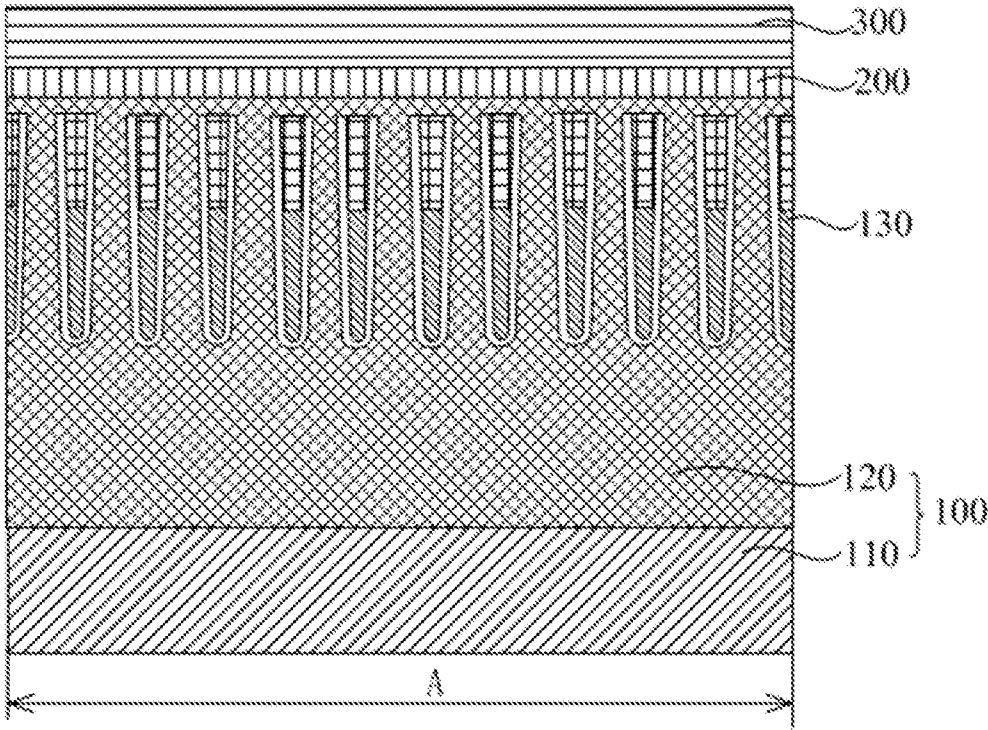


图 31

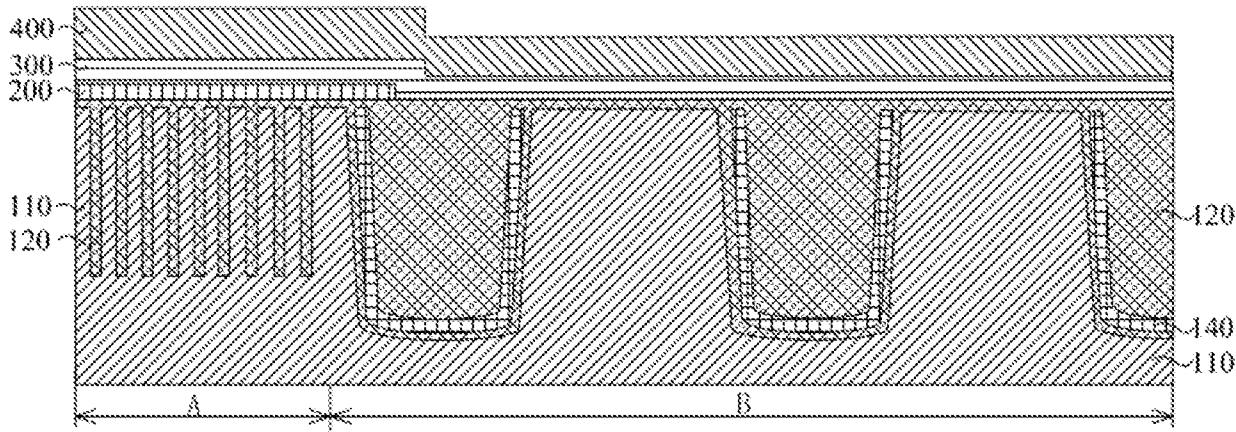


图 32

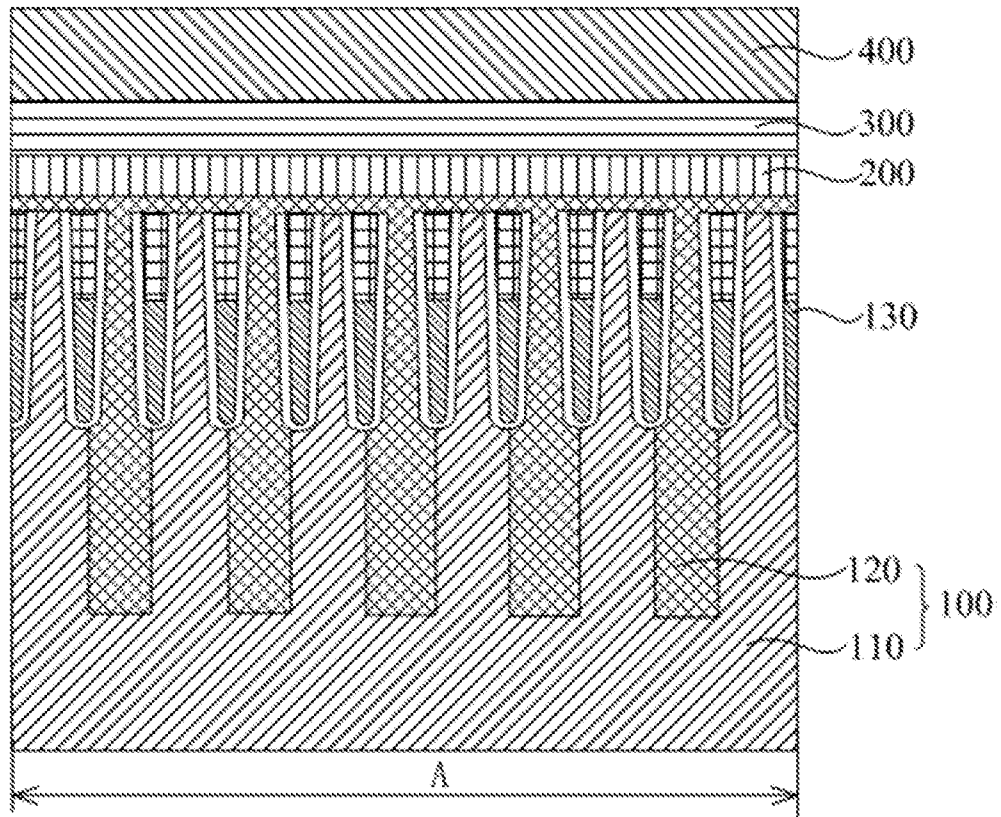


图 33

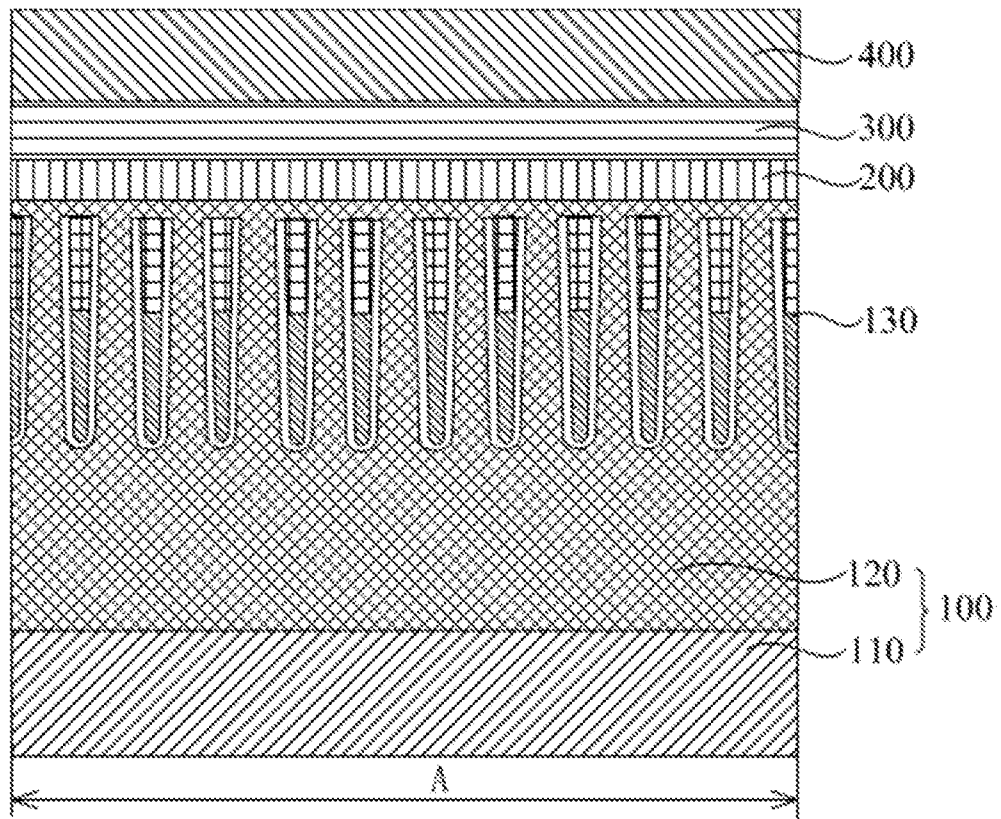


图 34

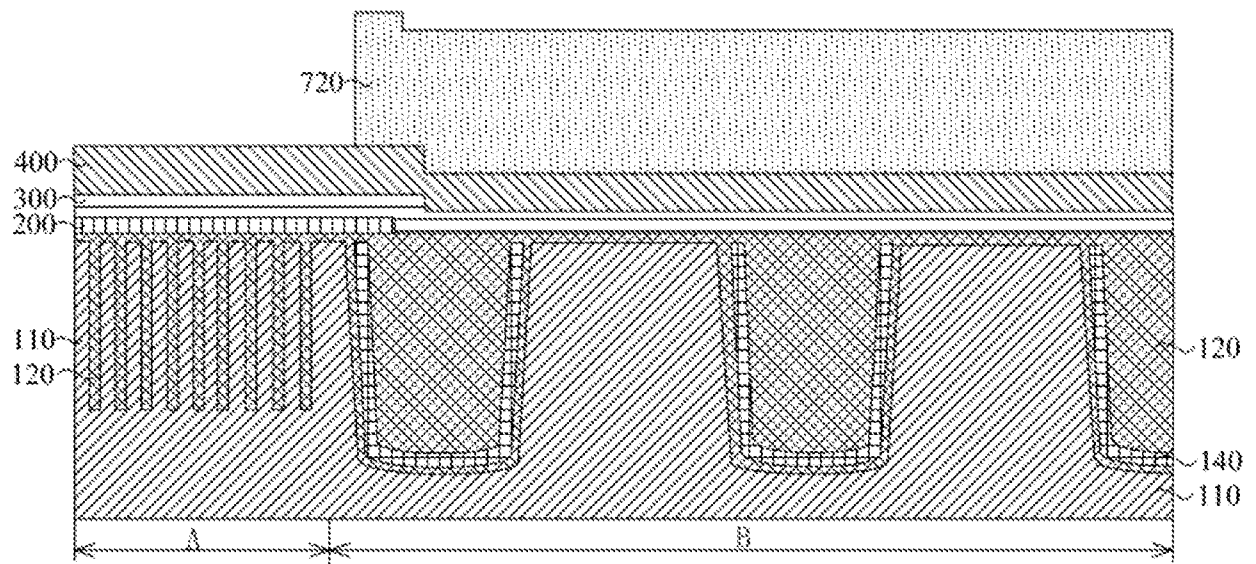


图 35

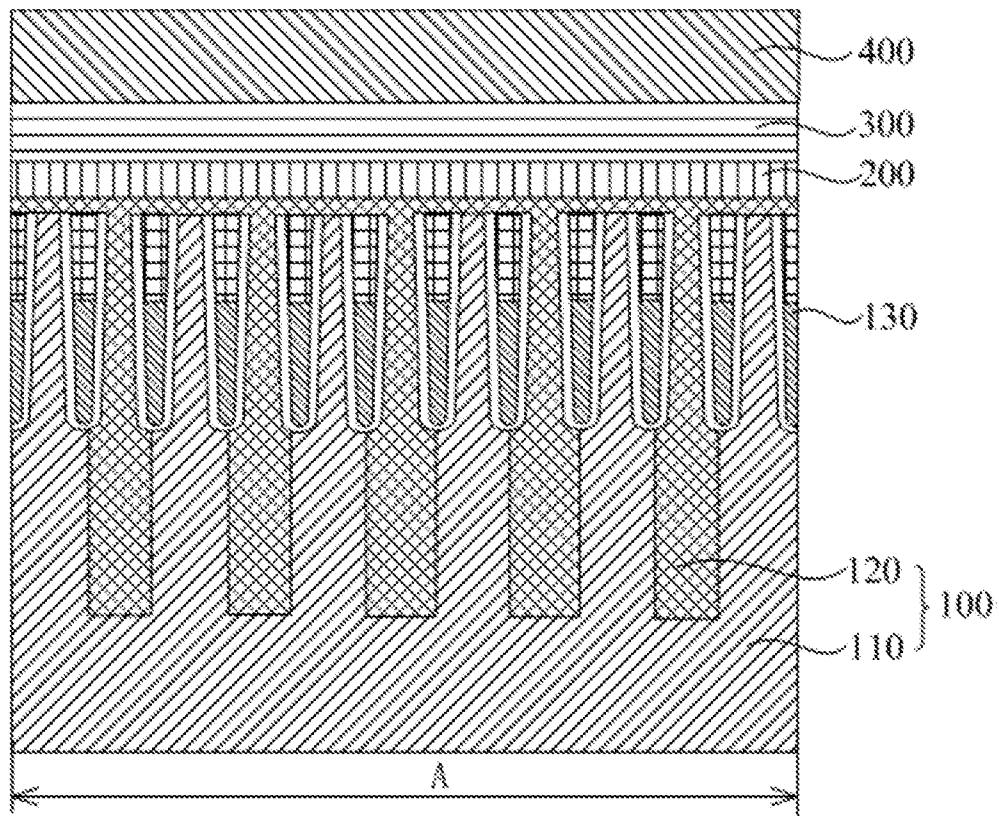


图 36

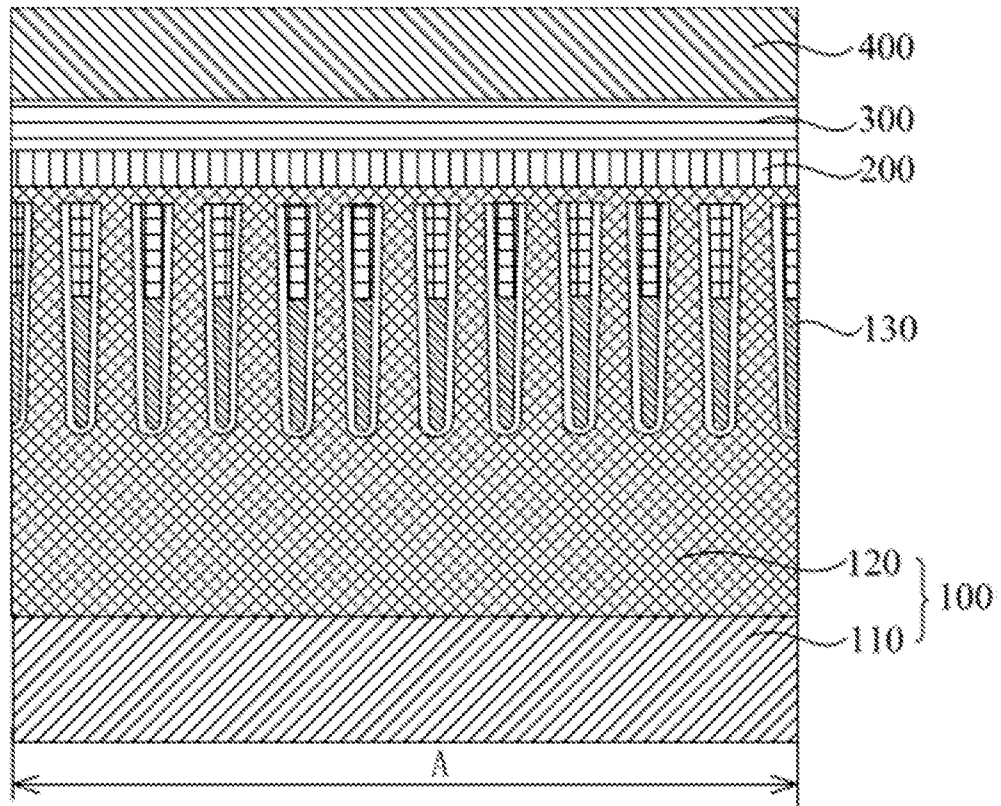


图 37

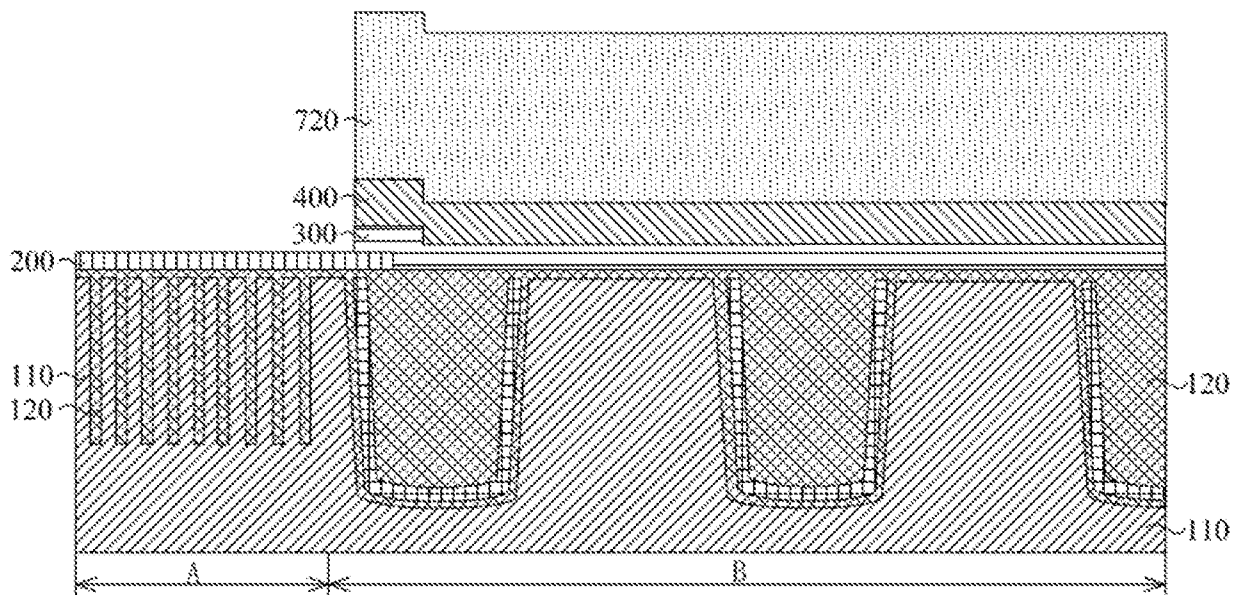


图 38

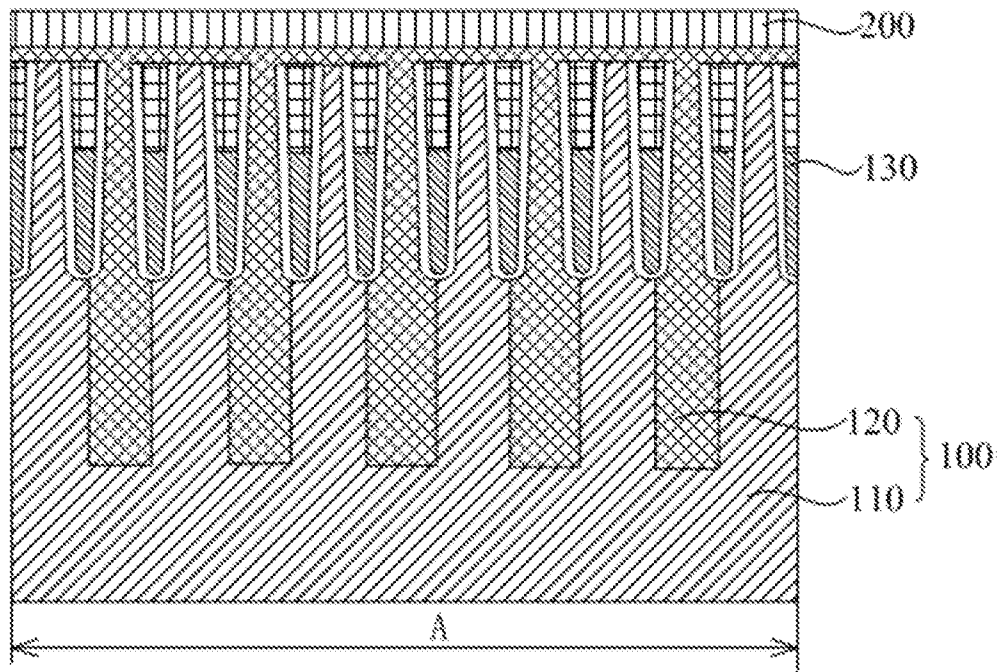


图 39

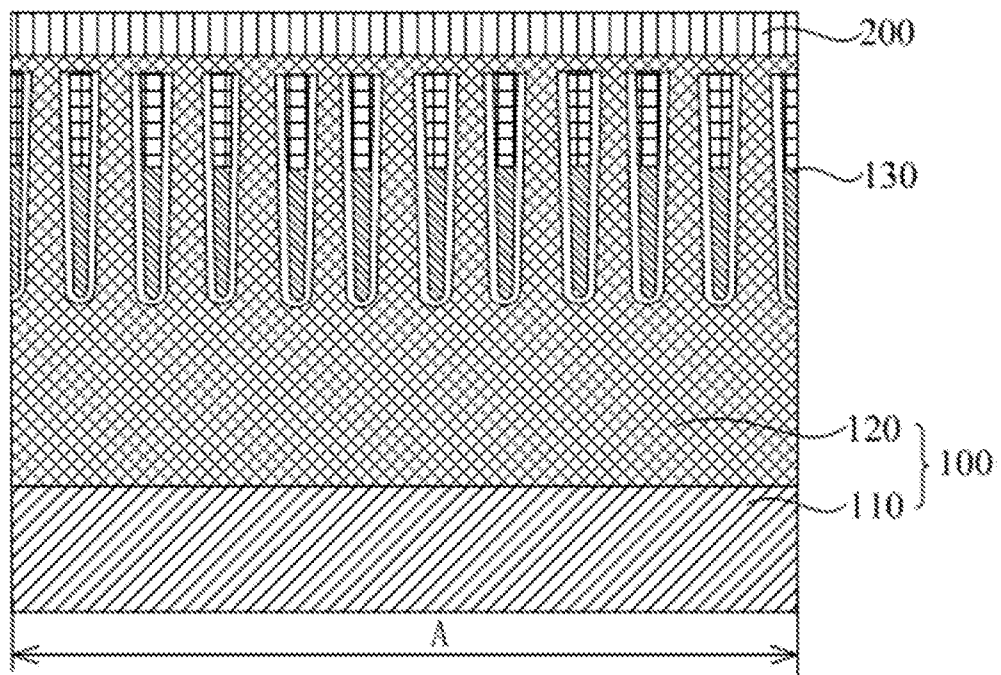


图 40

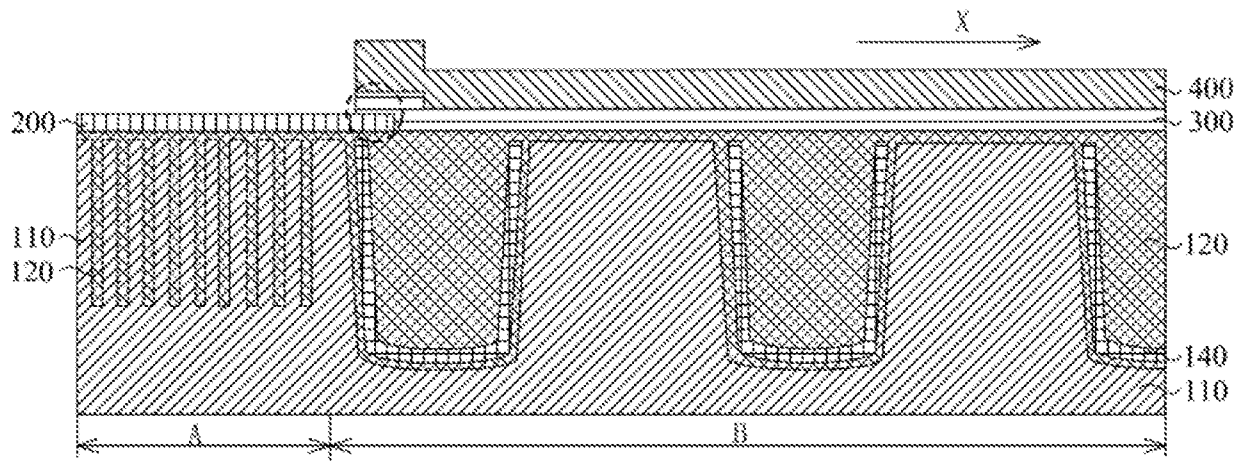


图 41

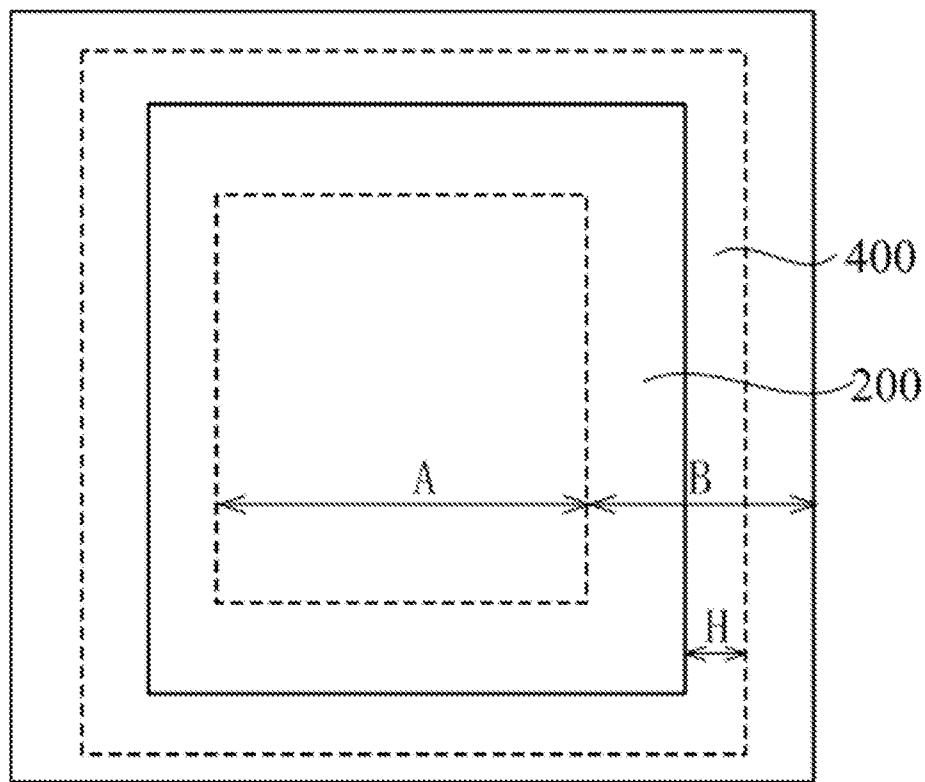


图 42

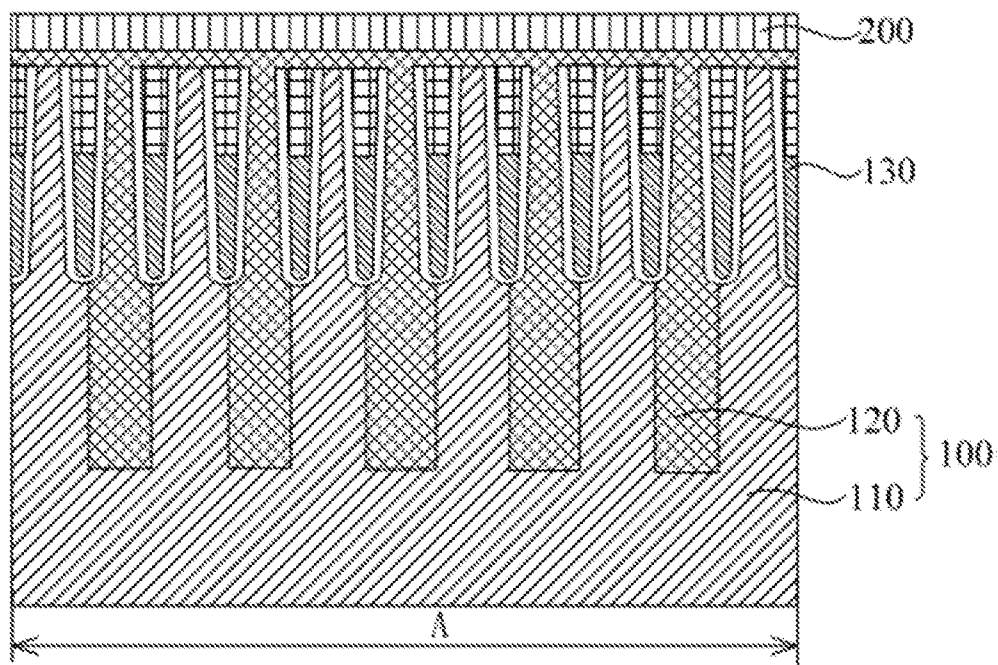


图 43

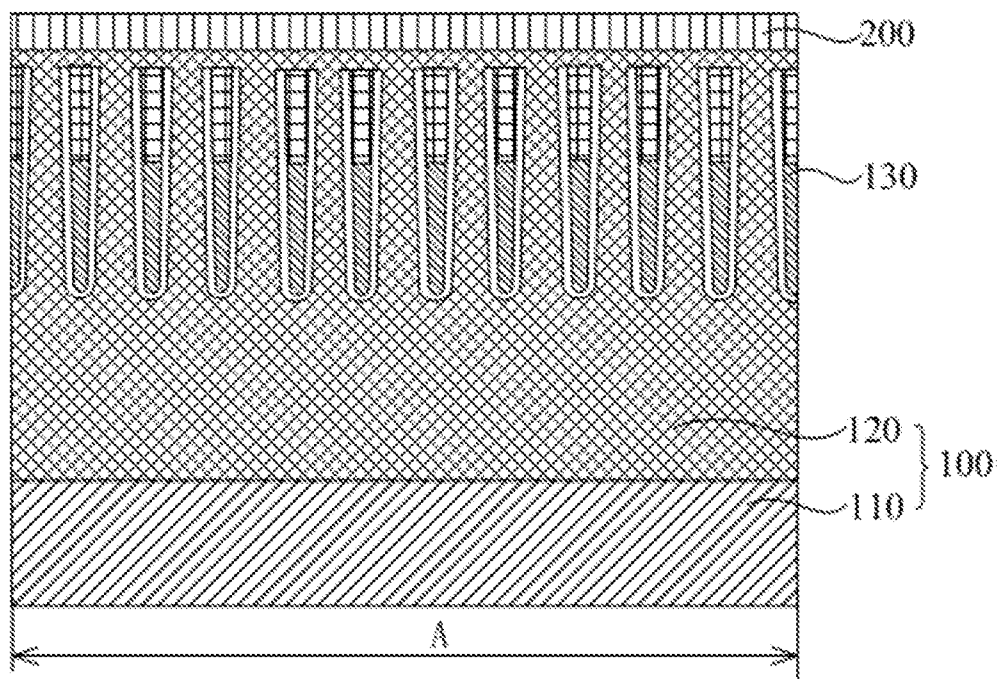


图 44

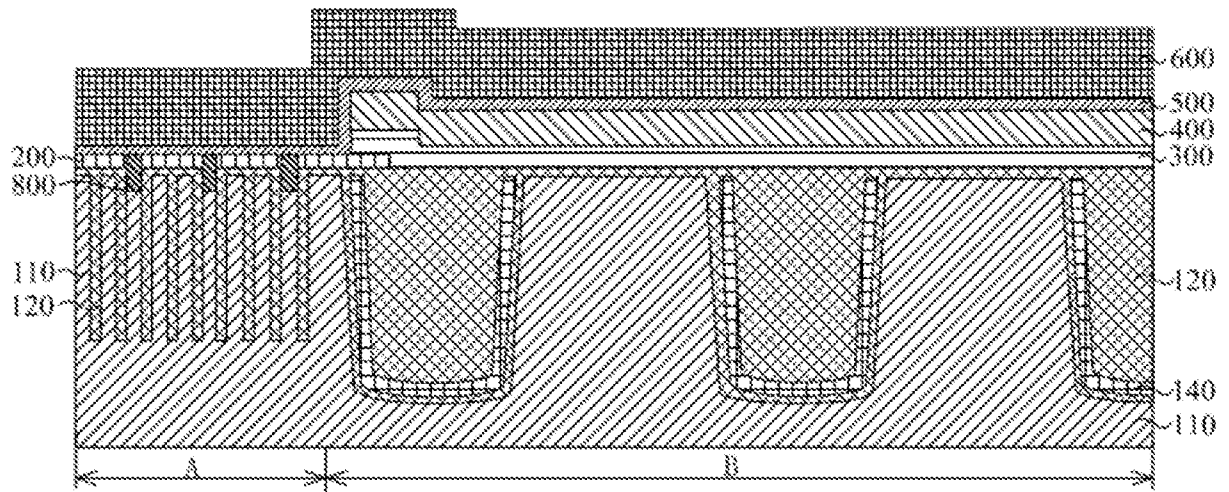


图 45

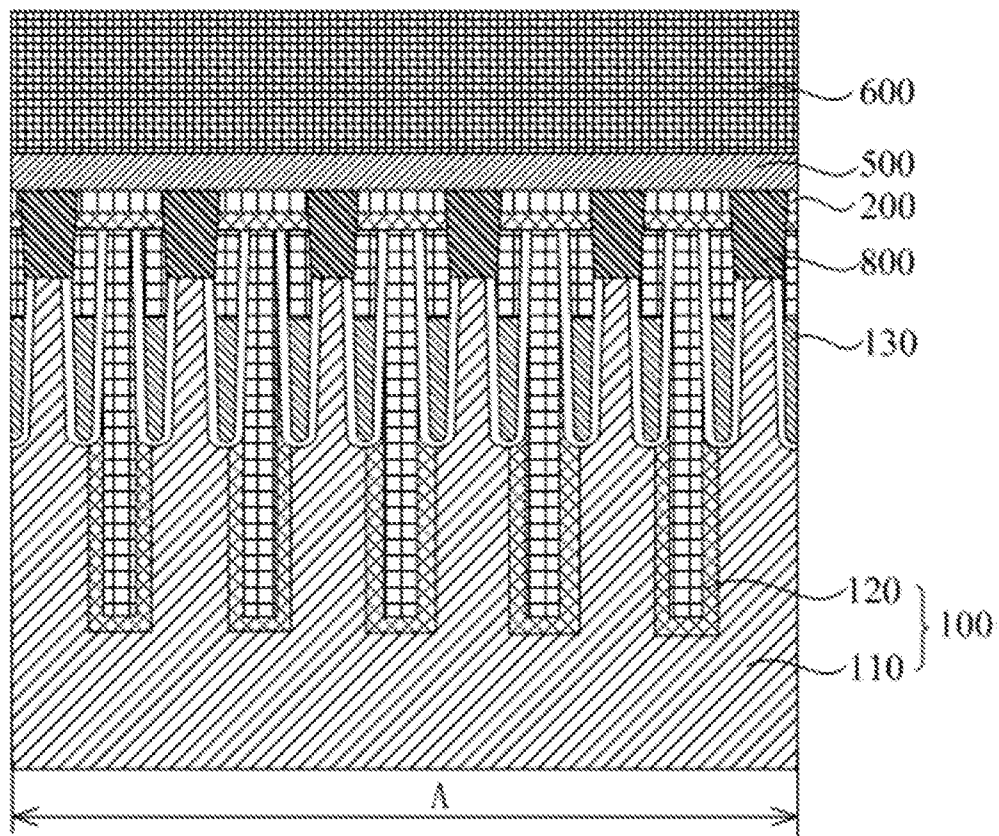


图 46

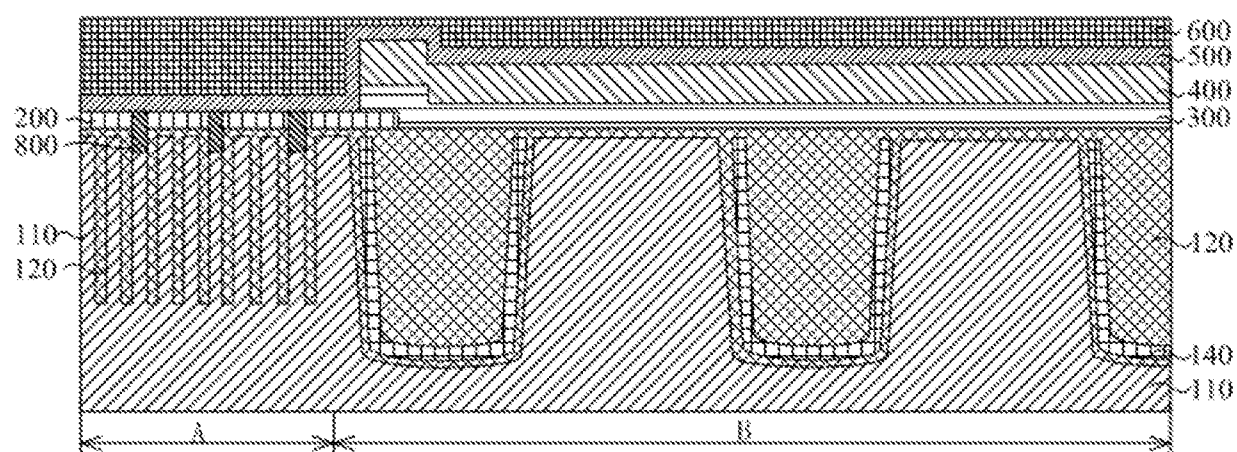


图 47

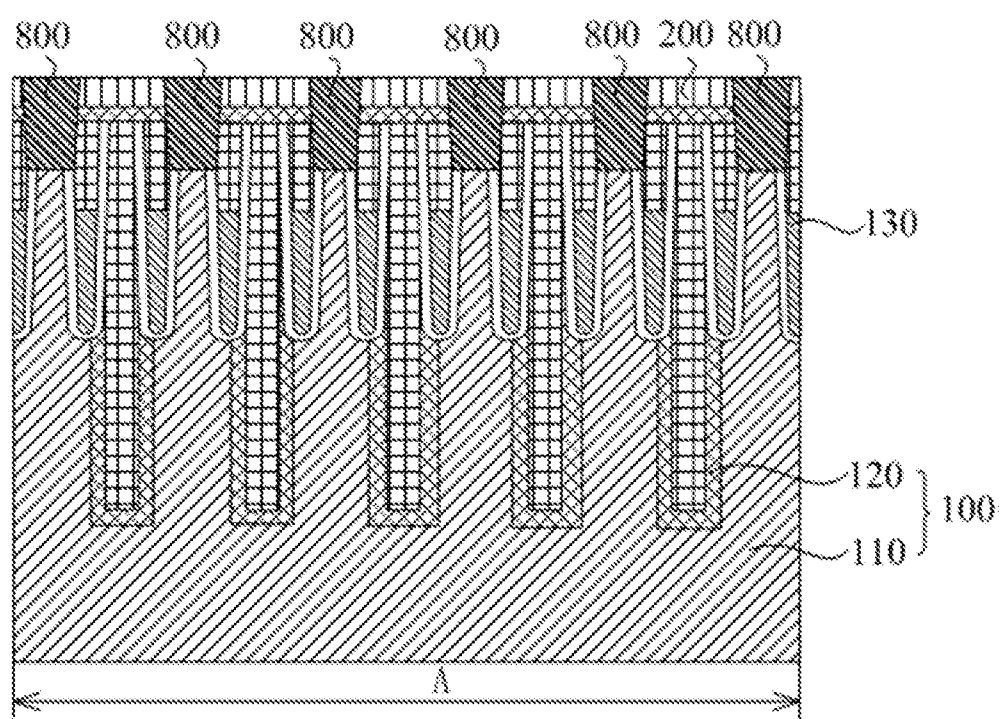


图 48

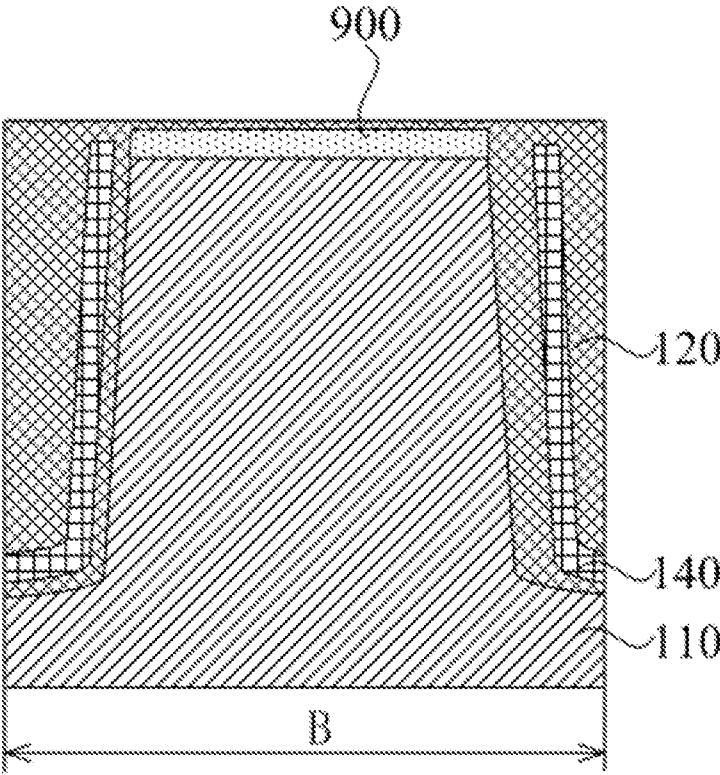


图 49

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/108970

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/768(2006.01)i; H01L 29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; SIPOABS; DWPI; CNKI; IEEE: 核心, 中心, 外围, 边缘, 介电, 字线, 终端, 埋入, 台阶, 晶体管, 导电, 暴露, 绝缘, 位线, center, cell, edge, dielectric, word line, terminal, buried, transistor, conduct, expose, bit line, step

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2015014767 A1 (SK HYNIX INC.) 15 January 2015 (2015-01-15) description, paragraphs 0048-0078, and figures 4a-5h	1-16
X	CN 102339829 A (HYNIX SEMICONDUCTOR INC.) 01 February 2012 (2012-02-01) description, paragraphs 0040-0057, and figures 3a-3l	1-16
A	CN 102097375 A (HYNIX SEMICONDUCTOR INC.) 15 June 2011 (2011-06-15) entire document	1-16
A	CN 104037211 A (SONY CORP.) 10 September 2014 (2014-09-10) entire document	1-16
A	KR 20110003039 A (HYNIX SEMICONDUCTOR INC.) 11 January 2011 (2011-01-11) entire document	1-16



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

10 January 2022

Date of mailing of the international search report

18 January 2022

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/108970

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
US	2015014767	A1	15 January 2015	KR	20150007541	A	21 January 2015
				KR	102110463	B1	13 May 2020
				US	9368399	B2	14 June 2016
				US	2016268262	A1	15 September 2016
				US	9768176	B2	19 September 2017
CN	102339829	A	01 February 2012	US	2012012911	A1	19 January 2012
				CN	102339829	B	18 May 2016
				TW	201203486	A	16 January 2012
				KR	20120007706	A	25 January 2012
				KR	101129922	B1	23 March 2012
				TW	I509764	B	21 November 2015
CN	102097375	A	15 June 2011	KR	20110064963	A	15 June 2011
				KR	101096875	B1	22 December 2011
				CN	102097375	B	18 February 2015
				US	7915121	B1	29 March 2011
CN	104037211	A	10 September 2014	US	2014252417	A1	11 September 2014
				US	9087888	B2	21 July 2015
				JP	2014175339	A	22 September 2014
				CN	104037211	B	22 September 2017
KR	20110003039	A	11 January 2011	None			

国际检索报告

国际申请号

PCT/CN2021/108970

A. 主题的分类 H01L 21/768(2006.01)i; H01L 29/78(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类																				
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) H01L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNABS;SIP0ABS;DWPI;CNKI;IEEE:核心, 中心, 外围, 边缘, 介电, 字线, 终端, 埋入, 台阶, 晶体管, 导电, 暴露, 绝缘, 位线, center, cell, edge, dielectric, word line, terminal, buried, transistor, conduct, expose, bit line, step																				
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>US 2015014767 A1 (SK HYNIX INC) 2015年1月15日 (2015 - 01 - 15) 说明书第0048-0078段、附图4a-5h</td> <td>1-16</td> </tr> <tr> <td>X</td> <td>CN 102339829 A (海力士半导体有限公司) 2012年2月1日 (2012 - 02 - 01) 说明书第0040-0057段、附图3a-3l</td> <td>1-16</td> </tr> <tr> <td>A</td> <td>CN 102097375 A (海力士半导体有限公司) 2011年6月15日 (2011 - 06 - 15) 全文</td> <td>1-16</td> </tr> <tr> <td>A</td> <td>CN 104037211 A (索尼公司) 2014年9月10日 (2014 - 09 - 10) 全文</td> <td>1-16</td> </tr> <tr> <td>A</td> <td>KR 20110003039 A (HYNIX SEMICONDUCTOR INC) 2011年1月11日 (2011 - 01 - 11) 全文</td> <td>1-16</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	US 2015014767 A1 (SK HYNIX INC) 2015年1月15日 (2015 - 01 - 15) 说明书第0048-0078段、附图4a-5h	1-16	X	CN 102339829 A (海力士半导体有限公司) 2012年2月1日 (2012 - 02 - 01) 说明书第0040-0057段、附图3a-3l	1-16	A	CN 102097375 A (海力士半导体有限公司) 2011年6月15日 (2011 - 06 - 15) 全文	1-16	A	CN 104037211 A (索尼公司) 2014年9月10日 (2014 - 09 - 10) 全文	1-16	A	KR 20110003039 A (HYNIX SEMICONDUCTOR INC) 2011年1月11日 (2011 - 01 - 11) 全文	1-16
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																		
X	US 2015014767 A1 (SK HYNIX INC) 2015年1月15日 (2015 - 01 - 15) 说明书第0048-0078段、附图4a-5h	1-16																		
X	CN 102339829 A (海力士半导体有限公司) 2012年2月1日 (2012 - 02 - 01) 说明书第0040-0057段、附图3a-3l	1-16																		
A	CN 102097375 A (海力士半导体有限公司) 2011年6月15日 (2011 - 06 - 15) 全文	1-16																		
A	CN 104037211 A (索尼公司) 2014年9月10日 (2014 - 09 - 10) 全文	1-16																		
A	KR 20110003039 A (HYNIX SEMICONDUCTOR INC) 2011年1月11日 (2011 - 01 - 11) 全文	1-16																		
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																				
<table border="0"> <tr> <td> * 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 </td> <td> “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件 </td> </tr> </table>			* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																			
国际检索实际完成的日期		国际检索报告邮寄日期																		
2022年1月10日		2022年1月18日																		
ISA/CN的名称和邮寄地址		授权官员																		
中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		刘国梁 电话号码 86-(010)-62411893																		

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/108970

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
US	2015014767	A1	2015年1月15日	KR	20150007541	A	2015年1月21日
				KR	102110463	B1	2020年5月13日
				US	9368399	B2	2016年6月14日
				US	2016268262	A1	2016年9月15日
				US	9768176	B2	2017年9月19日
CN	102339829	A	2012年2月1日	US	2012012911	A1	2012年1月19日
				CN	102339829	B	2016年5月18日
				TW	201203486	A	2012年1月16日
				KR	20120007706	A	2012年1月25日
				KR	101129922	B1	2012年3月23日
				TW	1509764	B	2015年11月21日
CN	102097375	A	2011年6月15日	KR	20110064963	A	2011年6月15日
				KR	101096875	B1	2011年12月22日
				CN	102097375	B	2015年2月18日
				US	7915121	B1	2011年3月29日
CN	104037211	A	2014年9月10日	US	2014252417	A1	2014年9月11日
				US	9087888	B2	2015年7月21日
				JP	2014175339	A	2014年9月22日
				CN	104037211	B	2017年9月22日
KR	20110003039	A	2011年1月11日	无			