

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第4664622号
(P4664622)

(45) 発行日 平成23年4月6日(2011.4.6)

(24) 登録日 平成23年1月14日(2011.1.14)

(51) Int.Cl.

G 1 1 C 11/406 (2006.01)

F I

G 1 1 C 11/34 3 6 3 N

G 1 1 C 11/34 3 6 3 K

請求項の数 2 (全 31 頁)

(21) 出願番号	特願2004-150614 (P2004-150614)	(73) 特許権者	000003078
(22) 出願日	平成16年5月20日 (2004. 5. 20)		株式会社東芝
(65) 公開番号	特開2005-332497 (P2005-332497A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成17年12月2日 (2005. 12. 2)	(74) 代理人	100091351
審査請求日	平成19年3月1日 (2007.3.1)		弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100075672
			弁理士 峰 隆司
		(74) 代理人	100109830
			弁理士 福原 淑弘
		(74) 代理人	100084618
			弁理士 村松 貞男

最終頁に続く

(54) 【発明の名称】 半導体集積回路装置

(57) 【特許請求の範囲】

【請求項 1】

保持された 1 データと 0 データとでデータ保持特性に千倍以上の時間差を持つメモリセルが集積されたセルアレイを具備し、

前記メモリセルが保持するデータを、一定の時間ごとにリフレッシュする第 1 リフレッシュ動作と、

前記第 1 リフレッシュ動作間に前記セルアレイに対するライト動作を生じたときのみ、前記メモリセルが保持する前記 1 データまたは前記 0 データのいずれかデータを、このライト動作後にリフレッシュする第 2 リフレッシュ動作とを行い、

前記ライト動作を生じる毎に、前記セルアレイに対するリフレッシュサイクルを先に進めることを特徴とする半導体集積回路装置。

【請求項 2】

保持されたデータごとに異なったデータ保持特性を持つメモリセルが集積された第 1、第 2 セルアレイと、

前記第 1 セルアレイ内のメモリセル、及び第 2 セルアレイ内のメモリセルのうち、データをリフレッシュするメモリセルを選択するリフレッシュアドレス発生カウンタとを具備し、

前記リフレッシュアドレス発生カウンタは、

前記第 1 セルアレイ内のメモリセルを、カウント値に従って選択する第 1 カウンタと、

前記第 2 セルアレイ内のメモリセルを、カウント値に従って選択する第 2 カウンタと、

10

20

前記第 1、第 2 セルアレイの 1 つを、カウント値に従って選択する第 3 カウンタとを含み、

一定の時間ごとに行う第 1 リフレッシュ動作において、データをリフレッシュするメモリセルを、前記第 1、第 2 カウンタの 1 つ、及び前記第 3 カウンタそれぞれを用いて選択し、前記第 1 リフレッシュ動作後に、前記第 1、第 2 カウンタのうち、前記メモリセルを選択したカウンタのカウント値、及び前記第 3 カウンタのカウント値を、それぞれ次のカウント値に更新し、

前記第 1 リフレッシュ動作間に前記第 1、第 2 セルアレイの 1 つに対してライト動作を生じたとき、このライト動作後に行う第 2 リフレッシュ動作時において、リフレッシュするメモリセルを、前記第 1、第 2 カウンタのうち、前記ライト動作を行ったセルアレイ内のメモリセルを選択するカウンタを用いて選択し、前記第 2 リフレッシュ動作後に、前記第 1、第 2 カウンタのうち、前記メモリセルを選択したカウンタのカウント値を、次のカウント値に更新することを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路装置に関し、特に、データのリフレッシュが必要な半導体記憶装置を備えた半導体集積回路装置に関する。

【背景技術】

【0002】

システムシリコンとして、大容量で低消費電力の組み込みランダムアクセスメモリ（RAM）への需要が増大しており、その需要は、組み込み RAM がシステムチップの半分以上の領域を占めるまでになっている。組み込み RAM には、SRAM と DRAM とがある。

【0003】

組み込み RAM のうち、SRAM は、1 つのセルに必要なトランジスタ数が 6 つでありセル面積が大きい。また、微細が進むと、セル情報保持のためのリーク電流も増大するので大容量化に向かなくなってきた。

【0004】

対して、DRAM は、1 つのセルがキャパシタンスとトランジスタとで構成されるため、SRAM に比較してセル面積を小さくでき、大容量化が容易である。しかし、キャパシタンスの容量を充分にとり、安定した動作を行わせるためには、キャパシタンスやトランジスタに特別な製造プロセスが必要である。このため、標準的なロジックプロセスの製造ラインにはのらず、製造コストが高つく。

【0005】

そこで、図 36 に示すような 3 つのトランジスタからなる DRAM セルが模索されるようになってきた。本明細書では、以下、3 T タイプ DRAM セルと呼ぶ。3 T タイプ DRAM セルは、一般的な DRAM のように特別な製造プロセスが要らない。かつ、1 つのセルに必要なトランジスタ数が 3 つであるので、SRAM のセル面積に比較して、その半分くらいのセル面積で済む。3 T タイプ DRAM セルは、ストレージノード（Storage Node）に保持した電荷量で、セルトランジスタ 100 を ON/OFF し、リードビット線 RBL に生じる電流の変化で情報を読み取る。

【0006】

しかしながら、低消費電力と微細化とに対する低電圧動作を考え、0.5 V 辺りでの動作を考えると、3 T タイプ DRAM セルには、次のような事情があることが新たに判明した。

【0007】

（1） “0” データを読み出す際のセル電流特性と、“1” データを読み出す際のセル電流特性との間に非対称性があり、微小な電流差を安定してセンスするセンスシステムが不可欠である。

10

20

30

40

50

【 0 0 0 8 】

(2) “ 0 ” データを保持中のリーク特性と、“ 1 ” データを保持中のリーク特性との間に非対称性があり、現状の D R A M に対して行うリフレッシュ動作では、データのリフレッシュに対処できない。

【 0 0 0 9 】

まず、(1) の事情についての具体例を、図 3 7 A ~ 図 3 7 C を参照して説明する。

【 0 0 1 0 】

図 3 7 A に示すように、縦軸にストレージノードの電圧 (Sweep) をプロットし、横軸にセル電流 (Icell) をプロットすると、“ 1 ” データを読み出した際のセル電流は $1\ \mu\text{A}$ から $5\ \mu\text{A}$ であるのに対し、“ 0 ” データを読み出した際のセル電流は $1\ \mu\text{A}$ 以下であることが分かる。つまり、“ 0 ” データを正確にセンスするためには、 $1\ \mu\text{A}$ 以下の電流を安定して高速にセンスするセンスアンプと、“ 0 ” と “ 1 ” とを切り分けるためのレファレンスレベル V_{ref} の設定とが必要となる。

10

【 0 0 1 1 】

図 3 7 B は “ 1 ” データを保持したセルのストレージノードの電圧変化 (“ 1 ” セルリテンション) を示す図、同じく図 3 7 C は “ 0 ” データを保持したセルのストレージノードの電位変化 (“ 0 ” セルリテンション) を示す図である。図 3 7 B、及び図 3 7 C それぞれにおいて、縦軸はストレージノードの電圧 (Cell level) であり、横軸は時間 (Time) である。

【 0 0 1 2 】

20

図 3 7 B に示すように、“ 1 ” セルのリークレベルは一定の値で飽和し、そして安定する。このため、“ 1 ” データは、ms オーダーの時間で保持することが可能である。対して、“ 0 ” セルは、図 3 7 C に示すように、際限なくリークが続く。やがては “ 0 ” セルは “ 1 ” セルに化ける。このため、“ 0 ” データは、 μs オーダーの時間、せいぜい $1 \sim 2\ \mu\text{s}$ 程度しか保持することができない。

【 0 0 1 3 】

このような状況においては、センスシステムは、例えば、 280mV 以上は “ 1 ”、 130mV 以下は “ 0 ” とみなせるようにセンスできることが望まれ、従って、これに対応した新たなセンスシステムが必要となる。

【 0 0 1 4 】

30

次に、(2) の事情についての具体例を、図 3 8 を参照して説明する。

【 0 0 1 5 】

図 3 8 に示すように、セルが “ 1 ” データ、及び “ 0 ” データを、それぞれ最悪条件で保持した場合、“ 1 ” セルの状態変化と “ 0 ” セルの状態とは大きく異なる。“ 1 ” セルの最悪条件はライトビット線 W B L の電位が V S S の状態であり (図 3 8 中の “ 1 ” セルワースト)、“ 0 ” セルの最悪条件はライトビット線 W B L の電位が V D D の状態である。

【 0 0 1 6 】

このような状況は、3 T タイプ D R A M セルに限らず、一般的な 1 C 1 T タイプ D R A M においても、セルに特別なプロセスを用いず標準プロセスで低電圧動作をさせるセルを作ると生じる。

40

【 0 0 1 7 】

図 3 8 から分かるように、“ 1 ” セルの場合、ストレージノードの電圧がリークによってある程度下がると、トランジスタ 1 0 3 の O F F はより深くなる。このため、ストレージノードの電圧は飽和する。

【 0 0 1 8 】

対して “ 0 ” セルの場合、トランジスタ 1 0 3 の O F F が反対に浅くなっていく。このため、リークがライトビット線 W B L の V D D レベルまで進行し、やがてセルの情報が壊れる。つまり、“ 0 ” セルを、ライトビット線 W B L の電位を “ H ”、例えば、V D D で放置すると、 μs のオーダーで “ 0 ” データ、“ 1 ” データの中間レベルを超え、“ 1 ”

50

セルに化ける。そこで、ライトビット線WBLは、通常状態ではVSSとし、セルへの“1”の書き込みの際のみVDDとしてリークに対応することになる。しかし、現状のDRAMにおける“1”側のリフレッシュに加え、リーク特性の極端な非対称性に対して対処できる新たな方式を、さらに工夫しなければならない。なお、セル情報の読み出しについては、ビット線が書き込み用とは別であるので、セルへの影響はほとんどない。

【0019】

上記(2)の課題に対し、従来技術に残る課題は図39にまとめられる。

【0020】

図39に示すように、従来のDRAMでは、ビット線に128セルがぶら下がっている場合を仮定すると、1つのセルは数十msのサイクルでリフレッシュされる。しかし、保持データが“0”であるか“1”であるかに依存して生ずる、 10^3 オーダーで時間が異なるようなディスタ urbに対処するリフレッシュは、従来に無い。

10

【0021】

また、公知例として、ダイナミック型のセルとスタティック型のセルとを組み合わせたようなスタティック型のセルが特許文献1に記載されている。特許文献1に記載のスタティック型のセルを、図40に示す。

【0022】

図40に示すように、特許文献1に記載のスタティック型のセルは、“1”データをストレージノードNaにダイナミックに保持し、“0”データをPMOS 200のON、NMOS 202のOFF、NMOS 204をONによりスタティックに保持する。ビット線BLはリード及びライトで共用であるので、データはアクセスのたびにディスタ urbされ、アクセスのたびにデータはリフレッシュされる。特許文献1では、“0”データはスタティックに保持されるので、保持データに関係なく、ビット線BLの電位を利用した、図39に示す従来のDRAMと同様の一斉リフレッシュが可能である。

20

【0023】

しかし、“0”データ、及び“1”データの双方を、それぞれダイナミックに保持するDRAMには、特許文献1は適用することはできない。もちろん、保持データに依存して生ずる、 10^3 オーダー以上の時間が異なるようなディスタ urbに対処するリフレッシュについても記載が無い。

【特許文献1】特開2002-343085号

30

【発明の開示】

【発明が解決しようとする課題】

【0024】

この発明は、保持データに依存して生ずる、異なったディスタ urbに対処できるデータリフレッシュ機能を有した半導体集積回路装置を提供する。

【課題を解決するための手段】

【0025】

この発明の一態様に係る半導体集積回路装置は、保持された1データと0データとでデータ保持特性に千倍以上の時間差を持つメモリセルが集積されたセルアレイを具備し、前記メモリセルが保持するデータを、一定の時間ごとにリフレッシュする第1リフレッシュ動作と、前記第1リフレッシュ動作間に前記セルアレイに対するライト動作を生じたときのみ、前記メモリセルが保持する前記1データまたは前記0データのいずれかデータを、このライト動作後にリフレッシュする第2リフレッシュ動作とを行い、前記ライト動作を生じる毎に、前記セルアレイに対するリフレッシュサイクルを先に進める。

40

【発明の効果】

【0027】

この発明によれば、保持データに依存して生ずる、異なったディスタ urbに対処できるデータリフレッシュ機能を有した半導体集積回路装置を提供できる。

【発明を実施するための最良の形態】

【0028】

50

以下、この発明の実施形態を 1 M b 規模のメモリシステムに適用した例に基づき、図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【 0 0 2 9 】

図 1 はこの発明の 1 つの実施形態に係る半導体集積回路装置が備える 1 M b セルアレイユニット (タイル) を示す平面図である。

【 0 0 3 0 】

図 1 に示すように、 1 M b セルアレイユニット (1Mb Cell Array Unit(Tile)) 1 は、基本ユニット 5 を 4 個集積することで構成される。基本ユニット 5 は、 3 2 セル × 5 1 2 カラムからなるマット (MAT) 3 を 1 6 個含む。センスアンプ S / A は、各基本ユニット 5

10

【 0 0 3 1 】

1 M b セルアレイユニット 1 からは、 5 0 M H z 動作として、 3 2 ビットから 5 1 2 ビットの同時データ転送が可能である。このユニット 1 を複数並べて任意の規模のメモリを構成する。

【 0 0 3 2 】

このメモリを制御する外部制御信号の信号例は次の通りである。

【 0 0 3 3 】

/ M E M : 立下げでアドレスを取り込み、その後、次の立下げまで保持する。

【 0 0 3 4 】

/ A d d : 同時にアクセスする 5 1 2 ビットの行及び列のアドレスビット情報。

20

【 0 0 3 5 】

/ I O E : グローバルバスを活性化し、“ L ” の期間、グローバルバスをセンスアンプに接続し、データを転送する。

【 0 0 3 6 】

/ W I O E : “ L ” で、システムバスのデータをグローバルバスに伝達する期間を設定する。

【 0 0 3 7 】

/ W E : “ L ” で、ライトワード線がアクティブ、即ち “ L ” である期間を設定する。

30

【 0 0 3 8 】

/ R F : “ L ” で、通常リフレッシュのアドレス有効期間を設定する。立ち上がり時にリフレッシュアドレス発生カウンタのカウント値をカウントアップする。

【 0 0 3 9 】

/ W E R F : “ L ” で、ライトエコーリフレッシュのアドレス有効期間を設定する。立ち上がり時にリフレッシュアドレス発生カウンタのカウント値をカウントアップする。

【 0 0 4 0 】

/ R E : “ L ” で、リードワード線がアクティブ、即ち “ H ” である期間を設定する。

【 0 0 4 1 】

/ S E : 立下げでセンス動作を開始し、“ L ” である期間、センス状態を維持する。

40

【 0 0 4 2 】

メモリの各動作モードは、例えば、上記外部制御信号を用いてそれぞれ設定される。

【 0 0 4 3 】

主な動作モードと外部制御信号波形との関係例を図 2 に示す。ただし、図 2 中の外部制御信号の波形は、上記外部制御信号一覧と正負の論理を逆にして示す。以下、上記外部制御信号一覧と正負の論理を逆にして動作モードを説明する。

【 0 0 4 4 】

主な動作モードは “ READ ”、“ WRITE ”、“ REFRESH ”、“ ECHO REFRESH ” の 4 つを挙げることができる。

50

【 0 0 4 5 】

< R E A D (リード) >

“ READ ” は、信号 M E M の立ち上がりでアドレスを取り込み、信号 R E の立ち上がりでリードワード線 R W L を立ち上げ、信号 S E の立ち上がりでセンス動作を行い、信号 I O E の立ち上がりで外部ヘデータを転送する。

【 0 0 4 6 】

< W R I T E (ライト) >

“ WRITE ” は、信号 M E M の立ち上がりでアドレスを取り込み、信号 R E の立ち上がりでリードワード線 R W L を立ち上げ、書き込みを行わないビット線にデータを読み出す。外部からのライトデータを信号 I O E 及び信号 W I O E それぞれの立ち上がりでライトビット線 R B L に導入し、信号 S E の立ち上がりでセンス動作を行い、信号 W E の立ち上がりでライトワード線 W W L を立ち下げてセルヘデータを格納する。

10

【 0 0 4 7 】

< R E F R E S H (リフレッシュ) >

“ REFRESH ” は、信号 R F の立ち上がりで内部カウンタのアドレスに切り替え、信号 R E の立ち上がりでリードワード線 R W L を立ち上げ、信号 S E の立ち上がりでセンス動作を行い、信号 W E の立ち上がりでライトワード線 W W L を立ち下げて読み出したセルデータを再格納する。

【 0 0 4 8 】

< E C H O R E F R E S H (エコーリフレッシュ) >

20

“ ECHO REFRESH ” は、信号 W E R F の立ち上がりで内部カウンタのアドレスに切り替え、信号 R E の立ち上がりでリードワード線 R W L を立ち上げ、信号 S E の立ち上がりでセンス動作を行い、信号 W E の立ち上がりでライトワード線 W W L を立ち下げて読み出したセルデータを再格納する。

【 0 0 4 9 】

図 3 に示すように、セルのリーク特性の制約から “ WRITE ” の後には必ず “ ECHO REFRESH ” を行う。 “ ECHO REFRESH ” により、ライトディスタブ分のリークを解消する。 “ WRITE ” の後には必ず “ ECHO REFRESH ” を行うため、この動作を以下 “ WRITE ECHO REFRESH (ライトエコーリフレッシュ) ” と呼ぶ。

【 0 0 5 0 】

30

次に、センスアンプを挟んだ 1 6 個のマット 3 からなる基本ユニット 5 の詳細を説明する。

【 0 0 5 1 】

メモリの動作は、基本ユニット 5 内で閉じる。図 4 は、基本ユニット 5 を上下に二つ置いた場合を示すブロック図である。即ち、図 1 に示した 1 M b ユニット 1 を上下に二つ置いて、1 つのセンスアンプ系列に注目したものである。

【 0 0 5 2 】

< ワード線関係のドライブ >

図 4 に示すように、ロウデコーダ (Row DEC) からのデコード信号は、各マット 3 の上下に設けたライトワード線ドライバ (W W L D R V) 7、リードワード線ドライバ (R W L D R V) 9 に、グローバルワード線 G W L、b G W L を介して供給される。W W L ドライバ 7、及び R W L ドライバ 9 はデコード信号を受け、ワード線信号を、ライトワード線 W W L、及びリードワード線 R W L に供給する。

40

【 0 0 5 3 】

この際、電源電圧以外の負のレベルがワード線で必要となるので、レベルシフタ又はレベルコンバータ、いわゆるレベコン (以下レベルコンバータと総称する) がマット 3 周辺の随所に設けられる。b W W D レベルコンバータは参照符号 1 1 により示し、R W D レベルコンバータを参照符号 1 3 により示す。

【 0 0 5 4 】

センスアンプ (Sense AMP) から見ると、両側に 4 つずつのマット 3 があり、これらマ

50

ット3からビット線（図示せず）が延び、そしてセンスアンプ（Sense AMP）につながる。両側に配置されたマット3の間には、センスの際のリファレンスとなる V_{ref} レベル発生回路（VREF）とリファレンスセル（R-Cell）とが設けられる。ビット線は、リードビット線 RBL とライトビット線 WBL があるが、リードビット線 RBL はセンスアンプ（Sense AMP）の片側のマット3のカラムに対して共通である。ライトビット線 WBL はマット3ごとに分けられ、これをグローバルなライトビット線 WBL につないでセンスアンプ（Sense AMP）に導入する。このため、マット3ごとに、スイッチ部（MAT Selector）が設けられる。ライトビット線 WBL のマット3への接続の詳細を図5A～図5Cに示す。

【0055】

10

図5Aは、基本ユニット5の半分（512カラム）を示す平面図である。図5Bは図5A中の参照符号5Bに示す部分の拡大図、図5Cは図5B中の円5C内の拡大図である。

【0056】

特に、図5Cに示すように、リードビット線 RBL は、スイッチ部（MAT Selector）を通過する。グローバルライトビット線 $GWBL$ は、センスアンプにつながるマット3それぞれで共通である。グローバルライトビット線 $GWBL$ は、スイッチ部（MAT Selector）を介してマット3ごとのライトビット線 WBL に選択的に接続される。即ち、信号 $bMATSLI$ 又は信号 $bMATSLr$ は、電源電圧 VDD から負電位の V_{nn} に引き下げられた側のマット3のライトビット線 WBL とグローバルビット線 $GWBL$ とにつなぎ、非接続側のマット3のライトビット線 WBL は、接地 VSS に接続されたままで、セル状態の保持に対して一番良い状態を維持する。ライトビット線 WBL をこのように分け、リフレッシュはアドレスをマット3内で循環させながら、かつ、マット3間を横断させながら進行する方式をとる。理由は後ほど詳細に説明する。

20

【0057】

図6はリードワード線 RWL を選択的にドライブする RWL ドライバ9の回路例を示す回路図、図7はライトワード線 WWL を選択的にドライブする WWL ドライバ7の回路例を示す回路図である。

【0058】

図6、及び図7に示すように、全てのマット3に共通に走っているグローバル GWL とその相補グローバルワード線 $bGWL$ とのペアによって、4本のワード線が選択される。4本のうちの1本をドライブする信号が、リードワード線 RWL についてはリードワード線駆動信号 $RWD0 \sim RWD3$ であり、ライトワード線 WWL についてはライトワード線駆動信号 $bWWD0 \sim bWWD3$ である。これら駆動信号 $RWD0 \sim RWD3$ 、 $bWWD0 \sim bWWD3$ は選択されたマット3で供給され、選択されたマット3のみのワード線が活性化される。駆動信号 RWD 、 $bWWD$ とも電源電位 VDD と負電位 V_{nn} との間でスイングする信号で、トランジスタのオフリークを抑えたり、 Pch トランジスタのON状態を確保したりして、セルへの書き込みレベルを保証する。図6、及び図7は、グローバルワード線 $GWLm$ 又は $GWLn$ が選択されたとき、1つの駆動信号 RWD 又は $bWWD$ がワード線 WLm 又は WLn に供給される回路を示している。各駆動信号 RWD 又は $bWWD$ については、点線で囲んだブロックとして8本のワード線が選択される部分を示している。選択されなかったリードワード線 RWL は負電位 V_{nn} に、ライトワード線 WWD は電源電位 VDD に保持される。マット3へのアドレス割付、及びリフレッシュでのアドレスカウント方法はリフレッシュ方式の説明とし、後ほど詳細に行う。

30

40

【0059】

次に、セル情報をセンスするための基準となるリファレンスセルのセルレベル V_{ref} の発生と電流センス方式を説明する。

【0060】

セルレベル V_{ref} のレベルは、 $250mV \sim 300mV$ の間で、電源電位 VDD の変化や、しきい値 V_{th} の変動に合わせてわずかに変動することが、微少なセル電流をセンスするためには望ましい。条件によらずセルレベル V_{ref} が一定であると、セル電流自

50

体が変動するので、条件によってはセルの“1”と“0”とのセンスのマージンバランスを悪化させてしまう。セルレベル V_{ref} は、セルの特性に合わせ、自己整合的にある程度変動することが望ましい。このような条件に合う V_{ref} の発生方法の概要を図8に示す。

【0061】

図8Aはセルが流すセル電流とリファレンスセルが流すリファレンスセル電流とを比較する様子を示す図、図8Bはセルレベル V_{ref} 発生回路 (VREF) の回路例を示す回路図である。

【0062】

V_{ref} 発生回路 (VREF) は、ゲートに接地電位 V_{SS} を受け、ソースに電源電位 V_{DD} を受ける Pch トランジスタ21と、ドレイン及びゲートを Pch トランジスタ21のドレインに接続した Nch トランジスタ23-1と、ドレイン及びゲートを Nch トランジスタ23-1のソースに接続し、ソースに接地電位 V_{SS} を受ける Nch トランジスタ25-1とを含む。

【0063】

V_{ref} 発生回路 (VREF) は、さらに、ドレインを Pch トランジスタ21のドレインに接続し、ゲートを Nch トランジスタ23-1のソースと Nch トランジスタ25-1のドレインとの相互接続ノード27-1に接続した Nch トランジスタ23-2と、ドレイン及びゲートを Nch トランジスタ23-2のソースに接続し、ソースに接地電位 V_{SS} を受ける Nch トランジスタ25-2と、ドレインを Pch トランジスタ21のドレインに接続し、ゲートを相互接続ノード27-2に接続した Nch トランジスタ23-3と、ドレイン及びゲートを Nch トランジスタ23-3のソースに接続し、ソースに接地電位 V_{SS} を受ける Nch トランジスタ25-3とを含む。セルレベル V_{ref} は、 Nch トランジスタ23-3のソースと Nch トランジスタ25-3のドレインとの相互接続ノード27-3から得られる。なお、図8B中の参照符号 W 、 W_{r1} 、 W_{r2} 、 W_{r3} はそれぞれ、トランジスタのゲート幅の値を示す。

【0064】

V_{ref} 発生回路は、セル読み出し Nch トランジスタの特性変動に対してもしきい値 V_{th} が小さくなり、セルの“0”電流が増加したとき、セルレベル V_{ref} は上昇してリファレンスセル電流を更に増加させて“0”センスのマージンを広げてくれることが望ましい。図8Bに示す V_{ref} 発生回路 (VREF) が、このような特性を持つ。これを解析した例を、図9を参照して説明する。

【0065】

図9に示す電流 I_1 、 I_2 、 I_3 はそれぞれ、

$$I_1 = k_1(V_{d-x}-V_t)^2 = k(x-V_t)^2$$

$$I_2 = k_2(x-y-V_t)^2 = k(y-V_t)^2$$

$$I_3 = k_3(z-y-V_t)^2 = k(z-V_t)^2$$

である。

【0066】

$$I_1 = (k_1/k)^{1/2} = (W_{r1}/W)^{1/2}$$

$$I_2 = (k_2/k)^{1/2} = (W_{r2}/W)^{1/2}$$

$$I_3 = (k_3/k)^{1/2} = (W_{r3}/W)^{1/2}$$

とすると、

$$x = I_1 / (1 + I_2/I_1) < I_1$$

$$x = I_1 V_d + (1 - 2 I_2/I_1) V_t$$

$$y = I_2 x + (1 - 2 I_3/I_2) V_t$$

$$z = I_3 y + (1 - 2 I_3/I_2) V_t$$

$$z = \frac{I_1 I_2 I_3 V_d - (2 I_1 I_2 I_3 + I_2 I_3 + I_3 - 1) V_t}{I_3 + I_2 + I_1}$$

$$I_1 > I_3 > I_2 > I_1$$

10

20

30

40

50

から

$$2 \quad 1 \quad 2 \quad 3 + \quad 2 \quad 3 + \quad 3 - 1 > 2 \quad 1^3 + \quad 1^2 + \quad 1 - 1 > 0$$

であれば、 $z (= V_{ref})$ の電源依存性を $1 \quad 2 \quad 3$ から小さくでき、 V_t 依存性も V_t が小さくなれば z は大きくなる特性にできる。

【0067】

$$2 \quad 3 + \quad 2 + \quad - 1 = (2 \quad - 1)(\quad 1^2 + \quad 1 + 1)$$

なので、

$1 > 0.5$ から $1 > 1$ 即ち、 $W_{r1} > W$ として W_{r2} 、 W_{r3} と順次寸法を増す。
 W_{r1} 、 W_{r2} 、 W_{r3} と寸法を増すことによってゲート電圧の低下による g_m の低下も補える。

10

【0068】

は寸法のみ依存し、トランジスタ特性変動は V_t を通して V_{DD} とは逆に現れるので、 V_{DD} 依存性や V_t 依存性は、セル電流の V_{DD} 変化、及び V_t 変化に呼応してリファレンス電流を変化させる。

【0069】

実際にあるトランジスタモデルを用いてシミュレーションした結果を図10に示す。

【0070】

シミュレーションに使用した回路は、図9に示す回路と同様の回路であり、シミュレーション条件は次の通りである。

【0071】

Nch Tr 23-1 : ゲート幅 $W_{r1} = 1 \mu m$

Nch Tr 23-2 : ゲート幅 $W_{r2} = 1.3 \mu m$

Nch Tr 23-3 : ゲート幅 $W_{r3} = 1.9 \mu m$

Nch Tr 25-1 ~ 25-3 : ゲート幅 $0.16 \mu m$

なお、Nch Tr 23-1 ~ 23-3、25-1 ~ 25-3 のゲート長 L は、それぞれ $L = 0.16 \mu m$ である。

【0072】

図10中の曲線 V_{ref} に示すように、 V_{DD} 依存性と V_{ref} の値は所望の特性を示す。また、 $Z = V_{ref}$ の大きさは、最終段の Nch トランジスタ 23-3 のゲート幅 W_{r3} の大きさのみで調節できる。

30

【0073】

さらに、実際に V_{ref} 発生回路をシステムに搭載する場合には、不必要なときには電源と切り離し、消費電力を抑えると良い。かつ、調節するパラメータも少ないほうが良いので、図11に示す変形回路例を用いると良い。

【0074】

図11に示すように、変形回路例に係る V_{ref} 発生回路 (V_{REF}') は、図8Bに示した V_{ref} 発生回路が3段構成であったのに対して2段構成である。これにより、調節するパラメータを減らすことができ、例えば、セルレベル V_{ref} の設定が容易となる。動作原理は、図8Bに示した V_{ref} 発生回路と同様であり、解析例を下記する。

【0075】

$$I_1 = k_1 (V_d - x - V_t)^2 = k(x - V_t)^2$$

$$I_2 = k_2 (x - y - V_t)^2 = k(y - V_t)^2$$

$$1 = (k_1/k)^{1/2} = (W_{r1}/W)^{1/2}$$

$$2 = (k_2/k)^{1/2} = (W_{r2}/W)^{1/2}$$

$$= \quad / (1 + \quad) < 1$$

$$x = \quad 1 V_d + (1 - 2 \quad 1) V_t$$

$$y = \quad 2 x + (1 - 2 \quad 2) V_t$$

$$y = \quad 1 \quad 2 V_d - (2 \quad 1 \quad 2 + \quad 2 - 1) V_t$$

$$3 + \quad 2 + \quad 1 \quad 1 > \quad 3 > \quad 2 > \quad 1$$

電源電圧依存性とトランジスタ依存性の調合は、 1 と 2 とで行うことができる。

50

【0076】

さらに、必要なときのみ V_{ref} 発生回路 ($VREF'$) を働かせて、電力消費を抑える。これを、 Pch トランジスタ 21' のゲートに $VREF$ 制御信号/ ON を与えることで行う。 $VREF$ 制御信号/ ON が “H” レベル (VDD) のとき、 Pch トランジスタ 21' はオフし、 V_{ref} 発生回路 ($VREF'$) は非活性となる。反対に、 $VREF$ 制御信号/ ON が “L” レベル (VSS) のとき、 Pch トランジスタ 21' はオンし、電源電位 VDD が V_{ref} 発生回路 ($VREF'$) に供給され、 V_{ref} 発生回路 ($VREF'$) は活性となる。

【0077】

かつ、高速で確実にノード y の電位をセルレベル V_{ref} に設定するために、 $VREF$ 制御信号/ ON をゲートに受ける Nch トランジスタ 22-1 ~ 22-4 が各ノードを設け、 Nch トランジスタ 29-1、及び 29-2 をノード x 及び y に設ける。 Nch トランジスタ 22-1 ~ 22-4 は、 $VREF$ 制御信号/ ON が “H” レベルのときにオンし、各ノードの初期値を接地電位 VSS に設定する。 $VREF$ 制御信号/ ON が “H” レベルから “L” レベルになり、 V_{ref} 発生回路 ($VREF'$) が活性化すると、トランジスタ 29-1、29-2 から自己ブートが瞬間的にかかり、ノード x 及びノード y の電位は、初期値から、急速に設定値に向かう。

【0078】

次に、電流センスアンプについて説明する。電流センスアンプは、セル及びリファレンスセルからの電流を比較してセンスする。図 12 に電流センスアンプを示す。図 12 に示す電流センスアンプを、本明細書では、 $FFSA$ (Forced Feed-back Sense Amplifier) と呼ぶ。 $FFSA$ は、本件発明者によって発明され、本件出願人によって日本国に対して先行出願された特願 2004-93387 号 (2004 年 3 月 26 日出願) に記載されている。

【0079】

センスを開始する前、信号 EQ 、 ACC 、及び SE は “H” レベル、信号 LW 、及び RW はともに “H” レベル、カラム選択信号 $CSL1$ 、及び $CSL2$ はともに “L” レベルである。 $WRITE$ モードのとき、信号 $CSL1$ 、及び $CSL2$ は、センスを開始する前に選択的に立ち上がり、外部からのデータを $FFSA$ に注入するが、 $READ$ モードのとき、信号 $CSL1$ 、及び $CSL2$ は、“L” レベルのままである。

【0080】

センスは、アクセスするセルのリードワード線 RWL と、 $FFSA$ を間に挟んで反対側にあるリファレンスセルのワード線 WL とを立ち上げ、電流のパスをリードビット線 RBL 、及び相補リードビット線 $bRBL$ に作ってから開始する。センスを開始する前、 $FFSA$ の内部ノードは接地電位 VSS である。

【0081】

外部制御信号/ SE が立ち下がってセンスが開始されると、信号 ACC は “L” レベルになる。これにより、 $FFSA$ は電源電位 VDD につながり、電流パスの抵抗に従って電流が流れ始める。ビット線 RBL 、 $bRBL$ にはセル情報である電流 I_{DATA} 、及び I_{REF} がそれぞれ流れる。しかし、電流 I_{DATA} と電流 I_{REF} との電流差はセンスアンプには伝わらず、センスアンプノード OUT 、 $bOUT$ は、接地電位 VSS に向かって電流を左右バランスして流している。

【0082】

次に、信号 EQ が立ち下がり、ビット線 RBL 、 $bRBL$ の電流パスはセルとリファレンスセルのみとなり、電流 I_{DATA} 、及び I_{REF} がカレントミラー回路 31R、及び 31L で増幅され、センスアンプの内部電流の差となって接地電位 VSS へと流れる。ここで、信号 SE を立ち下げて、接地電位 VSS への直接へのパスを切る。すると、センスアンプの内部ノードに強制的なフィードバックがかかり、微少な電流差は、一気にセンスアンプ左右のノードの電位へ変換され、センスデータとしてラッチされる。

【0083】

WRITEモードでは、カレントミラー回路31R、31Lからの増幅電流ではなく、グローバルDQ線対GDQ、bGDQのデータを利用する。データがラッチされると、読み出したセル側又は書き込みを行う側の信号RW、又はLWを立ち下げ、グローバルライトワード線GWL、又はBGWLへとデータのレベルを転送する。

【0084】

READモードでは、信号CSL1、及びCSL2を立ち上げ、グローバルDQ線対GDQ、bGDQの一方を放電し、外部へとデータを転送する。

【0085】

FFSAを制御する制御信号の発生ロジックの概要を図13に示す。

【0086】

図13に、グローバルな選択信号を発生するロウデコーダ部(Row Dec部)で作られる信号と、各マットをセンスするセンスアンプに個別に設けられるコントロール信号発生部(MAT部)とを示した。図13中、信号TILEy、ACC、SE、LW、RW、bGWE、IOE、WE、Ya、及びYbは、電源電位VDDと負電位Vnnとの間で変化する信号である。

【0087】

ロウデコーダ部(Row Dec部)に入る信号のうち、信号IOE、WE、SEは既に動作モードのところ説明した信号である。信号Ya、Ybはアドレス信号のカラム選択部分を、部分デコードした信号で外部とデータをやり取りするカラムを選択する。信号A7はアドレス1つでセンスアンプの左右のどちらの側のMATを選択するかを決める。信号Xdは同時に活性化されるセンスアンプ系列である基本ユニットを選択するアドレス信号を、部分デコードした信号である。信号TILExは1Mbのタイル(Tile=1Mb Cell Array Unit)を複数並べてメモリを構成した場合に、タイルをx方向から選択するための部分デコード信号である。信号SSは選択されたセンスアンプ系列のみで“H”となり、グローバルな信号を発生させるセンスアンプ系列が決まる。信号SEによって信号SSbが“L”に変化してセンスが開始される。また、信号WEによって信号bGWEが立ち下がり、セルへのセンスアンプからのデータ書き込みのタイミングが作られる。

【0088】

コントロール信号発生部(MAT部)に与えられる信号TILEyは、1Mbのタイルを複数並べてメモリを構成した場合に、タイルをy方向から選択するための部分デコード信号である。信号TILEyと、ロウデコーダ部(Row Dec部)からの信号とが交わったマットのセンスアンプは、上述のセンスアンプ動作で説明したように信号が発生される。

【0089】

次に、メモリと外部データとをやり取りするバッファ部について説明する。

【0090】

図14はグローバルDQバッファの回路例を示す回路図である。

【0091】

図14に示すように、グローバルDQバッファ(GDQBUFF)は、信号IOEが“H”レベルになり、センスアンプとグローバルDQ線対GDQ、bGDQとが接続されたカラムにおいて活性化される。バッファ(GDQBUFF)を活性化する信号は、カラム選択信号CSL1、及びCSL2を活性化する信号と同じであり、例えば、信号Ya、Yb、TILEyである。データが転送されるDQ線対GDQ、bGDQは、プリチャージ、及びイコライズが信号IOEにより停止される。読み出されたデータは、“フローティングH”レベルになっているバスRIOを、接地電位VSSに放電するか、電源電位VDDに接続するかによって確定される。

【0092】

WRITEモードでは、信号IOEが“H”レベルになるのに加え、信号bWIOEが立ち下るとバスWIOのデータに従って、DQ線対GDQ、bGDQの一方が接地電位VSSに接続され、センスアンプに強制的に接地電位VSSのパスを付加してセンスさせることになる。

10

20

30

40

50

【 0 0 9 3 】

以上が1つの実施形態に係る半導体集積回路装置のデータセンスに関する説明である。

【 0 0 9 4 】

以下、セルデータを保持するためのリフレッシュに関連するワード線RWLのアドレッシングについて説明する。

【 0 0 9 5 】

図15は、16Mbのメモリブロックの構成例を示す平面図である。

【 0 0 9 6 】

図15に示す構成例は、1Mbタイル1を、縦、横4個ずつ計16個並べ、16Mbのメモリブロックを構成する。ワード線選択に関わるアドレスビット(Row Address bit)の割付例を図16に示す。ワード線選択に関わるアドレスビットは、アドレスA0~A11の12ビットであり、これらビットを、部分デコードして1つの信号のみが立ち上がり、ある部分を選択するようにしている。

10

【 0 0 9 7 】

即ち、“Xa”は4つの信号でワード線をドライブする信号RWDやWWDをx方向のマット配置の関係なく選択する。“Xb”は8つの信号でマットのグローバルワード線WL及びbGWLを選択する。従って、各マットは4×8=32本のワード線からなる。“Xc”は4つの信号でセンスアンプを挟んだ4つのマットペアを選択する。“A7”は選ばれたマットペアの左右のどちらかを選択する。“Xd”は4つの信号で1Mbタイル1を構成する4系統のセンスアンプから1つを選択する。“TILEx”は4つの信号でx方向に並ぶ4つのタイル系列のうち、1つを選択する。

20

【 0 0 9 8 】

以上のようにワード線のアドレス割付を行う。このようなアドレス割付で、グローバルワード線やMATを選択するグローバルな信号を発生する発生回路を図17に示す。

【 0 0 9 9 】

図17において、インバータに入る矢印41の信号は、この信号がPchトランジスタの電源端子に電源電位VDDの代わりに接続され、インバータから出る矢印43の信号は、この信号がNchトランジスタの接地端子に接地電位VSSの代わりに接続されることを示す。インバータのうち、インバータ45は、信号振幅を電源電位VDDと接地電位VSSとの間の電位差から、電源電位VDDと負電位Vnnとの間の電位差にレベルシフトするレベルシフト付インバータである。レベルシフト付インバータ45のうち、レベルシフトの部分の具体的な回路例を図18に示す。

30

【 0 1 0 0 】

図18に示すインバータ45は、図17に示す信号Xb、及びXcの信号の信号振幅を、電源電位VDDと接地電位VSSとの間の電位差から、電源電位VDDと負電位Vnnとの間の電位差にレベルシフトする。インバータ45のレベルシフトの部分は、入力INが“H”レベルになったとき、低電圧でも高速に、出力ノード47の電位が反転するように、まず、入力ノード49の電荷を、Nchトランジスタ51、53を用いて接地電位VSSに引き抜く。

40

【 0 1 0 1 】

タイル、センスアンプ系列、及びセンスアンプの左右は、信号TILEx、Xd、及びA7によって選択され、信号RE、又は信号SEが立ち上がると、選択された側のグローバルワード線ペアGWL、bGWLが、信号Xb、及びXcに従って活性化される。同時に反対側のリファレンスセルRcellのグローバルワード線であるbGRWLが立ち下がる。信号Xcに従って書き込みの際のマットのライトビット線WBLと、グローバルライトビット線GWBLを接続するための選択信号GMATSLが対応するマット選択回路に対して活性化される。また、センスアンプの左右の選択にかかわらず、信号SEが立ち上がると信号SSbが立ち下がり、選択されたマットでセンスアンプが活性化される。

【 0 1 0 2 】

50

以上のメモリシステムにおいて、課題であったセルの保持特性に対応したリフレッシュ方式がどう実現されているかについて以下説明する。

【0103】

セルの保持特性に対応するには、

(1) “1”保持に対しては、通常DRAMと同様一定時間内にリフレッシュする。

【0104】

即ち、ライト動作状況に無関係にリフレッシュアドレスを進める。例えば、“1”保持のセルは1msオーダーでリフレッシュする。

【0105】

(2) “0”保持は、ライトビット線WBLの電位が数nsの間、“H”又は“L”に固定されるため、ライトサイクルごとに“0”状態のリークが加速される(以下、このような状態を“0”セルディスタープと呼ぶ)。即ち、ライト動作状況によってリフレッシュアドレスの進め方を変える。例えば、“0”保持のセルは1μsオーダーでリフレッシュする。

10

【0106】

(3) ライトビット線WBLの電位が、ライト動作期間、又はリフレッシュ動作期間でのみ“H”又は“L”となるようにし、リード動作期間等、その他の動作期間においては、ライトビット線WBLの電位を“L”、例えば、VSSレベルとして、ライトビット線RBLが“H”となるトータル時間を減らす。

【0107】

20

(4) ライト動作がランダムに入り、リフレッシュが一巡しても、ライトビット線WBLが“H”となるトータル時間が“0”保持状態を“1”に化けさせないアレイ分割と、アドレス循環サイクルを設ける。

【0108】

例えば、1つの実施形態において、ライトビット線WBLをMATごとに小分けし、グローバルビット線GBLをライトビット線WBLに、マット間のセクタを介して選択的に接続するようにしたのは、“0”ディスタープの期間をできるだけ少なくするためである。1つの実施形態では、マット内のリフレッシュを次の原理1、2に従って行う。

【0109】

図19はこの発明の実施形態に係る半導体集積回路装置のリフレッシュの原理1を示す図、図21はこの発明の実施形態に係る半導体集積回路装置のリフレッシュの原理2を示す図である。

30

【0110】

原理1は、上述したライトエコーリフレッシュ(Write Echo Refresh: WER)である。

【0111】

ディスタープトータル時間と無関係のリフレッシュは、一定の時間ごとに行うリフレッシュ“R”で対応する(以下、通常リフレッシュと呼ぶ)。セルアレイ内のメモリセルのリフレッシュが一巡する時間は、一巡リフレッシュサイクル数で決まる、と考えることができる。一巡リフレッシュサイクル数は、ライトビット線WBLに接続されるセル数Rで決まる。このセル数Rを変えることで一巡リフレッシュサイクル数が変わり、故にリフレッシュが一巡する時間を調整できる。一巡リフレッシュサイクル数を調整し、リフレッシュが一巡する時間を、例えば、ディスタープトータル時間未満内に抑えることで、メモリセルが保持するデータを、ディスタープによる破壊から保護する。

40

【0112】

ライト時に生ずるディスタープに対しては、例えば、“1”ライトを生じたライトビット線WBLに接続されたセルに対して付加的なりフレッシュ“WER”を行うことで対応する。付加的なりフレッシュを行うことで、リフレッシュサイクルが通常リフレッシュ毎に1つ進むのに加え、付加的なりフレッシュ毎にも1つ進む。このため、リフレッシュは、付加的なりフレッシュの分、通常リフレッシュのみの場合に比べてより早く巡回する。リフレッシュがより早く巡回することで、ライト時に生ずる“0”セルディスタープに対

50

処できる。このような付加的なリフレッシュが、ライトエコーリフレッシュである。

【0113】

上記動作を、一巡サイクル数を“4”に簡略化した例を参照し、より簡単に説明する。

【0114】

図20は、リフレッシュが一巡する時間が短縮される様子を示す図である。

【0115】

図20中のケース1は、通常リフレッシュRのみが行われるケースである。ケース1においては、一定の時間 T_{rfh} ごとに通常リフレッシュRが行われるだけであるので、リフレッシュが一巡する時間は、“ $T_{rfh} \times \text{一巡リフレッシュサイクル数}$ ”、即ち、“ $T_{rfh} \times 4$ ”である。

10

【0116】

ケース2は、通常リフレッシュRに加え、ライトエコーリフレッシュWERが一度行われたケースである。ケース2においては、ライトエコーリフレッシュWERが一度行われるので、その分リフレッシュサイクルが増え、リフレッシュサイクルが1つ進む。従って、リフレッシュが一巡する時間は“ $T_{rfh} \times 3$ ”となり、リフレッシュが一巡する時間は、ケース1に比べて、一定の時間 T_{rfh} 短縮され、リフレッシュがより早く巡回する。

【0117】

ケース3は、通常リフレッシュRに加え、ライトエコーリフレッシュWERが二度行われたケースである。ケース3においては、リフレッシュサイクルが2つ進むので、リフレッシュが一巡する時間は“ $T_{rfh} \times 2$ ”となる。リフレッシュが一巡する時間は、ケース1に比べて、一定の時間 $T_{rfh} \times 2$ 短縮され、リフレッシュがさらに早く巡回する。

20

【0118】

原理2はセルアレイの分割である。リフレッシュ循環は、図21に示すように、マット間とマット内との2重周期巡回とする。ライト動作が入るとマット間巡回を無視し、ライト動作を生じたマット内でライトサイクルのすぐ後にリフレッシュアドレスを先に進める。その後、通常リフレッシュサイクルを続ける。リフレッシュカウンタは、MAT個々に独立したものが必要である。カウンタは、N個のサブカウンタ($m_0, m_1, \dots, m_n, \dots, m_{N-1}$)から全体のカウンタが構成される。サブカウンタ m_n はそれぞれ、例えば、Mカウントサイクルのカウンタであり、一定の時間ごとに行われる通常リフレッシュは $N \times M$ サイクルで全体を一巡する。サブカウンタ m_n に属するアドレスに“1”ライトが何回か入り、 $w(n)$ 回のライトエコーリフレッシュをこのカウンタアドレスに対して行い、サブカウンタ m_n のカウント値を m から $w(n)$ 先に進める。時間で行われる通常リフレッシュでサブカウンタ m_n が次に選択されるとき、“ $m + w(n) \pmod{M}$ ”がサブカウンタ m_n のカウントアドレスとなる。“ m ”はライトエコーリフレッシュ発生前のカウンタアドレスである。

30

【0119】

サイクルMを、例えば、簡略化して“4”と仮定すると、カウンタアドレス“ $m + w(n) \pmod{M}$ ”は、以下の、4つのカウント数の数列で表される。

【0120】

{ 0、4、8、12、16、... }
 { 1、5、9、13、17、... }
 { 2、6、10、14、18、... }
 { 3、7、11、15、19、... }

40

上記4つの数列において、{ 0、4、8、12、16、... }は全て等価なカウント数であり、以下同様に、{ 1、5、9、13、17、... }は全て等価なカウント数、{ 2、6、10、14、18、... }は全て等価なカウント数、及び{ 3、7、11、15、19、... }は全て等価なカウント数である。

【0121】

ここで、“ m ”を“2”とし、“ $w(n)$ ”を“3”とすると、カウンタアドレスは“2

50

” から “ 5 ” へ進む。上記数列から “ 5 ” は “ 1 ” と等価であるから、サブカウンタ m_n のカウンタアドレスは “ 1 ” に戻る。このことは以下に説明するカウンタにおいても同様である。

【 0 1 2 2 】

原理 2 において説明したカウンタ動作を実現するための回路の例を図 2 2 に示す。

【 0 1 2 3 】

図 2 2 に示す点線のブロックの各々がマットごとのサブカウンタ 6 1 (6 1 -0 ~ 6 1 -N -1) である。各マットには 3 2 本のワード線があるので 4 ビットのシフトカウンタと 8 ビットのシフトカウンタからなるトータルサイクル 3 2 サイクルカウンタがサブカウンタとなる。

10

【 0 1 2 4 】

サブカウンタ 6 1 の出力は、マット、グローバルワード線の選択にかかわる信号 X_a 、 X_b でありそれぞれ 4 本、8 本の信号線である。リフレッシュの際はカウンタ出力を外部アドレスの代わりに使用する。サブカウンタ 6 1 を横断的に巡回するのが 3 2 ビットのカウンタ 6 3 であり、これは 1 M b タイルがセンスアンプ系列 4 つの 3 2 マットから構成されることに対応している。即ち、3 2 ビットカウンタ 6 3 を 3 2 サイクル巡回することで 1 0 2 4 本の全ワード線のリフレッシュが一巡する。3 2 ビットカウンタ 6 3 の出力はマット選択にかかわる信号 X_d 、 A_7 、 X_c のそれぞれ 4 本、2 本、4 本の信号線である。カウンタ 6 3 動揺に、リフレッシュの際には外部アドレスの代わりにカウンタ出力に切り替わる。

20

【 0 1 2 5 】

REFRESH モードの時には 3 2 ビットカウンタ 6 3 によって決まるマットが選択され、信号 X_d 、 A_7 、 X_c が対応するマットアドレスになっているので、選ばれるサブカウンタ 6 1 はこれらの N A N D 出力で選択され、サブカウンタ 6 1 の信号 R F A によって信号 X_a 、 X_b がこのサブカウンタ出力に切り替わり、リフレッシュワード線が選択される。リフレッシュサイクルの終了時に 3 2 ビットカウンタ 6 3、及びサブカウンタ 6 1 とともにカウントを 1 つ先に進める。

【 0 1 2 6 】

ECHO REFRESH モードでは、WRITE モードで書き込みが行われた M A T に対してのみリフレッシュを行い、そのサブカウンタ 6 1 のカウントを 1 つ進める。そのため WRITE モードでは信号 b W I O E が必ず “ L ” になり、外部アドレスによって選択され、書き込みが行われるマットの信号 X_d 、 A_7 、 X_c が確定するので、この状態をフリップフロップでラッチし選択された M A T のサブカウンタ 6 1 が選択されるようにセットする。WRITE の直後には必ず ECHO REFRESH が入るので信号 W E R F が立ち上がると、直前に書き込みがなされたサブカウンタ 6 1 で信号 R F A が立ち上がり、信号 X_a 、 X_b がサブカウンタ 6 1 の内容に切り替わり、信号 X_d 、 A_7 、 X_c は、外部アドレスの取り込み信号である信号 M E M が “ L ” のままであるので、直前の WRITE の状態を維持し、WRITE が行われたマットのみのサブカウンタ 6 1 でワード線が選択され、リフレッシュされる。ECHO REFRESH モードの終了時に、サブカウンタ 6 1 は、次のリフレッシュに備えて 1 つカウントを進める。

30

【 0 1 2 7 】

次に、上記動作を、M A T 数を 4 つ (即ち、サブカウンタ数 $N = 4$)、マット 1 つ当りのワード線数を 4 本 (即ち、サブカウンタのカウントサイクル数 $M = 4$) に簡略化した例を参照し、より簡単に説明する。

40

【 0 1 2 8 】

図 2 3 は時刻毎のコマンド入力例を示す図である。図 2 3 中の横軸は時間を示し、本入力例においては、各コマンド (R、W、W E R) は、時刻 t_0 、 t_2 、 t_4 、 t_5 、 t_7 、 t_9 、 t_{10} 、 t_{12} 、 t_{14} に、それぞれ入力される。

【 0 1 2 9 】

通常リフレッシュは一定の時間 $T_{r f h}$ おきに行われる。通常リフレッシュのコマンドは “ R ” により示される。通常リフレッシュコマンド R は、一定の時間 $T_{r f h}$ おきに半

50

導体集積回路装置の半導体メモリの部分に対して入力される。本例では、それぞれ時刻 t_0 、 t_2 、 t_7 、 t_{12} 、 t_{14} に入力される。本例では、通常リフレッシュは、 $N \times M = 4 \times 4 = 16$ サイクルで、MAT 3-0 ~ 3-3 中の全体のワード線を一巡する。

【0130】

ライトコマンドは“W”により示される。ライトコマンドWは、通常リフレッシュコマンドが入力される時刻間に半導体メモリの部分に対して入力される。本例では、例えば、時刻 t_4 、 t_9 に入力される。ライトコマンドWが入力され、選択されたMATに対してライト動作が行われると、ライトエコーリフレッシュコマンドWERが発行され、半導体メモリの部分に対して入力される。本例では、時刻 t_5 、 t_{10} に入力される。

【0131】

図24A ~ 図24D、図25A ~ 図25D、図26A ~ 図26D、及び図27A ~ 図27Dは、時刻 $t_0 \sim t_{15}$ 毎のカウンタ63のカウント値、及びサブカウンタ61のカウント値の遷移を目視化した図である。

【0132】

まず、図24Aに示すように、時刻 t_0 において、カウンタ63のカウント値、及びMAT 3-0 ~ 3-3 毎に設けられたサブカウンタ61-0 ~ 61-3のカウント値は、それぞれ“00”を示すものとする。この状態は、例えば、初期状態である。初期状態は、例えば、電源投入直後の状態や、例えば、システムリセットがかかり、メモリに記憶された情報がオールクリアされた状態等に例えることができる。

【0133】

カウンタ63は、カウント値“00”でMAT 61-0、“01”でMAT 61-1、“10”でMAT 61-2、及び“11”でMAT 61-3を選択する。

【0134】

サブカウンタ61は、カウント値“00”で第1番目のワード線WL 00xx、“01”で第2番目のワード線WL 01xx、“10”で第3番目のワード線WL 10xx、及び“11”で第4番目のワード線WL 11xxを選択する。なお、“xx”には、MAT 3-0 ~ 3-1 毎に、カウンタ63のカウント値に対応させた“00”、“01”、“10”、及び“11”の番号を、便宜上入れる。

【0135】

時刻 t_0 において、通常リフレッシュコマンドRが入力される。カウンタ63のカウント値は“00”であるからMAT 3-0が選択され、MAT 3-0に対応するサブカウンタ61-0のカウント値は“00”である。従って、全16本のワード線のなかから、MAT 3-0内の第1番目のワード線WL 0000が選択され、ワード線WL 0000に接続されるメモリセルのデータがリフレッシュされる。

【0136】

通常リフレッシュが終了すると、図24Bに示すように、時刻 t_1 において、カウンタ63のカウント値、及びサブカウンタ61-0のカウント値を、それぞれ1つ先に進める(カウントアップ)。カウンタ63のカウント値は“00”から“01”に遷移し、サブカウンタ61-0のカウント値は“00”から“01”に遷移する。

【0137】

次に、図24Cに示すように、時刻 t_2 において、通常リフレッシュコマンドRが入力される。図24Aを参照して説明した動作と同様に、カウンタ63、及びサブカウンタ61-1はMAT 3-1内のワード線WL 0001を選択し、ワード線WL 0001に接続されるメモリセルのデータがリフレッシュされる。

【0138】

通常リフレッシュが終了すると、図24Dに示すように、時刻 t_3 において、図24Bを参照して説明した動作と同様に、カウンタ63のカウント値、及びサブカウンタ61-0のカウント値を、それぞれ1つ先に進める。

【0139】

次に、図25Aに示すように、時刻 t_4 において、ライトコマンドWが入力される。例

10

20

30

40

50

例えば、M A T 3 - 3 中の、あるワード線（例えば、W L 1 0 1 1）が選択されたとすると、新しいデータが、あるワード線に接続されるメモリセルに対して書き込まれる。ライトコマンドが入力される、もしくはライト動作が終了すると、ライトエコーリフレッシュコマンドW E Rが発行される。

【 0 1 4 0 】

図 2 5 B に示すように、時刻 t 5 において、ライトエコーリフレッシュコマンドW E Rが入力されると、書き込みが行われたM A T 3 - 3 のサブカウンタ 6 1 - 3 はカウント値に従ってワード線W L 0 0 1 1を選択し、ワード線W L 0 0 1 1に接続されるメモリセルのデータをリフレッシュする。

【 0 1 4 1 】

10

ライトエコーリフレッシュが終了すると、図 2 5 C に示すように、時刻 t 6 において、サブカウンタ 6 1 - 3 のカウント値を 1 つ先に進める。サブカウンタ 6 1 - 3 のカウント値は“ 0 0 ”から“ 0 1 ”に遷移する。ライトエコーリフレッシュが行われると、サブカウンタ 6 1 - 3 のカウント値は通常リフレッシュ毎のカウントアップに関係なく、カウントアップされる。これにより、ライト動作が発生したM A T、本例では、M A T 3 - 3 では、他のM A T 3 - 0 ~ 3 - 2 に比べて、サブカウンタ 6 3 のカウントアップが進む。このため、M A T 3 - 3 内の全ワード線のリフレッシュを、他のM A T 3 - 0 ~ 3 - 2 に比べて、より早く一巡させることができる。なお、カウンタ 6 3 のカウント値は、ライトエコーリフレッシュ終了後においては、カウントアップされない。

【 0 1 4 2 】

20

次に、図 2 5 D に示すように、時刻 t 7 において、通常リフレッシュコマンドRが入力されると、カウンタ 6 3、及びサブカウンタ 6 1 - 2 はM A T 3 - 2 中のワード線W L 0 0 1 0を選択し、ワード線W L 0 0 1 0に接続されるメモリセルのデータをリフレッシュする。

【 0 1 4 3 】

通常リフレッシュが終了すると、図 2 6 A に示すように、時刻 t 8 において、カウンタ 6 3 のカウント値、及びサブカウンタ 6 1 - 2 のカウント値を、それぞれ 1 つ先に進める。

【 0 1 4 4 】

次に、図 2 6 B に示すように、時刻 t 9 において、ライトコマンドWが入力され、例えば、M A T 3 - 3 中の、あるワード線（例えば、W L 0 0 1 1）が選択されたとする。このワード線に接続されるメモリセルには新しいデータが書き込まれる。

30

【 0 1 4 5 】

ライトが終了すると、ライトエコーリフレッシュコマンドW E Rが発行される。

【 0 1 4 6 】

図 2 6 C に示すように、時刻 t 1 0 において、ライトエコーリフレッシュコマンドW E Rが入力されると、書き込みが行われたM A T 3 - 3 のサブカウンタ 6 1 - 3 はカウント値に従ってワード線W L 0 1 1 1を選択し、ワード線W L 0 1 1 1に接続されるメモリセルのデータをリフレッシュする。

【 0 1 4 7 】

40

ライトエコーリフレッシュが終了すると、図 2 6 D に示すように、時刻 t 1 1 において、サブカウンタ 6 1 - 3 のカウント値を 1 つ先に進める。サブカウンタ 6 1 - 3 のカウント値は“ 0 1 ”から“ 1 0 ”に遷移する。

【 0 1 4 8 】

次に、図 2 7 A に示すように、時刻 t 1 2 において、通常リフレッシュコマンドRが入力されると、カウンタ 6 3、及びサブカウンタ 6 1 - 3 はM A T 3 - 3 内のワード線W L 1 0 1 1を選択し、ワード線W L 1 0 1 1に接続されるメモリセルのデータをリフレッシュする。

【 0 1 4 9 】

通常リフレッシュが終了すると、図 2 7 B に示すように、時刻 t 1 3 において、カウ

50

タ 6 3 のカウント値、及びサブカウンタ 6 1 - 3 のカウント値を、それぞれ 1 つ先に進める。カウンタ 6 3 のカウント値は “ 1 1 ” から “ 0 0 ” に戻り、サブカウンタ 6 1 - 3 のカウント値は “ 1 0 ” から “ 1 1 ” に進む。

【 0 1 5 0 】

次に、図 2 7 C に示すように、時刻 t_{14} において、通常リフレッシュコマンド R が入力されると、カウンタ 6 3、及びサブカウンタ 6 1 - 0 は MAT 3 - 0 中のワード線 WL 0 1 0 0 を選択し、ワード線 WL 0 1 0 0 に接続されるメモリセルのデータをリフレッシュする。

【 0 1 5 1 】

通常リフレッシュが終了すると、図 2 7 D に示すように、時刻 t_{15} において、カウンタ 6 3 のカウント値、及びサブカウンタ 6 1 - 0 のカウント値を、それぞれ 1 つ先に進める。カウンタ 6 3 のカウント値は “ 0 0 ” から “ 0 1 ” に進み、サブカウンタ 6 1 - 0 のカウント値は “ 0 1 ” から “ 1 0 ” に進む。

【 0 1 5 2 】

以後、通常リフレッシュコマンド R の入力、及びライトエコーリフレッシュコマンド W E R の入力に従ってリフレッシュを行い、上述のようにカウンタ 6 3 のカウント値、及びサブカウンタ 6 1 - 0 ~ 6 1 - 3 のカウント値をカウントアップさせていけば良い。

【 0 1 5 3 】

ライト後のライトエコーリフレッシュが行われた MAT 3 では、サブカウンタ 6 1 のカウント値がカウントアップされ、ライトが行われる毎に、リフレッシュが先に進んでいく。このため、ライトが行われる毎に、MAT 3 内の全ワード線のリフレッシュが一巡するまでに要する時間が短縮される。ライトが行われた MAT 3 において、全ワード線のリフレッシュが一巡するまでに要する時間が短縮されることで、“ 0 ” セルディスターブに起因したデータの反転現象を抑制することができる。

【 0 1 5 4 】

次に、リフレッシュアドレス発生カウンタの回路例を説明する。

【 0 1 5 5 】

図 2 8 A は回路例に係るリフレッシュアドレス発生カウンタが有するシフトユニットの回路例を示す回路図、図 2 8 B は図 2 8 A に示すシフトユニットの論理を示す図である。

【 0 1 5 6 】

図 2 8 A に示すシフトユニット 7 7 は、ラッチ回路 7 3 とシフト回路 7 5 とを含む。ラッチ回路 7 3 は “ 1 ” 又は “ 0 ” の情報を保持し、シフト回路 7 5 はラッチ回路 7 3 の “ 0 ” と “ 1 ” との境目を左右にシフトする。カウンタ 6 3、及びサブカウンタ 6 1 は、それぞれシフトユニット 7 7 を 1 つ、もしくは複数組み合わせることで構成される。

【 0 1 5 7 】

シフトユニット 7 7 の原理は “ 0 ” と “ 1 ” との境目の数を “ m ” とした場合、“ 0 ” 及び “ 1 ” の左右のシフトを考えると、“ $2 \times m$ ” の情報が得られることを利用する。図 2 8 A に示すシフトユニット 7 7 はラッチ回路 7 3 を 1 つ有する。ラッチ回路 7 3 の 2 つの出力 A、B の間には、図 2 8 B に示すように、“ $A = 0$ 、 $B = 1$ ”、及び “ $A = 1$ 、 $B = 0$ ” の 2 つの境目を作ることができる。即ち、境目の数 m は “ 2 ” である。

【 0 1 5 8 】

このように 1 つのシフトユニット 7 7 には、“ 0 ” と “ 1 ” との境目を 2 つ作ることができるから、 m 個の境目を作るにはシフトユニット 7 7 が $m - 1$ 個あれば良い。これにより、シフトユニット 7 7 の数は、ビット情報に対して半分以下にでき、一般的なカウンタ回路に比較して回路規模を小さくできる。

【 0 1 5 9 】

シフトユニット 7 7 の数を最小にするには、欲しいビット数を 4 の倍数の因数に分解して、それぞれを順にカウントするようにすれば良い。32 ビットの場合は 4×8 が 4 の倍数の因数分解なので、シフトユニット 7 7 を有する 4 ビットのシフトカウンタと、同じくシフトユニット 7 7 を有する 8 ビットのシフトカウンタとを組み合わせれば良い。4 ビッ

10

20

30

40

50

トのシフトカウンタ 7 1 (4) の回路例を図 2 9 に、8 ビットのシフトカウンタ 7 1 (8) の回路例を図 3 0 に示す。

【 0 1 6 0 】

図 2 9 に示すように、4 ビットのシフトカウンタ 7 1 (4) は、1 つのシフトユニット 7 7 と、1 つのシフト信号発生回路 7 9 とを含む。シフトユニット 7 7 内のラッチ回路 7 3 の出力 F、及び C は、それぞれクロック入力 CLK の立ち上がりで“ 0 ”、“ 1 ”の変化をする。シフト信号発生回路 7 9 の出力 R、及び L は、それぞれクロック入力 CLK の立ち下がりで“ 0 ”、“ 1 ”が入れ替わる。従って、例えば、論理積 (AND) 回路 8 1 を用いて、出力 F、C、R、及び L の論理積 (AND) を適切に取れば、t 0、t 1、t 2、t 3 のように巡回する 4 ビットの信号が得られる。

10

【 0 1 6 1 】

図 3 0 に示すように、8 ビットのシフトカウンタ 7 1 (8) は、3 つのシフトユニット 7 7-0 ~ 7 7-2 と、1 つのシフト信号発生回路 7 9 とを含む。情報“ 1 ”は、3 つのシフトユニット 7 7-0 ~ 7 7-2 内のラッチ回路 7 3-0 ~ 7 3-2 を順次シフトして行ったり来たりする。

【 0 1 6 2 】

具体的には、シフト信号発生回路 7 9 の出力 R S F が“ 1 ”であれば、クロック信号 CK の立ち上がり / 立ち下がり、即ち、クロック入力 CK のトグルに従って、情報“ 1 ”が出力 B 0、B 1、B 2 の順にシフトする。情報“ 1 ”が出力 B 2 までシフト、即ち、情報“ 1 ”がラッチ回路 7 3-2 に達した後、出力 R S F がクロック入力 CK の立ち下がり で“ 1 ”から“ 0 ”に変化し、出力 L S F が“ 0 ”から“ 1 ”に変化する。次のクロック入力 CK の立ち上がりからは、情報“ 1 ”が出力 B 2、B 1、B 0 の順に反対にシフトする。従って、例えば、論理積 (AND) 回路 8 1 を用いて、出力 B 0、B 1、B 2、R S F、及び L S F の論理積 (AND) を適切に取れば、s 0、s 1、s 2、s 3、s 4、s 5、s 6、s 7 のように巡回する 8 ビットの信号が得られる。

20

【 0 1 6 3 】

これらシフトカウンタ 7 1 (4) とシフトカウンタ 7 1 (8) とを用いて、3 2 ビットのシフトカウンタを構成するには、例えば、8 ビットのシフトカウンタ 7 1 (8) が、4 ビットのシフトカウンタ 7 1 (4) が一巡してからカウントするようにすれば良い。このようにするには、図 3 1 に示すクロック周期変更回路 8 3 を用いれば良い。周期変更回路 8 3 は、4 ビットのシフトカウンタ 7 1 (4) と同様に、1 つのシフトユニット 7 7、及び 1 つのシフト信号発生回路 7 9 を含む。周期変更回路 8 3 のクロック入力 は 4 ビットのシフトカウンタ 7 1 (4) の出力 C であり、出力 C K、/ C K を発生させる。周期変更回路 8 3 は、クロック入力である出力 C が立ち上がる時に出力 C K をトグルさせる。出力 C K を、8 ビットのシフトカウンタ 7 1 (8) のクロック入力 CLK とすれば、シフトカウンタ 7 1 (8) のカウントは、クロック入力 CLK の 4 トグルごとに行われることになる。従って、シフトカウンタ 7 1 (4) とシフトカウンタ 7 1 (8) とを用いて、合計 3 2 サイクルで一巡する 3 2 ビットのシフトカウンタを構成できる。

30

【 0 1 6 4 】

4 ビットのシフトカウンタの出力、8 ビットのシフトカウンタの出力、及び 3 2 ビットのシフトカウンタの出力と、ワード線のアドレスとの対応を示したのが図 3 2 である。

40

【 0 1 6 5 】

図 3 2 に示すように、外部アドレスビットである A 0 ~ A 9 の代わりに、4 ビットのシフトカウンタ、8 ビットのシフトカウンタ、3 2 ビットのシフトカウンタの対応する出力 (ビット信号) を割り付け、部分デコードされた信号を作ればよい。

【 0 1 6 6 】

次に、サブカウンタが受け持つワード線の本数、即ち、M A T の大きさを決める方法について説明する。

【 0 1 6 7 】

M A T の大きさは、通常、接地電位 V s s に設定されているライトビット線 W B L が、

50

他のセルへの“ 1 ”書き込みで“ H ”レベルとなる時間の総和が、セルのリークによって“ 0 ”が“ 1 ”に化けない時間内に収まるようにして決めることができる。以下、最悪デイスターブ時間の総和から、ライトビット線 W B L を共有することができるワード線の本数の決め方をまとめる。

【 0 1 6 8 】

ワーストデイスターブパターンは、リフレッシュが終わった直後の 1 つのセルに“ 0 ”を書き、次に、リフレッシュされるセルが“ 1 ”で、同じ M A T の他のセルには“ 1 ”を書き込むサイクルを続けることである。これを図 3 3 に示す。

【 0 1 6 9 】

図 3 3 に示すように、ライトビット線 W B L に R 個のセルが接続される、とする。M A T に R - 1 回のリフレッシュ要求があれば、次は“ 0 ”セルのリフレッシュに戻るので、デイスターブを受けるリフレッシュのサイクル数は R - 1 である。

【 0 1 7 0 】

リフレッシュ要求が M A T への W 回の“ 1 ”ライトに対応したライトエコーリフレッシュを含むとすると、サイクル数 R - 1 の間に入るライトによるデイスターブのサイクル数は、W である。

【 0 1 7 1 】

リフレッシュによるデイスターブのサイクル数、及びライトによるデイスターブのサイクル数を合わせた全デイスターブのサイクル数は、 $W + R - 1$ ($W < R$) である。1 サイクルでのデイスターブ時間を、ライトビット線 W B L を“ H ”状態にして“ 0 ”が“ 0 ”と判定できるクリティカルなデイスターブトータル時間を T とすると、

$$T = (W + R - 1)$$

となる。ライトの最大回数は R - 1 回であるので、上式は、

$$T = (2R - 2)$$

と変形できる。上式をセルの数 R について解けば、

$$R = (T / 2 + 2) / 2$$

となる。セルの数 R は、ライトビット線 W B L を共有するワード線の総数と同じと考えることができる。従って、ライトビット線 W B L を共有することができるワード線の最大本数 R は、 $(T / 2 + 2) / 2 = R$ となる。図 3 4 に、 $(T / 2 + 2) / 2 = R$ の関係を示しておく。

【 0 1 7 2 】

なお、T が 2 より小さいと、M A T は 1 ワード線となり、図 3 5 に示すように 5 トランジスタセル (5 T タイプ D R A M セル) となる。

【 0 1 7 3 】

以上、この発明を 1 つの実施形態により説明したが、この発明は 1 つの実施形態に限定されるものではなく、その実施にあたっては発明の要旨を逸脱しない範囲で種々に変形することが可能である。

【 0 1 7 4 】

また、1 つの実施形態は種々の段階の発明を含んでおり、1 つの実施形態において開示した複数の構成要件の適宜な組み合わせにより、種々の段階の発明を抽出することが可能である。

【 0 1 7 5 】

また、1 つの実施形態は、この発明を半導体メモリに適用した例に基づき説明したが、この発明は半導体メモリに限られるものではなく、半導体メモリを内蔵した半導体集積回路装置、例えば、プロセッサ、システム L S I 等もまた、この発明の範疇である。

【図面の簡単な説明】

【 0 1 7 6 】

【図 1】図 1 はこの発明の 1 つの実施形態に係る半導体集積回路装置が備える 1 M b セルアレイユニット (タイル) を示す平面図

【図 2】図 2 は主な動作モードと制御信号波形との関係例を示すタイミング図

10

20

30

40

50

- 【図 3】図 3 はエコーリフレッシュのタイミング例を示すタイミング図
- 【図 4】図 4 は基本ユニットを上下に二つ置いた場合を示すブロック図
- 【図 5】図 5 A は基本ユニットの半分を示す平面図、図 5 B は図 5 A 中の参照符号 5 B に示す部分の拡大図、図 5 C は図 5 B 中の円 5 C 内の拡大図
- 【図 6】図 6 は R W L ドライバの回路例を示す回路図
- 【図 7】図 7 は W W L ドライバの回路例を示す回路図
- 【図 8】図 8 A はセル電流とリファレンスセル電流とを比較する様子を示す図、図 8 B は V r e f 発生回路の回路例を示す回路図
- 【図 9】図 9 は V r e f 発生回路の動作例を説明するための図
- 【図 10】図 10 は V r e f 発生回路の特性例（シミュレーション結果）を示す図 10
- 【図 11】図 11 は V r e f 発生回路の変形回路例を示す回路図
- 【図 12】図 12 はセンスアンプの回路例を示す回路図
- 【図 13】図 13 はセンスアンプを制御する制御信号を発生する回路の回路例を示す回路図
- 【図 14】図 14 はグローバル D Q バッファの回路例を示す回路図
- 【図 15】図 15 は 16 M b のメモリブロックの構成例を示す平面図
- 【図 16】図 16 はロウアドレス（Row Address bit）の割付例を示す図
- 【図 17】図 17 はワード線選択信号を発生する発生回路の回路例を示す回路図
- 【図 18】図 18 はレベルシフタの回路例を示す回路図
- 【図 19】図 19 はこの発明の 1 つの実施形態に係る半導体集積回路装置のリフレッシュの原理 1 を示す図 20
- 【図 20】図 20 は、リフレッシュが一巡する時間が短縮される様子を示す図
- 【図 21】図 21 はこの発明の 1 つの実施形態に係る半導体集積回路装置のリフレッシュの原理 2 を示す図
- 【図 22】図 22 はエコーリフレッシュ制御回路の回路例を示す回路図
- 【図 23】図 23 は時刻毎のコマンド入力例を示す図
- 【図 24】図 24 A ~ 図 24 D はそれぞれ時刻 t 0 ~ 時刻 t 3 毎のカウント値、及びカウント値の遷移を目視化した図
- 【図 25】図 25 A ~ 図 25 D は時刻 t 4 ~ 時刻 t 7 毎のカウント値、及びカウント値の遷移を目視化した図 30
- 【図 26】図 26 A ~ 図 26 D は時刻 t 8 ~ 時刻 t 11 毎のカウント値、及びカウント値の遷移を目視化した図
- 【図 27】図 27 A ~ 図 27 D は時刻 t 12 ~ 時刻 t 15 毎のカウント値、及びカウント値の遷移を目視化した図
- 【図 28】図 28 A はシフトユニットの回路例を示す回路図、図 28 B は図 28 A に示すシフトユニットの論理を示す図
- 【図 29】図 29 は 4 ビットのシフトカウンタの回路例を示す回路図
- 【図 30】図 30 は 8 ビットのシフトカウンタの回路例を示す回路図
- 【図 31】図 31 はクロック周期変更回路の回路例を示す回路図
- 【図 32】図 32 は 4 ビットのシフトカウンタの出力、8 ビットのシフトカウンタの出力、及び 32 ビットのシフトカウンタの出力と、ワード線のアドレスとの対応を示した図 40
- 【図 33】図 33 はワーストディスタートパターン例を示す図
- 【図 34】図 34 は $(T / \quad + 2) / 2 \quad R$ の関係を示す図
- 【図 35】図 35 は 5 T タイプ D R A M セルの回路例を示す図
- 【図 36】図 36 は 3 T タイプ D R A M セルの回路例を示す図
- 【図 37】図 37 A はストレージノードの電圧（Sweep）とセル電流（I_{cell}）との関係を示す図、図 37 B は “ 1 ” セルリテンションを示す図、図 37 C は “ 0 ” セルリテンションを示す図
- 【図 38】図 38 は保持データの変化を示す図
- 【図 39】図 39 は従来の D R A M におけるデータリフレッシュを示す図 50

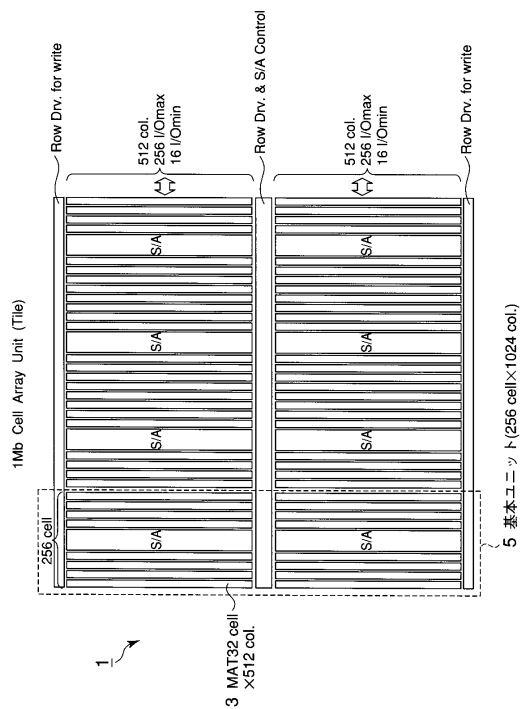
【図 40】図 40 は公知例を示す図

【符号の説明】

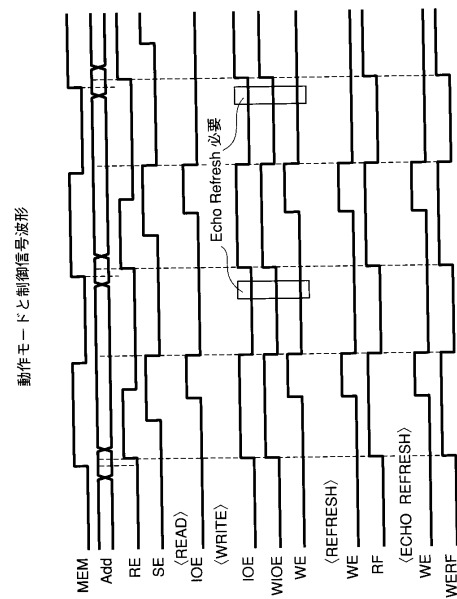
【0177】

1 ... 1 Mb セルアレイユニット (1 Mb タイル)、3 ... マット、5 ... 基本ユニット、61 ... サブカウンタ (リフレッシュアドレス発生カウンタ)、63 ... カウンタ (リフレッシュアドレス発生カウンタ)。

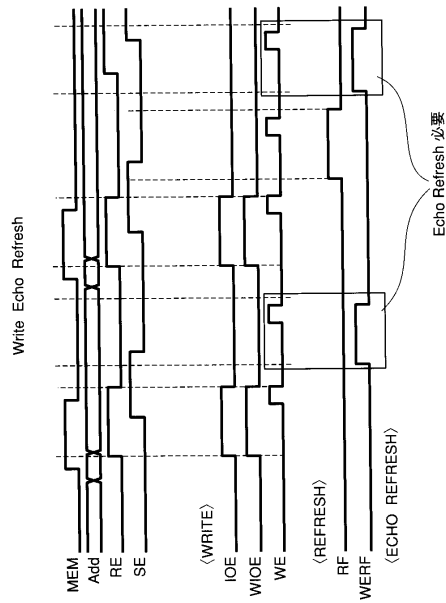
【図 1】



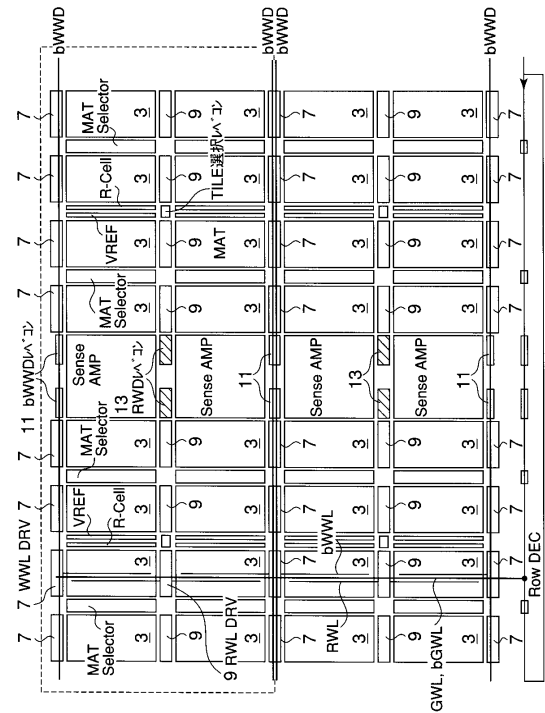
【図 2】



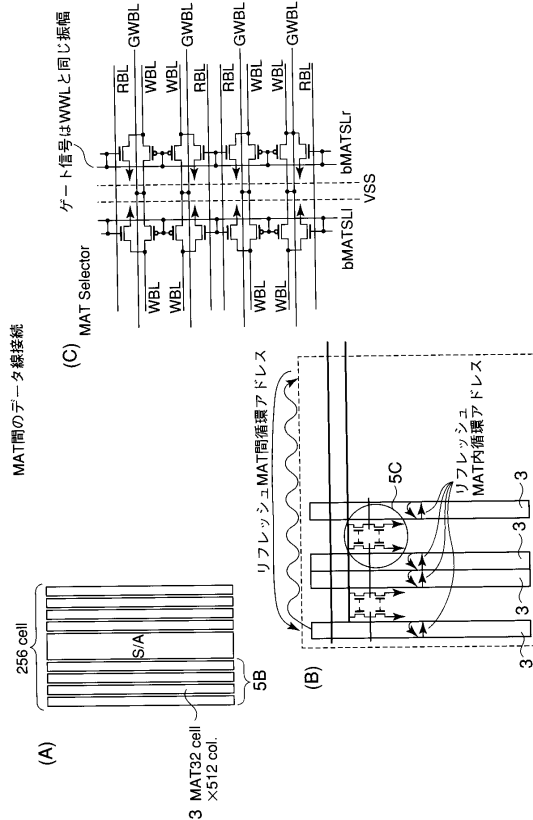
【図 3】



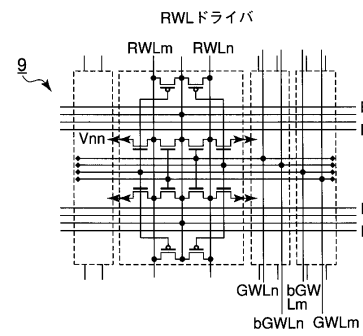
【図 4】



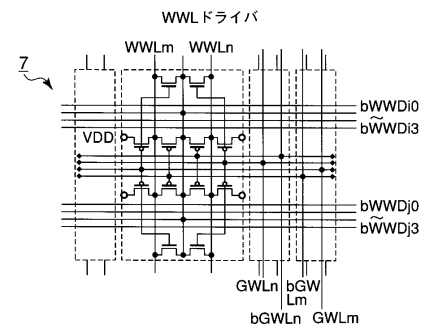
【図 5】



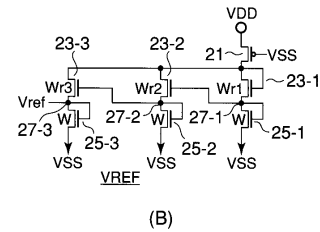
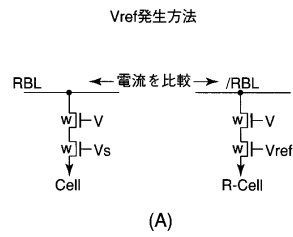
【図 6】



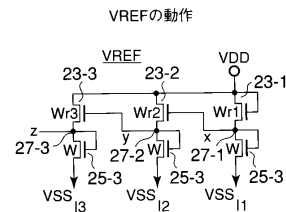
【図 7】



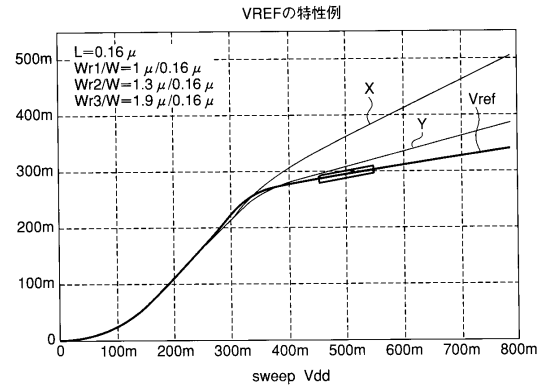
【図 8】



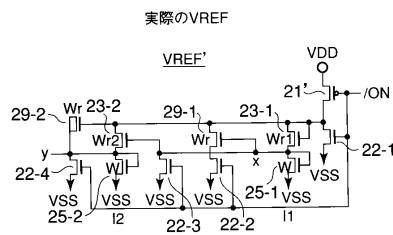
【図 9】



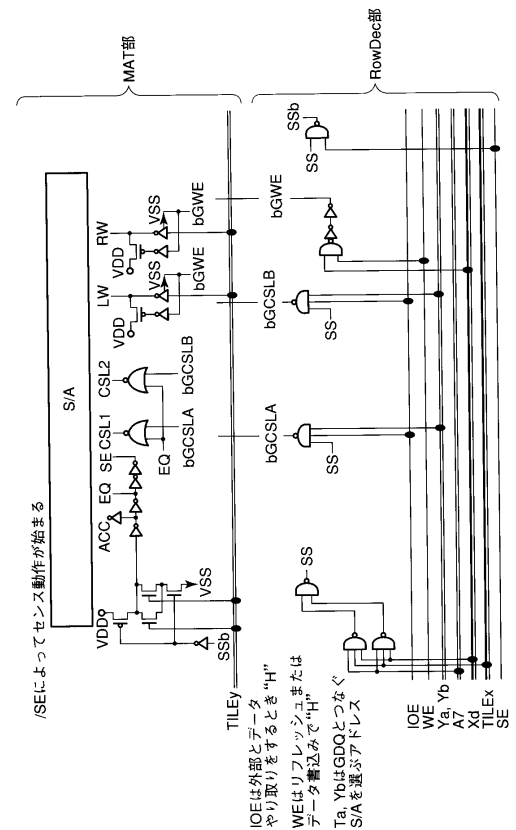
【図 10】



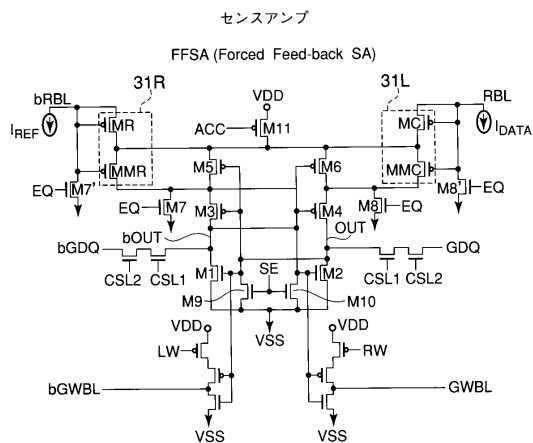
【図 11】



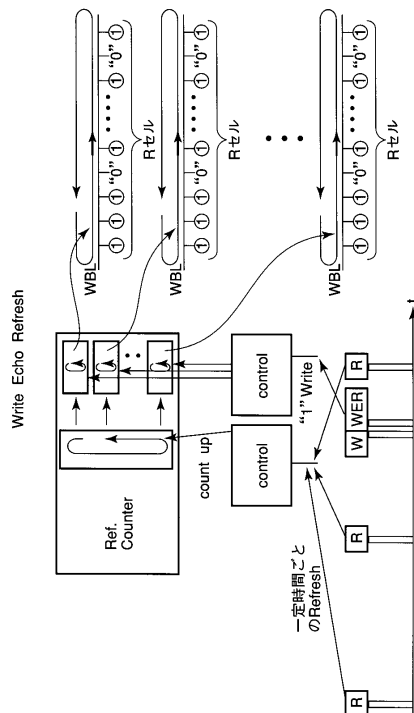
【図 13】



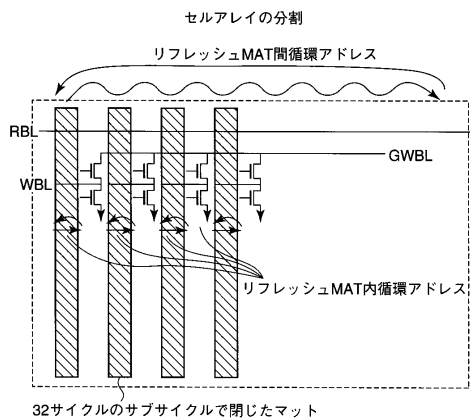
【図 12】



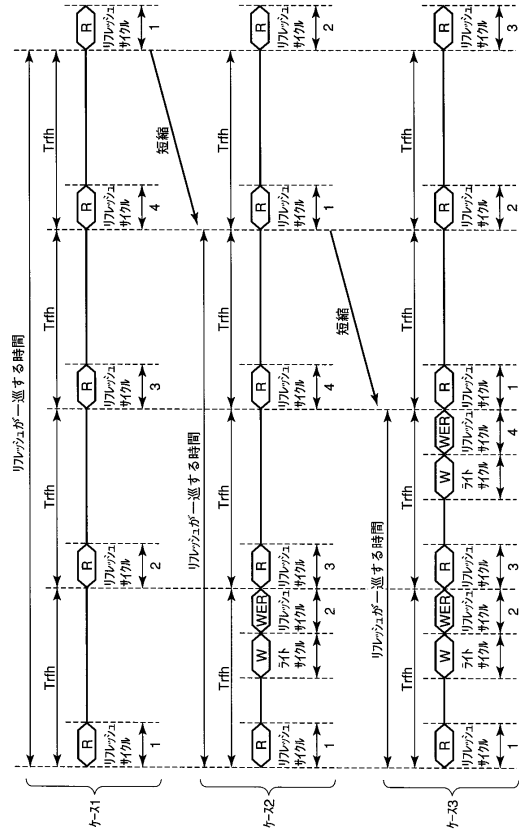
【図19】



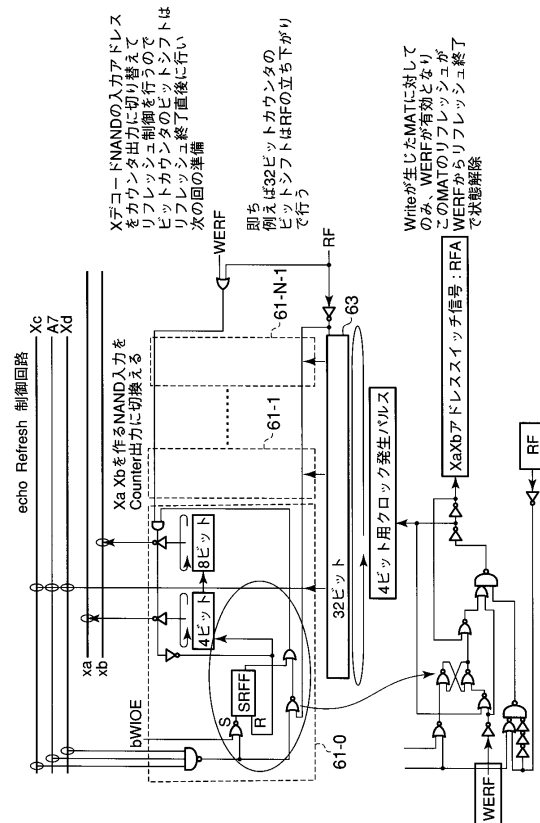
【図21】



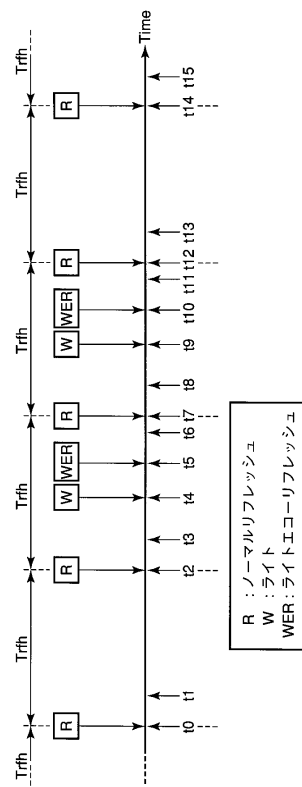
【図20】



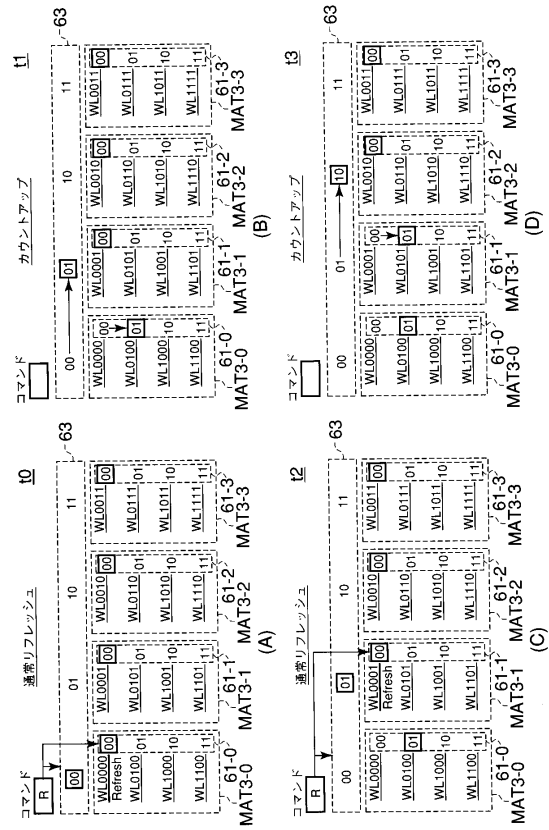
【図22】



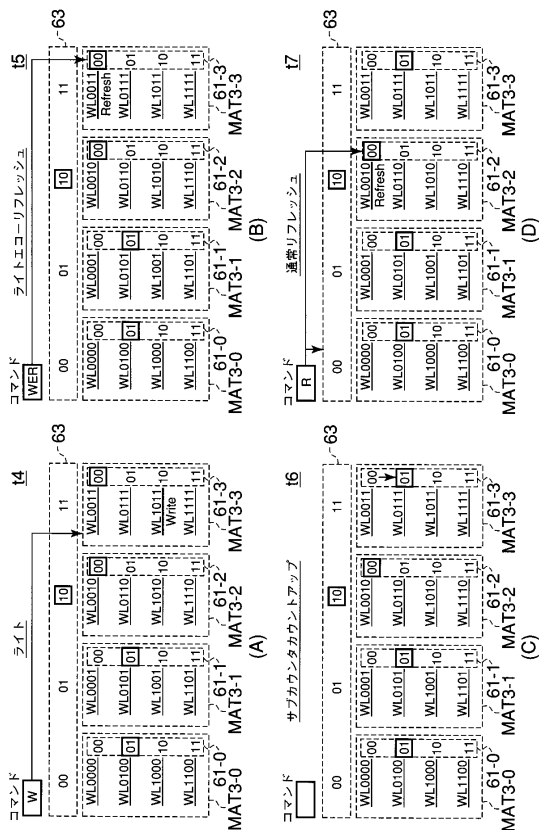
【図 23】



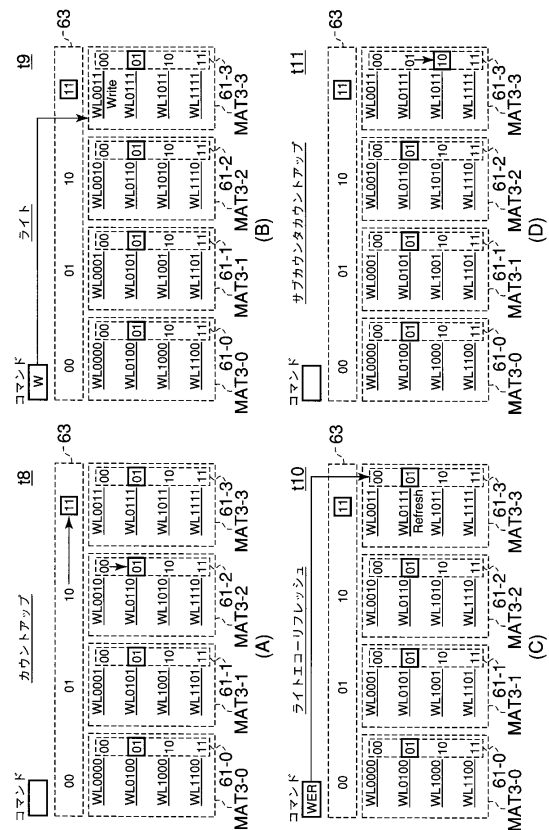
【図 24】



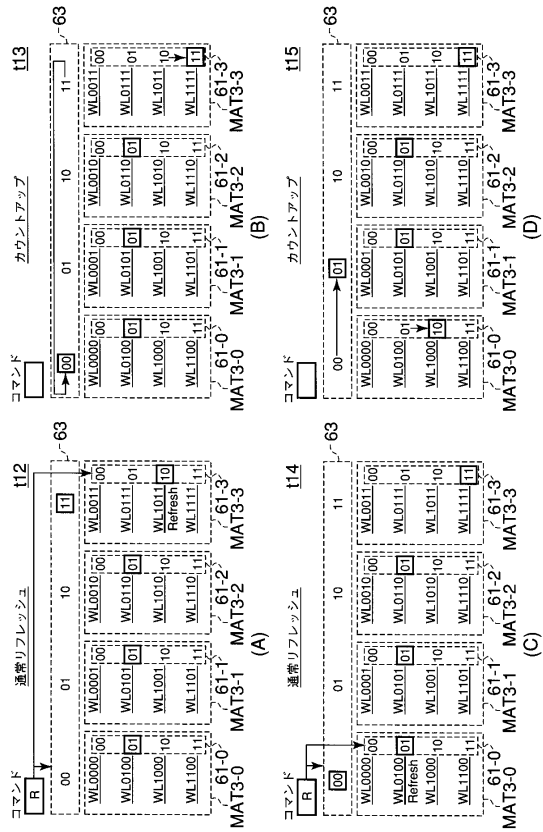
【図 25】



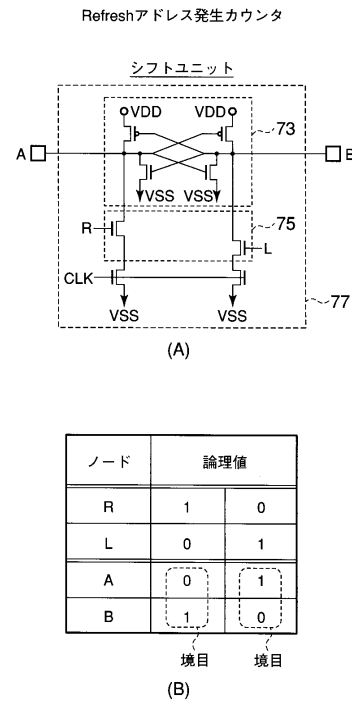
【図 26】



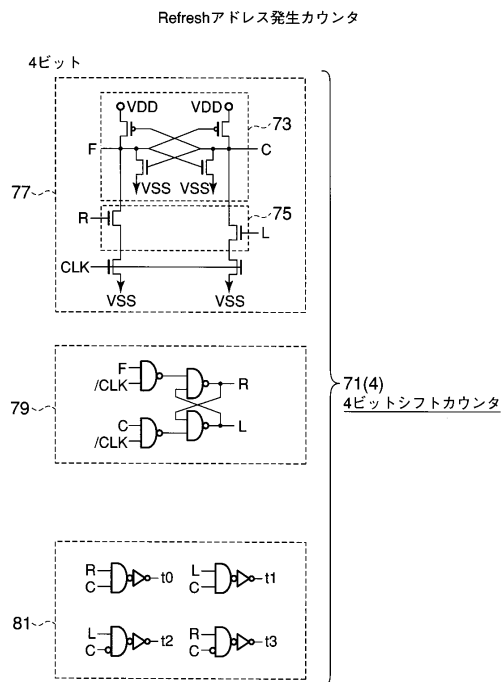
【図 27】



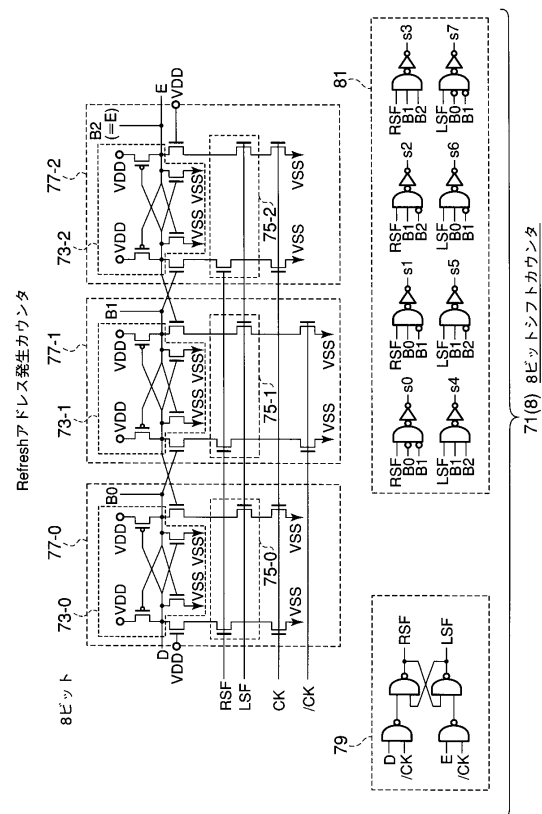
【図 28】



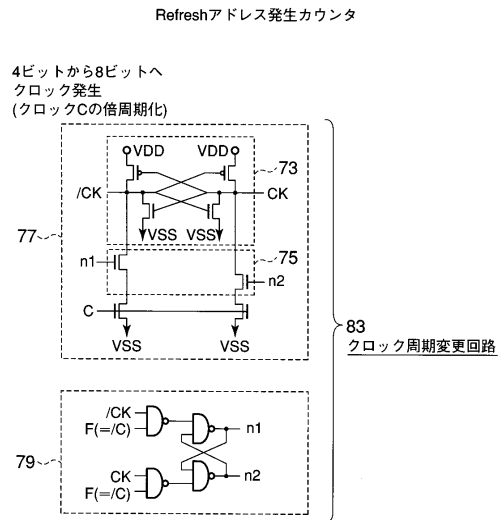
【図 29】



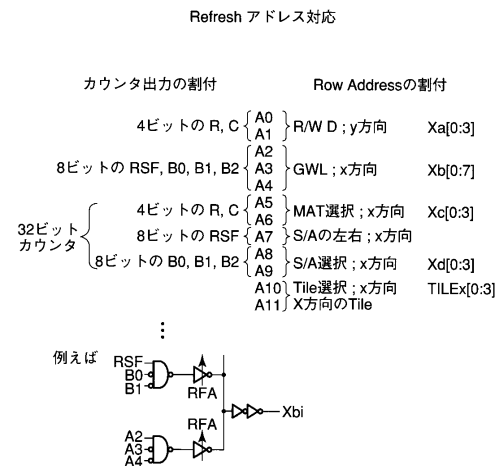
【図 30】



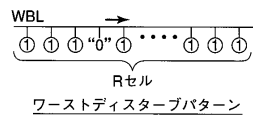
【図 3 1】



【図 3 2】

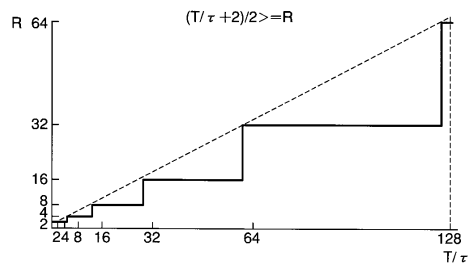


【図 3 3】

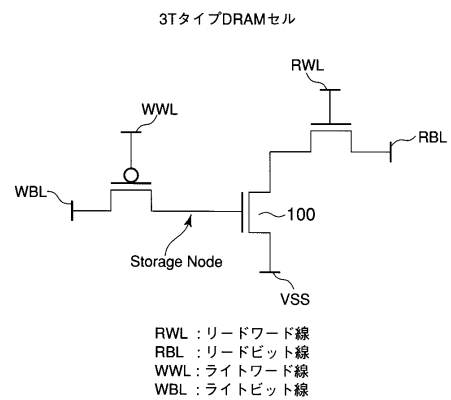
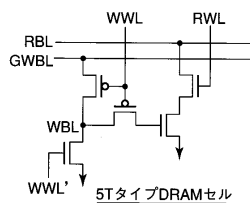


【図 3 6】

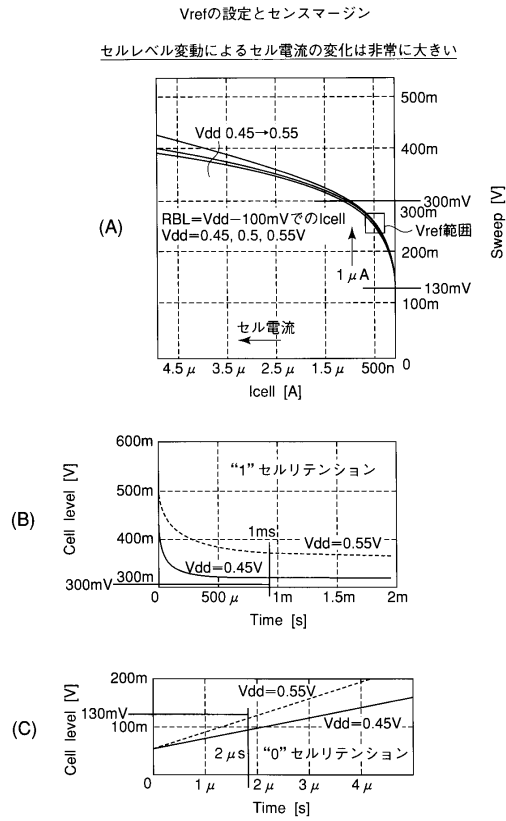
【図 3 4】



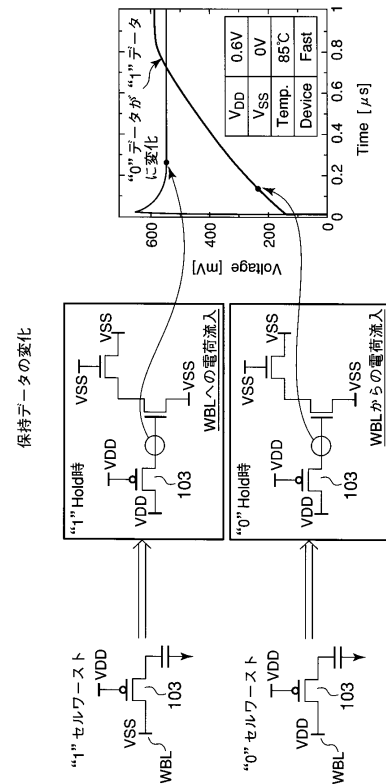
【図 3 5】



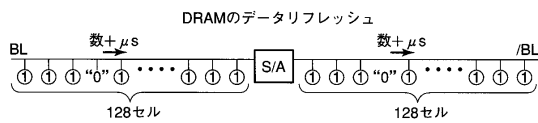
【図 37】



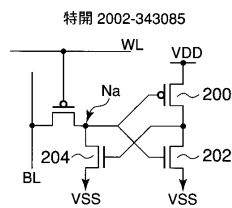
【図 38】



【図 39】



【図 40】



フロントページの続き

(74)代理人 100092196

弁理士 橋本 良郎

(72)発明者 戸田 春希

神奈川県横浜市中区西竹之丸 1 1 1 - 1 - 1 0 5

(72)発明者 市橋 基

神奈川県川崎市幸区小倉 4 4 7 居村ハウス 4 0 4

審査官 堀江 義隆

(56)参考文献 特開 2 0 0 5 - 2 2 8 4 3 8 (J P , A)

特開平 7 - 2 2 6 0 7 7 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 1 1 C 1 1 / 4 0 - 1 1 / 4 0 9 9