

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5792101号
(P5792101)

(45) 発行日 平成27年10月7日(2015.10.7)

(24) 登録日 平成27年8月14日(2015.8.14)

(51) Int.Cl. F I
 H O 1 L 21/205 (2006.01) H O 1 L 21/205
 C 2 3 C 16/24 (2006.01) C 2 3 C 16/24

請求項の数 19 (全 23 頁)

(21) 出願番号 特願2012-58948 (P2012-58948)
 (22) 出願日 平成24年3月15日(2012.3.15)
 (65) 公開番号 特開2013-191817 (P2013-191817A)
 (43) 公開日 平成25年9月26日(2013.9.26)
 審査請求日 平成26年8月18日(2014.8.18)

(73) 特許権者 000219967
 東京エレクトロン株式会社
 東京都港区赤坂五丁目3番1号
 (74) 代理人 100099944
 弁理士 高山 宏志
 (72) 発明者 岡田 充弘
 東京都港区赤坂五丁目3番1号 赤坂B i
 zタワー 東京エレクトロン株式会社内
 審査官 小川 将之

最終頁に続く

(54) 【発明の名称】 積層半導体膜の成膜方法

(57) 【特許請求の範囲】

【請求項1】

被処理体の下地の上方に、第1、第2の半導体膜を交互に積層した積層半導体膜を成膜する積層半導体膜の成膜方法であって、

- (1) 前記第1の半導体膜を成膜する工程と、
- (2) 前記第2の半導体膜を成膜する工程と、

を設計された積層数まで繰り返すとともに、

前記(1)の工程における成膜温度と前記(2)の工程における成膜温度とを同一とし、前記(1)の工程と前記(2)工程との相互間で温度を一定とし、

前記(1)の工程と前記(2)の工程との相互間におけるパージガスとして、成膜中に前記第1、第2の半導体膜から脱離する物質を含むガスをを用いることを特徴とする積層半導体膜の成膜方法。

【請求項2】

前記成膜温度は、前記第1、第2の半導体膜の結晶化温度未満とされることを特徴とする請求項1に記載の積層半導体膜の成膜方法。

【請求項3】

前記第1、第2の半導体膜がシリコン膜であるとき、

前記第1、第2の半導体膜から脱離する物質を含むガスが、水素を含むガスであることを特徴とする請求項1に記載の積層半導体膜の成膜方法。

【請求項4】

被処理体の下地の上方に、第 1、第 2 の半導体膜を交互に積層した積層半導体膜を成膜する積層半導体膜の成膜方法であって、

(3) 前記第 1 の半導体膜を成膜する工程と、

(4) 前記第 2 の半導体膜を成膜する工程と、

を設計された積層数まで繰り返すとともに、

前記(3)の工程と前記(4)の工程との相互間におけるパージガスとして、成膜中に前記第 1、第 2 の半導体膜から脱離する物質を含むガスを用いて、前記第 1、第 2 の半導体膜が交互に積層された積層半導体膜を成膜することを特徴とする積層半導体膜の成膜方法。

【請求項 5】

前記第 1、第 2 の半導体膜がシリコン膜であるとき、

前記第 1、第 2 の半導体膜から脱離する物質を含むガスが、水素を含むガスであることを特徴とする請求項 4 に記載の積層半導体膜の成膜方法。

【請求項 6】

被処理体の下地の上方に、第 1、第 2 の半導体膜を交互に積層した積層半導体膜を成膜する積層半導体膜の成膜方法であって、

(5) 前記第 1 の半導体膜を成膜する工程と、

(6) 前記第 2 の半導体膜を成膜する工程と、

を設計された積層数まで繰り返し、前記第 1、第 2 の半導体膜が交互に積層された積層半導体膜を成膜するとともに、

(7) 前記積層半導体膜の成膜に先立ち、前記被処理体の下地上にシード層を形成する工程を具備し、

前記(5)の工程における成膜温度と前記(6)の工程における成膜温度とを同一とし、前記(5)の工程と前記(6)工程との相互間で温度を一定とし、

前記(7)の工程における処理温度を、さらに前記成膜温度と同一とし、前記(7)の工程と前記(5)の工程との相互間で温度を一定とすることを特徴とする積層半導体膜の成膜方法。

【請求項 7】

前記第 1、第 2 の半導体膜はシリコン膜であり、

前記シード層は、前記シリコン膜の原料ガスであるシラン系ガスよりも高次のシラン系ガスを用い、前記下地の表面にシリコンを吸着させて形成することを特徴とする請求項 6 に記載の積層半導体膜の成膜方法。

【請求項 8】

前記第 1、第 2 の半導体膜はシリコン膜であり、

前記シード層は、アミノシラン系ガスを用い、前記下地の表面にシリコンを吸着させて形成することを特徴とする請求項 6 に記載の積層半導体膜の成膜方法。

【請求項 9】

前記成膜温度は、前記第 1、第 2 の半導体膜の結晶化温度未満とされることを特徴とする請求項 6 に記載の積層半導体膜の成膜方法。

【請求項 10】

前記(5)～(7)の工程相互間におけるパージガスとして、成膜中に前記第 1、第 2 の半導体膜から脱離する物質を含むガスを用いることを特徴とする請求項 6 から請求項 9 のいずれか一項に記載の積層半導体膜の成膜方法。

【請求項 11】

前記第 1、第 2 の半導体膜がシリコン膜であるとき、

前記第 1、第 2 の半導体膜から脱離する物質を含むガスが、水素を含むガスであることを特徴とする請求項 10 に記載の積層半導体膜の成膜方法。

【請求項 12】

前記第 1、第 2 の半導体膜の一方が、ドーパントがドーブされたドーフト半導体膜であり、他方が、ドーパントがドーブされていないノンドーフ半導体膜であり、

10

20

30

40

50

前記ノンドープ半導体膜を形成する工程、および前記ドーフト半導体膜を形成する工程の双方において、前記第1、第2の半導体膜から脱離する物質を含んだガスを、さらに供給することを特徴とする請求項1、請求項3、請求項4、請求項5、請求項10および請求項11のいずれか一項に記載の積層半導体膜の成膜方法。

【請求項13】

前記第1、第2の半導体膜の一方が、ドーパントがドーブされたドーフト半導体膜であり、他方が、ドーパントがドーブされていないノンドープ半導体膜であり、

前記ドーフト半導体膜を形成する工程において、前記第1、第2の半導体膜から脱離する物質を含んだガスを、さらに供給し、

前記ノンドープ半導体膜を形成する工程において、前記第1、第2の半導体膜から脱離する物質を含んだガスを、工程の途中からさらに供給することを特徴とする請求項1、請求項3、請求項4、請求項5、請求項10および請求項11のいずれか一項に記載の積層半導体膜の成膜方法。

10

【請求項14】

請求項1から請求項13のいずれか一項に係る積層半導体膜の成膜方法を、バッチ処理にて行うことを特徴とする積層半導体膜の成膜方法。

【請求項15】

前記第1、第2の半導体膜の一方が、ドーパントがドーブされたドーフト半導体膜であり、他方が、ドーパントがドーブされていないノンドープ半導体膜であり、

前記被処理体は、前記積層半導体膜を成膜する成膜装置の処理室内に、前記処理室の一端から前記処理室の他端に向かって複数配置され、

前記第1、第2の半導体膜の原料ガスは、前記処理室の一端から供給し、

前記第1又は第2の半導体膜へのドーパントガスは、前記処理室の一端と前記処理室の他端との間において複数の箇所から供給することを特徴とする請求項1から請求項13のいずれか一項に記載の積層半導体膜の成膜方法。

20

【請求項16】

前記処理室の内部には、前記処理室の一端から前記処理室の他端に向かって温度が高くなる温度分布を持たせることを特徴とする請求項15に記載の積層半導体膜の成膜方法。

【請求項17】

前記第1、第2の半導体膜の一方が、ドーパントがドーブされたドーフト半導体膜であり、他方が、ドーパントがドーブされていないノンドープ半導体膜であり、

前記被処理体は、前記積層半導体膜を成膜する成膜装置の処理室内に、前記処理室の一端から前記処理室の他端に向かって複数配置され、

前記第1、第2の半導体膜の原料ガス、及び前記第1又は第2の半導体膜へのドーパントガスは、前記処理室に複数配置された前記被処理体の被処理面のそれぞれに対して直接に供給することを特徴とする請求項1から請求項13のいずれか一項に記載の積層半導体膜の成膜方法。

30

【請求項18】

前記処理室には、前記処理室の一端から前記処理室の他端に向かって温度が一定となる温度分布を持たせることを特徴とする請求項17に記載の積層半導体膜の成膜方法。

40

【請求項19】

前記第1、第2の半導体膜をアモルファス状態で成膜することを特徴とする請求項1から請求項18のいずれか一項に記載の積層半導体膜の成膜方法。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、積層半導体膜の成膜方法に関する。

【背景技術】

【0002】

近時、半導体集積回路装置は、高集積化の進展に伴ってトランジスタやメモリセルなど

50

の素子を半導体ウエハ表面から上層に向けて積み上げていく、いわゆる素子の3次元化が進んでいる。例えば、特許文献1には、ノンドープシリコン膜およびドープトシリコン膜を多数積層させ、メモリセルを3次元化した例が記載されている。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2010-225694号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

特許文献1に記載されているように、素子の3次元化が進むと、半導体集積回路装置中に存在する積層構造の積層数は、プレーナ型素子を主体とした現状の半導体集積回路装置と比較して膨大な数となる。

【0005】

このような状況の中、半導体製造プロセスの分野において解決すべき事情は、大きく2つある。

【0006】

1つめは、いかにして良好なスループットを維持し、そして、さらに向上させていくかである。例えば、特許文献1に記載されているような3次元化された素子を集積した半導体集積回路装置は、異なった膜の成膜プロセスを多数回繰り返さなければ製造できない。このため、1つの半導体集積回路装置を製造するために必要な時間は、プレーナ型素子を集積した半導体集積回路装置とは比較にならないほど増大してしまう。

【0007】

2つめは、良好な表面ラフネスを積層構造の上層まで、いかにして維持するかである。膜の積層数が膨大になってくると、下層のほんのわずかな表面ラフネスの“乱れ”が、上層にいくにつれ、増幅されながら反映されていく。このため、上層にいくほど表面ラフネスが損なわれやすくなる。

【0008】

この発明は、上記事情に鑑みてなされたもので、異なった膜の成膜プロセスを繰り返し行っても、良好なスループットを維持、又は向上させることが可能な積層半導体膜の成膜方法を提供する。

【0009】

また、この発明は、異なった膜の成膜プロセスを繰り返し行っても、上層まで良好な表面ラフネスを維持することが可能な積層半導体膜の成膜方法を提供する。

【課題を解決するための手段】

【0010】

この発明の第1の態様に係る積層半導体膜の成膜方法は、被処理体の下地の上方に、第1、第2の半導体膜を交互に積層した積層半導体膜を成膜する積層半導体膜の成膜方法であって、(1)前記第1の半導体膜を成膜する工程と、(2)前記第2の半導体膜を成膜する工程と、を設計された積層数まで繰り返すとともに、前記(1)の工程における成膜温度と前記(2)の工程における成膜温度とを同一とし、前記(1)の工程と前記(2)工程との相互間で温度を一定とし、前記(1)の工程と前記(2)の工程との相互間におけるパージガスとして、成膜中に前記第1、第2の半導体膜から脱離する物質を含むガスを用いる。

【0011】

この発明の第2の態様に係る積層半導体膜の成膜方法は、被処理体の下地の上方に、第1、第2の半導体膜を交互に積層した積層半導体膜を成膜する積層半導体膜の成膜方法であって、(3)前記第1の半導体膜を成膜する工程と、(4)前記第2の半導体膜を成膜する工程と、を設計された積層数まで繰り返すとともに、前記(3)の工程と前記(4)の工程との相互間におけるパージガスとして、成膜中に前記第1、第2の半導体膜から脱

10

20

30

40

50

離する物質を含むガスを用いて、前記第 1、第 2 の半導体膜が交互に積層された積層半導体膜を成膜する。

【0012】

この発明の第 3 の態様に係る積層半導体膜の成膜方法は、被処理体の下地の上方に、第 1、第 2 の半導体膜を交互に積層した積層半導体膜を成膜する積層半導体膜の成膜方法であって、(5)前記第 1 の半導体膜を成膜する工程と、(6)前記第 2 の半導体膜を成膜する工程と、を設計された積層数まで繰り返し、前記第 1、第 2 の半導体膜が交互に積層された積層半導体膜を成膜するとともに、(7)前記積層半導体膜の成膜に先立ち、前記被処理体の下地上にシード層を形成する工程を具備し、前記(5)の工程における成膜温度と前記(6)の工程における成膜温度とを同一とし、前記(5)の工程と前記(6)工程との相互間で温度を一定とし、前記(7)の工程における処理温度を、さらに前記成膜温度と同一とし、前記(7)の工程と前記(5)の工程との相互間で温度を一定とする。

10

【発明の効果】

【0013】

この発明によれば、異なった膜の成膜プロセスを繰り返し行っても、良好なスループットを維持、又は向上させることが可能な積層半導体膜の成膜方法を提供できる。

【0014】

また、この発明は、異なった膜の成膜プロセスを繰り返し行っても、上層まで良好な表面ラフネスを維持することが可能な積層半導体膜の成膜方法を提供できる。

【図面の簡単な説明】

20

【0015】

【図 1】この発明の一実施形態に係る積層半導体膜の成膜方法の一例を示す流れ図

【図 2】(A)図～(D)図はこの発明の一実施形態に係る積層半導体膜の成膜方法の主要な工程を示す断面図

【図 3】各ステップと温度との関係を時系列上で示した図

【図 4】(A)図および(B)図はガスの供給タイミングを示す図

【図 5】第 1 例に係る縦型バッチ式成膜装置を概略的に示す縦断面図

【図 6】第 1 例に係る縦型バッチ式成膜装置からポートを取り出した状態を示す縦断面図

【図 7】第 2 例に係る縦型バッチ式成膜装置を概略的に示す縦断面図

【図 8】図 7 中の 8 - 8 線に沿う水平断面図

30

【図 9】第 2 例に係る縦型バッチ式成膜装置からポートを取り出した状態を示す縦断面図

【発明を実施するための形態】

【0016】

以下、この発明の一実施形態を、図面を参照して説明する。なお、全図にわたり、共通の部分には共通の参照符号を付す。

【0017】

(成膜方法)

図 1 はこの発明の一実施形態に係る積層半導体膜の成膜方法の一例を示す流れ図、図 2 A ~ 図 2 D はその成膜方法の主要な工程を示す断面図である。

【0018】

40

一実施形態は、下地上に、第 1、第 2 の半導体膜が交互に積層された積層半導体膜を成膜する積層半導体膜の成膜方法である。本例においては、下地の一例とし、シリコン基板(シリコンウエハ = シリコン単結晶) 1 上に形成されたシリコン酸化物(SiO_2)膜 2 を用いる(図 2 A 参照)。下地は、シリコン酸化物膜 2 に限られるものではなく、シリコン酸化物膜以外の絶縁膜、例えば、シリコン窒化物膜などの絶縁膜であってもよい。

【0019】

まず、表面にシリコン酸化物膜 2 が形成されたシリコン基板 1 を図示せぬ成膜装置の処理室に収容する。次いで、図 1 中のステップ 1 及び図 2 A に示すように、下地の表面に、シード層を形成する。本例では、シリコン酸化物膜 2 の表面にシリコンを吸着させ、ノンドーブのシリコンシード層 3 を形成する。本例では、吸着処理ガスとしてジシラン(Si

50

H_2 ガスを用い、シリコン酸化物膜 2 の表面にシリコンを吸着させた。シリコンシード層 3 は、シリコン酸化物膜 2 の表面にシリコンが吸着される程度に形成されればよく、例えば、単原子層～数原子層の厚さがあればよい。具体的な数値をあげるとするならば、0.5～5 nm である。

【0020】

シリコンシード層 3 を形成する際の処理条件の一例は、

ジシラン流量 : 350 sccm
 処理時間 : 10 min
 処理温度 : 500
 処理圧力 : 133 Pa (1 Torr)

10

である。

【0021】

次に、図 1 中のステップ 2 に示すように、処理室の内部をパージする。本例では、パージガスとして、水素 (H_2) ガスを用いた。

【0022】

ステップ 2 におけるパージ条件は、

水素流量 : 1000 sccm
 パージ時間 : 16 min
 温度 : 500
 圧力 : 93.3 Pa (0.7 Torr)

20

である。

【0023】

次に、図 1 中のステップ 3 及び図 2 B に示すように、第 1 の半導体膜を形成する。本例では、シリコンシード層 3 上に、ボロンドープトアモルファスシリコン膜 (以下 B-シリコン膜という) 4 を形成する。本例では、シリコン原料ガスとしてモノシラン (SiH_4) ガス、ドーパントガスとして三塩化ホウ素 (BCl_3) ガスを用いた。

【0024】

B-シリコン膜 4 を形成する際の処理条件の一例は、

モノシラン流量 : 2000 sccm
 BCl_3 ガス流量 : 1 sccm
 処理時間 : 8.5 min
 処理温度 : 500
 処理圧力 : 93.3 Pa (0.7 Torr)

30

である。

【0025】

このような条件においては、例えば、膜厚が 40 nm 程度の B-シリコン膜 4 が形成される。

【0026】

次に、図 1 中のステップ 4 に示すように、処理室の内部をパージする。本例では、パージガスとして、水素 (H_2) ガスを用いた。

40

【0027】

ステップ 4 におけるパージ条件は、

水素流量 : 1000 sccm
 パージ時間 : 2 min
 温度 : 500
 圧力 : 53.3 Pa (0.4 Torr)

である。

【0028】

次に、図 1 中のステップ 5 及び図 2 C に示すように、第 2 の半導体膜を形成する。本例では、B-シリコン膜 4 上に、ノンドープトアモルファスシリコン膜 (以下 シリコン

50

膜という) 5 を形成する。本例では、シリコン原料ガスとしてモノシラン (SiH_4) ガスを用いた。

【0029】

シリコン膜 5 を形成する際の処理条件の一例は、
 モノシラン流量： 1000 sccm
 処理時間： 50 min
 処理温度： 500
 処理圧力： 53.3 Pa (0.4 Torr)

である。

【0030】

このような条件においては、例えば、膜厚が 40 nm 程度の シリコン膜 5 が形成され、これにより、B- シリコン膜 4 および シリコン膜 5 からなる第 1 層積層構造 6 - 1 が形成される。

【0031】

次に、図 1 中のステップ J に示すように、積層構造 6 の積層数が、設計された積層数か否かを判断する。設計された積層数に達していない場合 (No)、ステップ 6 に進み、処理室の内部をパーズする。パーズガスとして、ステップ 2 およびステップ 4 と同様に、水素 (H_2) ガスを用いた。

【0032】

ステップ 6 におけるパーズ条件は、
 水素流量： 1000 sccm
 パーズ時間： 2 min
 温度： 500
 圧力： 93.3 Pa (0.7 Torr)

である。

【0033】

次に、ステップ 3 に戻って B- シリコン膜 4 を、今度は シリコン膜 5 上に形成する。続いてステップ 4 に進んでパーズし、続いてステップ 5 に進んで シリコン膜 5 を B- シリコン膜 4 上に形成する。これにより第 2 層積層構造 6 - 2 が形成される。そして、ステップ J に進む。積層構造 6 の積層数が設計された積層数 n に達するまで、ステップ 3 ~ ステップ 6 と、ステップ J における判断を繰り返す。

【0034】

積層構造 6 の積層数が、設計された積層数 n に達した場合 (Yes)、ステップ 7 に進み、シリコン基板 1 の温度を外部に搬送可能な温度まで降温したり、処理室内の雰囲気、シリコン基板 1 を外部に搬送可能な雰囲気に置換、例えば、大気開放したりする終了シーケンスに入る。終了シーケンスの終了後、n 層の積層構造 6 - 1 ~ 6 - n が形成されたシリコン基板 1 を処理室から搬出し、一実施形態に係る積層半導体膜の成膜方法が終了する。

【0035】

このような一実施形態によれば、図 1 に示したステップ 1 ~ ステップ 6 の工程それぞれにおける処理温度を同一とする。そして、ステップ 1 ~ ステップ 6 の工程相互間で温度を一定とする。この構成を備えていることにより、一実施形態においては、ステップ 2、ステップ 4 およびステップ 6 のパーズ工程において、温度の変更に要する時間を省略することができる。この結果、ステップ 2、ステップ 4 およびステップ 6 のパーズ工程において温度を変更する場合に比較して、トータルの処理時間を短縮することができる。

【0036】

図 3 は、各ステップと温度との関係を時系列上で示した図である。図 3 中の縦軸は温度を表し、横軸は時間を表す。時間は矢印の方向に向かって経過する。なお、時間の単位は任意単位 (a. u.) とする。また、同図中に示された“参照符号 1 ~ 6”は、図 1 中のステップ 1 ~ ステップ 6 に対応する。

10

20

30

40

50

【0037】

図3に示す比較例においては、ステップ1における吸着温度を400、ステップ3における成膜温度を450、ステップ5における成膜温度を525とし、それぞれステップ2、ステップ4およびステップ6のパージ工程において温度を上昇又は下降させて温度を変更する。このような比較例においては、ステップ2、ステップ4、ステップ6のパージ工程において、温度の変更に要する時間、および温度の安定に要する時間が別途かかる。このため、ステップ2、ステップ4およびステップ6の工程時間が長くなっている。

【0038】

これに対して、一実施形態においては、ステップ2、ステップ4およびステップ6のパージ工程において、温度の変更に要する時間、および温度の安定に要する時間がかからない。このため、ステップ2、ステップ4およびステップ6の工程時間は、比較例に比較して短くすることができる。時間短縮の効果であるが、ステップ2においては約47%短縮(一例として30min→16min)、ステップ4においては約94%短縮(一例として32min→2min)、ステップ6においては約95%短縮(一例として37min→2min)と試算された。

10

【0039】

また、一実施形態においては、ステップ1における吸着温度、ステップ3およびステップ5における成膜温度を500で固定した。ステップ1においては、比較例よりも吸着温度は高くなるが、同じ工程時間とした。

【0040】

ステップ3においては、比較例の450に比較して、一実施形態は500と成膜温度が高くなっている。このため、B-シリコン膜4の成膜レートが上がり、ステップ3の工程時間は、比較例に比較して約36%短縮(一例として13.3min→8.5min)された。

20

【0041】

ステップ5においては、比較例の525に比較して、一実施形態は500と成膜温度が低くなっている。このため、シリコン膜5の成膜レートが下がり、ステップ5の工程時間はかえて長くなった。ステップ5の工程時間は、比較例に比較して約83%増加(一例として27.3min→50min)であった。

【0042】

このように、ステップ1～ステップ6のそれぞれで温度を一定とすることにより、かえて工程時間が長くなるステップもあるが、それよりもステップ2、ステップ4およびステップ6の工程時間の時間短縮の効果ははるかに高い。ステップ1～ステップ6のトータルの工程時間の一例では、比較例に比較して約41%短縮することができた。また、繰り返し行われるステップ3～ステップ6のトータルの工程時間も、比較例に比較して約43%短縮することができた。特に、繰り返し行われるステップ4およびステップ6における時間短縮の効果は、積層数が多くなればなるほど高まってくる。

30

【0043】

これらを鑑み、設計された積層数まで積層半導体膜を成膜した後の終了シーケンスに要する時間は、比較例も一実施形態も変わらないと仮定し、125枚同時処理の場合のスループットの改善可能性率を、比較例を100%として試算したところ、一実施形態においては約167%となり、スループットは約67%向上(一例として1時間当たり2.72枚→1時間当たり4.54枚)する、との結果を得ることができた。

40

【0044】

このように、一実施形態によれば、ステップ1～ステップ6の工程それぞれにおける成膜温度を同一とし、ステップ1～ステップ6の工程相互間で温度を一定とすることで、異なった膜の成膜プロセスを繰り返し行っても、良好なスループットを維持、又は向上させることが可能な積層半導体膜の成膜方法を得ることができる。

【0045】

さらに、一実施形態によれば、異なった膜の成膜プロセスを繰り返し行っても、上層ま

50

で良好な表面ラフネスを維持するための工夫が施されている。以下、説明する。

【0046】

(工夫1)

1つめは、ステップ2、ステップ4およびステップ6のパージ工程におけるパージガスとして、成膜中にB-シリコン膜4およびシリコン膜5から脱離する物質を含んだガスを用いたことである。

【0047】

一実施形態においては、B-シリコン膜4およびシリコン膜5のシリコン原料ガスは、モノシランガスである。例えば、モノシランのようなシラン系ガスを用いてB-シリコン膜4およびシリコン膜5を成膜すると、水素がシリコンの未結合手に結合してSi-H結合を形成する。Si-H結合を持つB-シリコン膜4およびシリコン膜5は、膜質が良質であることが知られている。

【0048】

しかし、成膜シーケンス中の、成膜工程(ステップ3およびステップ5)やパージ工程中(ステップ4およびステップ6)、シリコン基板1には常に熱が加わっている。このために、Si-H結合が切れ、わずかながら水素の脱離が発生することがある。水素の脱離が、たとえわずかなものであったとしても、水素の脱離が発生していないB-シリコン膜4およびシリコン膜5に比較すれば表面ラフネスの精度は微妙に低下する。また、水素が脱離すると膜の結晶化が起こる。膜の結晶化が起こると、B-シリコン膜4およびシリコン膜5はアモルファスから多結晶になる。アモルファスの膜よりも多結晶の膜の方が表面ラフネスの精度は低い。

【0049】

これらのような表面ラフネスの精度の微妙な低下は、単層であれば許容できる範囲であるかもしれない。しかしながら、一実施形態は、B-シリコン膜4を形成する工程、およびシリコン膜5を形成する工程を、多数回、例えば、24回繰り返し、48層といった積層半導体膜を成膜する。このため、下層では設計マージンの範囲内にあった表面ラフネスの精度の微妙な低下が、上層になるにつれて増幅され、やがては、設計マージンの範囲を超える大きな表面ラフネスの低下に発展する。

【0050】

このような上層になるほど増幅される表面ラフネスの低下を抑制するために、ステップ2、ステップ4およびステップ6のパージ工程におけるパージガスとして、成膜中にB-シリコン膜4およびシリコン膜5から脱離する物質を含んだガスを用いるのである。この構成を備えることにより、B-シリコン膜4およびシリコン膜5から脱離した物質を、パージ工程中に補給することができ、B-シリコン膜4およびシリコン膜5からの物質の脱離に起因した、表面ラフネスの精度の微妙な低下を抑制することができる。具体的には、水素を含んだ原料ガスを用いて成膜した場合には、パージガスとして水素を含むガスが用いられると良い。上記一実施形態においては、例えば、シラン系ガスを用いてB-シリコン膜4およびシリコン膜5を成膜し、パージガスとして水素ガスを用いている。

【0051】

このような工夫1を施した一実施形態によれば、異なった膜の成膜プロセスを繰り返し行っても、上層まで良好な表面ラフネスを維持することが可能な積層半導体膜の成膜方法を得ることができる。

【0052】

また、B-シリコン膜4およびシリコン膜5から脱離する物質を含んだガス、例えば、水素ガスを処理室に導入するタイミングであるが、ステップ2、ステップ4およびステップ6のパージ工程においてのみ導入するだけでも良いし、図4Aに示すように、ステップ2~ステップ6それぞれにおいて処理室内に導入する、あるいはステップ2~ステップ6にかけて処理室内に導入し続けるようにしても良い。例えば、ステップ3およびステップ5において、水素ガスを処理室内に導入していると、B-シリコン膜4を成膜してい

10

20

30

40

50

る段階、および シリコン膜 5 を成膜している段階から水素の脱離を抑制することができる。

【 0 0 5 3 】

また、図 4 B に示すように、例えば、 シリコン膜 5 を形成するステップ 5 においては、工程の当初、 シリコン膜 5 から脱離する物質を含んだガス、例えば、水素ガスを処理室内に導入せず、工程の途中から工程終了までの間のみ、処理室内に導入するようにしても良い。例えば、 シリコン膜 5 の成膜中に水素ガスが導入されると、水素ガスを導入しない場合に比較して成膜レートが落ちることがある。この点、水素ガスを、工程の途中から工程終了までの間、処理室内に導入するようにすることで、工程の全てで水素ガスを導入する場合に比較して、 シリコン膜 5 の成膜レートを向上させることができる。

10

【 0 0 5 4 】

さらに、工程の途中からであっても工程の終了までは、水素ガスを導入するので、 シリコン膜 5 の、特に露出面からの水素の脱離を防いだまま、 シリコン膜 5 の成膜レートを向上させることができる、という利点を得ることができる。導入を開始する工程の途中の一例としては、ステップ 5 の全工程時間の 1 / 2 の時間以降を挙げることができる。

【 0 0 5 5 】

なお、これらの工夫 1 に係る技術事項は、積層半導体膜の成膜方法として単独で実施することも可能であるし、積層半導体膜の成膜に限らず、単層の半導体膜の成膜にも応用可能な事項でもある。

【 0 0 5 6 】

20

(工夫 2)

2 つめは、ステップ 1 ~ ステップ 6 の工程それぞれにおける成膜温度を、B- シリコン膜 4 および シリコン膜 5 の結晶化温度未満とすることである。

【 0 0 5 7 】

成膜中に、B- シリコン膜 4 および シリコン膜 5 が結晶化してアモルファス状態から多結晶状態となると、結晶に由来した極微細な凹凸が膜の表面に生じる。膜の表面に生じた極微細な凹凸もまた、表面ラフネスの精度を微妙に低下させる。結晶化に起因する表面ラフネスの精度の微妙な低下についても、単層であれば許容できる範囲であるかもしれない。しかし、積層半導体膜は、工夫 1 でも述べたように、上層になるほど表面ラフネスの低下が増幅されてしまうので、やがては、設計マージンの範囲を超える大きな表面ラフネスの低下に発展する。

30

【 0 0 5 8 】

B- シリコン膜 4 および シリコン膜 5 の結晶化に起因した、表面ラフネスの精度の微妙な低下は、ステップ 1 ~ ステップ 6 の工程それぞれにおける成膜温度を、B- シリコン膜 4 および シリコン膜 5 の結晶化温度未満とすることで解消することができる。

【 0 0 5 9 】

このような工夫 2 から、異なった膜の成膜プロセスを繰り返し行っても、上層まで良好な表面ラフネスを維持することが可能な積層半導体膜の成膜方法が得られる、という利点を得ることができる。

【 0 0 6 0 】

40

結晶化する温度の具体的な値は、B- シリコン膜 4 にあっては約 5 3 0 、 シリコン膜 5 にあっては約 6 0 0 である。

【 0 0 6 1 】

したがって、B- シリコン膜 4 および シリコン膜 5 の結晶化温度未満とする上限値の具体的な温度は 5 3 0 である。

【 0 0 6 2 】

また、下限値の具体的な温度は、B- シリコン膜 4 および シリコン膜 5 の場合には、成膜レート、表面ラフネスなどの実用上の観点から、4 8 0 とされることが好ましい。

【 0 0 6 3 】

50

また、B- シリコン膜 4 および シリコン膜 5 の結晶化は、これら B- シリコン膜 4 および シリコン膜 5 に熱が加わっていることでも、ゆっくりと進行する。この点、一実施形態によれば、ステップ 3 とステップ 5 との相互間で温度を変更せず、ステップ 4 よびステップ 6 のパージ工程の時間が短縮されている。このため、積層半導体膜に加わるトータルの熱履歴を、パージ工程で温度を変更するような成膜方法に比較して、減らすことができる。

【0064】

このように積層半導体膜に加わるトータルの熱履歴を減らすことでも、積層半導体膜中の膜、本例では、B- シリコン膜 4 および シリコン膜 5 の結晶化を抑制することができる。

10

【0065】

さらに、B- シリコン膜 4 および シリコン膜 5 の結晶化を抑制できると、積層構造膜の、例えば、エッチングに関する加工性が良好となる、という利点も副次的に得ることができる。エッチングには面方位依存性がある。多結晶膜には、様々な配向の結晶が無数に存在する。積層構造膜中の膜が、もしも多結晶であったとすると、積層構造膜を貫通する孔を形成した際、孔の側面には結晶の配向に起因した微小な凹凸が生じる。孔の中を、ゲート電極やチャネル、あるいは電気的内部配線などを構成する導電体で埋め込んだ場合、孔の側面に生じた微小な凹凸によって、上記導電体の電気的な容量にばらつきが生じる。このような電気的な容量のばらつきは、半導体集積回路装置の性能を落とす要因となる。

20

【0066】

この点、トータルの熱履歴を減らし、熱に起因する結晶化の進行の抑制（一実施形態）、水素の脱離に起因する結晶化の抑制（工夫 1）、および結晶化温度未満で成膜することによる結晶化の抑制（工夫 2）をしている一実施形態によれば、積層構造膜中の膜を、アモルファスの状態を維持したまま成膜することができる。このため、積層構造膜を貫通する孔を形成した場合でも、孔の側面に微小な凹凸が生じることがない。このため、エッチングに関する加工性が良好となる。

【0067】

このように、B- シリコン膜 4 および シリコン膜 5 の結晶化を防ぐ工夫を施した一実施形態によれば、製造される半導体集積回路装置の、例えば、ゲート電極やチャネル、あるいは電気的内部配線導電体の電気的な容量にばらつきを生じ難くすることもでき、性能の良い半導体集積回路装置の製造に有利である、という利点についても得ることができる。

30

【0068】

（工夫 3）

3 つめは、積層半導体膜の成膜に先立ち、被処理体の下地上にシリコンシード層 3 を形成することである。

【0069】

シリコンシード層 3 を形成する狙いは、最も下層に形成される膜、一実施形態においては、B- シリコン膜 4 の表面ラフネスの精度の、さらなる向上にある。

40

【0070】

上記工夫 1、工夫 2 は、積層半導体膜の積層中における表面ラフネスの精度の低下を抑制することに関する。上層まで良好な表面ラフネスを維持するには、最も下層に形成される膜に対し、表面ラフネスの精度をさらに高めるような別の工夫を施しておくことが好ましい。なぜならば、積層半導体膜において、上層に積層される膜の表面ラフネスの精度は、その下層の膜の表面ラフネスの精度を超えることは困難である、と考えられるからである。このような観点から、最も下層に形成される膜の表面ラフネスの精度は、積層半導体膜中において、最も良好なものとしておくことが望ましい。

【0071】

一実施形態においては、最も下層にある B- シリコン膜 4 の表面ラフネスの精度を高

50

めるため、B- シリコン膜 4 を成膜する前に、下地の表面にシリコンシード層 3 を形成する。具体的には、下地の表面にシリコンを吸着させ、例えば、原子層レベルの薄いノンドーブシリコンからなるシリコンシード層 3 を形成する。そして、最も下層の膜、一実施形態においては、B- シリコン膜 4 をシリコンシード層 3 上に形成する。

【 0 0 7 2 】

このように、シリコンシード層 3 を形成しておくことによって、下地、例えば、シリコン酸化物膜 2 上においては、多結晶化しやすくなる B- シリコン膜 4 であったとしても、良好なアモルファス状態、かつ、良好な表面ラフネスをもってシリコン酸化物膜 2 の上方に成膜することができる。

【 0 0 7 3 】

したがって、最も下層の B- シリコン膜 4 の表面ラフネスの精度は、シリコンシード層 3 を形成しない場合に比較して、さらに向上する。しかも、B- シリコン膜 4 がアモルファス状態で形成されることで、B- シリコン膜 4 の上に形成されるシリコン膜 5 もまた、良好なアモルファス状態で形成しやすくなる。さらに、シリコン膜 5 の上に重ねて形成される第 2 層目の B- シリコン膜 4 は、下地によっては多結晶化しやすい膜ではあるが、下地が良好なアモルファス状態を持つシリコン膜 5 であれば、引き続き良好なアモルファス状態で形成することができるようになる。

【 0 0 7 4 】

このように、シリコンシード層 3 を形成し、最も下層の膜、一実施形態においては、第 1 層目の B- シリコン膜 4 の表面ラフネスの精度を、より高めておくことによって、上層に形成されていく第 1 層目のシリコン膜 5、第 2 層目の B- シリコン膜 4、第 2 層目のシリコン膜 5、...、の表面ラフネスの精度をより高めることができる。

【 0 0 7 5 】

なお、シリコンシード層 3 は薄く形成されれば良い。このため、シリコンシード層 3 を形成するための吸着処理ガスとしては、シラン系ガスを用いることができる。このようなシラン系ガスとしては、

- ・ SiH_4
 - ・ Si_2H_6
 - ・ $\text{Si}_m\text{H}_{2m+2}$ (ただし、 m は 3 以上の自然数) の式で表されるシリコンの水素化物
 - ・ Si_nH_{2n} (ただし、 n は 3 以上の自然数) の式で表されるシリコンの水素化物
- 等を挙げることができる。

【 0 0 7 6 】

また、上記 $\text{Si}_m\text{H}_{2m+2}$ の具体的な例としては、

- トリシラン (Si_3H_8)
- テトラシラン (Si_4H_{10})
- ペンタシラン (Si_5H_{12})
- ヘキサシラン (Si_6H_{14})
- ヘプタシラン (Si_7H_{16})

等を挙げることができる。

【 0 0 7 7 】

さらに、上記 Si_nH_{2n} の具体的な例としては、

- シクロトリシラン (Si_3H_6)
- シクロテトラシラン (Si_4H_8)
- シクロペンタシラン (Si_5H_{10})
- シクロヘキサシラン (Si_6H_{12})
- シクロヘプタシラン (Si_7H_{14})

等を挙げることができる。

【 0 0 7 8 】

しかも、シリコンシード層 3 は、原子層レベルの薄い膜厚で良いために、例えば、成膜

10

20

30

40

50

レートが速すぎ、膜厚が厚くなるにつれて表面ラフネスやステップカバレッジが悪化したようなシラン系ガスでも用いることができる。このため、シリコン吸着処理ガスとしては、例えば、B-シリコン膜4およびシリコン膜5の原料ガスとして用いられたシラン系ガスよりも、高次のシラン系ガスを用いることが可能である。具体的な例としては、B-シリコン膜4およびシリコン膜5の原料ガスとしてモノシラン(SiH_4)を用いた場合には、シリコンシード層3を形成するための吸着処理ガスとしてジシラン(Si_2H_6)を用いることである。ジシランはシリコン原料ガスとして、モノシランよりも成膜レートが速い物質として知られている。

【0079】

さらに、吸着処理ガスとしては、シラン系ガスの他、アミノシラン系ガスも用いることができる。

10

【0080】

アミノシラン系ガスの例としては、

B A S (ブチルアミノシラン)

B T B A S (ビスターシャリブチルアミノシラン)

D M A S (ジメチルアミノシラン)

B D M A S (ビスジメチルアミノシラン)

T D M A S (トリスジメチルアミノシラン)

D E A S (ジエチルアミノシラン)

B D E A S (ビスジエチルアミノシラン)

D P A S (ジプロピルアミノシラン)

D I P A S (ジイソプロピルアミノシラン)

20

等を挙げることができる。

【0081】

アミノシラン系ガスを用いてシリコンシード層3を形成した場合の第1の利点としては、シリコンシード層3上に形成される膜のインキュベーション時間を短縮することができる。積層半導体膜中の膜の薄膜化を促進できることである。上記一実施形態では、B-シリコン膜4の薄膜化、およびシリコン膜5の薄膜化を促進できる。B-シリコン膜4およびシリコン膜5の薄膜化を促進できると、多数のB-シリコン膜4およびシリコン膜5が積層されつつも、高さ方向に、よりコンパクトな積層半導体膜を得ることができる。

30

【0082】

また、第2の利点としては、シラン系ガスよりも、アミノシラン系ガスを用いて形成したシリコンシード層3上に形成された膜の方が、ステップカバレッジが良いことである。このため、積層半導体膜を、例えば、段差がある下地上に形成する場合には、シリコンシード層3を形成するための吸着処理ガスとして、アミノシラン系ガスが選ばれることが良い。

【0083】

なお、これらの工夫3に係る技術事項についても、積層半導体膜の成膜方法として単独で実施することも可能であるし、積層半導体膜の成膜に限らず、単層の半導体膜の成膜にも応用可能な事項でもある。

40

【0084】

(成膜装置1)

次に、一実施形態に係る積層半導体膜の成膜方法を実施することが可能な縦型バッチ式成膜装置の第1例を説明する。

【0085】

図5は、第1例に係る縦型バッチ式成膜装置を概略的に示す縦断面図である。

【0086】

図5に示すように、第1例に係る縦型バッチ式成膜装置(以下成膜装置という)100aは、有天井の円筒体状の外壁101と、外壁101の内側に設けられ、円筒状の内壁1

50

02とを備えている。外壁101および内壁102は、例えば、石英製であり、内壁102の内側を、被処理体、本例では複数のシリコン基板1を収容し、収容された複数のシリコン基板1に対して一括した成膜処理を施す処理室103とする。処理室103の内部において、上記一実施形態において説明した積層半導体膜の成膜方法が、複数のシリコン基板1に対し、一括して実施される。外壁101と内壁102とは環状空間104を隔てつつ水平方向X沿って互いに離れており、各々の下端部において互いに接合されている。また、内壁102の上端部は、外壁101との天井部から離隔されており、処理室103の上方が環状空間104に連通されるようになっている。処理室103の上方に連通される環状空間104は排気路となる。処理室103に供給され、拡散されたガスは、処理室103の下方から処理室103の上方へと流れて、環状空間104に吸引される。環状空間104の、例えば、下端部には排気管105が接続されており、排気管105は、排気装置106に接続されている。排気装置106は図示せぬ真空ポンプ等を含んで構成され、処理に使用したガスを処理室103の内部から排気し、また、処理室103の内部の圧力を処理に適切な圧力となるように調節する。

10

【0087】

外壁101の外側には、加熱装置107が、処理室103の周囲を取り囲むように設けられている。加熱装置107は、処理室103の内部の温度を処理に適切な温度となるように調節し、被処理体、本例では複数のシリコン基板1を加熱する。

【0088】

外壁101および内壁102の下端部は開口となっている。この開口には、例えば、ステンレススチールにより円筒体状に成形されたマニホールド108がリング等のシール部材109を介して連結されている。マニホールド108は外壁101および内壁102の下端部を支持している。マニホールド108の下端部は開口となっており、この開口を介してポート110が処理室103の内部に挿入される。ポート110は、例えば、石英製であり、複数本の支柱111を有している。支柱111には、図示せぬ溝が形成されており、この溝により、複数枚の被処理体が一度に支持される。これにより、ポート110は、被処理体として複数枚、例えば、50～150枚のシリコン基板1を多段に載置することができる。複数のシリコン基板1を載置したポート110が、処理室103の内部に挿入されることで、処理室103の内部には、複数のシリコン基板1が収容され、複数のシリコン基板1それぞれに対して一括したバッチ処理による成膜処理が行なわれる。

20

30

【0089】

ポート110は、石英製の保温筒112を介してテーブル113の上に載置される。テーブル113は、例えば、ステンレススチール製の蓋部114を貫通する回転軸115上に支持される。蓋部114は、マニホールド108の下端部の開口を開閉する。蓋部114の貫通部には、例えば、磁性流体シール116が設けられ、回転軸115を気密にシールしつつ回転可能に支持している。また、蓋部114の周辺部とマニホールド108の下端部との間には、例えば、リングよりなるシール部材117が介設され、処理室103の内部のシール性を保持している。回転軸115は、例えば、ポートエレベータ等の昇降機構（図示せず）に支持されたアーム118の先端に取り付けられている。これにより、ウエハポート110および蓋部114等は、一体的に鉛直方向Zに昇降されて処理室103に対して挿脱される。

40

【0090】

成膜装置100aは、処理室103の内部に、処理に使用するガスを供給する処理ガス供給機構120、及び処理室103内にパージガスを供給するパージガス供給機構121を有している。

【0091】

本例の処理ガス供給機構120は、シード層用吸着処理ガス供給源120a、シリコン原料ガス供給源120b、およびドーパントガス供給源120cを含んでいる。吸着処理ガスの一例はジシランガス、シリコン原料ガスの一例はモノシランガス、およびドーパントガスの一例は三塩化ホウ素ガスである。

50

【 0 0 9 2 】

シード層用吸着処理ガス供給源 1 2 0 a は、流量制御器 (M F C) 1 2 2 a および開閉弁 1 2 3 a を介してガス供給口 1 2 4 a に接続されている。ガス供給口 1 2 4 a は、マニホールド 1 0 8 の側壁に、マニホールド 1 0 8 の内側に向けて水平方向 X に沿って貫通するように設けられている。ガス供給口 1 2 4 a は、マニホールド 1 0 8 の内部にガスを供給し、さらに、供給されたガスを、マニホールド 1 0 8 の上方にある処理室 1 0 3 の内部に向けて拡散させる。

【 0 0 9 3 】

シリコン原料ガス供給源 1 2 0 b は、流量制御器 (M F C) 1 2 2 b および開閉弁 1 2 3 b を介して、上記ガス供給口 1 2 4 a に接続されている。これにより、図 1 に示したステップ 1 のシード層を形成する工程の際、ガス供給口 1 2 4 a はシード層用吸着処理ガスをマニホールド 1 0 8 の内部に供給し、同じく図 1 に示したステップ 3 およびステップ 5 の第 1、第 2 の半導体膜を形成する工程の際、シリコン原料ガスをマニホールド 1 0 8 の内部に供給する。

10

【 0 0 9 4 】

ドーパントガス供給源 1 2 0 c は、流量制御器 (M F C) 1 2 2 c および開閉弁 1 2 3 c を介してガス供給ノズル 1 2 5 a ~ 1 2 5 e に接続されている。ガス供給ノズル 1 2 5 a ~ 1 2 5 e は、マニホールド 1 0 8 の側壁に、マニホールド 1 0 8 の内側に向けて水平方向 X に沿って貫通し、さらに、マニホールド 1 0 8 の内側において屈曲し、処理室 1 0 3 の内部に向けて鉛直方向 Z に沿って垂直に延びるように設けられている。

20

【 0 0 9 5 】

本例のパージガス供給機構 1 2 1 は、パージガス供給源 1 2 1 a を含んでいる。パージガスの一例は水素ガスである。

【 0 0 9 6 】

パージガス供給源 1 2 1 a は、流量制御器 (M F C) 1 2 2 d および開閉弁 1 2 3 d を介してガス供給口 1 2 4 b に接続されている。ガス供給口 1 2 4 b は、ガス供給口 1 2 4 a と同様にマニホールド 1 0 8 の側壁に、マニホールド 1 0 8 の内側に向けて水平方向 X に沿って貫通するように設けられている。ガス供給口 1 2 4 b は、ガスをマニホールド 1 0 8 の内部に供給し、供給したガスをマニホールド 1 0 8 上方にある処理室 1 0 3 の内部に向けて拡散させる。

30

【 0 0 9 7 】

成膜装置 1 0 0 a には制御部 1 3 0 が接続されている。制御部 1 3 0 は、例えば、マイクロプロセッサ (コンピュータ) からなるプロセスコントローラ 1 3 0 a を備えており、成膜装置 1 0 0 a の各構成部の制御は、プロセスコントローラ 1 3 0 a が行う。プロセスコントローラ 1 3 0 a には、ユーザーインターフェース 1 3 0 b と、記憶部 1 3 0 c とが接続されている。

【 0 0 9 8 】

ユーザーインターフェース 1 3 0 b は、オペレータが成膜装置 1 0 0 a を管理するためにコマンドの入力操作等を行うためのタッチパネルディスプレイやキーボードなどを含む入力部、および成膜装置 1 0 0 a の稼働状況を可視化して表示するディスプレイなどを含む表示部を備えている。

40

【 0 0 9 9 】

記憶部 1 3 0 c は、成膜装置 1 0 0 a で実行される各種処理をプロセスコントローラ 1 3 0 a の制御にて実現するための制御プログラムや、成膜装置 1 0 0 a の各構成部に処理条件に応じた処理を実行させるためのプログラムを含んだ、いわゆるプロセスレシピが格納される。プロセスレシピは、記憶部 1 3 0 c の中の記憶媒体に記憶される。記憶媒体は、ハードディスクや半導体メモリであってもよいし、C D - R O M、D V D、フラッシュメモリ等の可搬性のものであってもよい。また、プロセスレシピは、他の装置から、例えば専用回線を介して適宜伝送させるようにしてもよい。

【 0 1 0 0 】

50

プロセスレシピは、必要に応じてユーザインターフェース130bからのオペレータの指示等にて記憶部130cから読み出され、読み出されたプロセスレシピに従った処理をプロセスコントローラ130aが実行することで、成膜装置100aは、プロセスコントローラ130aの制御のもと、要求された処理を実行する。本例では、成膜装置100aは、プロセスコントローラ130aの制御のもと、上記一実施形態において説明した積層半導体膜の成膜方法に従った処理を実行する。

【0101】

図6は、第1例に係る成膜装置100aからポート110を取り出した状態を示す縦断面図である。なお、図6中には、ガスの流れを点線の矢印で示し、加熱装置107に持たせる温度勾配の一例を図中左側に示す。

10

【0102】

図6に示すように、成膜装置100aの処理室103の内部は、複数のゾーン、本例ではマニホールド108側から順番に、“B(ボトム)”、“BC(ボトム-センター)”、“C(センター)”、“TC(トップ-センター)”および“T(トップ)”の5つのゾーンに区分けされている。ガス供給ノズル125a~125eはそれぞれ、5つのゾーンB、BC、C、TCおよびTの各々に向けてドーパントガスを吐出する。ガス供給ノズル125a~125eのガス吐出口は上端部にあり、ドーパントガスは、ガス供給ノズル125a~125eの上端部から鉛直方向Zに向かって吐出される。このため、ガス供給ノズル125a~125eの高さは各々異なっており、ガス供給ノズル125aはゾーンBの下方まで、ガス供給ノズル125bはゾーンBCの下方まで、ガス供給ノズル125cはゾーンCの下方まで、ガス供給ノズル125dはゾーンTCの下方まで、ガス供給ノズル125eはゾーンTの下方まで、とされている。

20

【0103】

例えば、ドーパントガスについては、処理室103の内部を複数のゾーンに区分けし、ゾーン毎にガス供給ノズル125a~125eを介してドーパントガスを供給する。このような工夫をすることで、処理室103の最も下方に配置されたシリコン基板1から、処理室103の最も上方に配置されたシリコン基板1まで、例えば、ドーパントを含有した半導体膜、本例では、B-シリコン膜4をドーパントの濃度を均一にして成膜することが可能となる。

【0104】

また、シリコン原料ガスについては、ガス供給口124aを介してマニホールド108の内側から処理室103の下方に供給し、処理室103の下方から上方に向かって拡散させる。この場合には、処理室103の下方から上方にかけてシリコン原料ガスが消費されていくので、処理室103の上方においては、処理室103の下方に比較して成膜反応が鈍くなる。このため、第1例に係る成膜装置100aにおいては、加熱装置107として、処理室103の内部に温度勾配をつけることが可能な加熱装置107を用いる。そして、図6中に示すように、処理室103の下方においては温度を低く、処理室103の上方に向かうに従って温度を高くする。このように、処理室103の内部には、処理室103のシリコン原料ガスが供給される下方から、処理室103の上方に向かって温度が高くなる温度分布を持たせる。この構成を備えることで、処理室103の最も下方に配置されたシリコン基板1から、処理室103の最も上方に配置されたシリコン基板1まで、例えば、ドーパントを含有した半導体膜およびノンドープの半導体膜、本例では、B-シリコン膜4およびシリコン膜5の膜厚を均一にして成膜することができる。

30

40

【0105】

また、処理室103の内部に温度勾配を持たせることが可能な加熱装置107の一例としては、内蔵されるヒーターを、例えば、分散型とし、分散されたヒーターをそれぞれ個別に温度調節可能に構成したものなどを挙げることができる。

【0106】

また、加熱装置107に温度勾配を持たせた後は、ステップ1~ステップ6の相互間でその温度勾配を変化させない。これにより、例えば、ステップ2、ステップ4およびステ

50

ップ6における工程時間の短縮を実現することができる。

【0107】

温度勾配の一例であるが、例えば、成膜温度として500 を選択した場合には、シリコン原料ガスの供給箇所にもっとも近い箇所において450～475、シリコン原料ガスの供給箇所からもっとも遠い箇所において525～550、もっとも近い箇所ともっとも遠い箇所との中間の箇所において500 とすることを挙げることができる。例えば、このようにシリコン原料ガスの供給箇所にもっとも近いゾーンBともっとも遠いゾーンTとの間において、選択した成膜温度から±5～10%の温度勾配がつけられると、バッチ処理により成膜される複数のB-シリコン膜4およびシリコン膜5の各膜の膜厚の均一性の向上に有用であろう。

10

【0108】

(成膜装置2)

次に、一実施形態に係る積層半導体膜の成膜方法を実施することが可能な縦型バッチ式成膜装置の第2例を説明する。

【0109】

図7は第2例に係る縦型バッチ式成膜装置を概略的に示す縦断面図である。

【0110】

図7に示すように、第2例に係る縦型バッチ式成膜装置(以下成膜装置という)100bが、第1例に係る成膜装置100aと、特に異なっているところは、ガス供給ノズルを、分散型ガス供給ノズル225としたこと、内壁102を設けず、外壁101の内側の領域を処理室103としたこと、および排気管105を、マニホールド108の側壁にマニホールド108の内部に向けて水平方向Xに沿って貫通させ、排気を処理室103の下方にあるマニホールド108の部分から行うようにしたことである。分散型ガス供給ノズル225は、マニホールド108の側壁に、マニホールド108の内側に向けて水平方向Xに沿って貫通し、さらに、マニホールド108の内側において屈曲し、処理室103の内部に向けて鉛直方向Zに沿って垂直に延びるように設けられている。分散型ガス供給ノズル225は、複数のガス吐出孔226を有しており、複数のガス吐出孔226は各々、処理室103に複数配置された被処理体の被処理面、本例ではシリコン基板1の被処理面のそれぞれに対して直接にガスを供給する。

20

【0111】

図8は図7中の8-8線に沿う水平断面図、図9は、第2例に係る成膜装置100bからポート110を取り出した状態を示す縦断面図である。図9中には、ガスの流れを点線の矢印で示す。

30

【0112】

図8および図9に示すように、本例の分散型ガス供給ノズル225は、処理室103の内部に複数本設けられる。本例では、一例として合計9本の分散型ガス供給ノズル225a～225iが設けられている。

【0113】

分散型ガス供給ノズル225a、225dおよび225gには、吸着処理ガス、本例ではジシランガスが、シード層用吸着処理ガス供給源120aから流量制御器(MFC)122aおよび開閉弁123aを介して供給される。また、分散型ガス供給ノズル225a、225dおよび225gには、吸着処理ガスの他、シリコン原料ガス、本例ではモノシランガスが、シリコン原料ガス供給源120bから流量制御器(MFC)122bおよび開閉弁123bを介して供給される(図7参照)。

40

【0114】

分散型ガス供給ノズル225c、225fおよび225iには、ドーパントガス、本例では三塩化ホウ素ガスが、ドーパントガス供給源120cから流量制御器(MFC)122cおよび開閉弁123cを介して供給される(図7参照)。

【0115】

さらに、分散型ガス供給ノズル225b、225eおよび225hには、パージガス、

50

本例では水素ガスが、パージガス供給源 1 2 1 a は、から流量制御器 (M F C) 1 2 2 d および開閉弁 1 2 3 d を介して供給される (図 7 参照) 。

【 0 1 1 6 】

このようにして、本例では、処理室 1 0 3 に複数配置された被処理体の被処理面の各々、本例ではシリコン基板 1 の被処理面の各々に対して、吸着処理ガス、シリコン原料ガスドーパントガス、およびパージガスをそれぞれ直接に供給する。本例では、吸着処理ガス、シリコン原料ガスおよびパージガスが、シリコン基板 1 の被処理面の各々に対して平行に、即ち水平方向 X に沿って供給される。そして、これらのガスが、シリコン基板 1 の被処理面の上方を通過した後は、処理室 1 0 3 の下方にあるマニホールド 1 0 8 側に向かって向きを変え、鉛直方向 Z に沿って流れ、排気管 1 0 5 を通じて排気されていく。

10

【 0 1 1 7 】

このように、シリコン基板 1 の被処理面の各々に対して、吸着処理ガス、シリコン原料ガスおよびパージガスをそれぞれ直接に供給する構成を備えることで、処理室 1 0 3 の最も下方に配置されたシリコン基板 1 から、処理室 1 0 3 の最も上方に配置されたシリコン基板 1 まで、例えば、ドーパントを含有した半導体膜およびノンドープの半導体膜、本例では、B-シリコン膜 4 およびシリコン膜 5 の膜厚を均一にして成膜することができる。

【 0 1 1 8 】

また、B-シリコン膜 4 にあっては、ドーパントの濃度を、処理室 1 0 3 の最も下方に配置されたシリコン基板 1 から、処理室 1 0 3 の最も上方に配置されたシリコン基板 1

20

まで均一にすることができる。図 9 中の左側に加熱装置 1 0 7 に持たせる温度分布を示す。

【 0 1 1 9 】

また、第 2 例に係る成膜装置 1 0 0 b においては、シリコン基板 1 の被処理面の各々に対して、吸着処理ガス、シリコン原料ガス、ドーパントガスおよびパージガスをそれぞれ直接に供給するので、加熱装置 1 0 7 の温度分布としては、第 1 例に係る成膜装置 1 0 0 a で行った温度勾配をもたせる必要は必ずしもなくなる。このため、図 9 に示すように、加熱装置 1 0 7 の一端から他端まで温度をフラットとし、処理室 1 0 3 のマニホールド 1 0 8 側の下端から処理室 1 0 3 の天井側の他端に向かって温度が一定となる温度分布を持たせて、積層半導体膜の成膜を行うことができる。

30

【 0 1 2 0 】

加熱装置 1 0 7 の全体に渡ってフラットな温度分布を持たせた後は、ステップ 1 ~ ステップ 6 の相互間でその温度分布を変化させない。これにより、例えば、ステップ 2、ステップ 4 およびステップ 6 における工程時間の短縮を実現することができる。

【 0 1 2 1 】

さらに、本例では、成膜装置 1 0 0 b の処理室 1 0 3 の内部が、複数のゾーン、本例ではマニホールド 1 0 8 側から順番に、“ B (ボトム) ”、“ C (センター) ” および “ T (トップ) ” の 3 つのゾーンに区分けされている。分散型ガス供給ノズル 2 2 5 a ~ 2 2 5 i はそれぞれ、上段のゾーン T 用 (2 2 5 a ~ 2 2 5 c)、下段のゾーン B 用 (2 2 5 d ~ 2 2 5 f) および中段のゾーン C 用 (2 2 5 g ~ 2 2 5 i) に分けられている。分散型ガス供給ノズル 2 2 5 a ~ 2 2 5 i をゾーン毎に分けることで、分散型ガス供給ノズル 2 2 5 の一本当たりに形成されるガス吐出孔 2 2 6 の数を減らすことができる。

40

【 0 1 2 2 】

さらに、ガス吐出孔 2 2 6 の数が減るとともに、分散型ガス供給ノズル 2 2 5 の側壁のうち、ガス吐出孔 2 2 6 が形成されている部分の長さ L を短くすることもできる。分散型ガス供給ノズル 2 2 5 において、ガス吐出孔 2 2 6 の数を減らし、かつ、ガス吐出孔 2 2 6 が形成されている部分の長さ L を短くすることで、複数のガス吐出孔 2 2 6 のうち、ガスが供給される供給箇所にもっと近いところからのガス吐出量と、最も遠いところからのガス吐出量とをほぼ均等にすることができる。この構成をさらに備えると、本例では B-シリコン膜 4 およびシリコン膜 5 の膜厚を、処理室 1 0 3 の最も下方に配置されたシリ

50

コン基板 1 から、処理室 103 の最も上方に配置されたシリコン基板 1 まで、さらに均一にして成膜することが可能となる。そして、B- シリコン膜 4 にあつては、ドーパントの濃度を、処理室 103 の最も下方に配置されたシリコン基板 1 から、処理室 103 の最も上方に配置されたシリコン基板 1 まで、さらに均一にすることが可能となる。

【0123】

以上、この発明を一実施形態に従って説明したが、この発明は、上記一実施形態に限定されることは無く、その趣旨を逸脱しない範囲で種々変形可能である。また、この発明の実施形態は、上記一実施形態が唯一のものでもない。

【0124】

例えば、上記一実施形態においては、ステップ 1 ~ ステップ 6 の工程それぞれにおける処理温度を同一とし、そして、ステップ 1 ~ ステップ 6 の工程相互間で温度を一定とした。しかし、ステップ 1 およびステップ 2 については、成膜当初に一回だけある工程であり、繰り返されることがない。このため、ステップ 1、又はステップ 1 とステップ 2 については、シード層の形成に適切な温度となるように変更されても良い。これらの場合には、ステップ 2 ~ ステップ 6 の工程それぞれにおける処理温度を同一とし、そして、ステップ 2 ~ ステップ 6 の工程相互間で温度を一定とする。又はステップ 3 ~ ステップ 6 の工程それぞれにおける処理温度を同一とし、そして、ステップ 3 ~ ステップ 6 の工程相互間で温度を一定とする。

10

【0125】

また、下地として、シリコン酸化物膜 2 を例示したが、下地は、シリコン酸化物膜 2 に限られるものではない。例えば、シリコン窒化膜であっても良いし、多結晶シリコン膜であっても、シリコン基板であってもよい。もちろん、タングステンや銅などの内部配線層を構成するような金属膜であってもよい。さらには、キャパシタなどの誘電体膜として使用されるようなタンタル酸化物膜などシリコン酸化物膜よりも高い比誘電率を持つ誘電体膜であってもよい。

20

その他、この発明はその要旨を逸脱しない範囲で様々に変形することができる。

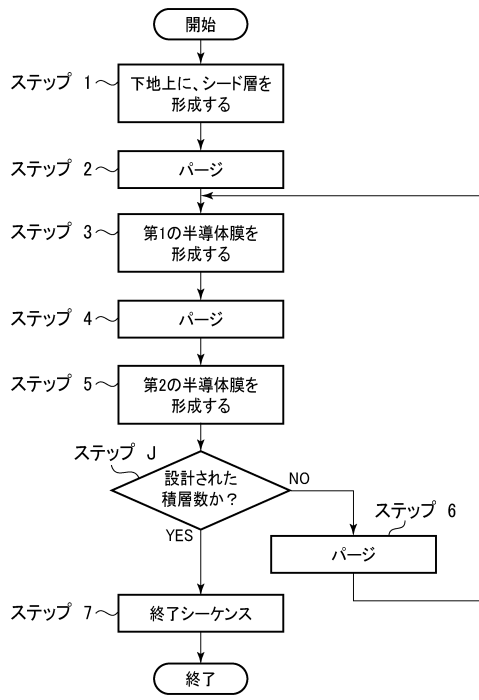
【符号の説明】

【0126】

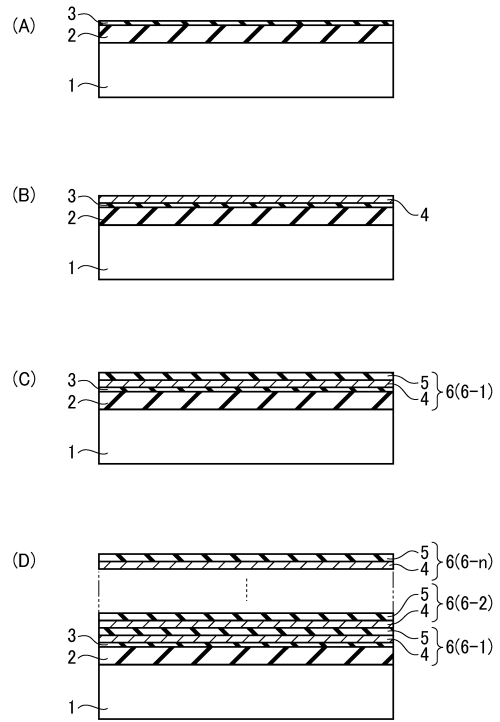
1 ...シリコン基板、2 ...シリコン酸化物膜、3 ...シリコンシード層、4 ...ボロンドープトアモルファスシリコン膜、5 ...ノンドープトアモルファスシリコン膜、6 (6-1 ~ 6-n) ...積層構造。

30

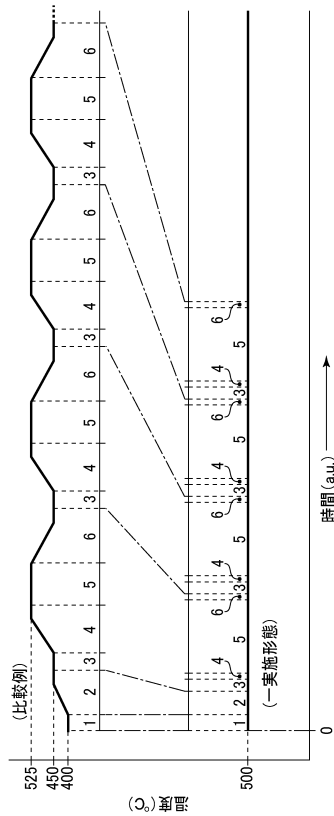
【 図 1 】



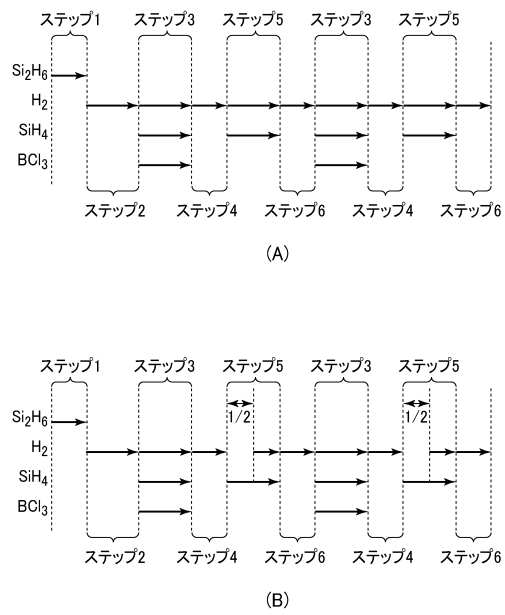
【 図 2 】



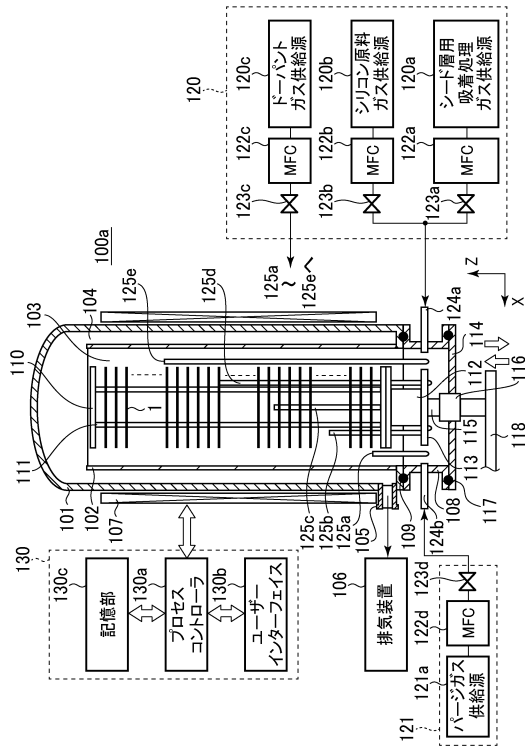
【 図 3 】



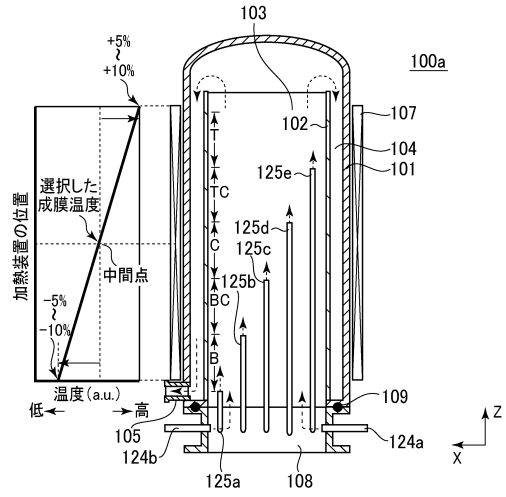
【 図 4 】



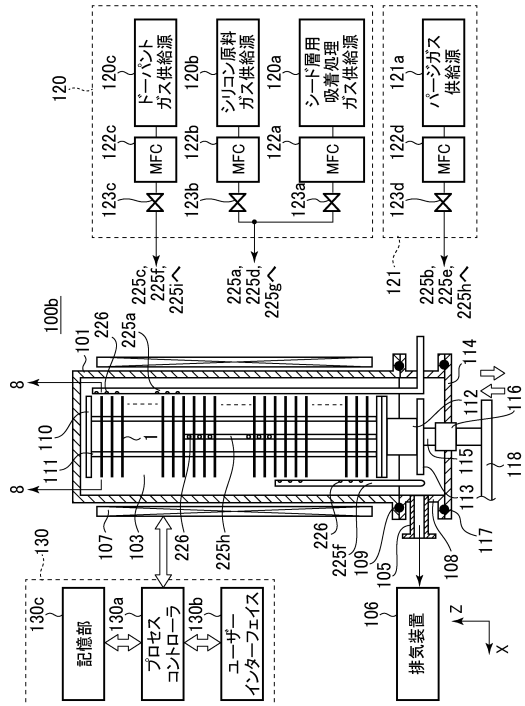
【図5】



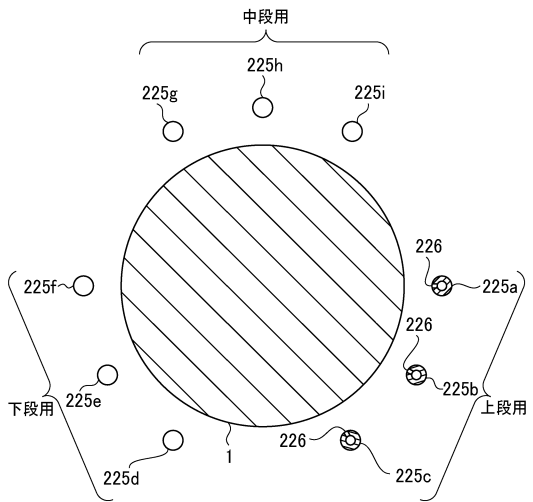
【図6】



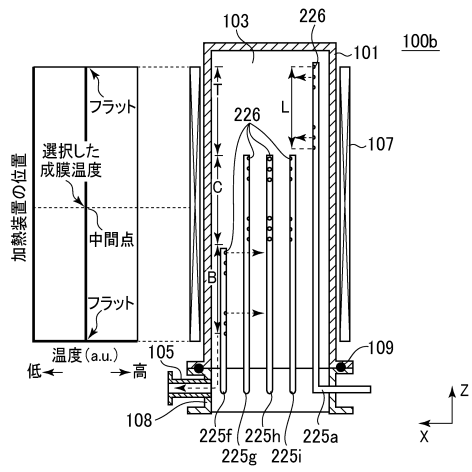
【図7】



【図8】



【図9】



フロントページの続き

(56)参考文献 特開平06-275538(JP,A)
国際公開第2007/040183(WO,A1)
特開2011-249764(JP,A)

(58)調査した分野(Int.Cl., DB名)
H01L 21/205
C23C 16/24