



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

249 574

(11) (B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 08 11 84
(21) PV 8489-84

(51) Int. Cl.⁴

H 03 K 21/10

(40) Zveřejněno 13 06 85
(45) Vydáno 01 11 88

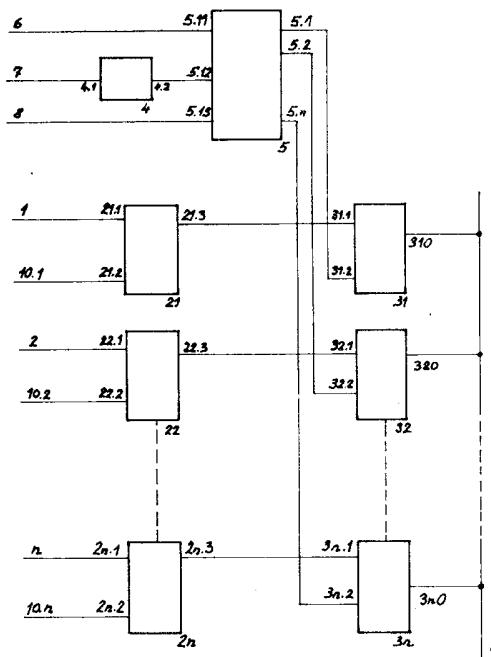
(75)
Autor vynálezu

HRUŠKA FRANTIŠEK ing., GOTTWALDOV,
KOVÁŘ JOSEF ing., VIZOVICE,
DANĚK ZDENĚK, KROMĚŘÍŽ,
ZIKOS DIMITRIJ, CHRO PYNĚ
PLACHÝ JAROSLAV, KROMĚŘÍŽ,
VEČERKA JAN, CHROPYNĚ

(54)

Zapojení řízené mnohokanálové vyhodnocovací jednotky

Řešení se týká zapojení mnohokanálové vyhodnocovací jednotky pro přírůstkové zpracování impulzních signálů k vyhodnocování měřených veličin. Účelem řešení je odstranit složitost a náročnost při spojení s řídicími počítači. Účelu se dosáhne zapojením vodičů (1), (2) až (n) vedoucích upravené signály od impulzních snímačů na první výstupy (21.1, 22.1 až 2n) číslicových čítačů (21, 22 až 2n). Jejich řízení se uskutečňuje přes vstupy (21.1, 22.1 až 2n.1). Výstupy jsou přivedeny na první vstupy číslicových prepínačů (31, 32 až 3n). Výstupy 310, 320, 3n0 z těchto číslicových prepínačů jsou paralelně spojeny na sběrnice vedení (9). Řídicí logický obvod (5) má na svých vstupech (5.11, 5.12, 5.13) připojeny v uvedeném pořadí datové sběrnice výstupní vedení (6), výstup dekodéru (4) adresy na jehož vstup (4.1) je zapojeno adresové sběrnice vedení (7) a řídicí sběrnice vedení (8). Výstupy (5.1, 5.2 až 5n) z řídicího logického obvodu (5) jsou spojeny s druhými vstupy číslicových prepínačů (31, 32 až 3n).



Vynález se týká zapojení mnohakanálové vyhodnocovací jednotky pro přírůstková zpracování impulsních signálů zejména pro vyhodnocování polohy úhlu a rychlosti otáčení, počtu otáčení, rychlostních a délkových parametrů posuvu, přítoku a množství objemových veličin, výkonů, příkonů a spotřeby.

Při vyhodnocování impulsních signálů u měření elektrických a technologických veličin se s výhodou uplatňují metody přírůstkového zpracování. Impulsní signály mají frekvenci úměrnou rychlosti otáčení, počtu otáčení, posuvu, průtoku objemových veličin, výkonů, příkonů, okamžité spotřeby a počet jejich změn je úměrný poloze, úhlu otáčení, délkovým parametrům posuvu, množství objemových veličin nebo spotřeby. Zdrojem signálů jsou různé typy impulsních snímačů. Nejčastěji se používají snímače s principem fotoelektrickým, dále induktivním nebo pneumatickým se snímáním dotykovým nebo bezdotykovým.

Přírůstková zpracování impulsních signálů na elektrické nebo technologické veličiny se provádí buď v jednotkách číslicových čítačů nebo v systémech vstupních stran řídicích počítačů.

Všechna tato dosavadní známá zapojení se vyznačují ovšem složitostí a některými omezeními. Složitost navíc roste při spojení jednotek číslicových čítačů s řídicími počítači. Oddělená jednotka číslicových čítačů jednak obsahuje opakovaně mnoho obvodů nutných pro činnosti a řízení režimu a obsahuje složité a citlivé kabelové spojení. Způsob realizace dosavadních zapojení vyžaduje také výkonný samostatný napájecí zdroj a velký zástavný prostor. Velkým nedostatkem spojeným se složitostí je nespolehlivost a poruchovost, náročnost na servis a problematika zálohování napájení při výpadku sítě.

Vyhodnocování impulsních signálů přímo přes vstupní stranu řídicích počítačů pomocí programovacích prostředků má značné omezení frekvenční a časové a dále omezení maximálního počtu možných připojení kanálů vstupních signálů.

Nedostatky dosud známých řešení odstraňuje zapojení řízené mnohakanálové vyhodnocovací jednotky pro přírůstková zpracování impulsních signálů zejména pro vyhodnocování polohy, úhlu a rychlosti otáčení, počtu otáčení, rychlosti a délkových parametrů posuvu pásových materiálů, objemu, okamžitých průtoků a množství, výkonů, příkonů, spotřeby a možností přímého zapojení na počítačové systémy.

Podstata vynálezu spočívá v takovém vnitřním a vnějším zapojení řídicího logického obvodu, dekodery adresy číslicových čítačů a číslicových přepínačů, že na první vstup řídicího logického obvodu je zapojeno datové sběrníkové výstupní vedení, na druhý vstup řídicího logického obvodu je zapojen výstup dekodery adresy, na jehož vstup je napojeno adresové sběrníkové vedení, na třetí vstup řídicího logického obvodu je zapojeno řídicí sběrníkové vedení, přičemž první výstup řídicího logického obvodu je zapojen na druhý vstup prvního číslicového přepínače, druhý výstup řídicího logického obvodu je zapojen na druhý vstup druhého číslicového přepínače a n-tý výstup řídicího logického obvodu je zapojen na druhý výstup n-tého číslicového přepínače, přičemž první vstup prvního číslicového přepínače je spojen s výstupem prvního číslicového čítače, první vstup druhého číslicového přepínače je spojen s výstupem druhého číslicového čítače, první vstup n-tého číslicového přepínače je spojen s výstupem n-tého číslicového čítače, přičemž první číslicový čítač má na první vstup zapojen vodič impulsních signálů prvního měřeného kanálu a na druhý vstup prvního číslicového čítače je zapojen vodič řízení režimu číslicového čítače prvního kanálu, druhý číslicový čítač má na první vstup zapojen vodič impulsních signálů druhého měřeného kanálu a na druhý vstup druhého číslicového čítače je zapojen vodič řízení režimu číslicového čítače druhého kanálu

a n-tý číslicový čítač má na první vstup zapojen vodič impulsních signálů n-tého měřeného kanálu a na druhý vstup n-tého číslicového čítače je zapojen vodič pro řízení režimu n-tého číslicového čítače n-tého kanálu, přičemž výstupy z číslicových přepínačů jsou paralelně spojeny s datovým vstupním sběrníkovým vedením.

Zapojení umožňuje velkou integraci a tím se mnohonásobně sníží zástavný prostor. Mnohakanálová vyhodnocovací jednotka může být součástí počítače. Zálohové napájení z baterií při zapojení podle vynálezu je velmi jednoduše realizovatelné a zabezpečuje zachování dat nebo funkcí čítačů a při výpadku síťového napájení.

Příklad konkrétního zapojení je schematicky nakreslen na obrázku.

Vstupní signály, vedené vodiči 1, 2 až n od impulsních snímačů, jsou amplitudově a frekvenčně upravené na posloupnost elektrických impulsů v konkrétním příkladě na úroveň "TTL" logiky a vstupují na první vstupy obvodů číslicových čítačů. Vodič 1 je zapojen na vstup 21.1 prvního číslicového čítače 21, vodič 2 je zapojen na vstup 22.1 druhého číslicového čítače 22 až vodič n je zapojen na vstup 2n.1 posledního číslicového čítače 2n. Obvody číslicových čítačů jsou v příkladném zapojení realizované integrovanými obvody číslicových čítačů CMOS s možností řízení režimu činnosti.

Řízení činnosti se uskutečňuje přes vedení 10.1, 10.2 až 10.n na odpovídajících vstupech 21.2, prvního číslicového čítače 21 druhého číslicového čítače 22 až 2n.2 posledního číslicového čítače 2n.

Je možnost nastavovat režim čítací vpřed, vzad v kódu binárním nebo binárně dekadickém.

Výstupy číslicových čítačů jsou paralelně spojeny se vstupy číslicových přepínačů. Jednotlivé výstupy představují 12-ti bitové paralelní vedení pro každý vstupní signál. Výstup 21.3 z prvního číslicového čítače 21 je spojen se vstupem 31.1 prvního číslicového přepínače 31. Výstup 22.3 z druhého číslicového čítače 22

je spojen se vstupem 32.1 druhého číslicového přepínače 22, až na výstup 2n.3 z posledního číslicového čítače 2n je spojen se vstupem 3n.1 posledního číslicového přepínače 3n. Číslicové 12 bitové binární přepínače s otevřenými kolektorovými výstupy umožňující jejich paralelní spojení přímo na sběrnice datové vedení 9 které je součástí systému pro automatické pořizování informací a umožňuje další spojení s centrální jednotkou řídicího počítače.

Vlastní řízení výběru číslicového přepínání se provádí výstupy 5.1, 5.2 až 5.n řídicího logického obvodu 5. Výstup 5.1 je spojen se vstupem 31.2 prvního číslicového přepínače 31 a uvolňuje výstup z prvního číslicového čítače 21 na sběrnice datové vedení 9. Výstup 5.2 je spojen se vstupem 32.2 druhého číslicového přepínače 32 a uvolňuje výstup z druhého číslicového čítače 22 na sběrnice datové vedení 9.

Obdobně až výstup 5.n je spojen se vstupem 3n.2 posledního číslicového přepínače 3n a uvolňuje výstup z posledního číslicového čítače 2n na sběrnici 9.

Výstupy 5.1, 5.2 až 5.n jsou vytvářeny v řídicím logickém obvodu 5 podle hodnot úrovně datového sběrnice datové vedení 6 na vstupu 5.11, výstupu 4.2 dekodéru 4 adresy na vstupu 5.12 podle adresového sběrnice datové vedení 7 na jeho vstupu 4.1 a řídicího sběrnice datové vedení 8 na vstupu 5.13.

Obvody řízené mnohakanálové vyhodnocovací jednotky podle vynálezu a příkladného zapojení jsou jako celek vřazeny mezi snímače elektrických nebo technických veličin a vstupní stranu řídicího počítače systému pro automatické pořizování informací. Vstupní impulsní signály průběžně vstupují do číslicových čítačů a podle režimu jejich funkce se provádí jejich trvalé sečítání. V případě požadavku na informaci z číslicových čítačů provede řídicí počítač vyslání čísla žádaného měřeného kanálu na výstupní datové sběrnice datové vedení 6, údaje adresy pozice řízené mnohakanálové vyhodnocovací jednotky ve vstupní straně systému

na adresové sběrnice vedení 7 a odpovídající řídicí signály na řídicí sběrnice vedení 8. Po vyhodnocení těchto sběrnice-
vých informací vydá řídicí logický obvod 5 odpovídající výstup 5.1,
nebo 5.2 nebo 5.n na první číslicový přepínač 31 nebo druhý 32
nebo poslední 3n a uvolní odpovídající výstup prvního číslicového
čítače 21 nebo druhého 22 nebo posledního 2n na datové vstupní
sběrnice vedení 9. Tento údaj je dále přijat do centrální
jednotky a zpracován a představuje hodnotu měření elektrické nebo
technologické veličiny.

P Ř E D M Ě T V Y N Á L E Z U

249 574

Zapojení řízené mnohakanálové vyhodnocovací jednotky pro přírůstková zpracování impulzních signálů zejména pro vyhodnocování polohy, úhlu a rychlosti otáčení, počtu otáčení rychlostních a délkových parametrů posuvu pásových materiálů objemu a okamžitých průtoků, množství, výkonů, příkonů, spotřeby a pod. s možností přímého zapojení na počítačové systémy, obsahující dekodér adresy, řídicí logický obvod, obvod vstupních signálů, číslicové čítače, číslicové přepínače a sběrníkové vedení, vyznačené tím, že na první vstup (5.11) řídicího logického obvodu (5) je zapojeno datové sběrníkové výstupní vedení (6), na druhý vstup (5.12) řídicího logického obvodu (5) je zapojen výstup (4.2) dekodéru (4) adresy, na jehož vstup (4.1) je napojeno adresové sběrníkové vedení (7), na třetí vstup (5.13) řídicího logického obvodu (5) je zapojeno řídicí sběrníkové vedení (8), přičemž první výstup (5.1) řídicího logického obvodu (5) je zapojen na druhý vstup (31.2) prvního číslicového přepínače (31), druhý výstup (5.2) řídicího logického obvodu (5) je zapojen na druhý vstup (32.2) druhého číslicového přepínače (32), a n-tý výstup (5.n) řídicího logického obvodu (5) je zapojen na druhý vstup (3n.2) n-tého číslicového přepínače (3n), přičemž první vstup (31.1) prvního číslicového přepínače (31) je spojen s výstupem (21.3) prvního číslicového čítače (21), první vstup (32.1) druhého číslicového přepínače (32) je spojen s výstupem (22.3) druhého číslicového čítače (22), první vstup (3n.1) n-tého číslicového přepínače (3n) je spojen s výstupem (2n.3) n-tého číslicového čítače (2n), přičemž první číslicový čítač (21) má na první vstup (21.1) zapojen vodič (1) impulzních signálů prvního měřeného kanálu a na druhý vstup (21.2) prvního číslicového čítače (21) je zapojen vodič (10.1) řízení režimu číslicového čítače prvního kanálu, přičemž druhý číslicový čítač (22) má na první vstup (22.1) zapojen vodič (2) impulzních signálů druhého měřeného kanálu a na druhý vstup (22.2) druhého číslicového čítače (22) je zapojen vodič (10.2) řízení režimu číslicového

čítače druhého kanálu, přičemž n -tý číslicový čítač ($2n$) má na první vstup ($2n.1$) zapojen vodič (n) impulzních signálů n -tého měřeného kanálu a na druhý vstup ($2n.2$) n -tého číslicového čítače ($2n$) je zapojen vodič ($10.n$) pro měření režimu n -tého číslicového čítače n -tého kanálu, přičemž výstupy (310 , 320 , až $3n0$) z číslicových přepínačů (31 , 32 až $3n$) jsou paralelně spojeny s datovým vstupním sběrnicovým vedením (9).

1 výkresy

