

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号
特表2017-516305
(P2017-516305A)

(43) 公表日 平成29年6月15日(2017.6.15)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/768 (2006.01)	HO 1 L 21/90 A	4 M 1 0 4
HO 1 L 21/28 (2006.01)	HO 1 L 21/90 C	5 F 0 3 3
	HO 1 L 21/28 L	

審査請求 未請求 予備審査請求 有 (全 24 頁)

(21) 出願番号	特願2016-565680 (P2016-565680)	(71) 出願人	507364838 クアルコム、インコーポレイテッド アメリカ合衆国 カリフォルニア 921 21 サン ディエゴ モアハウス ドラ イブ 5775
(86) (22) 出願日	平成27年4月2日 (2015.4.2)	(74) 代理人	100108453 弁理士 村山 靖彦
(85) 翻訳文提出日	平成28年11月1日 (2016.11.1)	(74) 代理人	100163522 弁理士 黒田 晋平
(86) 国際出願番号	PCT/US2015/024083	(72) 発明者	ジョン・ジエンホン・ズ アメリカ合衆国・カリフォルニア・921 21-1714・サン・ディエゴ・モアハ ウス・ドライブ・5775
(87) 国際公開番号	W02015/171223		
(87) 国際公開日	平成27年11月12日 (2015.11.12)		
(31) 優先権主張番号	14/274,470		
(32) 優先日	平成26年5月9日 (2014.5.9)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 ピア材料選択および処理

(57) 【要約】

半導体インターコネクトおよび半導体インターコネクトを形成するための方法。インターコネクトが、第1の導電性インターコネクト層と第1のミドルブライン(MOL)インターコネクト層との間の第1の導電性材料の第1のピアを含むことができる。第1のMOLインターコネクト層は第1のレベルにある。第1のピアはシングルダマシンプロセスで製造される。そのような半導体インターコネクトは、第1の導電性インターコネクト層と第2のMOLインターコネクト層との間の第2の導電性材料の第2のピアも含む。第2のMOLインターコネクト層は第2のレベルにある。第2のピアはデュアルダマシンプロセスで製造される。第1の導電性材料は第2の導電性材料とは異なる。

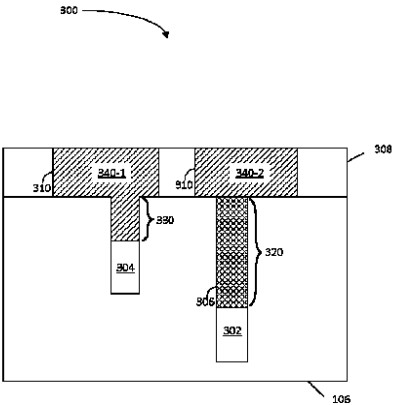


FIG. 3

【特許請求の範囲】**【請求項 1】**

半導体インターコネクタであって、

シングルダマシンプロセスで製造された、第 1 の導電性インターコネクタ層と第 1 のレベルにある少なくとも第 1 のミドルオブライン (MOL) インターコネクタ層との間の第 1 の導電性材料の第 1 のビアと、

デュアルダマシンプロセスで製造された、前記第 1 の導電性インターコネクタ層と第 2 のレベルにある少なくとも第 2 の MOL インターコネクタ層との間の第 2 の導電性材料の第 2 のビアとを備え、前記第 1 の導電性材料は前記第 2 の導電性材料とは異なる、半導体インターコネクタ。

10

【請求項 2】

前記第 1 のビアの長さは、前記第 2 のビアの長さとは異なる、請求項 1 に記載の半導体インターコネクタ。

【請求項 3】

前記第 1 のビアの抵抗は、前記第 2 のビアの抵抗とは異なる、請求項 1 に記載の半導体インターコネクタ。

【請求項 4】

前記第 1 の導電性材料はタングステンであり、前記第 2 の導電性材料は銅である、請求項 1 に記載の半導体インターコネクタ。

【請求項 5】

前記第 1 の導電性材料および前記第 2 の導電性材料のうちの少なくとも 1 つは、前記第 1 のビアのアスペクト比に少なくとも部分的に基づいて選択される、請求項 1 に記載の半導体インターコネクタ。

20

【請求項 6】

前記第 1 の導電性材料および前記第 2 の導電性材料のうちの少なくとも 1 つは、前記第 1 の MOL インターコネクタ層および前記第 2 の MOL インターコネクタ層のうちの 1 つに結合される回路に少なくとも部分的に基づいて選択される、請求項 1 に記載の半導体インターコネクタ。

【請求項 7】

携帯電話、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、コンピュータ、ハンドヘルドパーソナル通信システム (PCS) ユニット、ポータブルデータユニット、および / または定置データユニットに組み込まれる、請求項 1 に記載の半導体インターコネクタ。

30

【請求項 8】

ミドルオブライン (MOL) インターコネクタを製造する方法であって、

シングルダマシンプロセスにおいて、第 1 のレベルにある第 1 の MOL インターコネクタ層に結合される第 1 の導電性材料の第 1 のビアを製造するステップと、

デュアルダマシンプロセスで第 2 の導電性材料の第 2 のビアおよび第 1 の導電性インターコネクタ層を製造するステップとを含み、前記第 1 の導電性インターコネクタ層は前記第 1 のビアに結合し、前記第 1 の導電性材料は前記第 2 の導電性材料とは異なり、前記第 2 のビアは第 2 のレベルにある第 2 の MOL インターコネクタ層に結合される、方法。

40

【請求項 9】

前記第 2 のビアのアスペクト比に少なくとも部分的に基づいて、前記第 2 の導電性材料を選択するステップをさらに含む、請求項 8 に記載の方法。

【請求項 10】

前記第 1 の導電性インターコネクタ層と前記第 2 の MOL インターコネクタ層との間の所望の抵抗に少なくとも部分的に基づいて前記第 2 の導電性材料を選択するステップをさらに含む、請求項 8 に記載の方法。

【請求項 11】

前記第 1 のビアの長さは、前記第 2 のビアの長さとは異なる、請求項 8 に記載の方法。

50

【請求項 1 2】

前記第 1 のビアの抵抗は、前記第 2 のビアの抵抗とは異なる、請求項 8 に記載の方法。

【請求項 1 3】

前記第 1 の導電性材料はタングステンであり、前記第 2 の導電性材料は銅である、請求項 8 に記載の方法。

【請求項 1 4】

前記第 1 の導電性材料および前記第 2 の導電性材料のうちの少なくとも 1 つは、前記第 1 のビアのアスペクト比に少なくとも部分的に基づいて選択される、請求項 8 に記載の方法。

【請求項 1 5】

前記第 1 の導電性材料および前記第 2 の導電性材料のうちの少なくとも 1 つは、前記第 1 の M O L インターコネク層および前記第 2 の M O L インターコネク層のうちの 1 つに結合される回路に少なくとも部分的に基づいて選択される、請求項 8 に記載の方法。

【請求項 1 6】

ミドルブライン (M O L) インターコネクを製造する方法であって、
シングルダマシンプロセスにおいて、第 1 のレベルにある第 1 の M O L インターコネク層に結合される、第 1 の導電性材料の第 1 のビアを製造するためのステップと、
デュアルダマシンプロセスで第 2 の導電性材料の第 2 のビアおよび第 1 の導電性インターコネク層を製造するためのステップとを含み、前記第 1 の導電性インターコネク層は前記第 1 のビアに結合し、前記第 1 の導電性材料は前記第 2 の導電性材料とは異なり、前記第 2 のビアは第 2 のレベルにある第 2 の M O L インターコネク層に結合される、方法。

【請求項 1 7】

前記第 2 のビアのアスペクト比に少なくとも部分的に基づいて、前記第 2 の導電性材料を選択するステップをさらに含む、請求項 1 6 に記載の方法。

【請求項 1 8】

前記第 1 の導電性インターコネク層と前記第 2 の M O L インターコネク層との間の所望の抵抗に少なくとも部分的に基づいて前記第 2 の導電性材料を選択するステップをさらに含む、請求項 1 6 に記載の方法。

【請求項 1 9】

前記第 1 のビアの長さは、前記第 2 のビアの長さとは異なる、請求項 1 6 に記載の方法。

【請求項 2 0】

前記第 1 のビアの抵抗は、前記第 2 のビアの抵抗とは異なる、請求項 1 6 に記載の方法。

【請求項 2 1】

前記第 1 の導電性材料および前記第 2 の導電性材料のうちの少なくとも 1 つは、前記第 1 のビアのアスペクト比に少なくとも部分的に基づいて選択される、請求項 1 6 に記載の方法。

【請求項 2 2】

前記第 1 の導電性材料および前記第 2 の導電性材料のうちの少なくとも 1 つは、前記第 1 の M O L インターコネク層および前記第 2 の M O L インターコネク層のうちの 1 つに結合される回路に少なくとも部分的に基づいて選択される、請求項 1 6 に記載の方法。

【請求項 2 3】

前記 M O L インターコネクは、携帯電話、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、コンピュータ、ハンドヘルドパーソナル通信システム (P C S) ユニット、ポータブルデータユニット、および / または定置データユニットに組み込まれる、請求項 1 6 に記載の方法。

【請求項 2 4】

半導体インターコネクであって、

10

20

30

40

50

シングルダマシンプロセスにおいて第 1 の導電性材料で製造された、第 1 の導電性インターコネク層と第 1 のレベルにある少なくとも第 1 のミドルオブライン (MOL) インターコネク層との間の電流を伝導させるための手段と、

デュアルダマシンプロセスにおいて第 2 の導電性材料で製造された、前記第 1 の導電性インターコネク層と第 2 のレベルにある少なくとも第 2 の MOL インターコネク層との間の電流を伝導させるための手段とを備え、前記第 1 の導電性材料は前記第 2 の導電性材料とは異なる、半導体インターコネク。

【請求項 25】

前記第 1 の手段の長さは、前記第 2 の手段の長さとは異なる、請求項 24 に記載の半導体インターコネク。

【請求項 26】

前記第 1 の手段の抵抗は、前記第 2 の手段の抵抗とは異なる、請求項 24 に記載の半導体インターコネク。

【請求項 27】

前記第 1 の導電性材料はタングステンであり、前記第 2 の導電性材料は銅である、請求項 24 に記載の半導体インターコネク。

【請求項 28】

前記第 1 の導電性材料および前記第 2 の材料のうちの少なくとも 1 つは、前記第 1 の手段のアスペクト比に少なくとも部分的に基づいて選択される、請求項 24 に記載の半導体インターコネク。

【請求項 29】

前記第 1 の導電性材料および前記第 2 の導電性材料のうちの少なくとも 1 つは、前記第 1 の MOL インターコネク層および前記第 2 の MOL インターコネク層のうちの 1 つに結合される回路に少なくとも部分的に基づいて選択される、請求項 24 に記載の半導体インターコネク。

【請求項 30】

携帯電話、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、コンピュータ、ハンドヘルドパーソナル通信システム (PCS) ユニット、ポータブルデータユニット、および / または定置データユニットに組み込まれる、請求項 24 に記載の半導体インターコネク。

【発明の詳細な説明】

【技術分野】

【0001】

本開示の態様は半導体デバイスに関し、より詳細には、集積回路内の、ミドルオブライン層のような配線用導電層に関する。

【背景技術】

【0002】

半導体製造プロセスは、しばしば、3つの部分、すなわち、フロントエンドオブライン (FEOL: front end of line)、ミドルオブライン (MOL: middle of line)、およびバックエンドオブラインに分割される (BEOL: back end of line)。フロントエンドオブラインプロセスは、ウェハ準備、絶縁、ウェル形成、ゲートパターンニング、スペーサ、およびドーパント注入を含む。ミドルオブラインプロセスは、ゲート形成および端子コンタクト形成を含む。バックエンドオブラインプロセスは、FEOL デバイスに結合するためのインターコネクおよび誘電体層を形成することを含む。

【0003】

これらのインターコネクは、プラズマ化学気相成長 (PECVD) 堆積層間誘電体 (ILD: interlayer dielectric) 材料を使用するデュアルダマシンプロセスを用いて製造することができる。半導体回路のこれらのインターコネク層は、チップ設計の密度が高くなったため、より小さくなり、配線するのがより難しくなっ

10

20

30

40

50

きた。種々のインターコネク層を接続するために使用されるいくつかの材料は、より高い抵抗を有するので、これが、これらの「ビア」または電気経路のタイミングおよび/または抵抗特性に影響を及ぼす場合がある。一例として、層間のビアのために、しばしばタングステンが使用される。ビアの深さと直径との比は、アスペクト比と呼ばれる。タングステンは、タングステン材料をビア内に堆積するか、または別の方法で結合するために、「シングルダマシン」(SD)プロセスにおいてしばしば処理される。銅はしばしば「デュアルダマシン」(DD)プロセスにおいて処理される。

【発明の概要】

【課題を解決するための手段】

【0004】

半導体インターコネクが、第1の導電性インターコネク層と第1のミドルオブライン(MOL)インターコネク層との間に第1の導電性材料の第1のビアを含むことができる。第1のMOLインターコネク層は第1のレベルにある。第1のビアはシングルダマシンプロセスで製造される。そのような半導体インターコネクは、第1の導電性インターコネク層と第2のMOLインターコネク層との間に第2の導電性材料の第2のビアも含む。第2のMOLインターコネク層は第2のレベルにある。第2のビアはデュアルダマシンプロセスで製造される。第1の導電性材料は第2の導電性材料とは異なる。

【0005】

ミドルオブライン(MOL)インターコネクを製造するための方法が、第1の導電性材料の第1のビアを製造することを含むことができる。第1のビアは第1のレベルにある第1のMOLインターコネク層に結合される。第1のビアはシングルダマシンプロセスで形成される。また、その方法は、第2の導電性材料の第2のビアおよび第1の導電性インターコネク層を製造することを含む。第2のビアはデュアルダマシンプロセスで形成される。第1の導電性インターコネク層は第1のビアに結合する。第1の導電性材料は第2の導電性材料とは異なる。第2のビアは第2のレベルにある第2のMOLインターコネク層に結合される。

【0006】

半導体インターコネクが、第1の導電性インターコネク層と第1のミドルオブライン(MOL)インターコネク層との間の電流を伝導させるための手段を含むことができる。第1のMOLインターコネク層は第1のレベルにある。第1の手段は、シングルダマシンプロセスにおいて第1の導電性材料で製造される。また、インターコネクは、第1の導電性インターコネク層と少なくとも第2のMOLインターコネク層との間の電流を伝導させるための手段も含む。第2のMOLインターコネク層は第2のレベルにある。第2の手段は、デュアルダマシンプロセスにおいて第2の導電性材料で製造される。第1の導電性材料は第2の導電性材料とは異なる。

【0007】

上記では、後続の詳細な説明をより深く理解することができるように、本開示の特徴および技術的利点について、かなり大まかに概説してきた。本開示の追加の特徴および利点が、以下で説明されることになる。本開示が、本開示と同じ目的を果たすための他の構造を変更または設計するための基礎として容易に利用できることを、当業者は理解されたい。そのような同等な構成が、添付の特許請求の範囲に記載されるような本開示の教示から逸脱しないことも、当業者には理解されたい。本開示の構成と動作方法の両方に関して本開示の特徴になると考えられる新規の特徴が、さらなる目的および利点とともに、以下の説明を添付の図と併せて検討することからより十分に理解されるであろう。しかしながら、図の各々が、例示および説明のために提供されるにすぎず、本開示の範囲を定めるものではないことは明確に理解されたい。

【0008】

本開示をより完全に理解してもらうために、ここで、添付の図面とともに取り上げられる以下の説明が参照される。

【図面の簡単な説明】

【 0 0 0 9 】

【図 1 A】本開示の一態様による「シングルダマシン」(S D) プロセスを示す図である。

【図 1 B】本開示の一態様による「シングルダマシン」(S D) プロセスを示す図である。

【図 1 C】本開示の一態様による「シングルダマシン」(S D) プロセスを示す図である。

【図 1 D】本開示の一態様による「シングルダマシン」(S D) プロセスを示す図である。

【図 1 E】本開示の一態様による「シングルダマシン」(S D) プロセスを示す図である。

10

【図 2 A】本開示の一態様による「デュアルダマシン」(D D) プロセスを示す図である。

【図 2 B】本開示の一態様による「デュアルダマシン」(D D) プロセスを示す図である。

【図 2 C】本開示の一態様による「デュアルダマシン」(D D) プロセスを示す図である。

【図 2 D】本開示の一態様による「デュアルダマシン」(D D) プロセスを示す図である。

【図 2 E】本開示の一態様による「デュアルダマシン」(D D) プロセスを示す図である。

20

【図 2 F】本開示の一態様による「デュアルダマシン」(D D) プロセスを示す図である。

【図 2 G】本開示の一態様による「デュアルダマシン」(D D) プロセスを示す図である。

【図 2 H】本開示の一態様による「デュアルダマシン」(D D) プロセスを示す図である。

【図 2 I】本開示の一態様による「デュアルダマシン」(D D) プロセスを示す図である。

【図 2 J】本開示の一態様による「デュアルダマシン」(D D) プロセスを示す図である。

30

【図 2 K】本開示の一態様による「デュアルダマシン」(D D) プロセスを示す図である。

【図 3】半導体チップの表面から異なる距離にある 2 つのインターコネクタ層を示す図である。

【図 4】本開示の一態様によるミドルオブライン(M O L) 層を製造するための方法を示すプロセスフロー図である。

【図 5】本開示の態様が有利に利用される場合がある例示的なワイヤレス通信システムを示すブロック図である。

【図 6】上で開示されたデバイスのような、半導体構成要素の回路設計、レイアウト設計、および論理設計のために使用される、設計用ワークステーションを示すブロック図である。

40

【発明を実施するための形態】

【 0 0 1 0 】

添付の図面との関連で以下に記載される詳細な説明は、種々の構成を説明することを意図しており、本明細書において説明される概念を実践できる唯一の構成を表すことは意図していない。詳細な説明は、種々の概念を完全に理解してもらうことを目的とした具体的な詳細を含む。しかしながら、これらの概念がこれらの具体的な詳細なしに実施できることは当業者には明らかであろう。場合によっては、そのような概念を曖昧にするのを避けるために、よく知られている構造および構成要素がブロック図の形で示される。本明細書

50

において説明されるときに、「および／または」という用語の使用は、「包含的論理和」を表すことが意図されており、「または」という用語の使用は、「排他的論理和」を表すことが意図されている。

【0011】

本開示の種々の態様は、集積回路内のミドルオブライン層のような配線用導電層のための技法を提供する。集積回路の半導体製造のためのプロセスフローは、フロントエンドオブライン（FEOI）プロセス、ミドルオブライン（MOI）プロセス、およびバックエンドオブライン（BEOI）プロセスを含むことができる。「層」という用語は、膜を含み、別段述べられていない限り、垂直厚または水平厚を示すものと解釈されるべきではないことは理解されよう。本明細書において説明されるように、「半導体基板」という用語は、ダイシングされたウェハの基板を指す場合があるか、または、ダイシングされていないウェハの基板を指す場合がある。同様に、ウェハおよびダイという用語は、入れ換えられると信じるのが難しい限り、互換的に使用することができる。

10

【0012】

本開示の一態様によれば、ハイブリッドビア構造、およびハイブリッドビア構造を形成するプロセスが説明される。1つの構成では、半導体デバイスのいくつかのインターコネクタ層のためのシングルダマシンプロセスを用いて、第1の材料が、第1のインターコネクタ層に結合される。他のインターコネクタ層の場合、デュアルダマシンプロセスが、第2の材料を第2のインターコネクタ層に結合する。第2の材料は第1の材料に結合される場合もある。本開示のこの態様は、相互接続のうちのいくつかの相互接続の抵抗を下げ、回路の全体性能を高めることができる。導電層は、半導体デバイス内の第1の導電層（たとえば、金属1（M1））とすることもできる。

20

【0013】

半導体デバイス内の導電層間の接続は、「ビア」とも呼ばれ、半導体チップのデバイス間またはエリア間で信号を転送するために使用される。これらの経路は多くの場合に、ダマシンプロセスを用いて作製される。「シングルダマシン」（SD）プロセスが図1A～図1Eに示される。

【0014】

図1Aは、基板102と、エッチストップ層104と、誘電体層106と、フォトリジスト層108とを有するウェハ100を示す。ウェハ100は、本開示の範囲から逸脱することなく、ダイ、チップまたは他のデバイスとすることができる。誘電体層106は、本開示の範囲から逸脱することなく、酸化シリコンのような酸化物、または他の絶縁材料とすることができる。

30

【0015】

図1Bに示されるように、フォトリジスト層108は選択的にパターンニングされ、誘電体層106内に開口部110、112および114が形成される。開口部110～114の深さ116は、誘電体層106の厚さに基づく。開口部110の幅118は、開口部114の幅120とは異なる場合がある。開口部の幅と深さとの比は、開口部110～114の「アスペクト比」と呼ばれる。誘電体層106は、ウェット化学エッチング、プラズマエッチングまたは他の誘電体材料除去技法を用いてエッチングすることができる。所望により、エッチストップ層104も除去される場合がある。

40

【0016】

図1Cにおいて、ダイ100に導電層122が加えられる。導電層122は、誘電体層106の露出した部分の上だけでなく、開口部110～114内にも堆積される。その場合に、基板102は、開口部110～114を通して導電層122に電氣的に、および／または機械的に結合される。導電層は、開口部110～114が導電層122の材料で実質的に満たされるように、電着または電気めっきプロセスを用いて堆積することができるか、またはスパッタリングすることができるか、もしくは別の方法でダイ100に結合することができる。導電層122が堆積されると、開口部110～114は「ビア」または「相互接続経路」と呼ばれる場合がある。

50

【 0 0 1 7 】

導電層 1 2 2 は、開口部 1 1 0 ~ 1 1 4 および誘電体層 1 0 6 の表面を覆う障壁層を含むことができる。障壁層の部分は、タンタル、窒化タンタル、窒化チタン、チタン - タングステン、または他の材料とすることができる。導電層 1 2 2 の障壁層部分は、導電層から誘電体層 1 0 6 および / または基板 1 0 2 への材料の拡散を低減する。導電層 1 2 2 は、開口部 1 1 0 ~ 1 1 4 内の導電層 1 2 2 と基板 1 0 2 との間の機械的および / または電氣的結合を助けるシード層を含むこともできる。

【 0 0 1 8 】

図 1 D において、導電層 1 2 2 および誘電体層 1 0 6 が平坦になるように、導電層 1 2 2 の一部が除去される。このプロセスは、化学機械平坦化 (CMP: chemical mechanical planarization) と呼ばれる場合があるが、本開示の範囲から逸脱することなく、他の技法を用いて平坦化を実行することもできる。図 1 E は、導電層 1 2 2 を封入する、ダイ 1 0 0 上の別の誘電体層 1 2 4 を示す。

10

【 0 0 1 9 】

いくつかの開口部 1 1 0 ~ 1 1 4 の場合に、導電層 1 2 2 はタングステンまたはアルミニウムとすることができる。他の開口部 1 1 0 ~ 1 1 4 の場合に、銅のような他の材料が望ましい場合がある。銅はタングステンより低い抵抗を有する。それにもかかわらず、銅は、2 より大きなアスペクト比を有するビアの場合に適していない場合がある (たとえば、幅 1 1 8 が深さ 1 1 6 の半分程度の大きさである)。「金属 1 (M1)」層のような第 1 の導電層を形成するとき、下側インターコネクタ層に特定のアスペクト比の銅ビアを付着または結合させることもできる。

20

【 0 0 2 0 】

図 2 A ~ 図 2 K はデュアルダマシンプロセスを示す。銅は、「デュアルダマシン」プロセスを用いて、半導体チップに結合することができる。

【 0 0 2 1 】

図 2 A は、同じくダイまたは他のデバイスとすることができ、基板 1 0 2 と、エッチストップ層 1 0 4 と、誘電体層 1 0 6 と、ハードマスク層 2 0 2 と、フォトレジスト層 1 0 8 とを含むウェハ 2 0 0 を示す。図 1 A ~ 図 1 E と同様に、フォトレジスト層 1 0 8 は図 2 B に示されるようにパターニングされる。

【 0 0 2 2 】

図 2 C は、フォトレジスト層 1 0 8 のパターンのハードマスク層 2 0 2 への転写を示す。デュアルダマシンプロセスのこの部分は、いくつかの設計において、ハードマスクエッチングまたはトレンチエッチングとして知られている場合がある。

30

【 0 0 2 3 】

図 2 D は、ウェハ 2 0 0 に被着される平坦化層 2 0 4 および第 2 のフォトレジスト層 2 0 6 を示す。デュアルダマシンプロセスにおいて、平坦化層 2 0 4 はハードマスク層 2 0 2 のエッチングされた部分を保護するために、トレンチエッチング内に配置される。図 2 E は、第 2 のパターンが第 2 のフォトレジスト層 2 0 6 に転写されることを示しており、それはビアをパターニングすると言われる場合もある。図 2 F は、平坦化層 2 0 4 と、ハードマスク層 2 0 2 と、誘電体層 1 0 6 の少なくとも一部とを貫通する、第 2 のパターン、すなわち、ビアパターンの部分的エッチングを示す。

40

【 0 0 2 4 】

図 2 G は、ウェハ 2 0 0 からの第 2 のフォトレジスト層 2 0 6 および平坦化層 2 0 4 の除去を示す。図 2 H は、誘電体層 1 0 6 内のインターコネクタのトレンチ部分を画定する、誘電体層 1 0 6 の別のエッチングを示す。また、誘電体層 1 0 6 内のエッチのビア部分は、誘電体層 1 0 6 を貫通してエッチストップ層 1 0 4 まで延長される。

【 0 0 2 5 】

図 2 I は、エッチストップ層 1 0 4 の露出した部分をエッチングすることによってインターコネクタのビア部分の底部を開口することを示す。このエッチングは、ここで、基板 1 0 2 を露出させる。図 2 J は、エッチストップ層 1 0 4、誘電体層 1 0 6 およびハード

50

マスク層 202 内のエッチングされた体積空間内への導電層 214 の堆積を示す。導電層 214 は、図 1 A ~ 図 1 E において説明された導電層 122 と同様に処理することができる。図 2 K は、導電層 214 およびハードマスク層 202 の一部の除去を示す。この除去は、化学機械平坦化 (CMP)、エッチングまたは他のプロセスを通して実行することができる。

【0026】

図 2 A ~ 図 2 K において、デュアルダマシンプロセスに対する「trench first with hard mask」(TFHM) 手法が説明される。TFHM プロセスが説明されるが、本開示の範囲から逸脱することなく、「trench first then via」または「via first then trench」プロセスまたは他のデュアルダマシンプロセスのような他のデュアルダマシンプロセスが使用される場合もある。

10

【0027】

図 1 A ~ 図 1 E および図 2 A ~ 図 2 K に示されるプロセスは、導電層が基板 102 に達することを示すが、ダマシンプロセスを用いて作製される導電層は、ミドルオブライン内で、またはバックエンドオブラインからミドルオブラインインターコネクタ層の中で使用される場合もある。

【0028】

図 3 は、本開示の一態様によるインターコネクタ層を示す。デバイス 300 は誘電体層 106 を含み、その中に、第 1 の M O L インターコネクタ層 302 および第 2 の M O L インターコネクタ層 304 が設けられる。第 1 の M O L インターコネクタ層 302 に到達するために、シングルダマシンプロセス (図 1 A ~ 図 1 F において示されるプロセスに類似) が使用される場合がある。第 1 のビア 320 が開口され、第 1 の導電性材料 306 で充填される。第 1 の導電性材料 306 は、大きなアスペクト比を有するビア 320 (たとえば、ビアの深さがビアの幅の 2 倍より大きい) の中に堆積するか、または別の方法で配置することができる材料とすることができる。

20

【0029】

第 2 の M O L インターコネクタ層 304 に到達するために、デュアルダマシンプロセス (図 2 A ~ 図 2 K に示されるプロセスに類似) が使用される場合がある。さらに、このプロセスは、第 1 のビア 320 の第 1 の導電性材料 306 に到達するために使用される場合もある。誘電体層 308 がパターニングされ、開口部が第 2 の導電性材料 310 で満たされ、第 2 のビア 330 および第 1 の導電性インターコネクタ層 340 (340 - 1、340 - 2) が形成される。第 1 の導電性インターコネクタ層 340 - 1 は、第 2 のビア 330 を通して、第 2 の M O L インターコネクタ層 304 に到達する。この構成において、第 2 の導電性材料 310 の第 1 の導電性インターコネクタ層 340 - 2 は、第 1 の導電性材料 306 の第 1 のビア 320 を通して第 1 の M O L インターコネクタ層 302 に到達する。誘電体層 308 内の開口部は誘電体層 106 のアスペクト比とは異なるアスペクト比を有する場合があるので、第 2 の導電性材料 310 は第 1 の導電性材料 306 とは異なる材料である場合がある。さらに、第 2 の導電性材料 310 は、導電率、またはデバイス 300 内の他の層との所望の相互作用 / 所望の非相互作用のような材料特性に基づいて選択される場合がある。

30

40

【0030】

図 3 に示されるように、第 1 の M O L インターコネクタ層 302 に到達するために使用されるデュアルダマシンプロセスは、第 2 の M O L インターコネクタ層 304 に到達するために使用されるシングルダマシンプロセスの一部としての役割も果たす。その場合に、異なる変数に基づいて、異なる材料が異なるインターコネクタ層に到達する場合がある。ビアのアスペクト比によって、特定の材料の使用 (たとえば、タングステン) が指定される場合がある。第 1 のビア 320 および第 2 のビア 330 の第 1 の導電性材料 306 および第 2 の導電性材料 310 を通してアクセスされる回路のタイミングは、極めて重大な場合がある。結果として、第 1 のビア 320 および第 2 のビア 330 のサイズ、および特定

50

の第1のMOLインターコネクタ層302に到達する第1の導電性材料および第2の導電性材料の材料特性を、本開示のこの態様を通して選択することができる。

【0031】

したがって、本開示の一態様は、ハイブリッドビア構造、およびハイブリッドビア構造を形成するプロセスを説明する。デバイス300上のいくつかのインターコネクタ層302の場合に、シングルダマシンプロセスを用いて第1のMOLインターコネクタ層302への第1のビア320を形成するために、第1の導電性材料306が堆積される。第2のMOLインターコネクタ層304の場合に、第2のMOLインターコネクタ層304への第2のビア330を形成するために、デュアルダマシンプロセスを用いて、第2の導電性材料310を堆積する。また、第2の導電性材料310は、第1の導電性材料306に結合することもできる。本開示のこの態様は、相互接続のうちのいくつかの相互接続の抵抗を下げることができ、回路の全体性能を高めることができる。第1の導電性インターコネクタ層340は、デバイス300内の第1の導電層（たとえば、金属1（M1））とすることもできる。

10

【0032】

図4は、本開示の一態様による、ミドルオブライン（MOL）層を製造するための方法400を示すプロセスフロー図である。ブロック402において、第1のレベルにある第1のMOLインターコネクタ層に結合される、第1の材料の第1のビアがシングルダマシンプロセスにおいて製造される。たとえば、図3に示されるように、第1のビア320が開口され、第1の導電性材料306で満たされる。

20

【0033】

ブロック404において、第2の材料の第2のビアおよび第1の導電層がデュアルダマシンプロセスで製造される。たとえば、図3に示されるように、第2のMOLインターコネクタ層304への第2のビア330を形成するために、誘電体層308がパターンニングされ、開口部が第2の導電性材料310で満たされる。第1の導電性インターコネクタ層340-2の第2の導電性材料310は、第1の導電性材料306の第1のビア320を通して、第1のMOLインターコネクタ層302にも到達する。第1の導電性材料306は第2の導電性材料310とは異なる場合がある。たとえば、誘電体層308内の開口部は誘電体層106のアスペクト比とは異なるアスペクト比を有する場合があるので、第2の導電性材料310は第1の導電性材料306とは異なる材料である場合がある。この例では、第2の導電性材料310の第2のビア330は、第1の導電性インターコネクタ層340-1を第2のMOLインターコネクタ層304に結合する。

30

【0034】

本開示のさらなる態様によれば、半導体インターコネクタが説明される。インターコネクタは、シングルダマシンプロセスにおいて第1の導電性材料で製造された、第1の導電性インターコネクタ層と第1のレベルにある第1のミドルオブライン（MOL）インターコネクタ層との間の電流を伝導させるための手段を含む。第1の手段は、図3に示されるビア320とすることができる。また、そのデバイスは、デュアルダマシンプロセスにおいて第2の導電性材料で製造された、第1の導電性インターコネクタ層と第2のレベルにある少なくとも第2のMOLインターコネクタ層との間の電流を伝導させるための手段も含み、第1の導電性材料は第2の導電性材料とは異なる。第2の手段は、図3に示されるビア330とすることができる。別の態様では、前述の手段は、前述の手段によって列挙された機能を実行するように構成される任意のモジュールまたは任意の装置とすることができる。

40

【0035】

図5は、本開示の一態様を有利に利用することができる例示的なワイヤレス通信システム500を示すブロック図である。例示として、図5は、3つの遠隔ユニット520、530および550と、2つの基地局540とを示している。ワイヤレス通信システムが、より多くの遠隔ユニットおよび基地局を有することができることは認識されよう。遠隔ユニット520、530および550は、開示されるデバイスを含むICデバイス525A

50

、 5 2 5 C、および 5 2 5 Bを含む。基地局、スイッチングデバイス、ネットワーク機器などの他のデバイスも、開示されたデバイスを含むことができることは認識されよう。図 5 は、基地局 5 4 0 から遠隔ユニット 5 2 0、5 3 0、および 5 5 0 への順方向リンク信号 5 8 0、ならびに遠隔ユニット 5 2 0、5 3 0、および 5 5 0 から基地局 5 4 0 への逆方向リンク信号 5 9 0 を示す。

【 0 0 3 6 】

図 5 では、ワイヤレスローカルループシステムにおいて、遠隔ユニット 5 2 0 は携帯電話として示され、遠隔ユニット 5 3 0 はポータブルコンピュータとして示され、遠隔ユニット 5 5 0 は定置遠隔ユニットとして示されている。たとえば、遠隔ユニットは、携帯電話、ハンドヘルドパーソナル通信システム（PCS）ユニット、携帯情報端末などのポータブルデータユニット、GPS 対応デバイス、ナビゲーションデバイス、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、検針機器などの定置データユニット、またはデータもしくはコンピュータ命令を記憶する、もしくは取り出す他のデバイス、またはそれらの組合せとすることができる。図 5 は本開示の態様による遠隔ユニットを示すが、本開示は、これらの示された例示的なユニットには限定されない。本開示の態様は、開示されたデバイスを含む、多くのデバイスにおいて適切に利用することができる。

【 0 0 3 7 】

図 6 は、上で開示されたデバイスのような、半導体構成要素の回路設計、レイアウト設計、および論理設計のために使用される、設計用ワークステーションを示すブロック図である。設計用ワークステーション 6 0 0 は、オペレーティングシステムソフトウェア、サポートファイル、および Cadence または OrCAD のような設計ソフトウェアを収容する、ハードディスク 6 0 1 を含む。設計用ワークステーション 6 0 0 はまた、本開示の一態様によるデバイスなどの、回路 6 1 0 または半導体構成要素 6 1 2 の設計を容易にするために、ディスプレイ 6 0 2 を含む。記憶媒体 6 0 4 が、回路 6 1 0 または半導体構成要素 6 1 2 の設計を有形に記憶するために設けられる。回路 6 1 0 または半導体構成要素 6 1 2 の設計は、GDSII または GERBER などのファイルフォーマットで記憶媒体 6 0 4 上に記憶することができる。記憶媒体 6 0 4 は、CD-ROM、DVD、ハードディスク、フラッシュメモリ、または他の適切なデバイスとすることができる。さらに、設計用ワークステーション 6 0 0 は、記憶媒体 6 0 4 からの入力を受け取るか、または記憶媒体 6 0 4 に出力を書き込むためのドライブ装置 6 0 3 を含む。

【 0 0 3 8 】

記憶媒体 6 0 4 上に記録されるデータは、論理回路構成、フォトリソグラフィマスク用のパターンデータ、または電子ビームリソグラフィなどの連続描画ツール用のマスクパターンデータを指定することができる。データはさらに、論理シミュレーションに関連付けられるタイミング図やネット回路などの論理検証データも含むことができる。記憶媒体 6 0 4 上のデータを与えることは、半導体ウェハを設計するためのプロセス数を減らすことによって、回路 6 1 0 または半導体構成要素 6 1 2 の設計を容易にする。

【 0 0 3 9 】

ファームウェアおよび / またはソフトウェアの実装形態の場合、方法は、本明細書において説明された機能を実行するモジュール（たとえば、手続き、機能など）で実現することができる。本明細書において説明される方法を実施する際に、命令を有形に具現する機械可読媒体を使用することができる。たとえば、ソフトウェアコードは、メモリに記憶することができる、プロセッサユニットによって実行することができる。メモリは、プロセッサユニット内に、またはプロセッサユニットの外部に実装することができる。本明細書において使用されるときに、「メモリ」という用語は、長期メモリ、短期メモリ、揮発性メモリ、不揮発性メモリ、または他のメモリのタイプを指し、特定のタイプのメモリもしくは特定の数のメモリ、またはメモリが格納される媒体のタイプに限定されるべきではない。

【 0 0 4 0 】

機能が、ファームウェアおよび/またはソフトウェアにおいて実施される場合には、コンピュータ可読媒体上に1つまたは複数の命令またはコードとして記憶することができる。例として、データ構造体で符号化されたコンピュータ可読媒体、およびコンピュータプログラムで符号化されたコンピュータ可読媒体がある。コンピュータ可読媒体は、物理的なコンピュータ記憶媒体を含む。記憶媒体は、コンピュータによってアクセスできる入手可能な媒体とすることができる。限定ではなく、例として、そのようなコンピュータ可読媒体は、RAM、ROM、EEPROM、CD-ROM、または他の光ディスク記憶装置、磁気ディスク記憶装置もしくは他の磁気記憶デバイス、または命令またはデータ構造の形態で所望のプログラムコードを記憶するために使用することができ、コンピュータによってアクセスすることができる他の媒体を含むことができ、本明細書で使用するディスク(disk)およびディスク(disc)は、コンパクトディスク(disc)(CD)、レーザーディスク(登録商標)(disc)、光ディスク(disc)、デジタル多用途ディスク(disc)(DVD)、フロッピーディスク(disk)、およびブルーレイディスク(disc)を含み、ディスク(disk)は、通常、データを磁氣的に再生し、一方、ディスク(disc)は、データをレーザで光学的に再生する。上記のものの組合せも、コンピュータ可読媒体の範囲内に含まれるべきである。

10

【0041】

命令および/またはデータは、コンピュータ可読媒体上の記憶域に加えて、通信装置に含まれる伝送媒体上の信号として与えることもできる。たとえば、通信装置は、命令およびデータを示す信号を有する送受信機を含むことができる。命令およびデータは、1つまたは複数のプロセッサに、特許請求の範囲において概説される機能を実施させるように構成される。

20

【0042】

本開示およびその利点について詳細に説明してきたが、添付の特許請求の範囲によって定められるような本開示の技術から逸脱することなく、本明細書において種々の変更、置換、および改変を行うことができることは理解されたい。たとえば、「上」および「下」などの関係性の用語が、基板または電子デバイスに関して使用される。当然、基板または電子デバイスが反転した場合、上は下に、下は上になる。加えて、横向きの場合、上および下は、基板または電子デバイスの側面を指す場合がある。その上、本出願の範囲は、本明細書において説明されたプロセス、機械、製造、組成物、手段、方法およびステップの特定の構成に限定されることを意図していない。当業者が本開示から容易に理解するように、本明細書において説明される対応する構成と実質的に同じ機能を果たすか、もしくは実質的に同じ結果を達成する、現存するもしくは今後開発されるプロセス、機械、製造、組成物、手段、方法、またはステップを、本開示に従って利用することができる。したがって、添付の特許請求の範囲は、そのようなプロセス、機械、製造、組成物、手段、方法、またはステップをその範囲内に含むことを意図している。

30

【0043】

本明細書の開示に関連して説明された種々の例示的論理ブロック、モジュール、回路、およびアルゴリズムステップが、電子ハードウェア、コンピュータソフトウェア、または両方の組合せとして実現される場合があることは、当業者であればさらに理解されよう。ハードウェアとソフトウェアのこの互換性を明確に示すために、種々の例示的な構成要素、ブロック、モジュール、回路、およびステップが、全般にそれらの機能に関してこれまで説明されてきた。そのような機能がハードウェアとして実現されるか、ソフトウェアとして実現されるかは、特定の用途およびシステム全体に課せられる設計制約によって決まる。当業者は、説明した機能を特定の適用例ごとに様々な方法で実現できるが、そのような実装形態の決定は、本開示の範囲からの逸脱を引き起こすものと解釈されるべきではない。

40

【0044】

本明細書の開示に関連して説明された種々の例示的な論理ブロック、モジュール、および回路は、本明細書において説明された機能を実行するように設計された汎用プロセッサ

50

、デジタルシグナルプロセッサ（DSP）、特定用途向け集積回路（ASIC）、フィールドプログラマブルゲートアレイ（FPGA）もしくは他のプログラマブル論理デバイス、個別のゲートもしくはトランジスタロジック、個別のハードウェア構成要素、またはそれらの任意の組合せを用いて、実現または実行することができる。汎用プロセッサはマイクロプロセッサとすることができるが、代替形態では、プロセッサは、任意の従来型プロセッサ、コントローラ、マイクロコントローラ、またはステートマシンとすることもできる。プロセッサはまた、コンピューティングデバイスの組合せとして、たとえば、DSPとマイクロプロセッサとの組合せ、複数のマイクロプロセッサ、DSPコアと組み合わせた1つもしくは複数のマイクロプロセッサ、または任意の他のそのような構成として実現することができる。

10

【0045】

本開示に関連して説明された方法またはアルゴリズムのステップは、ハードウェアにおいて直接、プロセッサによって実行されるソフトウェアモジュールで、またはその2つの組合せにおいて実施することができる。ソフトウェアモジュールは、RAM、フラッシュメモリ、ROM、EPROM、EEPROM、レジスタ、ハードディスク、リムーバブルディスク、CD-ROM、または当技術分野で知られている任意の他の形態の記憶媒体に存在することができる。例示的な記憶媒体は、プロセッサが記憶媒体から情報を読み取り、記憶媒体に情報を書き込むことができるように、プロセッサに結合される。代替形態では、記憶媒体は、プロセッサに一体化することができる。プロセッサおよび記憶媒体は、ASIC内に存在することができる。ASICは、ユーザ端末内に存在することができる。代替形態では、プロセッサおよび記憶媒体は、ユーザ端末内の個別構成要素として存在することができる。

20

【0046】

1つまたは複数の例示的な設計では、説明される機能は、ハードウェア、ソフトウェア、ファームウェア、またはそれらの任意の組合せで実現される場合がある。ソフトウェアで実現される場合、機能は、1つまたは複数の命令またはコードとして、コンピュータ可読媒体上に記憶されるか、またはコンピュータ可読媒体を介して送信される場合がある。コンピュータ可読媒体は、コンピュータ記憶媒体と、コンピュータプログラムの1つの場所から別の場所への転送を容易にする任意の媒体を含む通信媒体との両方を含む。記憶媒体は、汎用コンピュータまたは専用コンピュータによってアクセスできる任意の入手可能な媒体とすることができる。限定ではなく例として、そのようなコンピュータ可読媒体は、RAM、ROM、EEPROM、CD-ROMもしくは他の光ディスク記憶装置、磁気ディスク記憶装置もしくは他の磁気記憶デバイス、または命令もしくはデータ構造の形態で規定されたプログラムコード手段を搬送または格納するために使用され得るとともに、汎用もしくは専用コンピュータ、または汎用もしくは専用プロセッサによってアクセスできる任意の他の媒体を含むことができる。また、任意の接続も厳密にはコンピュータ可読媒体と呼ばれる。たとえば、ソフトウェアが、同軸ケーブル、光ファイバケーブル、ツイストペア、デジタル加入者線（DSL）、または赤外線、無線、およびマイクロ波などのワイヤレス技術を使用してウェブサイト、サーバ、または他のリモートソースから送信される場合、同軸ケーブル、光ファイバケーブル、ツイストペア、DSL、または赤外線、無線、およびマイクロ波などのワイヤレス技術は、媒体の定義に含まれる。ディスク（disk）およびディスク（disc）は、本明細書において使用されるときに、コンパクトディスク（disc）（CD）、レーザーディスク（登録商標）（disc）、光ディスク（disc）、デジタル多用途ディスク（disc）（DVD）、フロッピーディスク（disk）およびブルーレイディスク（disc）を含み、ディスク（disk）は通常、データを磁氣的に再生し、一方、ディスク（disc）は、レーザを用いてデータを光学的に再生する。上記のものの組合せも、コンピュータ可読媒体の範囲内に含まれるべきである。

30

40

【0047】

本開示のこれまでの説明は、当業者が本開示を作製または使用できるようにするために

50

提供される。本開示に対する種々の修正は、当業者に容易に明らかになり、本明細書において規定される一般原理は、本開示の趣旨または範囲を逸脱することなく、他の変形形態に適用される場合がある。したがって、本開示は、本明細書において説明される例および設計に限定されるものではなく、本明細書において開示される原理および新規の特徴に合致する最も広い範囲を与えられるべきである。

【符号の説明】

【 0 0 4 8 】

1 0 0	ウェハ、ダイ	
1 0 2	基板	
1 0 4	エッチストップ層	10
1 0 6	誘電体層	
1 0 8	フォトレジスト層	
1 1 0	開口部	
1 1 2	開口部	
1 1 4	開口部	
1 1 6	深さ	
1 1 8	幅	
1 2 0	幅	
1 2 2	導電層	
1 2 4	誘電体層	20
2 0 0	ウェハ	
2 0 2	ハードマスク層	
2 0 4	平坦化層	
2 0 6	第2のフォトレジスト層	
2 1 4	導電層	
3 0 0	デバイス	
3 0 2	第1のMOLインターコネクト層	
3 0 4	第2のMOLインターコネクト層	
3 0 6	第1の導電性材料	
3 0 8	誘電体層	30
3 1 0	第2の導電性材料	
3 2 0	第1のビア	
3 3 0	第2のビア	
3 4 0	第1の導電性インターコネクト層	
3 4 0 - 1	第1の導電性インターコネクト層	
3 4 0 - 2	第1の導電性インターコネクト層	
5 0 0	ワイヤレス通信システム	
5 2 0	遠隔ユニット	
5 2 5 A	ICデバイス	
5 2 5 B	ICデバイス	40
5 2 5 C	ICデバイス	
5 3 0	遠隔ユニット	
5 4 0	基地局	
5 5 0	遠隔ユニット	
5 8 0	順方向リンク信号	
5 9 0	逆方向リンク信号	
6 0 0	設計用ワークステーション	
6 0 1	ハードディスク	
6 0 2	ディスプレイ	
6 0 3	ドライブ装置	50

6 0 4 記憶媒体
6 1 0 回路
6 1 2 半導体構成要素

【図 1 A】

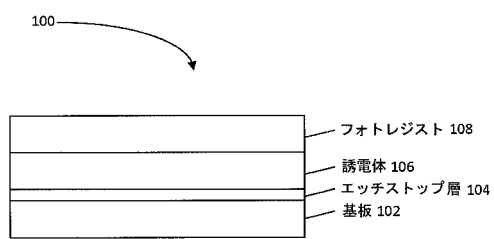


FIG. 1A

【図 1 C】

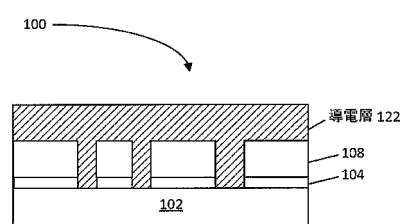


FIG. 1C

【図 1 B】

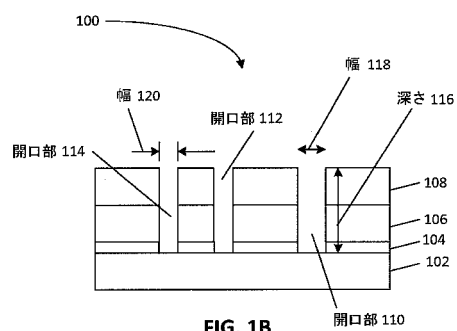


FIG. 1B

【図 1 D】

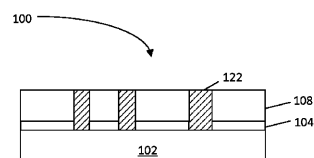


FIG. 1D

【図 1 E】

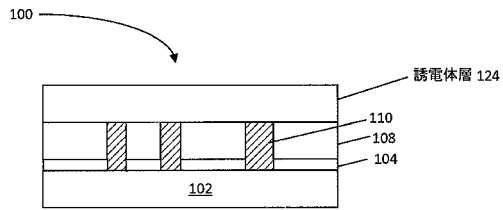


FIG. 1E

【図 2 A】

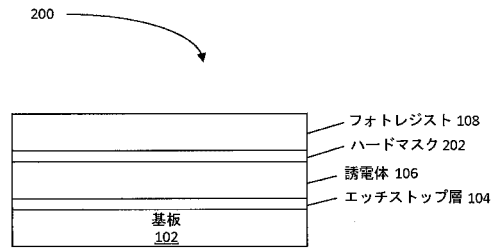


FIG. 2A

【図 2 B】

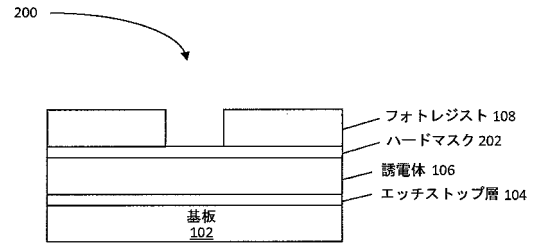


FIG. 2B

【図 2 C】

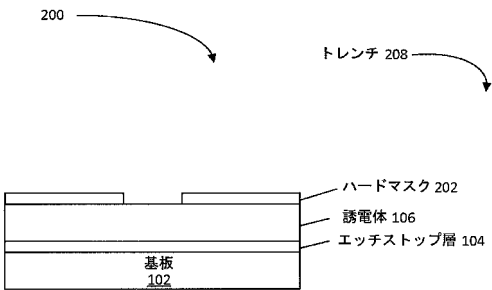


FIG. 2C

【図 2 D】

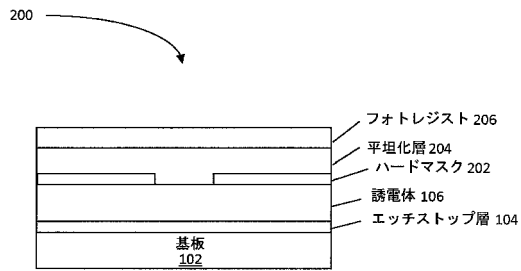


FIG. 2D

【図 2 F】

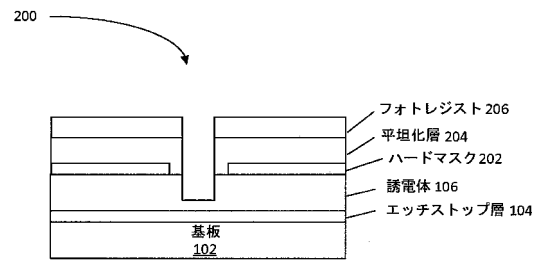


FIG. 2F

【図 2 E】

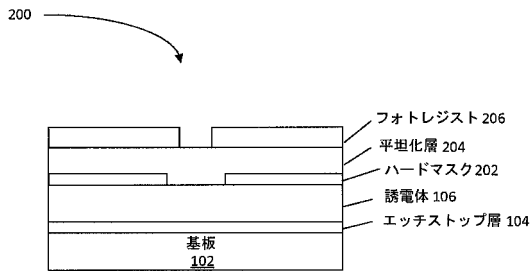


FIG. 2E

【図 2 G】

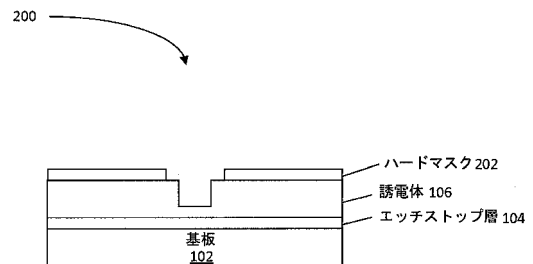


FIG. 2G

【図 2 H】

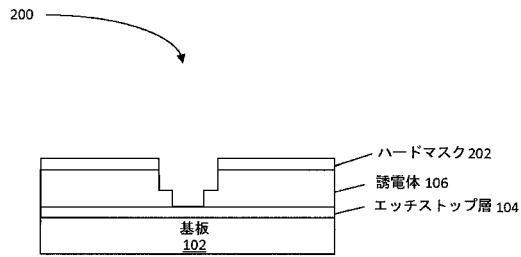


FIG. 2H

【図 2 J】

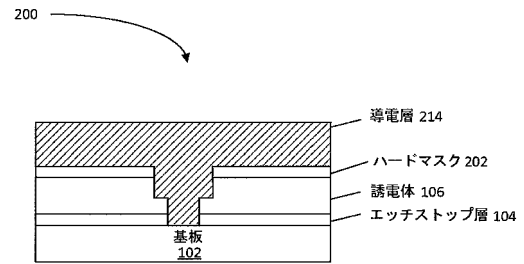


FIG. 2J

【図 2 I】

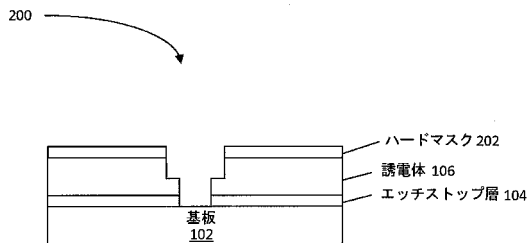


FIG. 2I

【図 2 K】

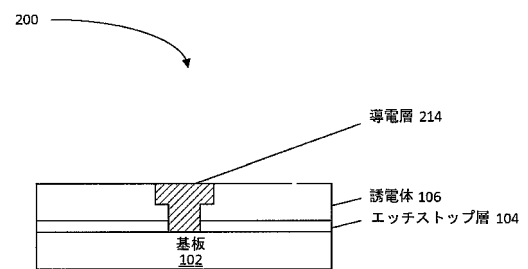


FIG. 2K

【図 3】

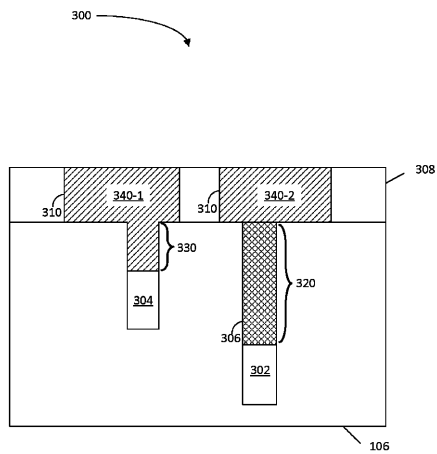


FIG. 3

【図 4】

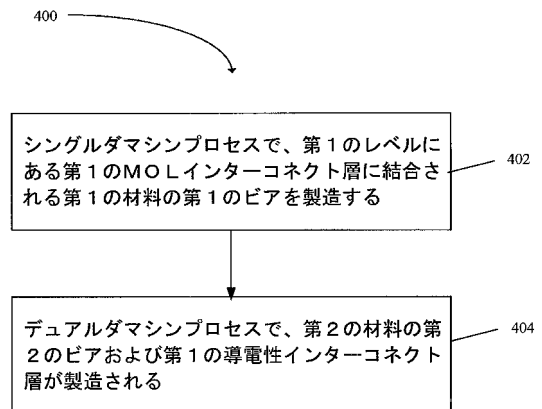


FIG. 4

【図 5】

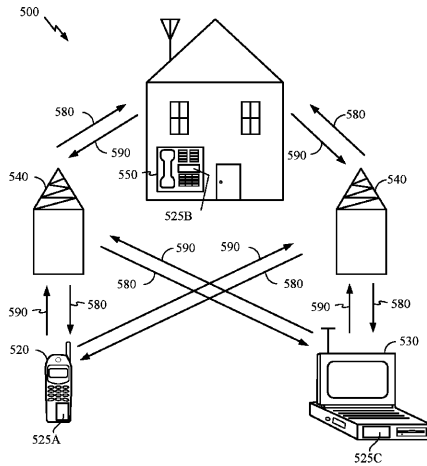


FIG. 5

【図 6】

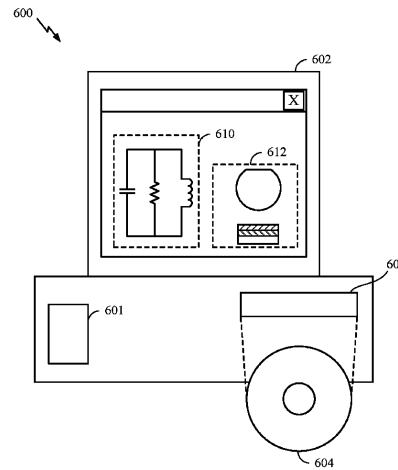


FIG. 6

【手続補正書】

【提出日】平成28年11月10日(2016.11.10)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

半導体デバイスであって、

シングルダマシンプロセスで製造された、第1の導電性インターコネクタ層の第1の部分と、第1のレベルにある少なくとも第1のミドルオブライン(MOL)インターコネクタ層との間の第1の導電性材料の第1のビアであって、前記第1の導電性インターコネクタ層の前記第1の部分は第2の導電性材料のものであり、前記第1のビアは誘電体層内に配置される、第1のビアと、

前記第1の導電性インターコネクタ層の第2の部分と、第2のレベルにある少なくとも第2のMOLインターコネクタ層との間の前記第2の導電性材料の第2のビアであって、前記第2のビアおよび前記第1の導電性インターコネクタ層はデュアルダマシンプロセスで製造され、前記第1の導電性インターコネクタ層の前記第2の部分は前記第2の導電性材料のものであり、前記第2のビアは前記誘電体層内に配置され、前記第1の導電性材料は前記第2の導電性材料とは異なる、第2のビアと、

前記第1のMOLインターコネクタ層または前記第2のMOLインターコネクタ層のうちの1つに結合される回路であって、前記第1のMOLインターコネクタ層および前記第2のMOLインターコネクタ層は前記回路と前記第1の導電性インターコネクタ層との間に配置される、回路とを備える、半導体デバイス。

【請求項 2】

前記第 1 のビアの長さは、前記第 2 のビアの長さとは異なる、請求項 1 に記載の半導体デバイス。

【請求項 3】

前記第 1 のビアの抵抗は、前記第 2 のビアの抵抗とは異なる、請求項 1 に記載の半導体デバイス。

【請求項 4】

前記第 1 の導電性材料はタングステンであり、前記第 2 の導電性材料は銅である、請求項 1 に記載の半導体デバイス。

【請求項 5】

前記第 1 の導電性材料および前記第 2 の導電性材料のうちの少なくとも 1 つは、前記第 1 のビアのアスペクト比に少なくとも部分的に基づいて選択される、請求項 1 に記載の半導体デバイス。

【請求項 6】

前記第 1 の導電性材料および前記第 2 の導電性材料のうちの少なくとも 1 つは、前記第 1 の M O L インターコネク層および前記第 2 の M O L インターコネク層のうちの 1 つに結合される前記回路に少なくとも部分的に基づいて選択される、請求項 1 に記載の半導体デバイス。

【請求項 7】

携帯電話、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、コンピュータ、ハンドヘルドパーソナル通信システム（PCS）ユニット、ポータブルデータユニット、および/または定置データユニットに組み込まれる、請求項 1 に記載の半導体デバイス。

【請求項 8】

ミドルブライン（M O L）半導体デバイスを製造する方法であって、
シングルダマシンプロセスにおいて、誘電体層内に第 1 の導電性材料の第 1 のビアを製造するステップであって、前記第 1 のビアは第 1 のレベルにある第 1 の M O L インターコネク層に結合される、製造するステップと、
デュアルダマシンプロセスで第 2 の導電性材料の第 2 のビアおよび第 1 の導電性インターコネク層を製造するステップであって、前記第 2 のビアは前記誘電体層内に製造され、前記第 1 の導電性インターコネク層の第 1 の部分が前記第 1 のビアに結合され、前記第 1 の導電性材料は前記第 2 の導電性材料とは異なり、前記第 2 のビアは、前記第 1 の導電性インターコネク層の第 2 の部分と、第 2 のレベルにある第 2 の M O L インターコネク層とに結合され、前記第 1 の M O L インターコネク層または前記第 2 の M O L インターコネク層のうちの 1 つに回路が結合され、前記第 1 の M O L インターコネク層および前記第 2 の M O L インターコネク層は、前記回路と前記第 1 の導電性インターコネク層との間に配置される、製造するステップとを含む、方法。

【請求項 9】

前記第 2 のビアのアスペクト比に少なくとも部分的に基づいて、前記第 2 の導電性材料を選択するステップをさらに含む、請求項 8 に記載の方法。

【請求項 10】

前記第 1 の導電性インターコネク層と前記第 2 の M O L インターコネク層との間の所望の抵抗に少なくとも部分的に基づいて前記第 2 の導電性材料を選択するステップをさらに含む、請求項 8 に記載の方法。

【請求項 11】

前記第 1 のビアの長さは、前記第 2 のビアの長さとは異なる、請求項 8 に記載の方法。

【請求項 12】

前記第 1 のビアの抵抗は、前記第 2 のビアの抵抗とは異なる、請求項 8 に記載の方法。

【請求項 13】

前記第 1 の導電性材料はタングステンであり、前記第 2 の導電性材料は銅である、請求

項 8 に記載の方法。

【請求項 14】

前記第 1 の導電性材料および前記第 2 の導電性材料のうちの少なくとも 1 つは、前記第 1 のビアのアスペクト比に少なくとも部分的に基づいて選択される、請求項 8 に記載の方法。

【請求項 15】

前記第 1 の導電性材料および前記第 2 の導電性材料のうちの少なくとも 1 つは、前記第 1 の M O L インターコネク層および前記第 2 の M O L インターコネク層のうちの 1 つに結合される前記回路に少なくとも部分的に基づいて選択される、請求項 8 に記載の方法。

【請求項 16】

ミドルブライン (M O L) 半導体デバイスを製造する方法であって、

シングルダマシンプロセスにおいて、誘電体層内に第 1 の導電性材料の第 1 のビアを製造するためのステップであって、前記第 1 のビアは第 1 のレベルにある第 1 の M O L インターコネク層に結合される、製造するステップと、

デュアルダマシンプロセスで第 2 の導電性材料の第 2 のビアおよび第 1 の導電性インターコネク層を製造するステップであって、前記第 2 のビアは前記誘電体層内に製造され、前記第 1 の導電性インターコネク層の第 1 の部分が前記第 1 のビアに結合され、前記第 1 の導電性材料は前記第 2 の導電性材料とは異なり、前記第 2 のビアは、前記第 1 の導電性インターコネク層の第 2 の部分と、第 2 のレベルにある第 2 の M O L インターコネク層とに結合され、前記第 1 の M O L インターコネク層または前記第 2 の M O L インターコネク層のうちの 1 つに回路が結合され、前記第 1 の M O L インターコネク層および前記第 2 の M O L インターコネク層は、前記回路と前記第 1 の導電性インターコネク層との間に配置される、製造するステップとを含む、方法。

【請求項 17】

前記第 2 のビアのアスペクト比に少なくとも部分的に基づいて、前記第 2 の導電性材料を選択するステップをさらに含む、請求項 16 に記載の方法。

【請求項 18】

前記第 1 の導電性インターコネク層と前記第 2 の M O L インターコネク層との間の所望の抵抗に少なくとも部分的に基づいて前記第 2 の導電性材料を選択するステップをさらに含む、請求項 16 に記載の方法。

【請求項 19】

前記第 1 のビアの長さは、前記第 2 のビアの長さとは異なる、請求項 16 に記載の方法。

【請求項 20】

前記第 1 のビアの抵抗は、前記第 2 のビアの抵抗とは異なる、請求項 16 に記載の方法。

【請求項 21】

前記第 1 の導電性材料および前記第 2 の導電性材料のうちの少なくとも 1 つは、前記第 1 のビアのアスペクト比に少なくとも部分的に基づいて選択される、請求項 16 に記載の方法。

【請求項 22】

前記第 1 の導電性材料および前記第 2 の導電性材料のうちの少なくとも 1 つは、前記第 1 の M O L インターコネク層および前記第 2 の M O L インターコネク層のうちの 1 つに結合される前記回路に少なくとも部分的に基づいて選択される、請求項 16 に記載の方法。

【請求項 23】

前記 M O L インターコネク層は、携帯電話、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、コンピュータ、ハンドヘルドパーソナル通信システム (P C S) ユニット、ポータブルデータユニット

、および／または定置データユニットに組み込まれる、請求項 16 に記載の方法。

【請求項 24】

半導体デバイスであって、

第 1 の導電性インターコネクタ層の第 1 の部分と、第 1 のレベルにある少なくとも第 1 のミドルブライン (MOL) インターコネクタ層との間の電流を伝導させるための手段であって、シングルダマシンプロセスにおいて第 1 の導電性材料で製造され、前記第 1 の導電性インターコネクタ層の前記第 1 の部分は第 2 の導電性材料のものであり、前記電流伝導手段は誘電体層内に配置される、電流を伝導させるための手段と、

前記第 1 の導電性インターコネクタ層の第 2 の部分と、第 2 のレベルにある少なくとも第 2 の MOL インターコネクタ層との間の電流を伝導させるための手段であって、前記電流伝導手段と、前記第 1 の導電性インターコネクタ層の前記第 2 の部分とはデュアルダマシンプロセスにおいて前記第 2 の導電性材料で製造され、前記電流伝導手段は、前記誘電体層内に配置され、前記第 1 の導電性材料は前記第 2 の導電性材料とは異なり、前記第 1 の MOL インターコネクタ層または前記第 2 の MOL インターコネクタ層のうちの 1 つに回路が結合され、前記第 1 の MOL インターコネクタ層および前記第 2 の MOL インターコネクタ層は、前記回路と前記第 1 の導電性インターコネクタ層との間に配置される、電流を伝導させるための手段とを備える、半導体デバイス。

【請求項 25】

前記第 1 の手段の長さは、前記第 2 の手段の長さとは異なる、請求項 24 に記載の半導体デバイス。

【請求項 26】

前記第 1 の手段の抵抗は、前記第 2 の手段の抵抗とは異なる、請求項 24 に記載の半導体デバイス。

【請求項 27】

前記第 1 の導電性材料はタングステンであり、前記第 2 の導電性材料は銅である、請求項 24 に記載の半導体デバイス。

【請求項 28】

前記第 1 の導電性材料および前記第 2 の導電性材料のうちの少なくとも 1 つは、前記第 1 の手段のアスペクト比に少なくとも部分的に基づいて選択される、請求項 24 に記載の半導体デバイス。

【請求項 29】

前記第 1 の導電性材料および前記第 2 の導電性材料のうちの少なくとも 1 つは、前記第 1 の MOL インターコネクタ層および前記第 2 の MOL インターコネクタ層のうちの 1 つに結合される前記回路に少なくとも部分的に基づいて選択される、請求項 24 に記載の半導体デバイス。

【請求項 30】

携帯電話、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、コンピュータ、ハンドヘルドパーソナル通信システム (PCS) ユニット、ポータブルデータユニット、および／または定置データユニットに組み込まれる、請求項 24 に記載の半導体デバイス。

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No

PCT/US2015/024083

A. CLASSIFICATION OF SUBJECT MATTER

INV. H01L21/768
ADD.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2009/130837 A1 (HUANG JUDY H [US]) 21 May 2009 (2009-05-21) paragraph [0051] - paragraph [0053]; figure 1 -----	1-7, 24-30
X	US 6 261 960 B1 (YU ALLEN S [US] ET AL) 17 July 2001 (2001-07-17) column 6, line 1 - column 7, line 67; figures 3A-3P -----	1-30
A	US 2005/285269 A1 (CAO YANG [US] ET AL) 29 December 2005 (2005-12-29) paragraph [0034] -----	4,13,27
A	US 2012/070986 A1 (UEKI MAKOTO [JP] ET AL) 22 March 2012 (2012-03-22) abstract; figures 2a-4c -----	1-30

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

3 June 2015

Date of mailing of the international search report

10/06/2015

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Authorized officer

Hedouin, Mathias

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2015/024083

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2009130837	A1	21-05-2009	EP 1118025 A2 25-07-2001
			EP 1118107 A1 25-07-2001
			EP 1118109 A1 25-07-2001
			JP 2002526649 A 20-08-2002
			JP 2002526916 A 20-08-2002
			KR 20070005025 A 09-01-2007
			TW 432476 B 01-05-2001
			TW 492138 B 21-06-2002
			TW 523803 B 11-03-2003
			US 6974766 B1 13-12-2005
			US 2006089007 A1 27-04-2006
			US 2009130837 A1 21-05-2009
			WO 0019498 A1 06-04-2000
			WO 0019508 A1 06-04-2000
			WO 0020900 A2 13-04-2000
US 6261960	B1	17-07-2001	NONE
US 2005285269	A1	29-12-2005	NONE
US 2012070986	A1	22-03-2012	JP 5554951 B2 23-07-2014
			JP 2010093235 A 22-04-2010
			US 2010059887 A1 11-03-2010
			US 2012070986 A1 22-03-2012

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

(72)発明者 ジェフリー・ジュンハオ・シュ
アメリカ合衆国・カリフォルニア・9 2 1 2 1 - 1 7 1 4・サン・ディエゴ・モアハウス・ドライブ・5 7 7 5

(72)発明者 スタンリー・スンチュル・ソン
アメリカ合衆国・カリフォルニア・9 2 1 2 1 - 1 7 1 4・サン・ディエゴ・モアハウス・ドライブ・5 7 7 5

(72)発明者 カーン・リム
アメリカ合衆国・カリフォルニア・9 2 1 2 1 - 1 7 1 4・サン・ディエゴ・モアハウス・ドライブ・5 7 7 5

(72)発明者 ジョンゼ・ワン
アメリカ合衆国・カリフォルニア・9 2 1 2 1 - 1 7 1 4・サン・ディエゴ・モアハウス・ドライブ・5 7 7 5

F ターム(参考) 4M104 BB04 BB13 BB17 BB18 BB30 BB32 CC01 DD05 DD08 DD09
DD16 DD37 DD52 FF17 FF18 FF22 HH14
5F033 JJ08 JJ11 JJ19 JJ21 JJ23 JJ32 JJ33 KK01 MM02 NN06
NN07 PP15 PP27 QQ08 QQ09 QQ12 QQ19 QQ25 QQ26 QQ37
QQ38 QQ48 RR04 XX03