

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年3月4日(04.03.2021)



(10) 国際公開番号
WO 2021/038363 A1

- (51) 国際特許分類:
H01L 21/8234 (2006.01) *H01L 21/336* (2006.01)
H01L 27/06 (2006.01) *H01L 29/788* (2006.01)
H01L 27/088 (2006.01) *H01L 29/792* (2006.01)
H01L 21/8242 (2006.01) *H01L 29/786* (2006.01)
H01L 27/108 (2006.01) *G11C 11/404* (2006.01)
H01L 27/11556 (2017.01) *G11C 11/405* (2006.01)
H01L 27/1156 (2017.01)

特願 2019-156245 2019年8月29日(29.08.2019) JP
特願 2019-220154 2019年12月5日(05.12.2019) JP

(71) 出願人: 株式会社半導体エネルギー研究所
(SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木市長谷398 Kanagawa (JP).

(72) 発明者: 木村肇 (KIMURA, Hajime); 〒2430036 神奈川県厚木市長谷398 株式会社半導体エネルギー研究所内 Kanagawa (JP). 大貫達也 (ONUKI, Tatsuya); 〒2430036 神奈川県厚木市長谷398 株式会社半導体エネルギー研究所内 Kanagawa (JP). 國武寛司 (KUNITAKE, Hitoshi); 〒2430036 神奈川県厚

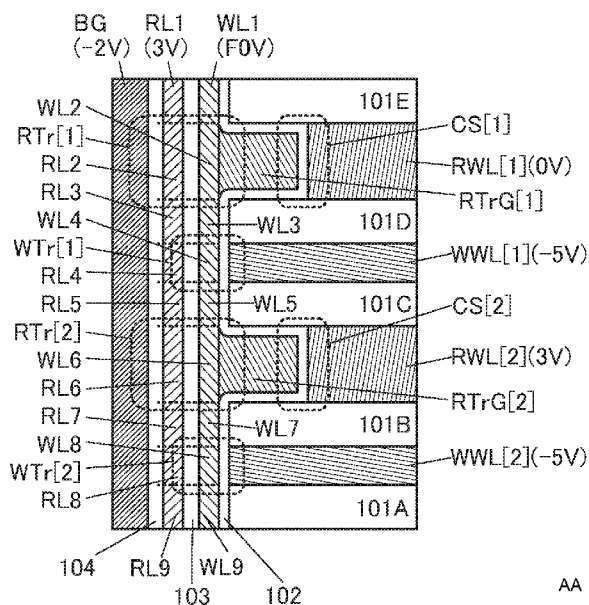
- (21) 国際出願番号: PCT/IB2020/057716
- (22) 国際出願日: 2020年8月17日(17.08.2020)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:

(54) Title: SEMICONDUCTOR DEVICE, ELECTRONIC APPARATUS

(54) 発明の名称: 半導体装置、電子機器

図38

読み出し期間(選択) AA



AA Reading period (selection)

(57) Abstract: Provided is a semiconductor device that has a novel configuration. A semiconductor device that has a memory module. The memory module has a first memory cell, first wiring, and second wiring and third wiring that include a metal oxide. The first memory cell has a reading transistor and a rewriting transistor. The first wiring has a region that functions as a back gate for the reading transistor and a region that makes the second wiring function as a conductor. The second wiring has a region that functions as a channel formation region for the reading transistor, a region that functions as a back gate for the rewriting transistor, and a region that makes the third wiring function as a conductor. The third



WO 2021/038363 A1

木市長谷 398 株式会社半導体エネルギー
研究所内 Kanagawa (JP).

- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

- 一 国際調査報告 (条約第21条(3))
- 一 白黒。出願原本にはカラー又はグレースケールの情報が含まれており、PATENTSCOPE からのダウンロードが可能。

wiring has a region that functions as a channel formation region for the rewriting transistor and a region that functions as a conductor.

(57) 要約 : 新規な構成の半導体装置を提供する。メモリモジュールを有する半導体装置である。メモリモジュールは、第1のメモリセル、第1の配線、および金属酸化物を含む第2の配線、第3の配線を有する。第1のメモリセルは、読み出しトランジスタ、書き換えトランジスタを有する。第1の配線は、読み出しトランジスタのバックゲートとして機能する領域と、第2の配線を導体として機能させる領域とを有する。第2の配線は、読み出しトランジスタのチャネル形成領域として機能する領域と、書き換えトランジスタのバックゲートとして機能する領域と、第3の配線を導体として機能させる領域とを有する。第3の配線は、書き換えトランジスタのチャネル形成領域として機能する領域と、導体として機能する領域とを有する。

発明の名称

半導体装置、電子機器

技術分野

[0001]

本発明の一態様は、半導体装置、電子機器に関する。

[0002]

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様の技術分野は、物、駆動方法、または、製造方法に関する。または、本発明は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関する。特に、本発明の一態様は、半導体装置、表示装置、発光装置、蓄電装置、記憶装置、それらの駆動方法、またはそれらの製造方法に関する。

[0003]

なお、本明細書等において、半導体装置は、半導体特性を利用することで機能しうる素子、回路、または装置等を指す。一例としては、トランジスタ、ダイオード等の半導体素子は半導体装置である。また別の一例としては、半導体素子を有する回路は、半導体装置である。また別の一例としては、半導体素子を有する回路を備えた装置は、半導体装置である。

背景技術

[0004]

スマートフォン、タブレット、電子ブック等のモバイル機器、パーソナルコンピュータ、サーバなどの半導体装置を有する電子機器は、大きなデータを扱うことが求められている。よって半導体装置は、記憶容量が大きく、消費電力が小さく、さらに処理時間が高速であることが求められている。

[0005]

特に、近年、上述した電子機器では、高精細な画像、動画、音声などを扱うアプリケーションが増えるに従い、扱われるデータ量が増加している。よって記憶容量の大きい半導体装置が求められている。特許文献1では、メモリセルが三次元的に積層された半導体装置について開示されている。また、半導体装置のチップの大きさを変えずに大きな記憶容量を有する半導体装置を実現するには、半導体装置が有する回路を微細化する技術が求められている。

[先行技術文献]

[特許文献]

[0006]

[特許文献1] 特開2008-258458号公報

発明の概要

発明が解決しようとする課題

[0007]

電子機器で動作するアプリケーションは、インターネット、またはネットワークと接続することで画像および音声などの大きなデータを快適に扱うことが求められている。また、モバイル機器のように可搬性を有する電子機器では、長時間の使用を実現するために電力の低減が課題である。電子機器では、電力の低減のためにパワーゲーティング等の電力低減技術を利用することができる。

しかし、パワーゲーティング等の電力低減技術を利用するには、使用中のデータの退避を必要とする問題がある。

[0008]

例えば、半導体装置として知られているNAND型フラッシュメモリ等では、データの書き換えをするために指定したアドレス以外のデータについても更新する必要がある。したがって、NAND型フラッシュメモリ等では、大量のデータを書き込むための処理時間が多く必要とされ、さらに、データ量に応じて消費電力が増加する課題がある。また、NAND型フラッシュメモリ等では、データを書き込む場合に高い電位が必要のため消費電力が大きい課題がある。

[0009]

上記問題に鑑み、本発明の一態様は、新規な構成の記憶装置を提供することを課題の一とする。または、本発明の一態様は、消費電力が低減された記憶装置を提供することを課題の一とする。または、本発明の一態様は、書き換え時間が短縮された記憶装置を提供することを課題の一とする。

[0010]

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

課題を解決するための手段

[0011]

本発明の一態様は、メモリモジュールを有する半導体装置である。メモリモジュールは、第1のメモリセル、第1の配線、第2の配線、および第3の配線を有する。なお、第2の配線および第3の配線は、金属酸化物を含む。第1のメモリセルは、第1の読み出しトランジスタ、第1の書き換えトランジスタを有する。第1の配線は、第1の読み出しトランジスタのバックゲートとして機能する領域と、第2の配線を導体として機能させる領域と、を有する。第2の配線は、第1の読み出しトランジスタのチャンネル形成領域として機能する領域と、第1の書き換えトランジスタのバックゲートとして機能する領域と、第3の配線を導体として機能させる領域と、を有する。第3の配線は、第1の書き換えトランジスタのチャンネル形成領域として機能する領域と、導体として機能する領域と、を有する。

[0012]

上記構成において、第1の書き換えトランジスタは、第1の読み出しトランジスタと同じ開口部に形成され、第1の読み出しトランジスタのチャンネル形成領域を含む第2の配線は、第1の書き換えトランジスタのチャンネル形成領域を含む第3の配線の内側に絶縁層を介して形成されることが好ましい。

[0013]

上記記載の半導体装置と、筐体と、を有する電子機器が好ましい。

発明の効果

[0014]

本発明の一態様は、新規な構成の記憶装置を提供することができる。または、本発明の一態様は、消費電力が低減された記憶装置を提供することができる。または、本発明の一態様は、書き換え時間が短縮された記憶装置を提供することができる。

[0015]

なお本発明の一態様の効果は、上記列挙した効果に限定されない。上記列挙した効果は、他の効果の存在を妨げるものではない。なお他の効果は、以下の記載で述べる、本項目で言及していない効果である。本項目で言及していない効果は、当業者であれば明細書または図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した効果、および／または他の効果のうち、少なくとも一つの効果を有するものである。したがって本発明の一態様は、場合によっては、上記列挙した効果を有さない場合もある。

図面の簡単な説明

[0016]

図1A乃至図1Cは、半導体装置の構成例を示す回路図である。
図2は、半導体装置の構成例を示す回路図である。
図3は、メモリストリングの等価回路図である。
図4は、メモリストリングの等価回路図である。
図5は、メモリストリングの等価回路図である。
図6は、メモリストリングの等価回路図である。
図7は、半導体装置の動作例を示すタイミングチャートである。
図8は、半導体装置の動作例を示すタイミングチャートである。
図9は、半導体装置の動作例を示すタイミングチャートである。
図10は、半導体装置の構成例を示す回路図である。
図11は、半導体装置の動作例を示すタイミングチャートである。
図12は、半導体装置の動作例を示すタイミングチャートである。
図13Aおよび図13Bは、記憶装置の一例を示すブロック図である。
図14は、半導体装置の構成例を示す回路図である。
図15は、半導体装置の構成例を示す回路図である。
図16は、半導体装置の構成例を示す回路図である。
図17Aおよび図17Bは、半導体装置の構成例を説明するための上面図、および断面図である。
図18Aおよび図18Bは、半導体装置の作製例を説明するための断面図である。
図19Aおよび図19Bは、半導体装置の作製例を説明するための断面図である。
図20Aおよび図20Bは、半導体装置の作製例を説明するための断面図である。
図21Aおよび図21Bは、半導体装置の作製例を説明するための断面図である。
図22Aおよび図22Bは、半導体装置の作製例を説明するための断面図である。
図23Aおよび図23Bは、半導体装置の作製例を説明するための断面図である。
図24Aおよび図24Bは、半導体装置の作製例を説明するための断面図である。
図25Aおよび図25Bは、半導体装置の作製例を説明するための断面図である。
図26Aおよび図26Bは、半導体装置の作製例を説明するための断面図である。
図27Aおよび図27Bは、半導体装置の作製例を説明するための断面図である。
図28は、半導体装置の作製例を説明するための断面図である。
図29は、半導体装置の作製例を説明するための断面図である。
図30は、半導体装置の作製例を説明するための断面図である。
図31は、半導体装置を説明するための断面図である。

図3 2 Aおよび図3 2 Bは、半導体装置を説明するための断面図である。
図3 3 Aおよび図3 3 Bは、半導体装置を説明するための断面図である。
図3 4は、半導体装置を説明する図である。
図3 5は、半導体装置の動作例を説明する図である。
図3 6は、半導体装置の動作例を説明する図である。
図3 7は、半導体装置の動作例を説明する図である。
図3 8は、半導体装置の動作例を説明する図である。
図3 9は、半導体装置の動作例を説明する図である。
図4 0は、半導体装置の動作例を説明する図である。
図4 1は、CPUを説明するブロック図である。
図4 2 A乃至図4 2 Eは、電子機器の例を示す斜視図である。
図4 3 A乃至図4 3 Fは、電子機器の例を示す斜視図である。

発明を実施するための形態

[0017]

(実施の形態1)

本実施の形態では、メモリセルの書き換え時間を短縮する半導体装置について図1乃至図12を用いて説明する。

[0018]

はじめに、半導体装置の回路構成について、図1Aを参照して説明する。図1Aに示す半導体装置は、 n 個のメモリセルを有するメモリモジュール10である。メモリモジュール10は、メモリセルMC [1]乃至メモリセルMC [n]、選択トランジスタDT r 1、選択トランジスタDT r 2、選択トランジスタDT r 3、配線WWL_D、配線RWL_D 1、配線RWL_D 2、配線WL [1]乃至配線WL [n]、配線RWL [1]乃至配線RWL [n]、配線WBL 1、配線RBL 1、および配線RBL 2を有する。なお、配線WWL (配線WWL [1]乃至配線WWL [n])は書き換えワード線として機能し、配線RWL (配線RWL [1]乃至配線RWL [n])は読み出しワード線として機能し、配線WBL 1は書き換えビット線として機能し、配線RBL 1および配線RBL 2は読み出しビット線として機能する。 n は、2以上の整数である。

[0019]

メモリセルMC [1]乃至メモリセルMC [n]のそれぞれは、トランジスタWT rと、トランジスタRT rと、を有する。なお、図1Aに図示しているトランジスタWT r (トランジスタWT r [1]乃至トランジスタWT r [n])およびトランジスタRT r (トランジスタRT r [1]乃至トランジスタRT r [n])は、オフ電流の小さなトランジスタであることが好ましい。トランジスタWT rおよびトランジスタRT rは、オフ電流の小さなトランジスタを用いることで、隣り合うメモリノードに保持されたデータの独立性を確保することができる。さらに、トランジスタWT rおよびトランジスタRT rは、バックゲートを有するトランジスタであることが好ましい。バックゲートに電位を印加することで、トランジスタWT rおよびトランジスタRT rの閾値を制御することができる。

[0020]

図1Aでは、メモリセルMC [1]乃至メモリセルMC [n]が直列に接続される例を示している。直列に接続されるメモリセルMC [1]乃至メモリセルMC [n]のいずれか一方の端には、

メモリセルに記憶されるデータを書き換えための選択トランジスタDTr1が接続されていることが好ましい。また、直列に接続されるメモリセルMC[1]乃至メモリセルMC[n]のいずれか一方の端には、メモリセルに記憶されるデータを読み出すための選択トランジスタDTr2が接続され、他方の端には、メモリセルに記憶されるデータを読み出すための選択トランジスタDTr3が接続されていることが好ましい。図1Aでは、選択トランジスタDTr1および選択トランジスタDTr2がメモリセルMC[1]に接続される例を示している。

[0021]

それぞれのメモリセルは、トランジスタWTr、及びトランジスタRTrに加えて、容量CS、およびメモリノードを有している。トランジスタWTrは、書き換えトランジスタとして機能し、トランジスタRTrは読み出しトランジスタとして機能する。

[0022]

メモリノードは、トランジスタWTrのソースまたはドレインの一方と、トランジスタRTrのゲートと、容量CSの電極の一方とに電氣的に接続されることで形成されている。トランジスタWTrのゲートは、配線WWLと電氣的に接続され、容量CSの電極の他方は、配線RWLと電氣的に接続されている。例えば、メモリセルMC[1]のトランジスタWTr[1]のソースまたはドレインの他方は、メモリセルMC[1]と直列に接続されているメモリセルMC[2]のメモリノードと電氣的に接続されている。

[0023]

選択トランジスタDTr1のソースまたはドレインの一方は、配線WBL1に電氣的に接続され、選択トランジスタDTr1のソースまたはドレインの他方は、メモリセルMC[1]のメモリノードと電氣的に接続され、選択トランジスタDTr1のゲートは、配線WWL_Dと電氣的に接続されている。

[0024]

また、メモリセルMC[n]が有するトランジスタWTr[n]のソースまたはドレインの他方は、配線WBL1と電氣的に接続されている。つまり、直列に接続された一連のメモリセルの一端は、選択トランジスタDTr1と配線WBL1を介して一連のメモリセルの他端と電氣的に接続されている。

[0025]

選択トランジスタDTr2のソースまたはドレインの一方は、配線RBL2に電氣的に接続され、選択トランジスタDTr2のソースまたはドレインの他方は、メモリセルMC[1]のトランジスタRTr[1]のソースまたはドレインの一方と電氣的に接続され、選択トランジスタDTr2のゲートは、配線RWL_{D1}と電氣的に接続されている。

[0026]

メモリセルMC[1]が有するトランジスタRTr[1]のソースまたはドレインの他方は、直列に接続されたメモリセルMC[2]が有するトランジスタRTr[2]のソースまたはドレインの一方と電氣的に接続されている。

[0027]

また、メモリセルMC[n]が有するトランジスタRTr[n]のソースまたはドレインの他方は、選択トランジスタDTr3のソースまたはドレインの一方と電氣的に接続される。また、選択トランジスタDTr3のソースまたはドレインの他方は、配線RBL1と電氣的に接続されている。

選択トランジスタDT r 3のゲートは、配線RWL_{D 2}と電氣的に接続されている。つまり、配線RBL₁は、選択トランジスタDT r 2を介して直列に接続されたメモリセルが有するトランジスタRT rと電氣的に接続され、メモリセルMC [n]が有するトランジスタRT r [n]は、選択トランジスタDT r 2を介して配線RBL₂と電氣的に接続されている。

[0028]

一例として、メモリセルMC [1]が有するトランジスタWT r [1]のバックゲートは、メモリセルMC [1]が有するトランジスタRT r [1]のソースまたはドレインの他方と、メモリセルMC [2]が有するトランジスタRT r [2]のソースまたはドレインの一方とが接続するノードと電氣的に接続される。なお、選択トランジスタDT r 1のバックゲートは、選択トランジスタDT r 2のソースまたはドレインの他方と、メモリセルMC [1]が有するトランジスタRT r [1]のソースまたはドレインの一方とが接続するノードと電氣的に接続される。

[0029]

なお、図1Aに図示している配線BGLは、それぞれのメモリセルMC [1]乃至メモリセルMC [n]が有するトランジスタRT r [1]乃至トランジスタRT r [n]のバックゲートと電氣的に接続されている。また選択トランジスタDT r 2、および選択トランジスタDT r 3は、トランジスタWT r [n]と同様にバックゲートを有していることが好ましく、図1Aに図示しているとおり、選択トランジスタDT r 2、および選択トランジスタDT r 3のそれぞれのバックゲートも、配線BGLに電氣的に接続されていることが好ましい。

[0030]

上述したメモリモジュール10の構成において、メモリセルMC [1]乃至メモリセルMC [n]のいずれかのメモリセルのデータを書き換えるには、直列に接続されているトランジスタWT rと、メモリノードとを介して書き換えることができる。ただし、メモリセルMC [1]から近いメモリセルMC [j] (jは1以上n以下の整数である。)のデータを書き換えるには、選択トランジスタDT r 1を介して配線WBL₁からデータが与えられることが好ましく、メモリセルMC [n]から近いメモリセルMC [j]のデータを書き換えるには、メモリセルMC [n]に接続される配線WBL₁からデータが与えられることが好ましい。

[0031]

また、上述したメモリモジュール10の構成において、メモリセルMC [1]乃至メモリセルMC [n]のいずれかのメモリセルのデータの読み出しには、直列に接続されているトランジスタRT rを介して読み出すことができる。ただし、メモリセルMC [1]から近いメモリセルMC [j]のデータを読み出すには、選択トランジスタDT r 2を介して配線RBL₁に読み出したデータが与えられることが好ましく、メモリセルMC [n]から近いメモリセルMC [j]のデータを読み出すには、メモリセルMC [n]に接続される選択トランジスタDT r 3を介して配線RBL₂に読み出したデータが与えられることが好ましい。

[0032]

なお、選択トランジスタDT r 1のチャネル形成部、メモリノード、およびトランジスタWT rのチャネル形成領域は、同じ金属酸化物を含む半導体層である。ただし、当該金属酸化物を含む半導体層は、水素などを含む不純物を添加することで抵抗値が下がり配線として機能させることができる。また、当該金属酸化物を含む半導体層は、正の電界を与えることで抵抗値が下がり配線として機能させることができる。したがって、当該金属酸化物を含む半導体層を配線と言い換えること

ができる。

[0033]

また、選択トランジスタDT_r2および選択トランジスタDT_r3のチャンネル形成部、読み出しトランジスタRT_rのチャンネル形成領域、およびトランジスタRT_r間の接続ノードは、金属酸化物を含む半導体層である。したがって、当該金属酸化物を含む半導体層を配線と言い換えることができる。

[0034]

トランジスタWT_rおよびトランジスタRT_rのチャンネル形成領域は、例えば、インジウム、元素M（元素Mとしては、例えば、アルミニウム、ガリウム、イットリウム、錫など）、亜鉛から一、または複数選ばれた金属酸化物を有することが好ましい。この場合、当該金属酸化物は、ワイドギャップ半導体として機能するため、当該金属酸化物がチャンネル形成領域に含まれているトランジスタは、オフ電流が非常に低い特性を有している。データの保持を制御するトランジスタWT_rにオフ電流が低い特性を有するトランジスタを適用することで、メモリセルMCには、長時間データを保持することができる。これにより、保持したデータのリフレッシュ回数を低減することができるため、半導体装置の消費電力を低減することができる。なお、チャンネル形成領域に金属酸化物を含むトランジスタを、OSトランジスタと呼ぶことができる。

[0035]

また、トランジスタRT_rのチャンネル形成領域としては、トランジスタの電界効果移動度が高い材料を用いるのが好ましい。このようなトランジスタを用いることにより、半導体装置をより早く動作することができる。例えば、トランジスタRT_rのチャンネル形成領域に含まれる材料としては、インジウム、元素M（元素Mとしては、例えば、アルミニウム、ガリウム、イットリウム、錫など）、亜鉛から一、または複数選ばれた金属酸化物、シリコンなどの半導体材料を有することができる。

[0036]

図1Aとは異なる回路構成のメモリモジュール10について、図1Bを参照して説明する。図1Bに図示している配線BGLは、それぞれのメモリセルMC[1]乃至メモリセルMC[n]が有するトランジスタWT_rおよびトランジスタRT_rのバックゲートと電氣的に接続されている例を示している。バックゲートに電位を印加することで、トランジスタWT_rおよびトランジスタRT_rの閾値を制御することができる。

[0037]

なお、メモリモジュール10は、図1Bで示した例と異なり、配線BGLが、メモリセルMC[1]乃至メモリセルMC[n]に含まれるトランジスタWT_rおよびトランジスタRT_rのバックゲートにそれぞれ独立に電氣的に接続されて、それぞれが異なった電位を供給する構成としてもよい。

[0038]

また、図1Bと異なる回路構成のメモリモジュール10について、図1Cを参照して説明する。図1Cでは、トランジスタWT_rまたはトランジスタRT_rは、バックゲートが設けられないトランジスタとしている。

[0039]

例えばトランジスタWT_rおよびトランジスタRT_rのチャンネル形成領域に金属酸化物を用いる

ことで、トランジスタ WT_r は、トランジスタ RT_r と同じ開口部に形成することができる。トランジスタ RT_r のチャンネル形成領域を含む配線は、トランジスタ WT_r のチャンネル形成領域を含む配線の内側に絶縁層を介して形成される構成であることが好ましい。なお、一つの開口部に、複数のトランジスタ WT_r およびトランジスタ RT_r が交互に重なるように形成されることが好ましい。なお、当該構造は、図14乃至図29を用いて詳細に説明する。

[0040]

なお、トランジスタ WT_r およびトランジスタ RT_r は、シリコン基板上に形成することができる。トランジスタ WT_r およびトランジスタ RT_r のチャンネル形成領域に金属酸化物を用いることで、メモリモジュール10は、シリコン基板上に形成されたトランジスタの上方に形成することができる。なお、よって単位面積当たりの情報密度が高い半導体装置を提供する場合は、一つの開口部に、複数のトランジスタ WT_r およびトランジスタ RT_r が交互に重なるように形成することで実現が容易である。

[0041]

また、製造工程を簡略化することで生産コストを低減したい場合は、複数のトランジスタ WT_r およびトランジスタ RT_r を平面的に形成する。なお、シリコン基板上にトランジスタ WT_r およびトランジスタ RT_r を同時に形成することで製造工程を簡略化し、且つシリコン基板上には、異なる機能を有する回路を実装することができる。当該回路上にトランジスタ WT_r およびトランジスタ RT_r を含むメモリモジュールを形成できるため、組み込みメモリなどを実装するのに適している。また、当該回路上にメモリモジュールを構成することで、実装スペースを低減することができる。

[0042]

図2に示す半導体装置は、図1Aで示したメモリモジュール10を1列として、 m 列並べて配置したもので、配線 RWL 、および配線 WWL を同じ行のメモリセル MC と共有するように電気的に接続した構成となっている。つまり、図2に示す半導体装置は、 n 行 m 列の二次元で表すことができる半導体装置であり、メモリセル $MC[1, 1]$ 乃至メモリセル $MC[m, n]$ を有する。図2では、説明を簡便化するために図示はしていないが奥行き方向も考慮することで半導体装置が三次元のメモリセル $MC[1, 1, 1]$ 乃至メモリセル $MC[m, n, d]$ を有することができる。なお、実施の形態2では、半導体装置が三次元のメモリセル $MC[1, 1, 1]$ 乃至メモリセル $MC[m, n, d]$ を有する例について詳細な説明をする。 m 、 n 、または d は2以上の整数である。

[0043]

図2に示す半導体装置は、配線 WWL_D 、配線 RWL_D1 、配線 RWL_D2 、配線 $RWL[1]$ 乃至配線 $RWL[n]$ 、配線 $WWL[1]$ 乃至配線 $WWL[n]$ 、配線 $RBL1[1]$ 乃至配線 $RBL1[m]$ 、配線 $RBL2[1]$ 乃至配線 $RBL2[m]$ 、配線 $WBL1[1]$ 乃至配線 $WBL1[m]$ 、および配線 $BGL[1]$ 乃至配線 $BGL[m]$ を有している。

[0044]

具体的には、メモリセル $MC[i, j]$ （図示せず）の容量 CS の他方の電極は、配線 $RWL[j]$ と電気的に接続され、メモリセル $MC[i, j]$ のトランジスタ $WT_r[i, j]$ のゲートは、配線 $WWL[j]$ と電気的に接続されている。配線 $WBL1[i]$ は、選択トランジスタ $DT_r1[i]$ のソースまたはドレインの一方と、メモリセル $MC[i, n]$ のトランジスタ $WT_r[i, n]$ のソースまたはドレインの他方とが電気的に接続されている。配線 $RBL1[i]$ は、

メモリセルMC [i, n] のトランジスタ RT_r [i, n] のソースまたはドレインの他方と電氣的に接続されている。配線 RBL_2 [i] は、メモリセルMC [i, 1] のトランジスタ RT_r のソースまたはドレインの一方と電氣的に接続されている。i は1以上m以下の整数であり、j は1以上n以下の整数である。

[0045]

また、図3において、メモリセルMC [1] が備えるトランジスタ WT_r 、トランジスタ RT_r 、および容量素子CSを、それぞれトランジスタ WT_r [1]、トランジスタ RT_r [1]、および容量素子CS [1] と示している。メモリセルMC [2] 乃至メモリセルMC [4] が備えるトランジスタ WT_r 、トランジスタ RT_r 、および容量素子CSも同様に示している。

[0046]

なお、メモリモジュール10が備えるメモリセルMCの数は、4に限定されるものではない。メモリモジュール10が備えるメモリセルMCの数をnとすると、nは2以上の整数であればよい。

[0047]

また、「複数のメモリセルMCが直列に接続された構成」とは、メモリセルMC [k] (kは1以上n-1以下の整数) に含まれるトランジスタ WT_r [k] のドレイン (またはソース) が、メモリセルMC [k+1] に含まれるトランジスタ WT_r [k+1] のソース (またはドレイン) と電氣的に接続され、メモリセルMC [k] に含まれるトランジスタ RT_r [k] のドレイン (またはソース) が、メモリセルMC [k+1] に含まれるトランジスタ RT_r [k+1] のソース (またはドレイン) と電氣的に接続された構成をいう。

[0048]

トランジスタ WT_r およびトランジスタ RT_r のチャンネルが形成される半導体は、単結晶半導体、多結晶半導体、微結晶半導体、または非晶質半導体などを、単体でまたは組み合わせて用いることができる。半導体材料としては、例えば、シリコンや、ゲルマニウムなどを用いることができる。また、シリコンゲルマニウム、炭化シリコン、ガリウムヒ素、酸化物半導体、窒化物半導体などの化合物半導体を用いてもよい。

[0049]

なお、トランジスタに用いる半導体は、半導体の積層であってもよい。半導体層を積層する場合は、それぞれ異なる結晶状態を有する半導体を用いてもよいし、それぞれ異なる半導体材料を用いてもよい。

[0050]

特に、トランジスタ WT_r は、チャンネルが形成される半導体層に金属酸化物の一種である酸化物半導体を用いたOSトランジスタであることが好ましい。酸化物半導体はバンドギャップが2 eV以上であるため、オフ電流が著しく少ない。トランジスタ WT_r にOSトランジスタを用いると、ノードND (「記憶ノード」ともいう。) に書き込まれた電荷を長期間保持することができる。トランジスタ WT_r にOSトランジスタを用いた場合、メモリセルMCを「OSメモリ」と呼ぶことができる。また、当該メモリセルMCを含むメモリモジュール10も「OSメモリ」と呼ぶことができる。

[0051]

OSメモリを含むNAND型の記憶装置を「OS NAND型」または「OS NAND型の記憶装置」ともいう。また、複数のOSメモリがZ方向に積層された構成を有するOS NAND型

の記憶装置を「3D OS NAND型」または「3D OS NAND型の記憶装置」ともいう。

[0052]

また、トランジスタRT_rは、チャンネルが形成される半導体層にシリコンを用いたトランジスタ（「Siトランジスタ」ともいう。）であってもよい。トランジスタRT_rをSiトランジスタで形成し、トランジスタWT_rをOSトランジスタで形成してもよい。図4に、トランジスタWT_rとしてOSトランジスタを用い、トランジスタRT_rとしてSiトランジスタを用いる場合のメモリモジュール10の等価回路図を示す。

[0053]

OSメモリは、電力の供給を停止しても、1年以上、さらには10年以上の期間で書き込まれた情報を保持することができる。よって、OSメモリを不揮発性メモリと見なすこともできる。

[0054]

また、OSメモリは書き込まれた電荷量が長期間変化しにくいいため、OSメモリは2値（1ビット）に限らず、多値（マルチビット）の情報を保持可能である。

[0055]

また、OSメモリはOSトランジスタを介してノードに電荷を書き込む方式であるため、従来のフラッシュメモリで必要であった高電圧が不要であり、高速な書き込み動作も実現できる。また、フラッシュメモリで行われるデータ書き換え前の消去動作がOSメモリでは不要である。また、フローティングゲートまたは電荷捕獲層への電荷注入および引き抜きも行われなため、OSメモリは実質的に無制限回のデータの書き込みおよび読み出しが可能である。OSメモリは、従来のフラッシュメモリと比較して劣化が少なく、高い信頼性が得られる。

[0056]

また、OSメモリは磁気抵抗メモリ（MRAM）あるいは抵抗変化型メモリ（ReRAM）などのように原子レベルでの構造変化を伴わない。よって、OSメモリは、磁気抵抗メモリおよび抵抗変化型メモリよりも書き換え耐性に優れている。

[0057]

また、OSトランジスタは高温環境下でもオフ電流がほとんど増加しない。具体的には室温以上200℃以下の環境温度下でもオフ電流がほとんど増加しない。また、高温環境下でもオン電流が低下しにくい。OSメモリを含む記憶装置は、高温環境下においても動作が安定し、高い信頼性が得られる。また、OSトランジスタは、ソースとドレイン間の絶縁耐圧が高い。半導体装置を構成するトランジスタにOSトランジスタを用いることで、高温環境下においても動作が安定し、信頼性の良好な半導体装置が実現できる。

[0058]

なお、図5に示すように、目的または用途などによっては、トランジスタWT_rとしてSiトランジスタを用い、トランジスタRT_rとしてOSトランジスタを用いてもよい。また、図6に示すように、目的または用途などによっては、トランジスタWT_rおよびトランジスタRT_rの双方にSiトランジスタを用いてもよい。

[0059]

メモリモジュール10のように、複数のメモリセルMCをZ方向に連続して設けることで、単位面積当たりの記憶容量を増やすことができる。

[0060]

図2で示す半導体装置の有するメモリモジュールが記憶するデータの構造は、データ幅が最小単位であるビットで表されることが好ましい。一例として1行目、2行目、 $n-1$ 行目、および n 行目のデータを書き換える動作を、図7のタイミングチャートを参照して説明する。

[0061]

時刻 T_{11} では、配線 WWL_D に“H”が与えられることで選択トランジスタ $DT_{r1}[1]$ 乃至選択トランジスタ $DT_{r1}[m]$ がオン状態になる。さらに、配線 $WWL[1]$ には、“H”が与えられることでメモリセル $MC[1, 1]$ 乃至 $MC[m, 1]$ が有するそれぞれのトランジスタ WT_r がオン状態になる。配線 $WBL1[1]$ 乃至 $WBL1[m]$ は、選択トランジスタ $DT_{r1}[1]$ 乃至選択トランジスタ $DT_{r1}[m]$ を介して、データ $D[2]$ をメモリセル $MC[1, 2]$ 乃至メモリセル $MC[m, 2]$ のそれぞれのメモリノードに与えることができる。このとき、メモリセル $MC[1, 1]$ 乃至メモリセル $MC[m, 1]$ のそれぞれのメモリノードにもデータ $D[2]$ が与えられている。データ D は、 m ビットのデータ幅を有するデジタルデータが好ましい。または、データ D は、アナログデータが与えられてもよい。なお、アナログデータは、電位で制御されることが好ましい。半導体装置の記憶できるデータ量は、それぞれのビットが異なるアナログデータを扱うことで飛躍的に向上させることができる。

[0062]

時刻 T_{12} では、配線 $WWL[1]$ に“L”が与えられることでメモリセル $MC[1, 1]$ 乃至 $MC[m, 1]$ が有するそれぞれのトランジスタ WT_r がオフ状態になる。よって、メモリセル $MC[1, 2]$ 乃至メモリセル $MC[m, 2]$ が有するそれぞれのメモリノードには、データ $D[2]$ が保持される。さらに、配線 $WBL1[1]$ 乃至配線 $WBL1[m]$ に与えられるデータ $D[1]$ は、選択トランジスタ $DT_{r1}[1]$ 乃至選択トランジスタ $DT_{r1}[m]$ を介してメモリセル $MC[1, 1]$ 乃至メモリセル $MC[m, 1]$ のそれぞれのメモリノードのデータを書き換えることができる。

[0063]

時刻 T_{13} では、配線 WWL_D に“L”が与えられることで選択トランジスタ $DT_{r1}[1]$ 乃至選択トランジスタ $DT_{r1}[m]$ がオフ状態になる。よって、メモリセル $MC[1, 1]$ 乃至メモリセル $MC[m, 1]$ が有するそれぞれのメモリノードには、データ $D[1]$ が保持される。

[0064]

時刻 T_{14} では、配線 $WWL[n-1]$ には、“H”が与えられることでメモリセル $MC[1, n-1]$ 乃至メモリセル $MC[m, n-1]$ が有するそれぞれのトランジスタ WT_r がオン状態になる。且つ、配線 $WWL[n]$ には、“H”が与えられることでメモリセル $MC[1, n]$ 乃至メモリセル $MC[m, n]$ が有するそれぞれのトランジスタ WT_r がオン状態になる。配線 $WBL1[1]$ 乃至配線 $WBL1[m]$ に与えられたデータ $D[n-1]$ は、メモリセル $MC[1, n]$ 乃至メモリセル $MC[m, n]$ のそれぞれのメモリノードを介してメモリセル $MC[1, n-1]$ 乃至メモリセル $MC[m, n-1]$ のそれぞれのメモリノードのデータを書き換えることができる。

[0065]

時刻 T_{15} では、配線 $WWL[n-1]$ に“L”が与えられることでメモリセル $MC[1, n-1]$ 乃至メモリセル $MC[m, n-1]$ が有するそれぞれのトランジスタ WT_r がオフ状態になる。よって、メモリセル $MC[1, n-1]$ 乃至メモリセル $MC[m, n-1]$ が有するそれぞれのメモリノードには、データ $D[n-1]$ が保持される。さらに、配線 $WBL1[1]$ 乃至配線 WBL

1 [m] は、データD [n] をメモリセルMC [1, n] 乃至メモリセルMC [m, n] のそれぞれのメモリノードに与えることができる。

[0066]

時刻T16では、配線WWL [n] に“L”が与えられることでメモリセルMC [1, n] 乃至MC [m, n] が有するそれぞれのトランジスタWTrがオフ状態になる。よって、メモリセルMC [1, n] 乃至MC [m, n] が有するメモリノードには、データD [n] が保持される。

[0067]

時刻T10乃至時刻T17の間では、配線WWL_D及び配線WWL [n] に“L”が与えられる場合、一例として選択トランジスタDTr1 [1, n] 及びトランジスタWTr [1, n] で挟まれる区間を浮遊状態にすることができる。

[0068]

時刻T10乃至時刻T17の間では、配線RWL_D1及び配線RWL_D2に“L”が与えられる。一例として、選択トランジスタDTr2 [1] 及び選択トランジスタDTr3 [1] で挟まれる区間を浮遊状態にすることができる。配線RBL1及び配線RBL2に与える電位がメモリモジュールには影響を与えないため、配線RBL1及び配線RBL2を浮遊状態とすることができる。したがって、配線RBL1及び配線RBL2に与える電力を低減することができる。もしくは、配線RBL1及び配線RBL2には、任意の電位を与えてもよい。

[0069]

NAND型フラッシュメモリでは、メモリセルが直列に接続されたメモリモジュールのいずれか一のメモリセルを更新するためにメモリモジュール全ての行のデータを更新する必要がある。しかし、本実施の形態で示す構成では、メモリモジュールの任意の行からデータを書き換えることができるため、データを高速に書き換えることができる。

[0070]

次に、半導体装置の有する複数のメモリモジュールが配線WWL、配線RWL、配線WWL_Dで接続され、記憶されるデータの構造は、mビットのデータ幅を有した例について説明する。一例として1行目、2行目、3行目、n-1行目、およびn行目のデータを書き換える動作を、図8のタイミングチャートを参照して説明する。

[0071]

基本的な動作は、図7で説明した動作と同じなので説明を省略し、図8では、図7と異なる点について説明する。一例として、図8では、3行目のデータの書き換えについて説明する。なお、図8では、時刻T21乃至時刻T22の間において、3行目のデータとしてデータD [3] をメモリセルMC [1, 3] 乃至メモリセルMC [m, 3] に保持している。複数の行を有するメモリモジュールでは、任意の書き換え対象の行が、選択トランジスタDTr1が接続される1行目のメモリセルMC、若しくはn行目のメモリセルMCのいずれか近い側からアクセスすることが好ましい。メモリセルの書き換え時間は、任意の書き換え対象の行までの行数に相当する。したがって、任意の書き換え対象の行まで近い側からアクセスすることで、書き換えの時間を短縮することができる。

[0072]

なお、図8では、複数のメモリセルがm列の構成を有している。したがって、書き換えられるデータは、配線WBL1 [1] 乃至配線WBL1 [m] に与えられるそれぞれのデータによって同時に書き換えられる。即ち、本実施の形態で示す構成では、半導体装置は、任意のアドレスに対して

mビットのデータ幅 (m b i t / w i d t h) を有した記憶装置であるといえる。

[0073]

時刻T20乃至時刻T28の間では、配線RWL_D1及び配線RWL_D2に“L”が与えられる。一例として、選択トランジスタDT r 2 [1]及び選択トランジスタDT r 3 [1]で挟まれる区間を浮遊状態にすることができる。配線RBL1及び配線RBL2に与える電位がメモリモジュールには影響を与えないため、配線RBL1及び配線RBL2を浮遊状態とすることができる。したがって、配線RBL1及び配線RBL2に与える電力を低減することができる。もしくは、配線RBL1及び配線RBL2には、任意の電位を与えてもよい。

[0074]

次に、図7で書き込んだデータを読み出す動作について、図9のタイミングチャートを参照して説明する。

[0075]

時刻T30では、配線RBL1 [1]乃至配線RBL1 [m]を任意の電位で初期化することができる。また、配線RBL2 [1]乃至配線RBL2 [m]には、メモリセルに任意のデータが記憶されていることを確認するための基準電位が与えられる。初期化する任意の電位は、データの“L”と同じ電位か、若しくは、データの“L”よりも低い電位が好ましい。なお、配線RBL2 [1]乃至配線RBL2 [m]に基準電位が与えられる期間、配線RWL_D1及び配線RWL_D2には、“H”が与えられ、選択トランジスタDT r 2及び選択トランジスタDT r 3がオン状態になる。

[0076]

時刻T31では、配線RWL [1]に接続されたメモリセルMC [1, 1]乃至メモリセルMC [m, 1]に記憶されたそれぞれのデータを読み出すことができる。配線RWL [1]には“L”を与え、それ以外の配線RWL [2]乃至配線RWL [n]には“H”を与える。トランジスタRT rは、直列に接続されているため、メモリセルMC [1, 1]乃至メモリセルMC [m, 1]のいずれかに“H”のデータが保持されていれば、“H”のデータが保持されているメモリセルMCの対象列の配線RBL1には、基準電位の信号が出力される。

[0077]

配線RWL [2]乃至配線RWL [n]に接続されたそれぞれのメモリセルMCは、配線RWL [2]乃至配線RWL [n]に“H”を与えられることで容量CSが電荷保存則によってトランジスタRT rのゲートに“H”が与えられている状態にすることができる。したがって、直列に接続されたトランジスタRT rでは、読み出し対象以外のトランジスタRT rが全てオン状態になる。よって、読み出し対象のメモリセルのデータが“L”では、配線RBL2に与えられた基準電位を、配線RBL1に出力することができない。また、読み出し対象のメモリセルのデータが“H”では、配線RBL2に与えられた基準電位が配線RBL1に出力される。したがって、メモリセルMC [1, 1]乃至メモリセルMC [m, 1]に記憶されたそれぞれのデータが、配線RBL1 [1]乃至配線RBL1 [m]に出力される。

[0078]

時刻T32では、配線RWL [1]乃至配線RWL [n]に“L”を与え、且つ、配線RBL1 [1]乃至配線RBL1 [m]を任意の電位で初期化する。このとき、配線RBL2 [1]乃至配線RBL2 [m]は、“H”が与えられていることが好ましいが、“L”が与えられてもよい。

[0079]

時刻T33では、配線RWL [2] に接続されたメモリセルMC [1, 2] 乃至メモリセルMC [m, 2] に保持されたデータを読み出すことができる。配線RWL [2] には“L”を与え、それ以外の配線RWL [1]、配線RWL [3] 乃至配線RWL [n] には“H”を与える。以降、配線RWL [1] からデータを読み出す動作と同じのため説明を省略する。

[0080]

時刻T34は、時刻T32の動作と同じのため説明を省略する。時刻T34以降（時刻T35乃至時刻T39の期間）では、時刻T31、及び時刻T33の動作と同様に、行毎に読み出し動作を行うことで、配線RWL [3] 乃至配線RWL [n] に接続されたメモリセルMCに記憶されたデータを読み出すことができる。したがって、メモリセルMCからのデータの読み出しは、メモリセルの行方向に順次読み出すことができる。

[0081]

図2とは異なる半導体装置について、図10を参照して説明する。図10で示す半導体装置は、選択トランジスタDT r 1のソースまたはドレインの一方が配線WBL 2に電氣的に接続されている点で図2と異なっている。説明を簡便にするために、一例としてメモリモジュール10を用いて説明する。

[0082]

配線WBL 2が選択トランジスタDT r 1のソースまたはドレインの一方と電氣的に接続されているため、メモリモジュール10は、配線WBL 1および配線WBL 2のいずれか一、若しくは両方からメモリセルMCに対してデータを書き換えることができる。

[0083]

つまり、配線WWL_Dに“H”を与えることで、配線WBL 2 [1] は、選択トランジスタDT r 1 [1] を介してメモリセルMC [1, 1] のメモリノードのデータを書き換えることができる。また、配線WWL [n] に“H”を与えることで、配線WBL 1 [1] は、メモリセルMC [1, n] のメモリノードのデータを書き換えることができる。また、配線WWL [1]、および配線WWL [n] に“H”を同時に与えることで、メモリセルMC [1, 1] およびメモリセルMC [1, n] のメモリノードのデータを同時に書き換えることができる。

[0084]

図7とは異なる方法を用いて、1行目、2行目、n-1行目、およびn行目のデータを書き換える動作を、図11のタイミングチャートを参照して説明する。

[0085]

時刻T40では、配線WWL_D、配線WWL [1] 乃至配線WWL [n]、配線RWL_D1、配線RWL_D2、配線RWL [1] 乃至配線RWL [n]、配線RBL 1 [1]、及び配線RBL 2 [2] に“L”が与えられる。また、配線WBL 1 [1]、及び配線WBL 2 [1] にはデータが入力されていない。

[0086]

時刻T41では、配線WWL_Dに“H”が与えられることで選択トランジスタDT r 1 [1] 乃至選択トランジスタDT r 1 [m] がオン状態になる。且つ、配線WWL [1] には、“H”が与えられることでメモリセルMC [1, 1] 乃至メモリセルMC [m, 1] が有するそれぞれのトランジスタWT r がオン状態になる。したがって、配線WBL 2 [1] 乃至配線WBL 2 [m] に

与えられたデータD [2] は、選択トランジスタDT r 1 [1] 乃至選択トランジスタDT r 1 [m] を介してそれぞれのメモリセルMC [1, 2] 乃至メモリセルMC [m, 2] のデータを書き換えることができる。このとき、メモリセルMC [1, 1] 乃至メモリセルMC [m, 1] にもデータD [2] が与えられている。

[0087]

さらに、配線WWL [n] に“H”が与えられることで、メモリセルMC [1, n] 乃至メモリセルMC [m, n] が有するそれぞれのトランジスタWT r がオン状態になる。且つ、配線WWL [n-1] に“H”が与えられることで、メモリセルMC [1, n-1] 乃至メモリセルMC [m, n-1] が有するそれぞれのトランジスタWT r がオン状態になる。したがって、配線WBL 1 [1] 乃至配線WBL 1 [m] に与えられたデータD [n-1] は、メモリセルMC [1, n-1] 乃至メモリセルMC [m, n-1] のそれぞれのメモリノードのデータを書き換えることができる。このとき、メモリセルMC [1, n] 乃至メモリセルMC [m, n] にもデータD [n-1] が与えられている。

[0088]

よって、メモリセルMC [1, 2] 乃至メモリセルMC [m, 2]、およびメモリセルMC [1, n-1] 乃至メモリセルMC [m, n-1] のそれぞれのメモリノードは、同時にデータが書き換えられる。

[0089]

時刻T 4 2では、配線WWL [1] に“L”が与えられることでメモリセルMC [1, 1] 乃至メモリセルMC [m, 1] が有するそれぞれのトランジスタWT r がオフ状態になり、且つ、配線WWL [n-1] に“L”が与えられることでメモリセルMC [1, n-1] 乃至メモリセルMC [m, n-1] が有するそれぞれのトランジスタWT r がオフ状態になる。よって、メモリセルMC [1, 2] 乃至メモリセルMC [m, 2] が有するメモリノードには、データD [2] が保持され、且つ、メモリセルMC [1, n-1] 乃至メモリセルMC [m, n-1] が有するそれぞれのメモリノードには、データD [n-1] が保持される。

[0090]

さらに、配線WBL 2 [1] 乃至配線WBL 2 [m] に与えられたデータD [1] は、選択トランジスタDT r 1 [1] 乃至選択トランジスタDT r 1 [m] を介してメモリセルMC [1, 1] 乃至メモリセルMC [m, 1] のそれぞれのデータを書き換えることができる。且つ、配線WBL 2 [1] 乃至配線WBL 2 [m] に与えられたデータD [n] は、選択トランジスタDT r 1 [1] 乃至選択トランジスタDT r 1 [m] を介してメモリセルMC [1, n] 乃至メモリセルMC [m, n] のそれぞれのデータを書き換えることができる。

[0091]

なお、図11では、データの書き換え後において、時刻T 4 3以降（時刻T 4 3時刻T 4 5の間）、配線WWL_D、及び配線WWL [n] のそれぞれに“L”が与えられる

[0092]

図12では、半導体装置の有する複数のメモリモジュールが配線WWL、配線RWL、配線WWL_Dで接続され、記憶されるデータの構造は、mビットのデータ幅を有した例について説明する。一例として1行目、2行目、3行目、n-1行目、およびn行目のデータを書き換える動作を、図12のタイミングチャートを参照して説明する。

[0093]

基本的な動作は、図11で説明した動作と同じなので説明を省略し、図12では、図11と異なる点について説明する。一例として、時刻T51では、2行目およびn-1行目のデータが同時に書き換えられる。また時刻T52では1行目およびn行目のデータが同時に書き換えられる。

[0094]

n行を有するメモリモジュールでは、例えば異なる二つの行が書き換え対象の場合、選択トランジスタDTr1が接続される1行目のメモリセルMC、若しくはn行目のメモリセルMCのいずれか近い側からそれぞれの行に同時にアクセスすることが好ましい。異なる二つの行を同時に書き換えることができるため、メモリセルへの書き換え時間は、さらに短縮することができる。したがって、任意の書き換え対象の行まで近い側からアクセスすることで、書き換えの時間を短縮することができる。

[0095]

なお、図12では、複数のメモリセルがm列の構成を有している。したがって、書き換えられるデータは、配線WBL1[1]乃至配線WBL1[m]に与えられるそれぞれのデータと、配線WBL2[1]乃至配線WBL2[m]に与えられるそれぞれのデータと、によって同時に書き換えられる。即ち、本実施の形態で示す構成では、半導体装置は、任意のアドレスに対してmビットのデータ幅を有した記憶装置であるといえる。

[0096]

図10乃至図12では、メモリモジュールの任意の行を異なる方向から同時にデータを書き換えることができるため、図2で説明した回路構成よりも、さらに高速にデータの書き換えをすることができる。

[0097]

以上、本実施の形態で示す構成、方法は、他の実施の形態で示す構成、方法と適宜組み合わせる用いることができる。

[0098]

(実施の形態2)

本実施の形態では、上記実施の形態で説明した半導体装置を有する記憶装置について説明する。

[0099]

図13Aに記憶装置の構成の一例を示す。記憶装置2600は、周辺回路2601、およびメモリセルアレイ2610を有する。周辺回路2601は、ローデコーダ2621、ワード線ドライバ回路2622、ビット線ドライバ回路2630、出力回路2640、コントロールロジック回路2660を有する。

[0100]

実施の形態1で説明した図1A、図1B、または図1Cに図示した半導体装置は、メモリセルアレイ2610に適用することができる。

[0101]

ビット線ドライバ回路2630は、カラムデコーダ2631、プリチャージ回路2632、センスアンプ2633、および書き込み回路2634を有する。プリチャージ回路2632は、実施の形態1で説明した配線RBL2を所定の電位にプリチャージする機能を有する。センスアンプ2633は、メモリセルMCから配線RBL1に出力された電位をデータ信号として取得して、当該デ

ータ信号を増幅する機能を有する。増幅されたデータ信号は、出力回路2640を介して、デジタルのデータ信号RDATAとして記憶装置2600の外部に出力される。

[0102]

また、記憶装置2600には、外部から電源電位として低電源電位(VSS)、周辺回路2601用の高電源電位(VDD)、メモリセルアレイ2610用の高電源電位(VIL)が供給される。

[0103]

また、記憶装置2600には、制御信号(CE、WE、RE)、アドレス信号ADDR、データ信号WDATAが外部から入力される。アドレス信号ADDRは、ローデコーダ2621およびカラムデコーダ2631に入力され、データ信号WDATAは書き込み回路2634に入力される。

[0104]

コントロールロジック回路2660は、外部からの入力信号(CE、WE、RE)を処理して、ローデコーダ2621、カラムデコーダ2631の制御信号を生成する。CEは、チップイネーブル信号であり、WEは、書き込みイネーブル信号であり、REは、読み出しイネーブル信号である。コントロールロジック回路2660が処理する信号は、これに限定されるものではなく、必要に応じて、他の制御信号を入力すればよい。

[0105]

なお、上述の各回路あるいは各信号は、必要に応じて、適宜、取捨することができる。

[0106]

また図13Bでは、記憶装置2600がpチャネル型Siトランジスタと、酸化物半導体(好ましくはIn、Ga、およびZnを含む酸化物)をチャネル形成領域に含むトランジスタとを用いて構成された例を示している。例えば、図13Bで示す記憶装置2600は、周辺回路がSiトランジスタによって構成されるロジック層1000とメモリ層2000を有している。つまり、ロジック層1000の上方に、酸化物半導体をチャネル形成領域に含むトランジスタによって形成されるメモリ層2000が形成される。

[0107]

よって、センスアンプ2633がメモリ層2000の下に配置されることで、センスアンプ2633とメモリセルMCとを接続する配線RBL1の配線長を短くすることができる。したがって、配線RBL1は、配線が有する時定数の影響が軽減され、メモリセルMCからのデータの読み出し動作速度を向上することができる。また酸化物半導体を有するトランジスタがメモリセルMCに用いられることで、メモリセルMCのオフ電流を小さくすることができる。隣接するメモリセルMC間のデータリークを抑えることができるため、データを長期間保存することができる。また、メモリセルのリフレッシュ間隔を長くすることができるため、記憶装置2600の消費電力を低減できる。また、Siトランジスタは、pチャネル型のみとすることで、製造コストを低く抑えることができる。若しくは、Siトランジスタは、nチャネル型のみとしてもよい。

[0108]

図14乃至図16は、図13のメモリセルアレイ2610の構成を示している。図14乃至図16では、図の明瞭化のために一部の要素を省いて図示している。

[0109]

図14では、メモリセルMC[m, n, d]は、配線RBL1[m]、配線WBL1[m]、配線WWL[n, d]、および配線RWL[n, d]が接続されている。よって、図14で示す半導

体装置は、奥行き方向を有する三次元に配置されたメモリセルMC [1, 1, 1] 乃至メモリセルMC [m, n, d] を有している。

[0110]

また、図14は、選択トランジスタDT_{r1}、選択トランジスタDT_{r2}、選択トランジスタDT_{r3}、配線WWL_D、配線RWL_{D1}、および配線RWL_{D2}を有している。配線WBL₁は、選択トランジスタDT_{r1}を介してメモリモジュール10の一端と他端とが接続され、配線RBL₂は、選択トランジスタDT_{r2}を介してメモリモジュール10の一端とが接続され、配線RBL₁は、選択トランジスタDT_{r3}を介してメモリモジュール10の他端とが接続されている。配線WWL_Dは、選択トランジスタDT_{r1}のゲートと電氣的に接続され、配線RWL_{D1}は、選択トランジスタDT_{r2}のゲートと電氣的に接続され、配線RWL_{D2}は、選択トランジスタDT_{r3}のゲートと電氣的に接続されている。

[0111]

選択トランジスタDT_{r2}は、それぞれのメモリモジュール10に対しデータの読み出しに使用する所定の電位でプリチャージすることができる。なお、配線RBL₂は、任意の高い電位で固定されていてもよい。また、選択トランジスタDT_{r3}は、データを読み出すメモリモジュール10を選択することができる。データを読み出す配線RWL_{D2}は、選択されないメモリモジュール10に接続される選択トランジスタDT_{r3}を個別にオフ状態にすることができる。

[0112]

したがって、非選択のメモリモジュール10を切り離せるため、選択されたメモリセルから配線RBL₁に読み出されるデータの信号品質を高めることができる。特に、メモリモジュール10が保持するデータがアナログデータの場合には、選択トランジスタDT_{r3}を有することが好ましい。異なる例として、配線RBL₂からデータを読み出す場合には、選択トランジスタDT_{r2}を制御することができる。なお、選択トランジスタDT_{r2}または選択トランジスタDT_{r3}は、必要に応じて設けることができる。

[0113]

なお、配線RBL₁、および配線WBL₁は、列単位で、且つ奥行き方向dに対してビット線ドライバ回路2630Aに接続されることが好ましい。また、同様に、配線RBL₂は、列単位で、且つ奥行き方向dに対してビット線ドライバ回路2630Bに電氣的に接続されることが好ましい。したがって、メモリセルMC [1, 1] 乃至メモリセルMC [m, n] がデータのアクセス単位として処理される。つまり、データ幅がmビットを有していることを示している。本実施の形態の半導体装置は、汎用メモリだけでなく、表示装置のフレームメモリにも容易に適用することができる。

[0114]

なお、それぞれのメモリモジュール10は、配線WBL₁の配線長を短くすることで、配線抵抗によるばらつきを減らすことができるためデータ書き換え時間を短縮することができる。

[0115]

図15では、図14と異なるメモリセルアレイ2610の構成を示している。図15では、さらに配線WBL_{1a}を有し、配線WBL_{1a}は、選択トランジスタDT_{r1}を介してメモリモジュール10と電氣的に接続されている。図14では、配線WBL₁はメモリモジュール10の近傍で電氣的に接続し、メモリモジュール10は配線WBL₁を共有してビット線ドライバ回路2630Aと電氣的に接続される。図15では、メモリモジュール10が配線WBL₁を介してビット線ドラ

イバ回路2630Aと電氣的に接続され、且つ配線WBL1aを介してビット線ドライバ回路2630Bと電氣的に接続されている例を示している。図15で示した配線WBL1または配線WBL1aは、メモリセルアレイ2610の外側でビット線ドライバ回路2630Aおよびビット線ドライバ回路2630Bと電氣的に接続されることが好ましい。なお、ビット線ドライバ回路2630Aおよびビット線ドライバ回路2630Bは、一つのビット線ドライバ回路2630として機能することが好ましい。したがって、図15で示すメモリセルアレイ2610は、配線WBL1をメモリモジュール10の近傍で接続する必要がないため半導体装置のデータ密度を向上させることができる。

[0116]

図15では、図14と異なるメモリセルアレイ2610の構成を示している。図15では、さらに配線WBL1aを有し、配線WBL1aは、選択トランジスタDT r 1を介してメモリモジュール10と電氣的に接続されている。図14では、配線WBL1はメモリモジュール10の近傍で接続し、メモリモジュール10は配線WBL1を共有してビット線ドライバ回路2630Aと接続される。図15では、メモリモジュール10が配線WBL1または配線WBL2を介してビット線ドライバ回路2630Aと接続されている例を示している。図15で示した配線WBL1または配線WBL2は、メモリセルアレイ2610の外側でビット線ドライバ回路2630Aと接続されることが好ましい。したがって、メモリセルアレイ2610は、図14で示した構成に比べ半導体装置のデータ密度を向上させることができる。

[0117]

さらに、図16は、メモリモジュール10の一方が選択トランジスタDT r 1を介して配線WBL2と接続されている。配線WBL1および配線RBL1は、ビット線ドライバ回路2630Aに接続され、配線WBL2および配線RBL2は、ビット線ドライバ回路2630Bに接続されている。したがって、メモリモジュール10は、ビット線ドライバ回路2630Aから配線WBL1に与えられる信号と、ビット線ドライバ回路2630Bから配線WBL2に与えられる信号とによりデータを書き換えることができる。また図12で説明したように、ビット線ドライバ回路2630Aおよびビット線ドライバ回路2630Bから同時に同じメモリモジュール10の書き換えまたは読み出しの処理を行うことができる。

[0118]

<構造例と作製方法例>

以下、本実施の形態の半導体装置の構造の理解を助けるため、その作製方法について説明する。

[0119]

図17A、及び図17Bは、図1A乃至図1Cに示した半導体装置を示した模式図である。図17Aは当該半導体装置の上面図を示しており、図17Bは図17Aの一点鎖線A1-A2に対応する断面図を示している。

[0120]

当該半導体装置は、配線RWLと、配線WWLと、絶縁体（図17A及び図17Bではハッチングを図示していない領域）と、が積層された構造体を有し、当該構造体に開口部を設けて、開口部が埋まるように導電体PGが形成されている。導電体PG上には、配線ERが形成されており、これによって、配線ERと、配線WWL__D、配線RWL__D1、配線RWL__D2、配線RWL、または配線WWLが電氣的に接続されている。

[0121]

加えて、当該構造体に対して、配線RWLと、配線WWLと、を一括で貫通するような開口部が形成されている。当該開口部には、配線WWL_D、配線RWL、および配線WWLが貫通された領域DM1に選択トランジスタDT_{r1}および選択トランジスタDT_{r2}、領域ARにメモリセルMCが有するトランジスタWT_rおよびトランジスタRT_r、および領域DM2に選択トランジスタDT_{r3}を設けることができる。したがって、当該開口部には、上記トランジスタを形成するための絶縁体と、導電体と、半導体と、が形成されている。なお、当該導電体は、配線WBL、配線RBLとして機能し、当該半導体は、選択トランジスタDT_{r1}、選択トランジスタDT_{r2}、選択トランジスタDT_{r3}、トランジスタWT_r、およびトランジスタRT_rのチャンネル形成領域として機能する。

[0122]

図17では、該開口部に絶縁体と、導電体と、半導体と、が形成されている領域を、領域HLとして図示している。なお、当該トランジスタにバックゲートが設けられている場合、領域HLが有する当該導電体は、当該バックゲートとして機能する。したがって、当該バックゲートは、配線BGLと言い換えることができる。

[0123]

つまり、図17では、図1Aまたは図1Bのいずれかに示した半導体装置が領域SD1に構成され、図2または図10に示した半導体装置は領域SD2に構成されていることを示している。

[0124]

以下に示す作製方法例1および作製方法例2は、領域ARに形成するメモリセルMCが有するトランジスタを形成するための方法について説明する。

[0125]

<<作製方法例1>>

図18乃至図22は、図1Aに示す半導体装置の作製例を説明するための断面図であり、特に、トランジスタWT_r、トランジスタRT_rのチャンネル長方向の断面図を示している。また、図18乃至図22の断面図では、図の明瞭化のために一部の要素を省いて図示している。

[0126]

図18Aに示すように、図1Aの半導体装置は、基板（図示しない。）の上方に配置された絶縁体101Aと、絶縁体101A上に配置された導電体131Aと、導電体131A上に配置された絶縁体101Bと、絶縁体101B上に配置された導電体132Aと、導電体132A上に配置された絶縁体101Cと、絶縁体101C上に配置された導電体131Bと、導電体131B上に配置された絶縁体101Dと、絶縁体101D上に配置された導電体132Bと、導電体132B上に配置された絶縁体101Eと、を有する。なお、以後、これらの複数の導電体および複数の絶縁体を有する積層体を、積層体100と記載する。

[0127]

なお、当該基板としては、例えば、絶縁体基板、半導体基板または導電体基板を用いればよい。絶縁体基板としては、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板（イットリア安定化ジルコニア基板など）、樹脂基板などがある。また、半導体基板としては、例えば、シリコン、ゲルマニウムなどからなる半導体基板、または炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムからなる化合物半導体基板など

がある。さらには、前述の半導体基板内部に絶縁体領域を有する半導体基板、例えばSOI (Silicon On Insulator) 基板などがある。導電体基板としては、黒鉛基板、金属基板、合金基板、導電性樹脂基板などがある。または、金属の窒化物を有する基板、金属の酸化物を有する基板などがある。さらには、絶縁体基板に導電体または半導体が設けられた基板、半導体基板に導電体または絶縁体が設けられた基板、導電体基板に半導体または絶縁体が設けられた基板などがある。または、これらの基板に素子が設けられたものを用いてもよい。基板に設けられる素子としては、容量、抵抗素子、トランジスタ、スイッチ素子、発光素子、または記憶素子などがある。

[0128]

また、基板として、可とう性基板を用いてもよい。一例として、可とう性基板上にトランジスタを設ける方法としては、非可とう性の基板上にトランジスタを作製した後、トランジスタを剥離し、可とう性基板に転置する方法もある。その場合には、非可とう性基板とトランジスタとの間に剥離層を設けるとよい。なお、基板として、繊維を編みこんだシート、フィルムまたは箔などを用いてもよい。また、基板が伸縮性を有してもよい。また、基板は、折り曲げや引っ張りをやめた際に、元の形状に戻る性質を有してもよい。または、元の形状に戻らない性質を有してもよい。基板は、例えば、 $5\mu\text{m}$ 以上 $700\mu\text{m}$ 以下、好ましくは $10\mu\text{m}$ 以上 $500\mu\text{m}$ 以下、さらに好ましくは $15\mu\text{m}$ 以上 $300\mu\text{m}$ 以下の厚さとなる領域を有する。基板を薄くすると、トランジスタを有する半導体装置を軽量化することができる。また、基板を薄くすることで、ガラスなどを用いた場合にも伸縮性を有する場合や、折り曲げや引っ張りをやめた際に、元の形状に戻る性質を有する場合がある。そのため、落下などによって基板上の半導体装置に加わる衝撃などを緩和することができる。即ち、丈夫な半導体装置を提供することができる。

[0129]

可とう性基板としては、例えば、金属、合金、樹脂若しくはガラス、またはそれらの繊維などを用いることができる。可とう性基板は、線膨張率が低いほど環境による変形が抑制されて好ましい。可とう性基板としては、例えば、線膨張率が $1 \times 10^{-3}/\text{K}$ 以下、 $5 \times 10^{-5}/\text{K}$ 以下、または $1 \times 10^{-5}/\text{K}$ 以下である材質を用いればよい。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド (ナイロン、アラミドなど)、ポリイミド、ポリカーボネート、アクリルなどがある。特に、アラミドは、線膨張率が低いため、可とう性基板として好適である。

[0130]

本実施の形態で説明する作製例では、その工程中に加熱処理が含まれるため、基板としては、耐熱性の高い、且つ熱膨張率の低い材料を用いることが好ましい。

[0131]

導電体131A (導電体131B) は、図1Aに示す配線WWLとして機能し、導電体132A (導電体132B) は、図1Aに示す配線RWLとして機能する。

[0132]

導電体131A、導電体131B、導電体132A、導電体132Bとしては、例えば、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウムなどから選ばれた金属元素を1種以上含む材料を用いることができる。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケル

シリサイドなどのシリサイドを用いてもよい。

[0133]

また、上記導電体、特に、導電体131A、導電体131Bとして、後述する半導体1、半導体152、半導体153a、半導体153bに適用可能な金属酸化物に含まれる金属元素および酸素を含む導電性材料を用いてもよい。また、前述した金属元素および窒素を含む導電性材料を用いてもよい。例えば、窒化チタン、窒化タンタルなどの窒素を含む導電性材料を用いてもよい。また、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、シリコンを添加したインジウム錫酸化物を用いてもよい。また、窒素を含むインジウムガリウム亜鉛酸化物を用いてもよい。このような材料を用いることで、周辺の絶縁体などから混入する水素を捕獲することができる場合がある。

[0134]

また、上記導電体、特に、導電体132A、導電体132Bとして、水または水素などの不純物の透過を抑制する機能を有する導電性材料を用いることが好ましい。例えば、タンタル、窒化タンタル、チタン、窒化チタン、ルテニウムまたは酸化ルテニウムなどを用いることが好ましく、単層または積層とすればよい。

[0135]

また、上記の材料で形成される導電体を複数積層して用いてもよい。例えば、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、酸素を含む導電性材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、導電体に接する絶縁体として過剰酸素領域を有する絶縁体を適用することで、導電体の絶縁体と接する領域において、酸素が拡散する場合がある。これにより、金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造を形成することができる。また、同様に、導電体に接する絶縁体として過剰窒素領域を有する絶縁体を適用することで、導電体の絶縁体と接する領域において、窒素が拡散する場合がある。これにより、金属元素を含む材料と、窒素を含む導電性材料と、を組み合わせた積層構造を形成することができる。

[0136]

なお、導電体131A、導電体131B、導電体132A、導電体132Bのそれぞれは、互いに同一の材料であってもよいし、互いに異なる材料であってもよい。つまり、本発明の一態様の半導体装置を構成する導電体131A、導電体131B、導電体132A、導電体132Bに適用する材料をそれぞれ適宜選択して用いることができる。

[0137]

絶縁体101A乃至絶縁体101Eとして、水、または水素などの不純物濃度が低減されている材料であることが好ましい。例えば、絶縁体101A乃至絶縁体101Eの水素の脱離量は、昇温脱離ガス分析法（TDS（Thermal Desorption Spectroscopy））において、膜の表面温度が50℃から500℃の範囲において、水素分子に換算した脱離量が、絶縁体101A乃至絶縁体101Eのいずれか一の面積当たりに換算して、 2×10^{15} molecules/cm²以下、好ましくは 1×10^{15} molecules/cm²以下、より好ましくは 5×10^{14} molecules/cm²以下であればよい。また、絶縁体101A乃至絶縁体101E

は、加熱により酸素が放出される絶縁体を用いて形成してもよい。これにより、上述のとおり、導電体131A、導電体131B、導電体132A、導電体132Bを、金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造とすることができる。

[0138]

絶縁体101A乃至絶縁体101Eとしては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジウム、ハフニウムまたはタンタルを含む絶縁体を、単層または積層で用いることができる。また、例えば、酸化シリコンまたは酸化窒化シリコンを含む材料を用いることができる。

[0139]

なお、本明細書中において、酸化窒化シリコンとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。また、本明細書中において、酸化窒化アルミニウムとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化アルミニウムとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。

[0140]

次の工程では、図18Bに示すとおり、レジストマスク形成とエッチング処理などによって、図18Aに示す積層体100に対して、開口部191を形成する。

[0141]

レジストマスクの形成は、リソグラフィ法、印刷法、インクジェット法等を適宜用いて行うことができる。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。また、エッチング処理については、ドライエッチング法でもウェットエッチング法でもよく、両方を用いてもよい。

[0142]

そして、図19Aに示すとおり、エッチング処理などを用いて、開口部191の側面に有する導電体132A（導電体132B）が除去されて、当該側面部に凹部192A（凹部192B）が形成される。ここでは、導電体132A（導電体132B）としては、積層体100のうち、導電体132A（導電体132B）が選択的に除去されるような材料（絶縁体101A乃至絶縁体101E、および導電体131A（導電体131B）よりもエッチングレートが高い材料）が適用されているものとする。

[0143]

また、凹部192A（凹部192B）は、図18Aに示す半導体装置の作製工程の段階で、開口部191および凹部192A（凹部192B）が形成される領域に犠牲層を設けて、図18Bに示す半導体装置の作製工程で、開口部191と一括で形成してもよい。また、犠牲層を設けずに開口部191を形成した時に、自動的に凹部192A（凹部192B）が形成できる場合もある。

[0144]

次の工程では、図19Bに示すとおり、図19Aに示す開口部191の側面、および前述した凹部に、絶縁体102が成膜される。

[0145]

絶縁体102としては、酸素の透過を抑制する機能を有する絶縁性材料を用いることが好ましい。

例えば、絶縁体102として、窒化シリコン、窒化酸化シリコン、酸化窒化シリコン、窒化アルミニウム、窒化酸化アルミニウムなどを用いることが好ましい。このような絶縁体102を形成することで、絶縁体102を透過して酸素が進入して、後述する導電体133が酸化されることによる、導電体133の導電性の低下を防ぐことができる。

[0146]

次の工程では、図20Aに示すとおり、図19Bに示す開口部191の側面、および形成されている凹部に、導電体133が成膜される。つまり、絶縁体102上に導電体133が形成される。

[0147]

導電体133として、上述した導電体131A、導電体131B、導電体132A、導電体132Bに適用できる材料を用いることができる。特に、当該材料のうち、導電性の高い材料を導電体133に適用するのが好ましい。

[0148]

次の工程では、図20Bに示すとおり、レジストマスク形成とエッチング処理などによって、前述した凹部のみ導電体133が残るように、開口部191に含まれる導電体133が除去される。これによって、導電体133a、導電体133bが形成される。なお、このとき、絶縁体101A乃至絶縁体101E、導電体131A、および導電体131Bが開口部191に露出しない程度であれば、絶縁体102の一部が除去されていてもよい。

[0149]

なお、レジストマスクの形成とエッチング処理と、については、図18Bの説明を参照する。

[0150]

ところで、導電体133a（導電体133b）は、図1Aに示す容量CSの他方の電極として機能する。つまり、図20Bに示す領域181A（領域181B）において、容量CSが形成されている。

[0151]

次の工程では、図21Aに示すとおり、開口部191の側面部に位置する絶縁体102、導電体133a、および導電体133b上に、半導体151が成膜される。

[0152]

半導体151としては、インジウム、元素M（元素Mとしては、例えば、アルミニウム、ガリウム、イットリウム、錫など）、亜鉛から一、または複数選ばれた金属酸化物が含まれている材料を適用するのが好ましい。

[0153]

ところで、半導体151に金属酸化物が含まれている場合、半導体151に接する絶縁体102は、酸素だけでなく、水または水素などの不純物の透過を抑制する機能を有する絶縁性材料を用いることが好ましい。そのような絶縁体102を形成することで、絶縁体102を透過して水または水素などの不純物が進入して、半導体151に含まれる酸素と反応して水となるのを防ぐことができる。半導体151内で水が生成されると、半導体151内で酸素欠損が形成される場合がある。当該酸素欠損に、水素などの不純物が入ることにより、キャリアとなる電子が生成される場合がある。そのため、半導体151内において、水素が多く含まれている領域が存在する場合、当該領域がチャネル形成領域に含まれるトランジスタは、ノーマリーオン特性となりやすい。これを防ぐため、絶縁体102として、酸素だけでなく、水または水素などの不純物の透過を抑制する機能を有

する絶縁性材料を用いることが望まれる。

[0154]

また、半導体151に金属酸化物が含まれている場合、半導体151は、形成された領域によって、導電性が異なる場合がある。図21Aには、半導体151が形成された領域のうち、絶縁体102に接する領域を領域151a、領域151bと図示し、導電体133a（導電体133b）に接する領域を領域151cと図示している。特に、領域151aは、導電体131A（導電体131B）の側面と重畳する領域とし、領域151bは、絶縁体101A（絶縁体101B乃至絶縁体101E）の側面と重畳する領域としている。領域151cは、導電体133a（導電体133b）に接しているため、導電体133a（導電体133b）に含まれる水素、または水などの不純物が領域151cに拡散する場合がある。上述したとおり、半導体151に水または水素などの不純物が拡散した場合、キャリアとなる電子が生成される場合があるため、領域151cは低抵抗化されることがある。このため、領域151cは、領域151a、領域151bよりも導電性が高い領域となる。

[0155]

領域151aは、トランジスタのチャネル形成領域となる領域である。このため、当該トランジスタがオン状態のとき、領域151aは低抵抗化するため、領域151bよりも導電性が高くなる。

[0156]

次の工程では、図21Bに示すとおり、開口部191の側面部に位置する半導体151上に、絶縁体103、半導体152が順に成膜される。

[0157]

絶縁体103としては、上述した絶縁体102に適用できる材料を用いることができる。特に、半導体151に金属酸化物が含まれている場合、絶縁体103としては、酸素だけでなく、水または水素などの不純物の透過を抑制する機能を有する絶縁性材料であることが好ましい。

[0158]

ところで、図21Bに示す領域182A（領域182B）において、図1Aに示すトランジスタWTrが構成されている。具体的には、領域182A（領域182B）において、半導体151の領域151aがトランジスタWTrのチャネル形成領域として機能し、半導体151の2つの領域151bのそれぞれがトランジスタWTrのソース電極、ドレイン電極として機能し、導電体132AがトランジスタWTrのゲート電極として機能する。特に、半導体151として金属酸化物を含む材料を適用している場合、トランジスタWTrは酸化物半導体（OS）トランジスタを構成していることになる。

[0159]

半導体152として、半導体151と同様に、インジウム、元素M（元素Mとしては、例えば、アルミニウム、ガリウム、イットリウム、錫など）、亜鉛から一、または複数選ばれた金属酸化物が含まれる材料を用いることができる。また、半導体152の代替として、多結晶シリコン、アモルファスシリコンなどの半導体材料を用いることができる。

[0160]

次の工程では、図22Aに示すとおり、半導体152上に絶縁体104が成膜され、残りの開口部191が埋まるように導電体134が成膜される。

[0161]

絶縁体104としては、上述した絶縁体102、絶縁体103に適用できる材料を用いることができる。

[0162]

導電体134としては、上述した導電体131A、導電体131B、導電体132A、導電体132B、導電体133a、導電体133bに適用できる材料を用いることができる。

[0163]

ところで、図22Aに示す領域183A（領域183B）において、図1Aに示すトランジスタRT_rが構成されている。具体的には、領域183A（領域183B）において、半導体151の領域151c、2つの領域151b、および導電体133a（導電体133b）がトランジスタRT_rのゲート電極として機能し、半導体152がトランジスタRT_rのチャンネル形成領域として機能し、導電体134がトランジスタRT_rのバックゲート電極として機能する。特に、半導体152として金属酸化物を含む材料を適用している場合、トランジスタRT_rはOSトランジスタを構成していることになる。

[0164]

図18Aから図22Aまでの工程を行うことにより、図1Aに示した半導体装置を作製することができる。

[0165]

本発明の一態様は、図22Aに示した半導体装置の構成例に限定されない。本発明の一態様は、場合によって、状況に応じて、または、必要に応じて、図22Aに示す半導体装置を適宜変更した構成とすることができる。

[0166]

例えば、本発明の一態様は、前述したとおり、図1Cに示すようにトランジスタWT_r、トランジスタRT_rにバックゲートが設けられていない半導体装置とすることもできる。図1Cに示す半導体装置を作製する場合、図1Aに示す半導体装置を作製する過程において、図22Aに示す工程の代わりに図22Bに示す工程を行えばよい。具体的には、例えば、図22Bでは、図22Aの導電体134の代わりとして、開口部191が埋まるように絶縁体105を成膜した工程を示している。なお、絶縁体105は、例えば、絶縁体104として適用できる材料を用いることができる。

[0167]

また、例えば、本発明の一態様は、トランジスタWT_rのスイッチング特性を向上するためとして、トランジスタWT_rのゲート電極の構成を、図22Aに示す構成から変更してもよい。図23A、図23B、図24A、図24Bはその半導体装置の作製方法の一例を示している。図23Aでは、図18Bにおいて、開口部191の側面に有する導電体131A（導電体131B）が除去されて、凹部193A（凹部193B）が形成される工程を示している。ここでは、導電体131A（導電体131B）としては、積層体100のうち、導電体131A（導電体131B）が選択的に除去されるような材料（導電体132A（導電体132B）、絶縁体101A乃至絶縁体101Eよりもエッチングレートが高い材料）が適用されているものとする。

[0168]

また、凹部193A（凹部193B）は、図18Aに示す半導体装置の作製工程の段階で、開口部191、および凹部193A（凹部193B）が形成される領域に犠牲層を設けて、図18Bに示す半導体装置の作製工程で、開口部191と一括で形成してもよい。また、犠牲層を設けずに開

口部191を形成した時に、自動的に凹部193A（凹部193B）が形成できる場合もある。

[0169]

次の工程では、図23Bに示すとおり、図23Aに示す開口部191の側面、および凹部193A（凹部193B）に、半導体153が成膜される。

[0170]

半導体153としては、インジウム、元素M（元素Mとしては、例えば、アルミニウム、ガリウム、イットリウム、錫など）、亜鉛から一、または複数選ばれた金属酸化物が含まれている材料を適用するものとする。

[0171]

次の工程では、図24Aに示すとおり、レジストマスク形成とエッチング処理などによって、前述した凹部193A（凹部193B）のみ半導体153が残るように、開口部191に含まれる半導体153が除去され、半導体153a（半導体153b）が形成される。また、この処理と同時に、または、この処理の後に、エッチング処理を行って導電体132A（導電体132B）を除去して、凹部192A（凹部192B）を形成する。

[0172]

次に、図20Bの工程と同様に、開口部191の側面に対して、半導体153a（半導体153b）を覆うように絶縁体102を形成する。半導体153a（半導体153b）として、金属酸化物を含む材料が適用されている場合、半導体153a（半導体153b）は絶縁体102に接することで、絶縁体102に含まれる水素、水などの不純物が半導体153a（半導体153b）に拡散する。また、半導体153a（半導体153b）は導電体133a（導電体133b）に接することで、導電体133a（導電体133b）に含まれる水素、水などの不純物が半導体153a（半導体153b）に拡散する。つまり、半導体153a（半導体153b）は、水素、水などの不純物を捕集する役割を有する。これにより、半導体153a（半導体153b）が低抵抗化して、トランジスタWTrのゲート電極として機能することができる。この後は、図21Aから図22Aまでと同様の工程を行うことによって、図24Bに示す半導体装置を構成することができる。

[0173]

また、例えば、本発明の一態様は、図1Aに示すトランジスタWTrの第1端子、または第2端子と、トランジスタRTrのゲートと、の間の電気的な抵抗を小さくするためとして、トランジスタRTrのゲート電極の構成を、図22Aに示す構成から変更してもよい。図25A、図25Bはその半導体装置の作製方法の一例を示している。図25Aでは、図19Aにおいて開口部191の側面に有する導電体132A（導電体132B）だけが除去されるのではなく、絶縁体101A乃至絶縁体101Eが除去されて、凹部194B（凹部194A、凹部194C）が形成される工程を示している。ここでは、導電体132A（導電体132B）および絶縁体101A乃至絶縁体101Eとしては、積層体100のうち、導電体132A（導電体132B）および絶縁体101A乃至絶縁体101Eが選択的に除去されるような材料（導電体131A（導電体131B）よりもエッチングレートが高い材料）が適用されているものとする。

[0174]

また、凹部194B（凹部194A、凹部194C）は、図18Aに示す半導体装置の作製工程の段階で、開口部191および凹部194B（凹部194A、凹部194C）が形成される領域に犠牲層を設けて、図18Bに示す半導体装置の作製工程で、開口部191と一括で形成してもよい。

また、犠牲層を設けずに開口部191を形成した時に、自動的に凹部194B（凹部194A、凹部194C）が形成できる場合もある。

[0175]

また、図25Aでは、凹部194B（凹部194A、凹部194C）において、絶縁体101B、絶縁体101C（絶縁体101A、絶縁体101D、絶縁体101E）よりも、導電体132A（導電体132B）のほうが大きく除去されているが、導電体132A（導電体132B）よりも、絶縁体101B、絶縁体101C（絶縁体101A、絶縁体101D、絶縁体101E）のほうが大きく除去してもよい。また、絶縁体101B、絶縁体101C（絶縁体101A、絶縁体101D、絶縁体101E）と、導電体132A（導電体132B）とは、同じ深さとして形成されてもよい。

[0176]

図25Bは、図25Aの工程を介した場合の、半導体装置の構成例を示している。図25Aの工程の後では、凹部194B（凹部194A、凹部194C）が埋まるように導電体133が成膜され、トランジスタRTrのゲート電極が形成される。図25Bでは、トランジスタRTrのゲート電極として機能する導電体133a、導電体133b、導電体133cを図示している。この後は、図21Aから図22Aまで同様の工程を行うことによって、図25Bに示す半導体装置を構成することができる。この半導体装置は、図22Aに示す半導体装置よりも、半導体151と導電体133a（導電体133b）との接触面積を大きくした構成となっている。半導体151に金属酸化物を有する材料を適用した場合、図25Bに示す半導体装置は、図22Aに示す領域151bが存在しないため、トランジスタWTrの第1端子、または第2端子と、トランジスタRTrのゲートと、の間の電気的な抵抗を小さくすることができる。

[0177]

<<作製方法例2>>

ここでは、本実施の形態の半導体装置として、作製方法例1とは異なる構造の例について、図26乃至図28を用いて説明する。

[0178]

図26乃至図28は、図18乃至図22と同様に、図1Aに示す半導体装置の作製例を説明するための断面図であり、特に、トランジスタWTr、トランジスタRTrのチャンネル長方向の断面図を示している。また、図26乃至図28の断面図では、図18乃至図22と同様に、図の明瞭化のために一部の要素を省いて図示している。

[0179]

初めの工程については、作製方法例1で説明した図18Aから図19Bまでの説明の記載を参酌する。

[0180]

図26Aに示す工程は、図19Bに示す工程の続きを示したものである。図26Aでは、図19Bに示した開口部191の側面、および形成されている凹部に、半導体151が成膜される。つまり、絶縁体102上に半導体151が形成される。

[0181]

半導体151としては、インジウム、元素M（元素Mとしては、例えば、アルミニウム、ガリウム、イットリウム、錫など）、亜鉛から一、または複数選ばれた半導体を適用するのが好ましい。

[0182]

次の工程では、図26Bに示すとおり、図26Aに示す開口部191の側面、および形成されている凹部に、導電体133が成膜される。

[0183]

導電体133については、作製方法例1で説明した導電体133の記載を参酌する。

[0184]

次の工程では、図27Aに示すとおり、レジストマスク形成とエッチング処理などによって、前述した凹部のみ導電体133が残るように、開口部191に含まれる導電体133が除去される。これによって、導電体133a、導電体133bが形成される。なお、このとき、絶縁体102が開口部191に露出しない程度であれば、半導体151の一部が除去されていてもよい。

[0185]

なお、レジストマスクの形成とエッチング処理と、については、図18Bの説明を参酌する。

[0186]

ところで、導電体133a（導電体133b）は、図1Aに示す容量CSの他方の電極として機能する。つまり、図27Aに示す領域181A（領域181B）において、容量CSが形成されている。

[0187]

半導体151については、作製方法例1で説明した半導体151の記載を参酌する。また、半導体151に金属酸化物が含まれている場合、半導体151は、領域151a、領域151b、領域151cに分けることができる。領域151a、領域151b、領域151cについては、作製方法例1で説明した領域151a、領域151b、領域151cの記載を参酌する。

[0188]

次の工程では、図27Bに示すとおり、開口部191の側面部に位置する導電体133a、導電体133b、および半導体151上に絶縁体103が成膜され、その後に、絶縁体103上に半導体152が成膜される。

[0189]

絶縁体103については、作製方法例1で説明した絶縁体103の記載を参酌する。

[0190]

半導体152については、作製方法例1で説明した半導体152の記載を参酌する。

[0191]

ところで、図27Bに示す領域182A（領域182B）において、図1Aに示すトランジスタWTrが構成されている。具体的には、領域182A（領域182B）において、半導体151の領域151aがトランジスタWTrのチャネル形成領域として機能し、半導体151の2つの領域151bのそれぞれがトランジスタWTrのソース電極、ドレイン電極として機能し、導電体132AがトランジスタWTrのゲート電極として機能する。特に、半導体151として金属酸化物を含む材料を適用している場合、トランジスタWTrはOSトランジスタを構成していることになる。

[0192]

次の工程では、図28に示すとおり、半導体152上に絶縁体104が成膜され、残りの開口部191が埋まるように導電体134が成膜される。

[0193]

絶縁体104については、作製方法例1で説明した絶縁体104の記載を参酌する。

[0194]

導電体134については、作製方法例1で説明した導電体134の記載を参酌する。

[0195]

ところで、図28に示す領域183A（領域183B）において、図1Aに示すトランジスタRTrが構成されている。具体的には、領域183A（領域183B）において、半導体151の領域151c、2つの領域151b、および導電体133a（導電体133b）がトランジスタRTrのゲート電極として機能し、半導体152がトランジスタRTrのチャネル形成領域として機能し、導電体134がトランジスタRTrのバックゲート電極として機能する。特に、半導体152として金属酸化物を含む材料を適用している場合、トランジスタRTrはOSトランジスタを構成していることになる。

[0196]

図18Aから図19B、図26Aから図28までの工程を行うことにより、図1Aに示した半導体装置を作製することができる。

[0197]

本発明の一態様は、図28に示した半導体装置の構成例に限定されない。本発明の一態様は、場合によって、状況に応じて、または、必要に応じて、図28に示す半導体装置を適宜変更した構成とすることができる。

[0198]

例えば、本発明の一態様は、前述したとおり、図1Cに示すようにトランジスタWTr、トランジスタRTrにバックゲートが設けられていない半導体装置とすることもできる。図1Cに示す半導体装置を作製する場合、図1Aに示す半導体装置を作製する過程において、図28に示す工程の代わりに、図22Bに示す工程と同様に、開口部191が埋まるように絶縁体105を成膜すればよい（図示しない）。なお、絶縁体105は、例えば、絶縁体104として適用できる材料を用いることができる。

[0199]

また、例えば、本発明の一態様は、トランジスタWTrのスイッチング特性を向上するためとして、トランジスタWTrのゲート電極の構成を、図28に示す構成から変更してもよい。図29はその半導体装置の構成例を示している。図29に示す半導体装置を作製する場合、作製方法例1で説明した図24Bに示す構成例のように、凹部193A（凹部193B）が埋まるように半導体153a（半導体153b）を形成する。次に、開口部191の側面に対して、半導体153a（半導体153b）を覆うように絶縁体102を形成する。その後は、図26Aから図28までと同様の工程を行うことによって、図29に示す半導体装置を構成することができる。なお、図29を構成することによる効果は、作製方法例1で説明した図23A、図23B、図24A、及び図24Bの説明の記載を参酌する。

[0200]

また、例えば、本発明の一態様は、図1Aに示すトランジスタWTrの第1端子、または第2端子と、トランジスタRTrのゲートと、の間の電気的な抵抗を小さくするためとして、トランジスタRTrのゲート電極の構成を、図28に示す構成から変更してもよい。図30はその半導体装置の構成例を示している。図30に示す半導体装置を作製する場合、作製方法例1で説明した図25

Aに示す構成例を作製する。その後は、図26Aから図28までと同様の工程を行うことによって、図30に示す半導体装置を構成することができる。なお、図30を構成することによる効果は、作製方法例1で説明した図25Bの説明の記載を参照する。

[0201]

上述した作製方法例1、または作製方法例2によって、多くのデータを保持できる半導体装置を作製することができる。

[0202]

ここで、図17Bに示す半導体装置の領域SD2に、図22Aに示す半導体装置（図1Aの回路構成）の断面図を適用した構造を図31に示す。なお、領域SD1は、メモリセルMCに相当する。図31に示す通り、配線RWL、配線WWLである導電体と、絶縁体とを積層した構造体に対して、一括に開口部を設けて、上述した作製方法例1、または作製方法例2に記載の通りに作製を行うことで、図1Aの回路構成を実現することができる。

[0203]

<周辺回路との接続例>

作製方法例1、または作製方法例2に示した半導体装置は、その下層に読み出し回路、プリチャージ回路などのメモリセルアレイの周辺回路を形成してもよい。この場合、シリコン基板などの上にSiトランジスタを形成して当該周辺回路を構成し、その後、作製方法例1、または作製方法例2で、当該周辺回路上に本発明の一態様の半導体装置を形成すればよい。図32Aは、周辺回路をプレーナ型のSiトランジスタで構成して、その上層に本発明の一態様の半導体装置を形成した断面図である。また、図33Aは、周辺回路をFIN型のSiトランジスタで構成して、その上層に本発明の一態様の半導体装置を形成した断面図である。なお、図32A、図33Aに示す半導体装置は、一例として、図22Aの構成を適用している。

[0204]

図32A、図33Aにおいて、周辺回路を構成するSiトランジスタは、基板1700上に形成される。素子分離層1701は、複数のSiトランジスタの間に形成される。Siトランジスタのソースおよびドレインとして導電体1712が形成されている。導電体1730は、チャンネル幅方向に延びて形成しており、他のSiトランジスタ、または導電体1712に接続されている（図示しない）。

[0205]

基板1700としては、シリコンや炭化シリコンからなる単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムからなる化合物半導体基板や、SOI基板などを用いることができる。

[0206]

また、基板1700として、例えば、ガラス基板、石英基板、プラスチック基板、金属基板、可撓性基板、貼り合わせフィルム、繊維状の材料を含む紙、または基材フィルム、などを用いてもよい。また、ある基板を用いて半導体素子を形成し、その後、別の基板に半導体素子を転置してもよい。図32A、図33Aでは、一例として、基板1700に単結晶シリコンウエハを用いた例を示している。

[0207]

ここで、Siトランジスタの詳細について説明を行う。図32Aに示すプレーナ型のSiトランジスタは、チャンネル長方向の断面図を示し、図32Bに示すプレーナ型のSiトランジスタは、チ

チャンネル幅方向の断面図を示している。Siトランジスタは、ウェル1792に設けられたチャンネル形成領域1793と、低濃度不純物領域1794および高濃度不純物領域1795（これらを合わせて単に不純物領域とも呼ぶ）と、該不純物領域に接して設けられた導電性領域1796と、チャンネル形成領域1793上に設けられたゲート絶縁膜1797と、ゲート絶縁膜1797上に設けられたゲート電極1790と、ゲート電極1790の側面に設けられた側壁絶縁層1798、側壁絶縁層1799とを有する。なお、導電性領域1796には、金属シリサイド等を用いてもよい。

[0208]

また、図33Aに示すFIN型のSiトランジスタは、チャンネル長方向の断面図を示し、図33Bに示すFIN型のSiトランジスタは、チャンネル幅方向の断面図を示している。図33A、図33Bに示すSiトランジスタは、チャンネル形成領域1793が凸形状を有し、その側面および上面に沿ってゲート絶縁膜1797およびゲート電極1790が設けられている。本実施の形態では、半導体基板の一部を加工して凸部を形成する場合を示したが、SOI基板を加工して凸形状を有する半導体層を形成してもよい。なお、図33A、図33Bに示す符号は、図32A、図32Bに示す符号と同一である。

[0209]

なお、本明細書等で開示された、絶縁体、導電体、半導体などは、PVD (Physical Vapor Deposition) 法、CVD (Chemical Vapor Deposition) 法により形成することができる。PVD法としては、例えば、スパッタリング法、抵抗加熱蒸着法、電子ビーム蒸着法、PLD (Pulsed Laser Deposition) 法などが挙げられる。また、CVD法として、プラズマCVD法、熱CVD法などが挙げられる。特に、熱CVD法としては、例えば、MOCVD (Metal Organic Chemical Vapor Deposition) 法やALD (Atomic Layer Deposition) 法などが挙げられる。

[0210]

熱CVD法は、プラズマを使わない成膜方法のため、プラズマダメージにより欠陥が生成されることが無いという利点を有する。

[0211]

熱CVD法は、原料ガスと酸化剤を同時にチャンバー内に送り、チャンバー内を大気圧または減圧下とし、基板近傍または基板上で反応させて基板上に堆積させることで成膜を行ってもよい。

[0212]

また、ALD法は、チャンバー内を大気圧または減圧下とし、反応のための原料ガスが順次にチャンバーに導入され、そのガス導入の順序を繰り返すことで成膜を行ってもよい。例えば、それぞれのスイッチングバルブ（高速バルブとも呼ぶ）を切り替えて2種類以上の原料ガスを順番にチャンバーに供給し、複数種の原料ガスが混ざらないように第1の原料ガスと同時またはその後に不活性ガス（アルゴン、或いは窒素など）などを導入し、第2の原料ガスを導入する。なお、同時に不活性ガスを導入する場合には、不活性ガスはキャリアガスとなり、また、第2の原料ガスの導入時にも同時に不活性ガスを導入してもよい。また、不活性ガスを導入する代わりに真空排気によって第1の原料ガスを排出した後、第2の原料ガスを導入してもよい。第1の原料ガスが基板の表面に吸着して第1の薄い層を成膜し、後から導入される第2の原料ガスと反応して、第2の薄い層が第1の薄い層上に積層されて薄膜が形成される。このガス導入順序を制御しつつ所望の厚さになるま

で複数回繰り返すことで、段差被覆性に優れた薄膜を形成することができる。薄膜の厚さは、ガス導入順序を繰り返す回数によって調節することができるため、精密な膜厚調節が可能であり、微細なFETを作製する場合に適している。

[0213]

MOCVD法やALD法などの熱CVD法は、これまでに記載した実施形態に開示された金属膜、半導体膜、無機絶縁膜など様々な膜を形成することができ、例えば、In-Ga-Zn-O膜を成膜する場合には、トリメチルインジウム ($\text{In}(\text{CH}_3)_3$)、トリメチルガリウム ($\text{Ga}(\text{CH}_3)_3$)、およびジメチル亜鉛 ($\text{Zn}(\text{CH}_3)_2$) を用いる。また、これらの組み合わせに限定されず、トリメチルガリウムに代えてトリエチルガリウム ($\text{Ga}(\text{C}_2\text{H}_5)_3$) を用いることもでき、ジメチル亜鉛に代えてジエチル亜鉛 ($\text{Zn}(\text{C}_2\text{H}_5)_2$) を用いることもできる。

[0214]

例えば、ALDを利用する成膜装置により酸化ハフニウム膜を形成する場合には、溶媒とハフニウム前駆体化合物を含む液体（ハフニウムアルコキシドや、テトラキスジメチルアミドハフニウム (TDMAH、 $\text{Hf}[\text{N}(\text{CH}_3)_2]_4$) などのハフニウムアミド) を気化させた原料ガスと、酸化剤としてオゾン (O_3) の2種類のガスを用いる。また、他の材料としては、テトラキス(エチルメチルアミド)ハフニウムなどがある。

[0215]

例えば、ALDを利用する成膜装置により酸化アルミニウム膜を形成する場合には、溶媒とアルミニウム前駆体化合物を含む液体（トリメチルアルミニウム (TMA、 $\text{Al}(\text{CH}_3)_3$) など) を気化させた原料ガスと、酸化剤として H_2O の2種類のガスを用いる。また、他の材料としては、トリス(ジメチルアミド)アルミニウム、トリイソブチルアルミニウム、アルミニウムトリス(2, 2, 6, 6-テトラメチル-3, 5-ヘプタンジオナート) などがある。

[0216]

例えば、ALDを利用する成膜装置により酸化シリコン膜を形成する場合には、ヘキサクロロジシランを被成膜面に吸着させ、酸化性ガス (O_2 、一酸化二窒素) のラジカルを供給して吸着物と反応させる。

[0217]

例えば、ALDを利用する成膜装置によりタングステン膜を成膜する場合には、 WF_6 ガスと B_2H_6 ガスを順次繰り返し導入して初期タングステン膜を形成し、その後、 WF_6 ガスと H_2 ガスを順次繰り返し導入してタングステン膜を形成する。なお、 B_2H_6 ガスに代えて SiH_4 ガスを用いてもよい。

[0218]

例えば、ALDを利用する成膜装置により酸化物半導体膜、例えばIn-Ga-Zn-O膜を成膜する場合には、 $\text{In}(\text{CH}_3)_3$ ガスと O_3 ガスを順次繰り返し導入してIn-O層を形成し、その後、 $\text{Ga}(\text{CH}_3)_3$ ガスと O_3 ガスを順次繰り返し導入してGaO層を形成し、更にその後 $\text{Zn}(\text{CH}_3)_2$ ガスと O_3 ガスを順次繰り返し導入してZnO層を形成する。なお、これらの層の順番はこの例に限らない。また、これらのガスを用いてIn-Ga-O層やIn-Zn-O層、Ga-Zn-O層などの混合酸化物層を形成しても良い。なお、 O_3 ガスに替えてAr等の不活性ガスで水をバブリングして得られた H_2O ガスを用いても良いが、Hを含まない O_3 ガスを用いる方が好ましい。また、 $\text{In}(\text{CH}_3)_3$ ガスにかえて、 $\text{In}(\text{C}_2\text{H}_5)_3$ ガスを用いても良い。また、Ga

(CH_3)₃ガスにかえて、Ga(C_2H_5)₃ガスを用いても良い。また、Zn(CH_3)₂ガスを用いても良い。

[0219]

なお、本実施の形態で説明した半導体装置のそれぞれの構成例は、互いに適宜組み合わせることができる。

[0220]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[0221]

(実施の形態3)

本実施の形態では、上記実施の形態の半導体装置の詳細な駆動方法について図34乃至図40を用いて説明する。図34乃至図40は、実施の形態2で説明した半導体装置(図22Aの断面図の一部)であって、半導体装置の駆動方法を、これらの図面を援用して説明する。なお、以下に説明する発明の構成において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その説明の繰り返しは省略する。また、半導体装置の駆動方法は、実施の形態1を援用することができる。なお、本実施の形態では、半導体装置をメモリモジュールとして説明する。

[0222]

図34は、メモリモジュールを説明する図である。メモリモジュールは、一例として、第1のメモリセル、第2のメモリセル、配線BG、配線WL、配線RL、配線WWL[1]、配線WWL[2]、配線RWL[1]、および配線RWL[2]を有する。配線WLおよび配線RLは、金属酸化物を含む半導体層である。また、配線WLは、領域WL1乃至領域WL9を有し、配線RLは、領域RL1乃至領域RL9を有する。なお、図34では、メモリモジュールが、第1のメモリセルおよび第2のメモリセルを有する例を示しているが、メモリモジュールが有することができるメモリセルの数は限定されない。

[0223]

第1のメモリセルは、読み出し用のトランジスタRT_r[1]、書き換え用のトランジスタWT_r[1]、および容量CS[1]を有する。また、第2のメモリセルは、読み出し用のトランジスタRT_r[2]、書き換え用のトランジスタWT_r[2]、および容量CS[2]を有する。

[0224]

なお、トランジスタRT_r[1]のゲート電極RT_rG[1]は、領域WL2、領域RL2と重なる位置にある。また、トランジスタWT_r[1]のゲート電極として機能する配線WWL[1]は、領域WL4、領域RL4と重なる位置にある。同様に、トランジスタRT_r[2]のゲート電極RT_rG[2]は、領域WL6、領域RL6と重なる位置にある。また、トランジスタWT_r[2]のゲート電極として機能する配線WWL[2]は、領域WL8、領域RL8と重なる位置にある。

[0225]

容量CS[1]は、トランジスタRT_r[1]のゲート電極RT_rG[1]が絶縁体102を介して配線RWL[1]と重なる位置に配置されることで形成される。したがって、ゲート電極RT_rG[1]は、第1のメモリセルの第1のメモリノードと言い換えることができる。なお、第1のメモリノードに保持するデータは、容量CS[1]に保持される。

[0226]

また、容量CS [2] は、トランジスタRT_r [2] のゲート電極RT_rG [2] が絶縁体102を介して配線RWL [2] と重なる位置に配置されることで形成される。したがって、ゲート電極RT_rG [2] は、第2のメモリセルの第2のメモリノードと言い換えることができる。なお、第2のメモリノードに保持するデータは、容量CS [2] に保持される。

[0227]

なお、配線BGは、絶縁体104を介して配線RLと重なる領域を有し、配線RLは、絶縁体103を介して配線WLと重なる領域を有する。なお、配線BGは、絶縁体104を介して配線RLの内側に配置され、配線RLは、絶縁体103を介して配線WLの内側に配置される。

[0228]

一例として、配線BGは、トランジスタRT_r [1] のバックゲートとして機能する領域を有する。また、配線BGは、配線RLが有する領域RL1、領域RL3、領域RL4、領域RL5、領域RL7、領域RL8、および領域RL9を導体として機能させることができる。

[0229]

なお、領域RL2は、トランジスタRT_r [1] のチャンネル形成領域として機能し、領域RL6は、トランジスタRT_r [2] のチャンネル形成領域として機能する。また、領域RL4は、トランジスタWT_r [1] のバックゲートとして機能し、領域RL8は、トランジスタWT_r [2] のバックゲートとして機能する。

[0230]

なお、領域RL1、領域RL3、領域RL5、領域RL7、および領域RL9は、電位が与えられることで領域WL1、領域WL3、領域WL5、領域WL7、および領域WL9を導体として機能させることができる。異なる方法として、領域RL1、領域RL3、領域RL5、領域RL7、および領域RL9を導体として機能させるには、絶縁層101（絶縁体101A乃至絶縁体101E）から拡散する水素などの不純物によって抵抗値をさげ導体として機能させることができる。

[0231]

続いてメモリモジュールの電氣的接続について説明する。なお、図34に示していないメモリモジュールの構成要素である配線WBL1、配線RBL1、配線RBL2、配線WWL_D、配線RWL_D1、配線RWL_D2、選択トランジスタDT_r1、選択トランジスタDT_r2、および選択トランジスタDT_r3などは、図1Aを援用することができる。

[0232]

まず、配線WLについて説明する。選択トランジスタDT_r1のソースまたはドレインの一方は、配線WBL1と電氣的に接続される。選択トランジスタDT_r1のゲートは、配線WWL_Dと電氣的に接続される。

[0233]

選択トランジスタDT_r1のソースまたはドレインの他方は、領域WL1を介して第1のメモリノードとして機能するゲート電極RT_rG [1] と電氣的に接続する。なお、領域WL1は、領域WL2を介してゲート電極RT_rG [1] と電氣的に接続されることが好ましい。ゲート電極RT_rG [1] は、領域WL3を介してトランジスタWT_r [1] のチャンネル形成領域として機能する領域WL4と電氣的に接続される。なお、ゲート電極RT_rG [1] は、領域WL2を介して領域WL3と電氣的に接続されることが好ましい。

[0234]

領域WL 4は、領域WL 5を介して第2のメモリノードとして機能するゲート電極RT r G [2]と電氣的に接続する。なお、領域WL 5は、領域WL 6を介してゲート電極RT r G [1]と電氣的に接続されることが好ましい。ゲート電極RT r G [2]は、領域WL 7を介してトランジスタWT r [2]のチャンネル形成領域として機能する領域WL 8と電氣的に接続される。なお、ゲート電極RT r G [2]は、領域WL 6を介して領域WL 7と電氣的に接続されることが好ましい。領域WL 8は、領域WL 9を介して配線WBL 1と電氣的に接続される（図34には図示しない）。

[0235]

次に、配線RLについて説明する。選択トランジスタDT r 2のソースまたはドレインの一方は、配線RBL 2と電氣的に接続される。選択トランジスタDT r 2のゲートは、配線RWL__D 1と電氣的に接続される。

[0236]

選択トランジスタDT r 2のソースまたはドレインの他方は、領域RL 1を介してトランジスタRT r [1]のチャンネル形成領域として機能する領域RL 2と電氣的に接続する。領域RL 2は、領域RL 3を介して領域RL 4と電氣的に接続される。なお、領域RL 4は、トランジスタWT r [1]のバックゲートとして機能する。

[0237]

領域RL 4は、領域RL 5を介してトランジスタRT r [2]のチャンネル形成領域として機能する領域RL 6と電氣的に接続する。領域RL 6は、領域RL 7を介して領域RL 8と電氣的に接続される。なお、領域RL 8は、トランジスタWT r [2]のバックゲートとして機能する。

[0238]

領域RL 8は、領域RL 9を介して選択トランジスタDT r 3のソース又はドレインの一方と電氣的に接続される（図34には図示しない）。選択トランジスタDT r 3のゲートは、配線RWL__D 2と電氣的に接続される。

[0239]

選択トランジスタDT r 1およびトランジスタWT r [2]を用いて、領域WL 1乃至領域WL 9を浮遊状態にすることができる。また、選択トランジスタDT r 2および選択トランジスタDT r 3を用いて、領域RL 1乃至領域RL 9を浮遊状態にすることができる。

[0240]

図35乃至図40は、メモリモジュールの動作例を説明する図である。

[0241]

図35は、一例として、メモリモジュールが有するメモリセルのデータ保持期間の動作について説明する。一例として、当該保持期間にそれぞれの配線に与えられる電位を図中に示す。なお、当該電位は、一例であり限定されるものではない。また、“F-4V”を記載された場合は、配線に-4Vが与えられた後、配線が浮遊状態になることを意味する。異なる例として、“F0V”を記載された場合は、配線に0Vが与えられた後、配線が浮遊状態になる。

[0242]

一例として、容量CS [1]または容量CS [2]には、データとして0V乃至3Vの電位が与えられている。また、配線BGには、-2Vが与えられる。配線RLが有する領域RL 1には、配線RBL 2から選択トランジスタDT r 2を介して-4Vが与えられる。また、配線RLが有する

領域RL9には、配線RBL1から選択トランジスタDT r 3を介して-4Vが与えられる。その後、選択トランジスタDT r 2および選択トランジスタDT r 3がオフ状態になり、配線RLは、浮遊状態になる。また、配線WLには、配線WBL1から選択トランジスタDT r 1を介して0Vが与えられる。その後、選択トランジスタDT r 1およびトランジスタWTr [2]がオフ状態になり、配線WLは、浮遊状態になる。また、配線WWL [1]、配線RWL [1]、配線WWL [2]、および配線RWL [2]は、0Vが与えられ、その後浮遊状態になる。

[0243]

異なる例として、配線RLを浮遊状態にするには、配線RBL1および配線RBL2を浮遊状態にしてもよい。配線WLを浮遊状態にするには、配線WBL1を浮遊状態にしてもよい。

[0244]

配線BGの電位を配線RLの電位よりも大きくすることで、半導体層で形成される配線RLの抵抗値が小さくなる。したがって、配線RLに与えられる-4Vの電位が領域RL1、領域RL3、領域RL4、領域RL5、領域RL7、領域RL8、領域RL9に与えられる。この時、配線BGと配線RLとの間には、絶縁体104を介して寄生容量が形成される。つまり、当該寄生容量には、配線RLを浮遊状態にすることで配線BGと配線RLに与えられた電位差を保持することができる。

[0245]

領域RL4および領域RL8は、トランジスタWTr [1]およびトランジスタWTr [2]のバックゲートとして機能するためトランジスタWTr [1]およびトランジスタWTr [2]のオフ電流を小さくすることができる。なお、選択トランジスタDT r 1、選択トランジスタDT r 2、および選択トランジスタDT r 3のバックゲートには、配線RLに与える電位よりも小さな電位を与えることが好ましい。

[0246]

異なる例として、配線BGには、配線RLに与える電位よりも小さな電位を与えてもよい。配線BGに配線RLに与える電位よりも小さな電位を与えた場合、トランジスタRTr [1]またはトランジスタRTr [2]のオフ電流を小さくすることができる。

[0247]

また、トランジスタWTr [1]のバックゲートとして機能する領域RL4には、配線BGに与えられる電位が上述した寄生容量を介して容量結合した電位が与えられる。よって、トランジスタWTr [1]のバックゲートには、より小さな電位が与えられる。なお、トランジスタWTr [2]のバックゲートとして機能する領域RL8も同様である。

[0248]

したがって、トランジスタWTr [1]またはトランジスタWTr [2]のオフ電流を小さくすることができる。よってそれぞれのメモリノードに記憶されたデータの保持期間を長くすることができる。

[0249]

図36は、一例として、メモリモジュールが有するメモリセルのデータ書き換え期間の動作について説明する。一例として、当該書き換え期間にそれぞれの配線に与えられる電位を図中に示す。なお、当該電位は、一例であり限定されるものではない。

[0250]

配線RLが有する領域RL1には、配線RBL2から選択トランジスタDT r 2を介して0Vが

与えられる。配線RLが有する領域RL9には、配線RBL1から選択トランジスタDT r 3を介して0Vが与えられる。データの書き換えを行うメモリモジュールの場合、配線WLが有する領域WL1または領域WL9には、配線WBL1から選択トランジスタDT r 1を介して3Vが与えられる。データの書き換えを行わないメモリモジュールの場合、配線WLが有する領域WL1または領域WL9には、配線WBL1から選択トランジスタDT r 1を介して0Vが与えられる。なお、配線BGには、-2Vが与えられる。

[0251]

一例として、領域WL9を介して容量CS [2] のデータを書き換える場合について説明する。配線WWL [1] には-5Vが与えられ、配線RWL [1] には0Vが与えられ、配線WWL [2] には3Vが与えられ、および配線RWL [2] には0Vが与えられる。配線WWL [1] には-5Vが与えられることで、トランジスタWT r [1] はオフ状態になり、配線WWL [2] には3Vが与えられることで、トランジスタWT r [2] はオン状態になる。よって、容量CS [2] のデータを書き換えることができる。

[0252]

図示していないが、異なる例として領域WLR9を介して容量CS [1] のデータを書き換えた後、容量CS [2] のデータを書き換える場合について説明する。

[0253]

まず、配線WWL [1] には3Vを与え、配線RWL [1] には0Vが与えられ、配線WWL [2] には3Vが与えられ、および配線RWL [2] には0Vが与えられる。配線WWL [1] には3Vが与えられることで、トランジスタWT r [1] はオン状態になり、配線WWL [1] に3Vが与えられることで、トランジスタWT r [2] はオン状態になる。よって、容量CS [1] のデータを書き換えることができる。

[0254]

続いて、領域WLR9を介して容量CS [2] のデータを書き換える場合について説明する。配線WWL [1] には-5Vが与えられ、配線RWL [1] には0Vが与えられ、配線WWL [2] には3Vが与えられ、および配線RWL [2] には0Vが与えられる。配線WWL [1] に-5Vが与えられることで、トランジスタWT r [1] はオフ状態になり、配線WWL [2] に3Vが与えられることで、トランジスタWT r [2] はオン状態になる。よって、容量CS [2] のデータを書き換えることができる。

[0255]

なお、詳細には説明しないが、上述したメモリモジュールが有するメモリセルのデータの書き換えは、領域WL1を介して書き換えてもよい。

[0256]

図37は、一例として、メモリモジュールが有するメモリセルからデータ読み出し期間（非選択）の動作について説明する。一例として、当該読み出し期間にそれぞれの配線に与えられる電位を図中に示す。なお、当該電位は、一例であり限定されるものではない。

[0257]

配線WLが有する領域WL1および領域WL9には、配線WBL1を介して0Vが与えられ、その後浮遊状態になる。また、配線RLの領域RL1には、配線RBL2を介して3Vが与えられ、配線RLの領域RL9には、配線RBL1を介して0Vが与えられた後、浮遊状態にすることが好

ましい。なお、配線BGには、 -2V が与えられる。

[0258]

次に、配線WWL [1] および配線WWL [2] には、 -5V が与えられる。配線WWL [1] に -5V が与えられることで、トランジスタWTr [1] はオフ状態になる。また、配線WWL [2] に -5V が与えられることで、トランジスタWTr [2] はオフ状態になる。よって、容量CS [1] および容量CS [2] のデータは保持される。

[0259]

なお、図37では、一例として、容量CS [1] には、 0V が保持され、容量CS [2] には 3V が保持された場合について説明する。配線RWL [1] および配線RWL [2] に 3V が与えられる。

[0260]

容量CS [1] が保持する電位は、容量CS [1] の容量結合によって 0V から 3V に変化する。容量CS [1] に保持される電位は、トランジスタRTr [1] のゲートに与えられる。よって、トランジスタRTr [1] はオン状態になる。

[0261]

容量CS [2] が保持する電位は、容量CS [2] の容量結合によって 3V から 6V に変化する。容量CS [2] に保持される電位は、トランジスタRTr [2] のゲートに与えられる。よって、トランジスタRTr [2] はオン状態になる。

[0262]

したがって、配線RWL [1] および配線RWL [2] に 3V が与えられる場合は、容量CS に保持されるデータの大きさに関わらずトランジスタRTr [1] およびトランジスタRTr [2] がオン状態になる。よって、メモリモジュールが有するメモリセルは非選択の場合、配線RLが有する領域RL9には、配線RBL2に与えられた電位が出力される。

[0263]

図38は、一例として、メモリモジュールが有するメモリセルからデータ読み出し期間（選択）の動作について説明する。一例として、当該読み出し期間にそれぞれの配線に与えられる電位を図中に示す。なお、当該電位は、一例であり限定されるものではない。なお図38は、配線RWL [1] に与える電位が 0V である点が図37とは異なっている。なお、容量CS [1] には 0V が保持され、容量CS [2] には 3V が保持されている。

[0264]

読み出し対象メモリセルとして、配線RWL [1] には、 0V が与えられる。配線RWL [1] が 0V の場合、容量CS [1] を介した容量結合は発生しない。よって、容量CS [1] に保持される電位は、トランジスタRTr [1] のゲートに与えられる。トランジスタRTr [1] は、オフ状態を維持するため、配線RLが有する領域RL9には、配線RBL2に与えられた電位が出力されないため 0V を維持する。

[0265]

また、配線RWL [2] には、 3V が与えられる。容量CS [2] が保持する電位は、容量CS [2] の容量結合によって 3V から 6V に変化する。容量CS [2] に保持される電位は、トランジスタRTr [2] のゲートに与えられる。よって、トランジスタRTr [2] はオン状態になる。

[0266]

選択されたメモリセルが保持するデータが3Vの場合、配線RLが有する領域RL9には、配線RBL2に与えられた電位が出力される。異なる例として、選択されたメモリセルが保持するデータが0Vの場合、配線RLが有する領域RL9には、配線RBL2に与えられた電位は0Vから変化しない。

[0267]

図39は、一例として、メモリモジュールが有するメモリセルからデータ読み出し期間から保持期間への移行動作について説明する。一例として、当該読み出し期間にそれぞれの配線に与えられる電位および移行する場合の電位の変化を図中に示す。なお、当該電位は、一例であり限定されるものではない。なお、配線BGには、-2Vが与えられる。配線RWL[1]および配線RWL[2]には、0Vが与えられる。なお、容量CS[1]には0Vが保持され、容量CS[2]には3Vが保持されている。

[0268]

まず、配線RLが有する領域RL1および領域RL9に与える電位を、3Vから-3Vに変化させる。次に、配線WWL[1]および配線WWL[2]を、-5Vから0Vに変化させる。次に、配線RWL[1]および配線RWL[2]を、3Vから0Vに変化させる。次に、配線RL、配線RWL[1]、配線RWL[2]、配線WWL[1]、および配線WWL[2]を浮遊状態にする。トランジスタRT_r、トランジスタWT_rは、OSトランジスタであるため、オフ電流が小さい。したがって、メモリモジュールをパワーゲーティングする場合、配線RL、配線RWL[1]、配線RWL[2]、配線WWL[1]、および配線WWL[2]を浮遊状態としても、容量CS[1]および容量CS[2]に保持されたデータは劣化を抑制することができる。

[0269]

図40は、一例として、メモリモジュールが有するメモリセルからデータ書き換え期間から保持期間への移行動作について説明する。一例として、当該書き換え期間にそれぞれの配線に与えられる電位および移行する場合の電位の変化を図中に示す。なお、当該電位は、一例であり限定されるものではない。なお、配線BGには、-2Vが与えられる。配線RWL[1]および配線RWL[2]には、0Vが与えられる。なお、容量CS[1]には0Vが保持され、容量CS[2]には3Vが保持されている。

[0270]

まず、配線WLが有する領域WL1および領域WL9に与える電位を、0Vから-3Vに変化させる。次に、配線WWL[1]を-5Vから0Vに変化させ、配線WWL[2]を3Vから0Vに変化させる。次に、配線WL、配線WWL[1]、配線WWL[2]、配線RWL[1]、および配線RWL[2]を浮遊状態にする。トランジスタRT_r、トランジスタWT_rは、OSトランジスタであるため、オフ電流が小さい。したがって、メモリモジュールをパワーゲーティングする場合、配線WL、配線WWL[1]、配線WWL[2]、配線RWL[1]、および配線RWL[2]を浮遊状態としても、容量CS[1]および容量CS[2]に保持されたデータは劣化を抑制することができる。

[0271]

以上、本実施の形態で示す構成、方法は、他の実施の形態で示す構成、方法と適宜組み合わせ用いることができる。

[0272]

(実施の形態4)

本実施の形態では、上記実施の形態の半導体装置を備えることができるCPUについて説明する。

[0273]

図41は、実施の形態1で説明した半導体装置を一部に用いたCPUの一例の構成を示すブロック図である。

[0274]

図41に示すCPUは、基板1190上に、ALU1191 (ALU: Arithmetic logic unit、演算回路)、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、タイミングコントローラ1195、レジスタ1196、レジスタコントローラ1197、バスインターフェース1198 (Bus I/F)、書き換え可能なROM1199、およびROMインターフェース1189 (ROM I/F)を有している。基板1190は、半導体基板、SOI基板、ガラス基板などを用いる。ROM1199およびROMインターフェース1189は、別チップに設けてもよい。もちろん、図41に示すCPUは、その構成を簡略化して示した一例にすぎず、実際のCPUはその用途によって多種多様な構成を有している。例えば、図41に示すCPUまたは演算回路を含む構成を一つのコアとし、当該コアを複数含み、それぞれのコアが並列で動作するような構成、つまりGPUのような構成としてもよい。また、CPUが内部演算回路やデータバスで扱えるビット数は、例えば8ビット、16ビット、32ビット、64ビットなどとすることができる。

[0275]

バスインターフェース1198を介してCPUに入力された命令は、インストラクションデコーダ1193に入力され、デコードされた後、ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195に入力される。

[0276]

ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195は、デコードされた命令に基づき、各種制御を行なう。具体的にALUコントローラ1192は、ALU1191の動作を制御するための信号を生成する。また、インタラプトコントローラ1194は、CPUのプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタコントローラ1197は、レジスタ1196のアドレスを生成し、CPUの状態に応じてレジスタ1196の読み出しや書き込みを行なう。

[0277]

また、タイミングコントローラ1195は、ALU1191、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、およびレジスタコントローラ1197の動作のタイミングを制御する信号を生成する。例えばタイミングコントローラ1195は、基準クロック信号を元に、内部クロック信号を生成する内部クロック生成部を備えており、内部クロック信号を上記各種回路に供給する。

[0278]

図41に示すCPUでは、レジスタ1196に、メモリセルが設けられている。レジスタ1196のメモリセルとして、先の実施の形態に示したトランジスタを用いることができる。

[0279]

図41に示すCPUにおいて、レジスタコントローラ1197は、ALU1191からの指示に従い、レジスタ1196における保持動作の選択を行う。すなわち、レジスタ1196が有するメモリセルにおいて、フリップフロップによるデータの保持を行うか、容量によるデータの保持を行うかを、選択する。フリップフロップによるデータの保持が選択されている場合、レジスタ1196内のメモリセルへの、電源電圧の供給が行われる。容量におけるデータの保持が選択されている場合、容量へのデータの書き換えが行われ、レジスタ1196内のメモリセルへの電源電圧の供給を停止することができる。

[0280]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[0281]

(実施の形態5)

上記実施の形態の記憶装置はメモリカード（例えば、SDカード）、USB（Universal Serial Bus）メモリ、SSD（Solid State Drive）等の各種のリムーバブル記憶装置に適用することができる。本実施の形態では、リムーバブル記憶装置の幾つかの構成例について、図42を用いて、説明する。

[0282]

図42AはUSBメモリの模式図である。USBメモリ5100は、筐体5101、キャップ5102、USBコネクタ5103および基板5104を有する。基板5104は、筐体5101に収納されている。基板5104には、記憶装置および該記憶装置を駆動する回路が設けられている。例えば、基板5104には、メモリチップ5105、コントローラチップ5106が取り付けられている。メモリチップ5105は、実施の形態2で説明したメモリセルアレイ2610、ワード線ドライバ回路2622、ローデコーダ2621、センスアンプ2633、プリチャージ回路2632、カラムデコーダ2631などが組み込まれている。コントローラチップ5106は、具体的にはプロセッサ、ワークメモリ、ECC回路等が組み込まれている。なお、メモリチップ5105とコントローラチップ5106とのそれぞれの回路構成は、上述の記載に限定せず、状況に応じて、または場合によって、適宜回路構成を変更してもよい。例えば、ワード線ドライバ回路2622、ローデコーダ2621、センスアンプ2633、プリチャージ回路2632、カラムデコーダ2631をメモリチップ5105でなく、コントローラチップ5106に組み込んだ構成としてもよい。USBコネクタ5103が外部装置と接続するためのインターフェースとして機能する。

[0283]

図42BはSDカードの外観の模式図であり、図42Cは、SDカードの内部構造の模式図である。SDカード5110は、筐体5111、コネクタ5112および基板5113を有する。コネクタ5112が外部装置と接続するためのインターフェースとして機能する。基板5113は筐体5111に収納されている。基板5113には、記憶装置および記憶装置を駆動する回路が設けられている。例えば、基板5113には、メモリチップ5114、コントローラチップ5115が取り付けられている。メモリチップ5114には、実施の形態2で説明したメモリセルアレイ2610、ワード線ドライバ回路2622、ローデコーダ2621、センスアンプ2633、プリチャージ回路2632、カラムデコーダ2631などが組み込まれている。コントローラチップ5115には、プロセッサ、ワークメモリ、ECC回路等が組み込まれている。なお、メモリチップ5114とコントローラチップ5115とのそれぞれの回路構成は、上述の記載に限定せず、状況に応じ

て、または場合によって、適宜回路構成を変更してもよい。例えば、ワード線ドライバ回路2622、ローデコーダ2621、センスアンプ2633、プリチャージ回路2632、カラムデコーダ2631をメモリチップ5114でなく、コントローラチップ5115に組み込んだ構成としてもよい。

[0284]

基板5113の裏面側にもメモリチップ5114を設けることで、SDカード5110の容量を増やすことができる。また、無線通信機能を備えた無線チップを基板5113に設けてもよい。これによって、外部装置とSDカード5110との間で無線通信を行うことができ、メモリチップ5114のデータの読み出し、書き込みが可能となる。

[0285]

図42DはSSDの外観の模式図であり、図42Eは、SSDの内部構造の模式図である。SSD5150は、筐体5151、コネクタ5152および基板5153を有する。コネクタ5152が外部装置と接続するためのインターフェースとして機能する。基板5153は筐体5151に収納されている。基板5153には、記憶装置および記憶装置を駆動する回路が設けられている。例えば、基板5153には、メモリチップ5154、メモリチップ5155、コントローラチップ5156が取り付けられている。メモリチップ5154には、実施の形態2で説明したメモリセルアレイ2610、ワード線ドライバ回路2622、ローデコーダ2621、センスアンプ2633、プリチャージ回路2632、カラムデコーダ2631などが組み込まれている。基板5153の裏面側にもメモリチップ5154を設けることで、SSD5150の容量を増やすことができる。メモリチップ5155にはワークメモリが組み込まれている。例えば、メモリチップ5155には、DRAMチップを用いればよい。コントローラチップ5156には、プロセッサ、ECC回路などが組み込まれている。なお、メモリチップ5154と、メモリチップ5155と、コントローラチップ5115と、のそれぞれの回路構成は、上述の記載に限定せず、状況に応じて、または場合によって、適宜回路構成を変更してもよい。例えば、コントローラチップ5156にも、ワークメモリとして機能するメモリを設けてもよい。

[0286]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[0287]

(実施の形態6)

本実施の形態では、上記実施の形態の記憶装置を適用することができる電子機器の一例について説明する。

[0288]

<ノート型パーソナルコンピュータ>

図43Aはノート型パーソナルコンピュータであり、筐体5401、表示部5402、キーボード5403、ポインティングデバイス5404等を有する。本発明の一態様の記憶装置は、ノート型パーソナルコンピュータに備えることができる。

[0289]

<スマートウォッチ（登録商標）>

図43Bはウェアラブル端末の一種であるスマートウォッチであり、筐体5901、表示部5902、操作ボタン5903、操作子5904、バンド5905などを有する。本発明の一態様の記

憶装置は、スマートウォッチに備えることができる。また、表示部5902に、位置入力装置としての機能が付加された表示装置を用いるようにしてもよい。また、位置入力装置としての機能は、表示装置にタッチパネルを設けることで付加することができる。あるいは、位置入力装置としての機能は、フォトセンサとも呼ばれる光電変換素子を表示装置の画素部に設けることでも、付加することができる。また、操作ボタン5903にスマートウォッチを起動する電源スイッチ、スマートウォッチのアプリケーションを操作するボタン、音量調整ボタン、または表示部5902を点灯、あるいは消灯するスイッチなどのいずれかを備えることができる。また、図43Bに示したスマートウォッチでは、操作ボタン5903の数を2個示しているが、スマートウォッチの有する操作ボタンの数は、これに限定されない。また、操作子5904は、スマートウォッチの時刻合わせを行うリューズとして機能する。また、操作子5904は、時刻合わせ以外に、スマートウォッチのアプリケーションを操作する入力インターフェースとして、用いるようにしてもよい。なお、図43Bに示したスマートウォッチでは、操作子5904を有する構成となっているが、これに限定せず、操作子5904を有さない構成であってもよい。

[0290]

<ビデオカメラ>

図43Cはビデオカメラであり、第1筐体5801、第2筐体5802、表示部5803、操作キー5804、レンズ5805、接続部5806等を有する。本発明の一態様の記憶装置は、ビデオカメラに備えることができる。操作キー5804およびレンズ5805は第1筐体5801に設けられており、表示部5803は第2筐体5802に設けられている。そして、第1筐体5801と第2筐体5802とは、接続部5806により接続されており、第1筐体5801と第2筐体5802の間の角度は、接続部5806により変更が可能である。表示部5803における映像を、接続部5806における第1筐体5801と第2筐体5802との間の角度に従って切り替える構成としてもよい。

[0291]

<携帯電話>

図43Dは、情報端末の機能を有する携帯電話であり、筐体5501、表示部5502、マイク5503、スピーカ5504、操作ボタン5505を有する。本発明の一態様の記憶装置は、携帯電話に備えることができる。また、表示部5502に、位置入力装置としての機能が付加された表示装置を用いるようにしてもよい。また、位置入力装置としての機能は、表示装置にタッチパネルを設けることで付加することができる。あるいは、位置入力装置としての機能は、フォトセンサとも呼ばれる光電変換素子を表示装置の画素部に設けることでも、付加することができる。また、操作ボタン5505に携帯電話を起動する電源スイッチ、携帯電話のアプリケーションを操作するボタン、音量調整ボタン、または表示部5502を点灯、あるいは消灯するスイッチなどのいずれかを備えることができる。

[0292]

また、図43Dに示した携帯電話では、操作ボタン5505の数を2個示しているが、携帯電話の有する操作ボタンの数は、これに限定されない。また、図示していないが、図43Dに示した携帯電話は、フラッシュライト、または照明の用途として発光装置を有する構成であってもよい。

[0293]

<テレビジョン装置>

図43Eは、テレビジョン装置を示す斜視図である。テレビジョン装置は、筐体9000、表示部9001、スピーカ9003、操作キー9005（電源スイッチ、または操作スイッチを含む）、接続端子9006、センサ9007（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、においまたは赤外線を測定する機能を含むもの）などを有する。本発明の一態様の記憶装置は、テレビジョン装置に備えることができる。テレビジョン装置は、大画面、例えば、50インチ以上、または100インチ以上の表示部9001を組み込むことが可能である。

[0294]

<移動体>

上述した記憶装置は、移動体である自動車の運転席周辺に適用することもできる。

[0295]

例えば、図43Fは、自動車の室内におけるフロントガラス周辺を表す図である。図43Fでは、ダッシュボードに取り付けられた表示パネル5701、表示パネル5702、表示パネル5703の他、ピラーに取り付けられた表示パネル5704を図示している。

[0296]

表示パネル5701乃至表示パネル5703は、ナビゲーション情報、スピードメーターやタコメーター、走行距離、燃料計、ギア状態、エアコンの設定などを表示することで、様々な情報を提供することができる。また、表示パネルに表示される表示項目やレイアウトなどは、ユーザの好みに合わせて適宜変更することができ、デザイン性を高めることが可能である。表示パネル5701乃至表示パネル5703は、照明装置として用いることも可能である。

[0297]

表示パネル5704には、車体に設けられた撮像手段からの映像を映し出すことによって、ピラーで遮られた視界（死角）を補完することができる。すなわち、自動車の外側に設けられた撮像手段からの画像を表示することによって、死角を補い、安全性を高めることができる。また、見えない部分を補完する映像を映すことによって、より自然に違和感なく安全確認を行うことができる。表示パネル5704は、照明装置として用いることもできる。

[0298]

本発明の一態様の記憶装置は、移動体に備えることができる。本発明の一態様の記憶装置は、例えば、表示パネル5701乃至表示パネル5704に画像を表示する際に用いられる、画像データを一時的に格納するフレームメモリや、移動体が有するシステムを駆動するプログラムを保存する記憶装置などに用いることができる。

[0299]

また、図示していないが、図43A乃至図43C、図43E、図43Fに示した電子機器は、マイクおよびスピーカを有する構成であってもよい。この構成により、例えば、上述した電子機器に音声入力機能を付することができる。

[0300]

また、図示していないが、図43A、図43B、図43D乃至図43Fに示した電子機器は、カメラを有する構成であってもよい。

[0301]

また、図示していないが、図43A乃至図43Fに示した電子機器は、筐体の内部にセンサ（力、

変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、においまたは赤外線などを測定する機能を含むもの)を有する構成であってもよい。特に、図43Dに示す携帯電話に、ジャイロ、加速度センサなどの傾きを検出するセンサを有する検出装置を設けることで、該携帯電話の向き(鉛直方向に対して該携帯電話がどの向きに向いているか)を判断して、表示部5502の画面表示を、該携帯電話の向きに応じて自動的に切り替えるようにすることができる。

[0302]

また、図示していないが、図43A乃至図43Fに示した電子機器は、指紋、静脈、虹彩、または声紋など生体情報を取得する装置を有する構成であってもよい。この構成を適用することによって、生体認証機能を有する電子機器を実現することができる。

[0303]

また、図43A乃至図43Fに示した電子機器の表示部として、可撓性を有する基材を用いてもよい。具体的には、該表示部は、可撓性を有する基材上にトランジスタ、容量、および表示素子などを設けた構成としてもよい。この構成を適用することによって、図43A乃至図43Fに示した電子機器のように平らな面を有する筐体だけでなく、曲面を有するような筐体の電子機器を実現することができる。

[0304]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[0305]

(本明細書等の記載に関する付記)

以上の実施の形態における各構成の説明について、以下に付記する。

[0306]

<実施の形態で述べた本発明の一態様に関する付記>

各実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて、本発明の一態様とすることができる。また、1つの実施の形態の中に、複数の構成例が示される場合は、互いに構成例を適宜組み合わせることが可能である。

[0307]

なお、ある一つの実施の形態の中で述べる内容(一部の内容でもよい)は、その実施の形態で述べる別の内容(一部の内容でもよい)と、一つ若しくは複数の別の実施の形態で述べる内容(一部の内容でもよい)との少なくとも一つの内容に対して、適用、組み合わせ、または置き換えなどを行うことができる。

[0308]

なお、実施の形態の中で述べる内容とは、各々の実施の形態において、様々な図を用いて述べる内容、または明細書に記載される文章を用いて述べる内容のことである。

[0309]

なお、ある一つの実施の形態において述べる図(一部でもよい)は、その図の別の部分、その実施の形態において述べる別の図(一部でもよい)と、一つ若しくは複数の別の実施の形態において述べる図(一部でもよい)との少なくとも一つの内容に対して、組み合わせることにより、さらに多くの図を構成させることができる。

[0310]

<序数詞に関する付記>

本明細書等において、「第1」、「第2」、「第3」という序数詞は、構成要素の混同を避けるために付したものである。したがって、構成要素の数を限定するものではない。また、構成要素の順序を限定するものではない。また例えば、本明細書等の実施の形態の一において「第1」に言及された構成要素が、他の実施の形態、あるいは特許請求の範囲において「第2」に言及された構成要素とすることもありうる。また例えば、本明細書等の実施の形態の一において「第1」に言及された構成要素を、他の実施の形態、あるいは特許請求の範囲において省略することもありうる。

[0311]

<図面を説明する記載に関する付記>

実施の形態について図面を参照しながら説明している。ただし、実施の形態は多くの異なる態様で実施することが可能であり、趣旨およびその範囲から逸脱することなく、その形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。したがって、本発明は、実施の形態の記載内容に限定して解釈されるものではない。なお、実施の形態の発明の構成において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

[0312]

また、本明細書等において、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている。構成同士的位置関係は、各構成を描写する方向に応じて適宜変化する。そのため、配置を示す語句は、明細書で説明した記載に限定されず、状況に応じて適切に言い換えることができる。

[0313]

また、「上」や「下」の用語は、構成要素の位置関係が直上または直下で、かつ、直接接していることを限定するものではない。例えば、「絶縁層A上の電極B」の表現であれば、絶縁層Aの上に電極Bが直接接して形成されている必要はなく、絶縁層Aと電極Bとの間に他の構成要素を含むものを除外しない。

[0314]

また、図面において、大きさ、層の厚さ、または領域は、説明の便宜上任意の大きさに示したものである。よって、必ずしもそのスケールに限定されない。なお図面は明確性を期すために模式的に示したものであり、図面に示す形状または値などに限定されない。例えば、ノイズによる信号、電圧、若しくは電流のばらつき、または、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

[0315]

また、図面において、斜視図などにおいて、図面の明確性を期すために、一部の構成要素の記載を省略している場合がある。

[0316]

また、図面において、同一の要素または同様な機能を有する要素、同一の材質の要素、あるいは同時に形成される要素等には同一の符号を付す場合があり、その繰り返しの説明は省略する場合がある。

[0317]

<言い換え可能な記載に関する付記>

本明細書等において、トランジスタの接続関係を説明する際、「ソース又はドレインの一方」（又は第1電極、又は第1端子）、「ソース又はドレインの他方」（又は第2電極、又は第2端子）という表記を用いる。これは、トランジスタのソースとドレインは、トランジスタの構造または動作条件等によって変わるためである。なおトランジスタのソースとドレインの呼称については、ソース（ドレイン）端子や、ソース（ドレイン）電極等、状況に応じて適切に言い換えることができる。また、本明細書等では、ゲート以外の2つの端子を第1端子、第2端子と呼ぶ場合や、第3端子、第4端子と呼ぶ場合がある。なお、本明細書等において、チャンネル形成領域は、ゲートに電位を印加することで、チャンネルが形成される領域を指し、この領域が形成されることによって、ソースドレイン間に電流を流すことができる。

[0318]

また、ソースやドレインの機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書等においては、ソースやドレインの用語は、入れ替えて用いることができるものとする。

[0319]

また、本明細書等に記載するトランジスタが2つ以上のゲートを有するとき（この構成をデュアルゲート構造という場合がある）、それらのゲートを第1ゲート、第2ゲートと呼ぶ場合や、フロントゲート、バックゲートと呼ぶ場合がある。特に、「フロントゲート」という語句は、単に「ゲート」という語句に互いに言い換えることができる。また、「バックゲート」という語句は、単に「ゲート」という語句に互いに言い換えることができる。なお、ボトムゲートとは、トランジスタの作製時において、チャンネル形成領域よりも先に形成される端子のことをいい、「トップゲート」とは、トランジスタの作製時において、チャンネル形成領域よりも後に形成される端子のことをいう。

[0320]

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

[0321]

また、本明細書等において、電圧と電位は、適宜言い換えることができる。電圧は、基準となる電位からの電位差のことであり、例えば基準となる電位をグラウンド電位（接地電位）とすると、電圧を電位に言い換えることができる。グラウンド電位は必ずしも0Vを意味するとは限らない。なお電位は相対的なものであり、基準となる電位によっては、配線等に与える電位を変化させる場合がある。

[0322]

なお本明細書等において、「膜」、「層」などの語句は、場合によっては、または、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。または、場合によっては、または、状況に応じて、「膜」、「層」などの語句を使わずに、別の用語に入れ替えることが可能である。例えば、「導電層」または「導電膜」という用語を、「導電体」という用語に変更することが可能な場合がある。または、例えば、「絶縁層」「絶縁膜」という用語を、「絶縁体」という用語に変更することが可

能な場合がある。

[0323]

なお本明細書等において、「配線」、「信号線」、「電源線」などの用語は、場合によっては、または、状況に応じて、互いに入れ替えることが可能である。例えば、「配線」という用語を、「信号線」という用語に変更することが可能な場合がある。また、例えば、「配線」という用語を、「電源線」などの用語に変更することが可能な場合がある。また、その逆も同様で、「信号線」「電源線」などの用語を、「配線」という用語に変更することが可能な場合がある。「電源線」などの用語は、「信号線」などの用語に変更することが可能な場合がある。また、その逆も同様で「信号線」などの用語は、「電源線」などの用語に変更することが可能な場合がある。また、配線に印加されている「電位」という用語を、場合によっては、または、状況に応じて、「信号」などという用語に変更することが可能な場合がある。また、その逆も同様で、「信号」などの用語は、「電位」という用語に変更することが可能な場合がある。

[0324]

<語句の定義に関する付記>

以下では、上記実施の形態中で言及した語句の定義について説明する。

[0325]

<<半導体の不純物について>>

半導体の不純物とは、例えば、半導体層を構成する主成分以外をいう。例えば、濃度が0.1原子%未満の元素は不純物である。不純物が含まれることにより、例えば、半導体にDOS (Density of States) が形成されることや、キャリア移動度が低下することや、結晶性が低下することなどが起こる場合がある。半導体が酸化物半導体である場合、半導体の特性を変化させる不純物としては、例えば、第1族元素、第2族元素、第13族元素、第14族元素、第15族元素、主成分以外の遷移金属などがあり、特に、例えば、水素(水にも含まれる)、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、窒素などがある。酸化物半導体の場合、例えば水素などの不純物の混入によって酸素欠損を形成する場合がある。また、半導体がシリコン層である場合、半導体の特性を変化させる不純物としては、例えば、酸素、水素を除く第1族元素、第2族元素、第13族元素、第15族元素などがある。

[0326]

<<スイッチについて>>

本明細書等において、スイッチとは、導通状態(オン状態)、または、非導通状態(オフ状態)になり、電流を流すか流さないかを制御する機能を有するものをいう。または、スイッチとは、電流を流す経路を選択して切り替える機能を有するものをいう。

[0327]

一例としては、電氣的スイッチまたは機械的なスイッチなどを用いることができる。つまり、スイッチは、電流を制御できるものであればよく、特定のものに限定されない。

[0328]

電氣的なスイッチの一例としては、トランジスタ(例えば、バイポーラトランジスタ、MOSトランジスタなど)、ダイオード(例えば、PNダイオード、PINダイオード、ショットキーダイオード、MIM(Metal Insulator Metal)ダイオード、MIS(Metal Insulator Semiconductor)ダイオード、ダイオード接続のトランジ

スタなど)、またはこれらを組み合わせた論理回路などがある。

[0329]

なお、スイッチとしてトランジスタを用いる場合、トランジスタの「導通状態」とは、トランジスタのソース電極とドレイン電極が電氣的に短絡されているとみなせる状態をいう。また、トランジスタの「非導通状態」とは、トランジスタのソース電極とドレイン電極が電氣的に遮断されているとみなせる状態をいう。なおトランジスタを単なるスイッチとして動作させる場合には、トランジスタの極性(導電型)は特に限定されない。

[0330]

機械的なスイッチの一例としては、デジタルマイクロミラーデバイス(DMD)のように、MEMS(マイクロ・エレクトロ・メカニカル・システム)技術を用いたスイッチがある。そのスイッチは、機械的に動かすことが可能な電極を有し、その電極が動くことによって、導通と非導通とを制御して動作する。

[0331]

<<接続について>>

本明細書等において、XとYとが接続されている、と記載する場合は、XとYとが電氣的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接接続されている場合とを含むものとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも含むものとする。

[0332]

ここで使用するX、Yなどは、対象物(例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など)であるとする。

[0333]

XとYとが電氣的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子(例えば、スイッチ、トランジスタ、容量、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など)が、XとYとの間に1個以上接続されることが可能である。なお、スイッチは、オンオフが制御される機能を有している。つまり、スイッチは、導通状態(オン状態)、または、非導通状態(オフ状態)になり、電流を流すか流さないかを制御する機能を有している。

[0334]

XとYとが機能的に接続されている場合の一例としては、XとYとの機能的な接続を可能とする回路(例えば、論理回路(インバータ、NAND回路、NOR回路など)、信号変換回路(DA変換回路、AD変換回路、ガンマ補正回路など)、電位レベル変換回路(電源回路(昇圧回路、降圧回路など)、信号の電位レベルを変えるレベルシフタ回路など)、電圧源、電流源、切り替え回路、増幅回路(信号振幅または電流量などを大きく出来る回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など)、信号生成回路、記憶回路、制御回路など)が、XとYとの間に1個以上接続されることが可能である。なお、一例として、XとYとの間に別の回路を挟んでいても、Xから出力された信号がYへ伝達される場合は、XとYとは機能的に接続されているものとする。

[0335]

なお、XとYとが電氣的に接続されている、と明示的に記載する場合は、XとYとが電氣的に接続されている場合(つまり、XとYとの間に別の素子または別の回路を挟んで接続されている場合)

と、XとYとが機能的に接続されている場合（つまり、XとYとの間に別の回路を挟んで機能的に接続されている場合）と、XとYとが直接接続されている場合（つまり、XとYとの間に別の素子または別の回路を挟まずに接続されている場合）とを含むものとする。つまり、電氣的に接続されている、と明示的に記載する場合は、単に、接続されている、とのみ明示的に記載されている場合と同じであるとする。

[0336]

なお、例えば、トランジスタのソース（または第1の端子など）が、Z1を介して（または介さず）、Xと電氣的に接続され、トランジスタのドレイン（または第2の端子など）が、Z2を介して（または介さず）、Yと電氣的に接続されている場合や、トランジスタのソース（または第1の端子など）が、Z1の一部と直接的に接続され、Z1の別の一部がXと直接的に接続され、トランジスタのドレイン（または第2の端子など）が、Z2の一部と直接的に接続され、Z2の別の一部がYと直接的に接続されている場合では、以下のように表現することが出来る。

[0337]

例えば、「XとYとトランジスタのソース（または第1の端子など）とドレイン（または第2の端子など）とは、互いに電氣的に接続されており、X、トランジスタのソース（または第1の端子など）、トランジスタのドレイン（または第2の端子など）、Yの順序で電氣的に接続されている。」と表現することができる。または、「トランジスタのソース（または第1の端子など）は、Xと電氣的に接続され、トランジスタのドレイン（または第2の端子など）はYと電氣的に接続され、X、トランジスタのソース（または第1の端子など）、トランジスタのドレイン（または第2の端子など）、Yは、この順序で電氣的に接続されている」と表現することができる。または、「Xは、トランジスタのソース（または第1の端子など）とドレイン（または第2の端子など）とを介して、Yと電氣的に接続され、X、トランジスタのソース（または第1の端子など）、トランジスタのドレイン（または第2の端子など）、Yは、この接続順序で設けられている」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続の順序について規定することにより、トランジスタのソース（または第1の端子など）と、ドレイン（または第2の端子など）とを、区別して、技術的範囲を決定することができる。なお、これらの表現方法は、一例であり、これらの表現方法に限定されない。ここで、X、Y、Z1、Z2は、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

[0338]

なお、回路図上は独立している構成要素同士が電氣的に接続しているように図示されている場合であっても、1つの構成要素が、複数の構成要素の機能を併せ持っている場合もある。例えば配線の一部が電極としても機能する場合は、一の導電膜が、配線の機能、および電極の機能の両方の構成要素の機能を併せ持っている。したがって、本明細書における電氣的に接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

[0339]

<<平行、垂直について>>

本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。したがって、 -5° 以上 5° 以下の場合も含まれる。また、「略平行」とは、二つの直線が -30° 以上 30° 以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。したがって、 85° 以上 9

5° 以下の場合も含まれる。また、「略垂直」とは、二つの直線が60°以上120°以下の角度で配置されている状態をいう。

[符号の説明]

[0340]

DM1：領域、DM2：領域、DT_r1：選択トランジスタ、DT_r2：選択トランジスタ、DT_r3：選択トランジスタ、RBL1：配線、RBL2：配線、RL1：領域、RL2：領域、RL3：領域、RL4：領域、RL5：領域、RL6：領域、RL7：領域、RL8：領域、RL9：領域、RW2：領域、RW4：領域、RW6：領域、RW8：領域、RWL_D1：配線、RWL_D2：配線、WWL_D：配線、SD1：領域、SD2：領域、WBL1：配線、WBL1a：配線、WBL2：配線、WL1：領域、WL2：領域、WL3：領域、WL4：領域、WL5：領域、WL6：領域、WL7：領域、WL8：領域、WL9：領域、WLR9：領域、WWL4：領域、10：メモリモジュール、100：積層体、101：絶縁層、101A：絶縁体、101B：絶縁体、101C：絶縁体、101D：絶縁体、101E：絶縁体、102：絶縁体、103：絶縁体、104：絶縁体、105：絶縁体、131A：導電体、131B：導電体、132A：導電体、132B：導電体、133：導電体、133a：導電体、133b：導電体、133c：導電体、134：導電体、151：半導体、151a：領域、151b：領域、151c：領域、152：半導体、153：半導体、153a：半導体、153b：半導体、181A：領域、181B：領域、182A：領域、182B：領域、183A：領域、183B：領域、191：開口部、192A：凹部、192B：凹部、193A：凹部、193B：凹部、194A：凹部、194B：凹部、194C：凹部、1000：ロジック層、1189：ROMインターフェース、1190：基板、1191：ALU、1192：ALUコントローラ、1193：インストラクションデコーダ、1194：インタラプトコントローラ、1195：タイミングコントローラ、1196：レジスタ、1197：レジスタコントローラ、1198：バスインターフェース、1199：ROM、1700：基板、1701：素子分離層、1712：導電体、1730：導電体、1790：ゲート電極、1792：ウェル、1793：チャネル形成領域、1794：低濃度不純物領域、1795：高濃度不純物領域、1796：導電性領域、1797：ゲート絶縁膜、1798：側壁絶縁層、1799：側壁絶縁層、2000：メモリ層、2600：記憶装置、2601：周辺回路、2610：メモリセルアレイ、2621：ローデコーダ、2622：ワード線ドライバ回路、2630：ビット線ドライバ回路、2630A：ビット線ドライバ回路、2630B：ビット線ドライバ回路、2631：カラムデコーダ、2632：プリチャージ回路、2633：センスアンプ、2634：回路、2640：出力回路、2660：コントロールロジック回路、5100：USBメモリ、5101：筐体、5102：キャップ、5103：USBコネクタ、5104：基板、5105：メモリチップ、5106：コントローラチップ、5110：SDカード、5111：筐体、5112：コネクタ、5113：基板、5114：メモリチップ、5115：コントローラチップ、5150：SSD、5151：筐体、5152：コネクタ、5153：基板、5154：メモリチップ、5155：メモリチップ、5156：コントローラチップ、5401：筐体、5402：表示部、5403：キーボード、5404：ポインティングデバイス、5501：筐体、5502：表示部、5503：マイク、5504：スピーカ、5505：操作ボタン、5701：表示パネル、5702：表示パネル、5703：表示パネル、5704：表示パネル、5801：筐体、5802：筐体、5803：表示部、5804：操作キー、5805：レンズ、5806：接続部、59

01 : 筐体、5902 : 表示部、5903 : 操作ボタン、5904 : 操作子、5905 : バンド、
9000 : 筐体、9001 : 表示部、9003 : スピーカ、9005 : 操作キー、9006 : 接続
端子、9007 : センサ

請求の範囲

[請求項 1]

メモリモジュールを有する半導体装置であって、

前記メモリモジュールは、第 1 のメモリセル、第 1 の配線、第 2 の配線、および第 3 の配線を有し、

前記第 2 の配線および前記第 3 の配線は、金属酸化物を含み、

前記第 1 のメモリセルは、第 1 の読み出しトランジスタ、第 1 の書き換えトランジスタを有し、

前記第 1 の配線は、前記第 1 の読み出しトランジスタのバックゲートとして機能する領域と、前記第 2 の配線を導体として機能させる領域と、を有し、

前記第 2 の配線は、前記第 1 の読み出しトランジスタのチャネル形成領域として機能する領域と、前記第 1 の書き換えトランジスタのバックゲートとして機能する領域と、前記第 3 の配線を導体として機能させる領域と、を有し、

前記第 3 の配線は、前記第 1 の書き換えトランジスタのチャネル形成領域として機能する領域と、導体として機能する領域と、を有する半導体装置。

[請求項 2]

請求項 1 において、

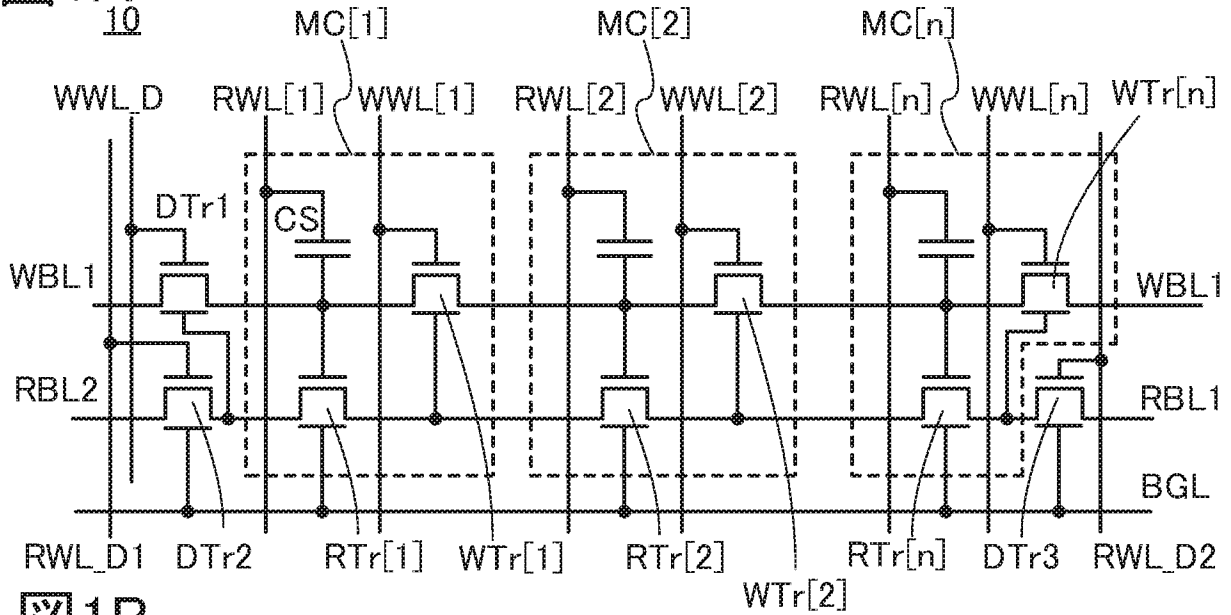
前記第 1 の書き換えトランジスタは、前記第 1 の読み出しトランジスタと同じ開口部に形成され、

前記第 1 の読み出しトランジスタのチャネル形成領域を含む前記第 2 の配線は、前記第 1 の書き換えトランジスタのチャネル形成領域を含む前記第 3 の配線の内側に絶縁層を介して形成される半導体装置。

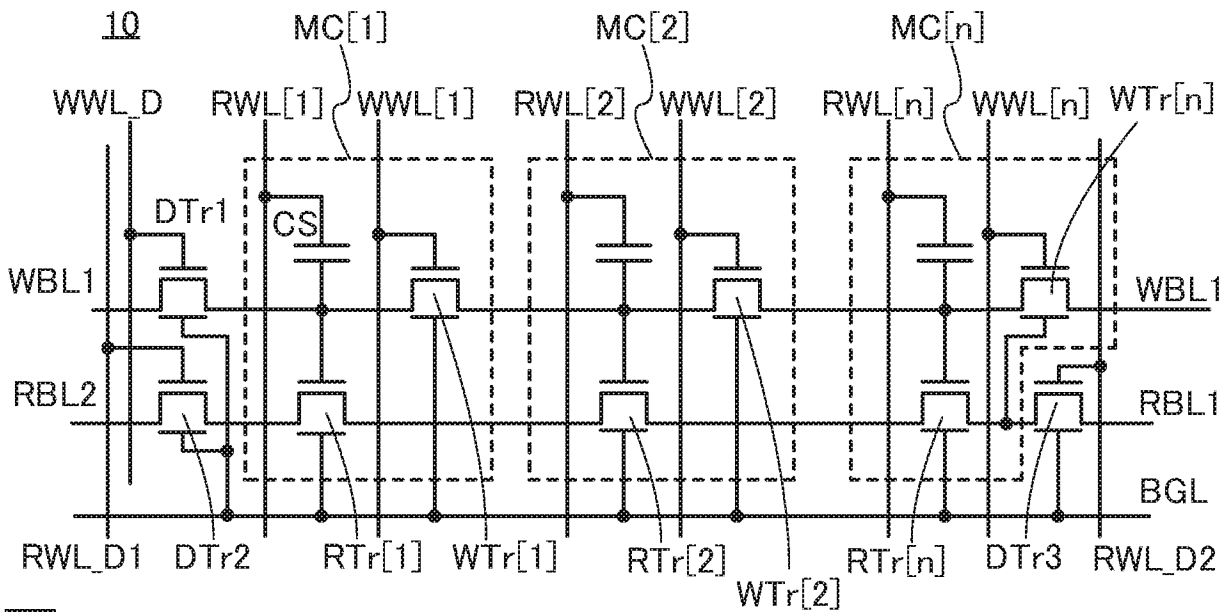
[請求項 3]

請求項 1 または請求項 2 に記載の半導体装置と、筐体とを有する電子機器。

1A



1B



1C

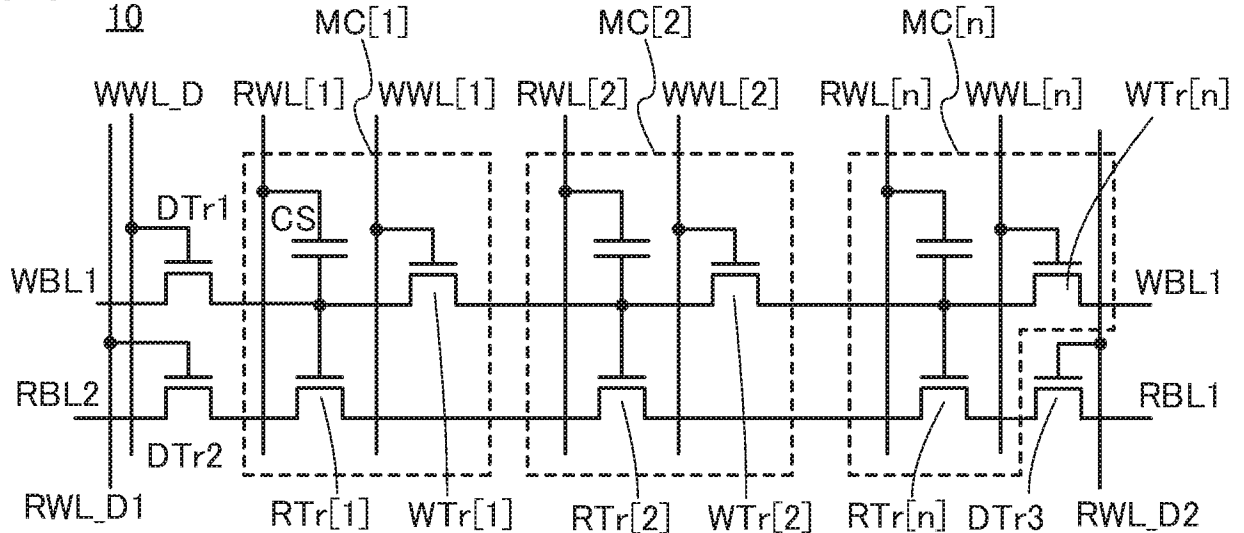


図2

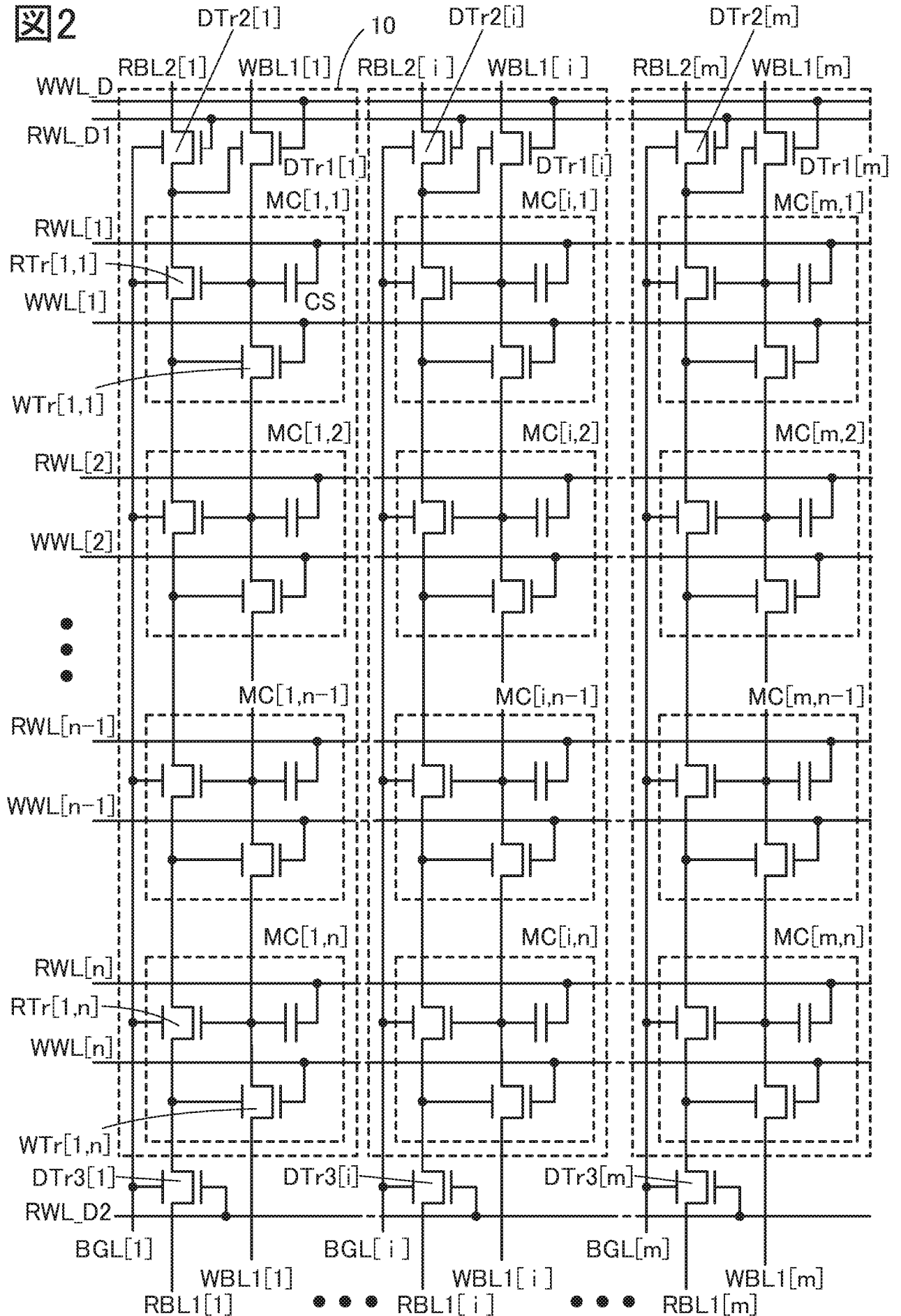
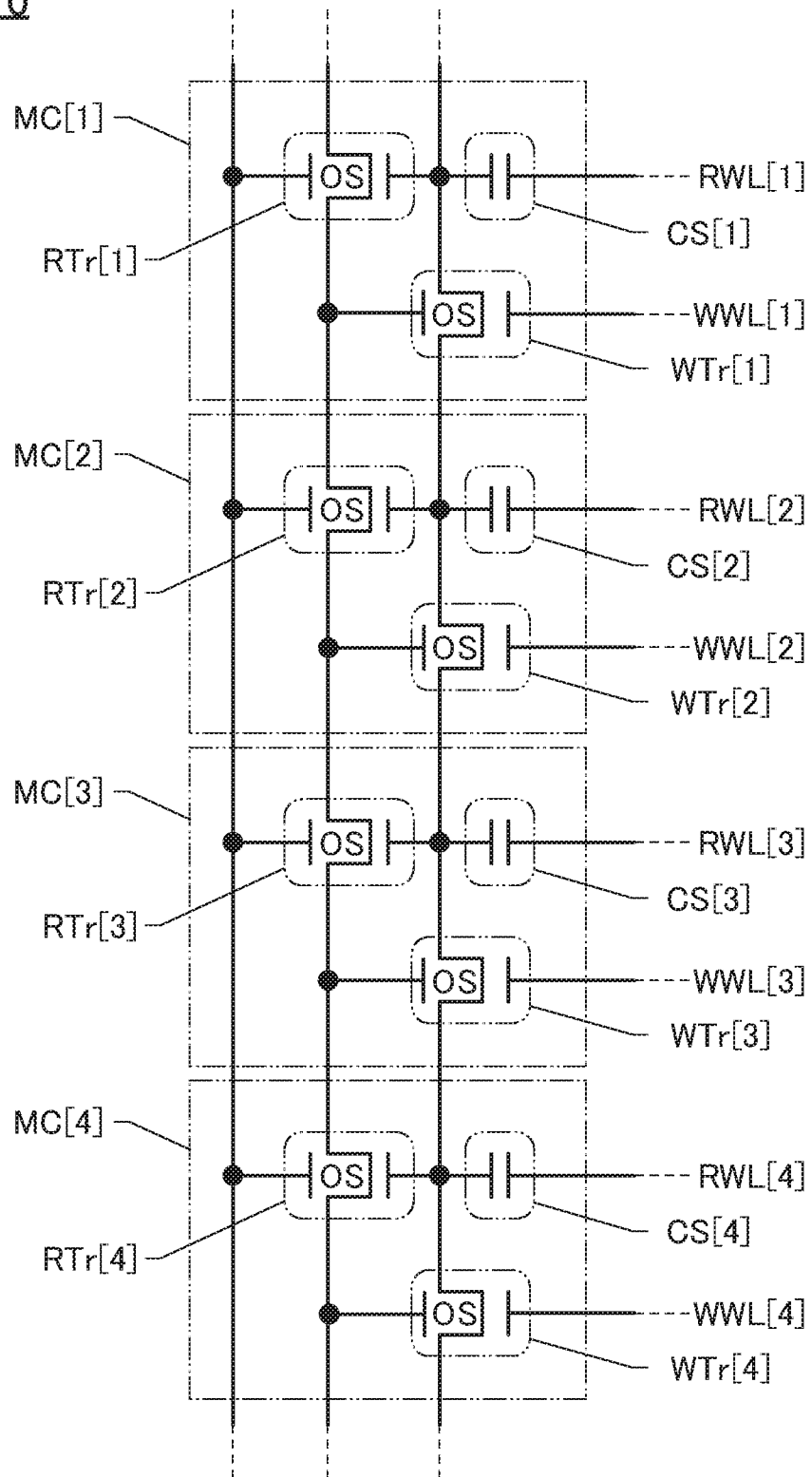


図3

10





10

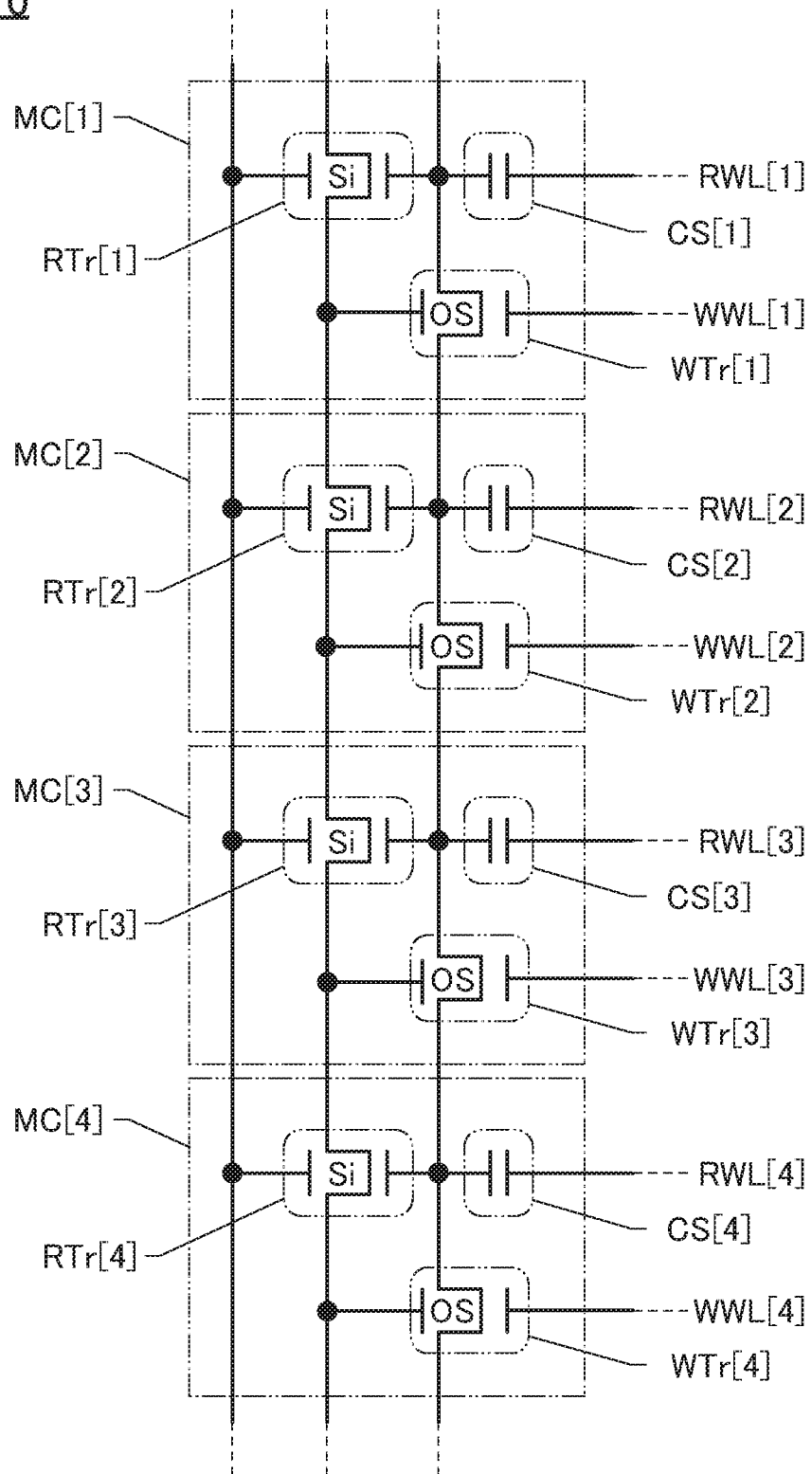


図5

10

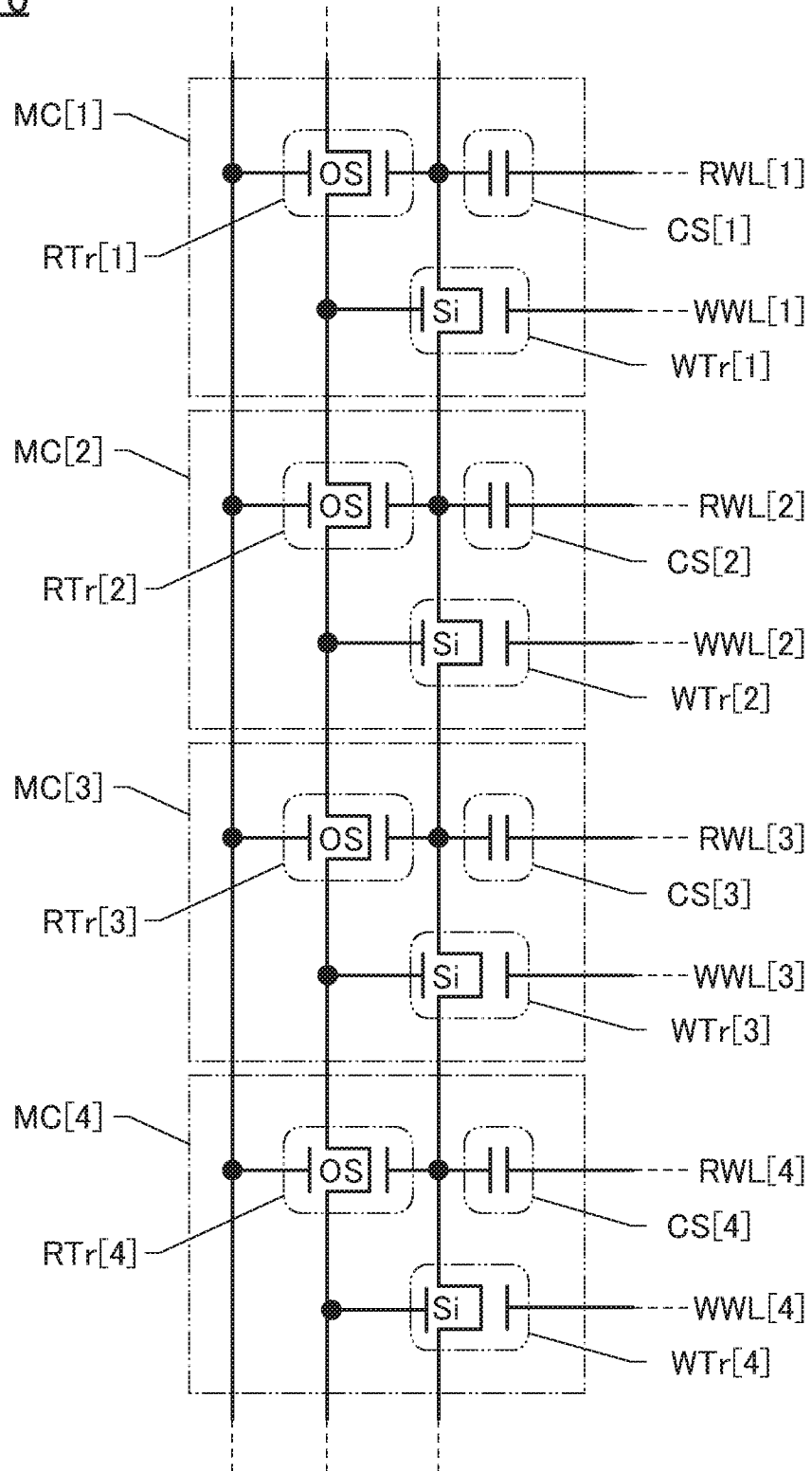
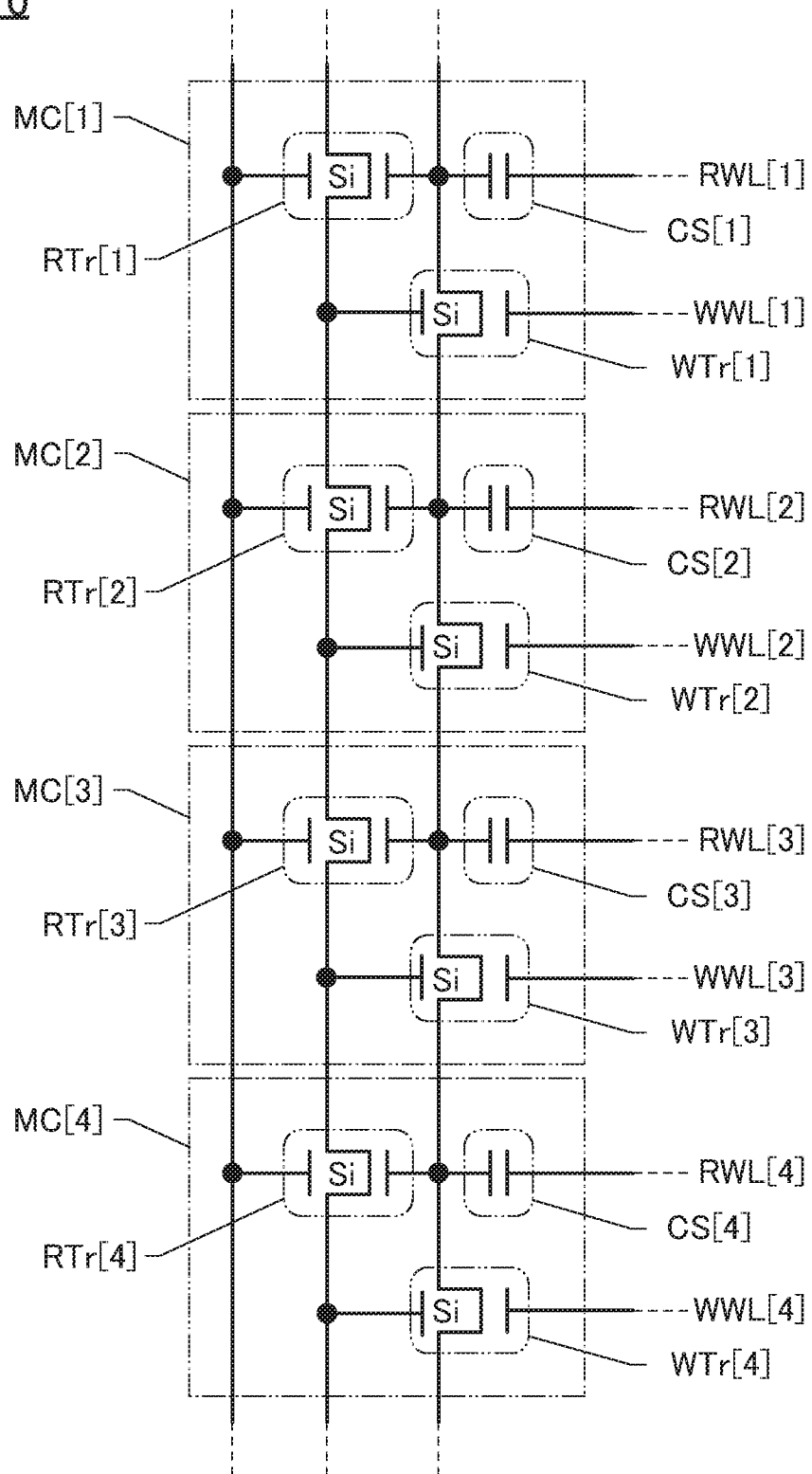
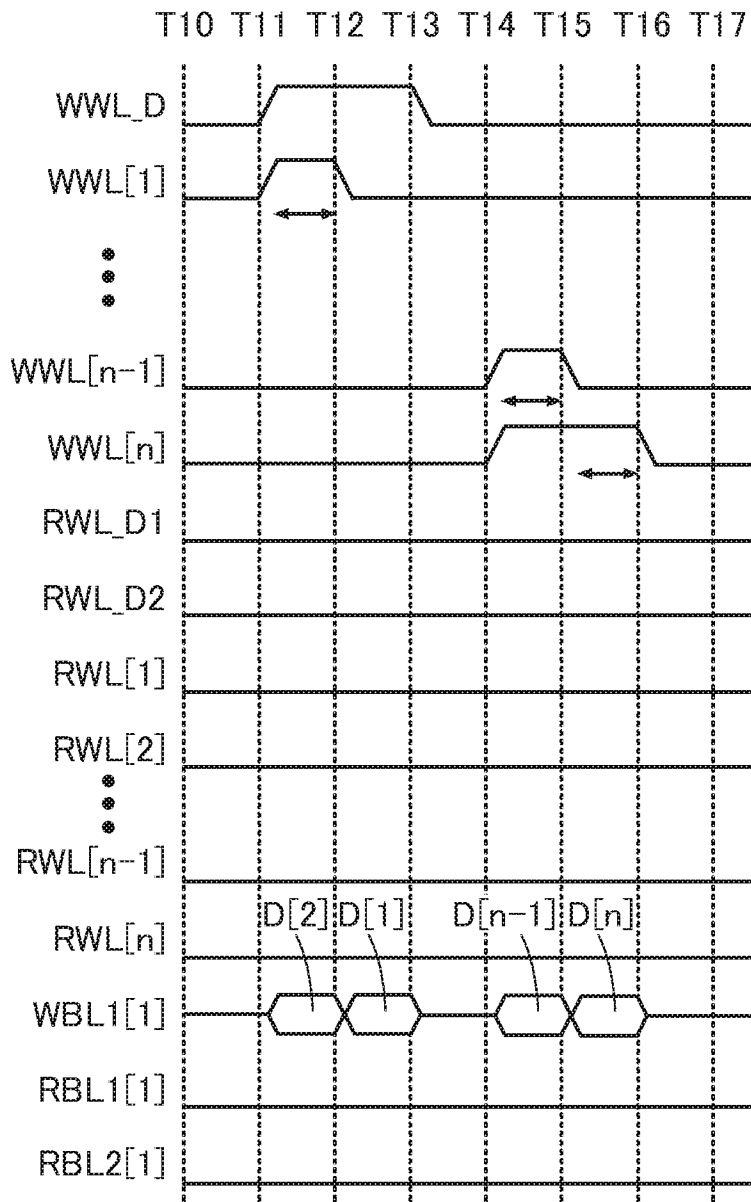


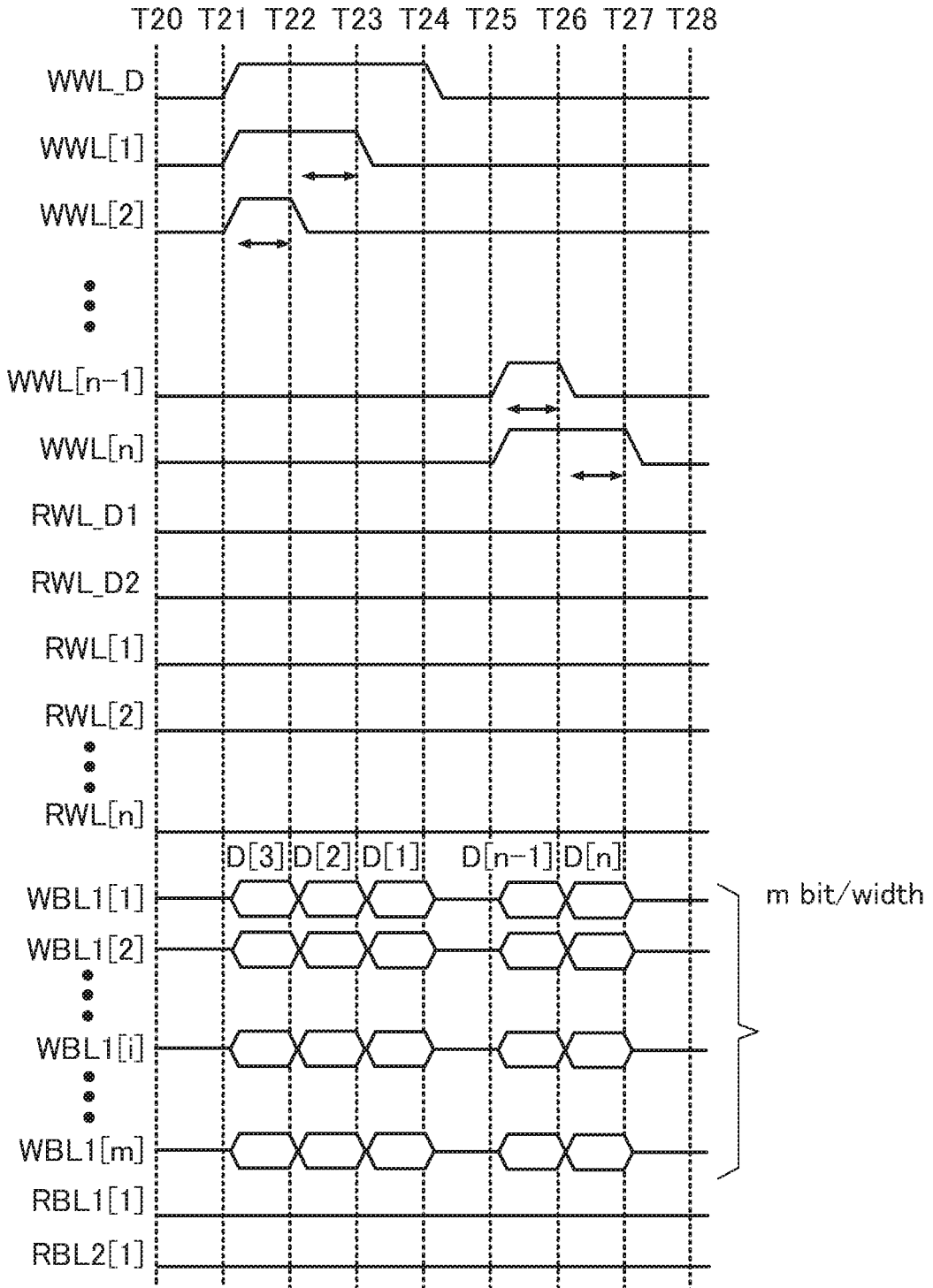
図6

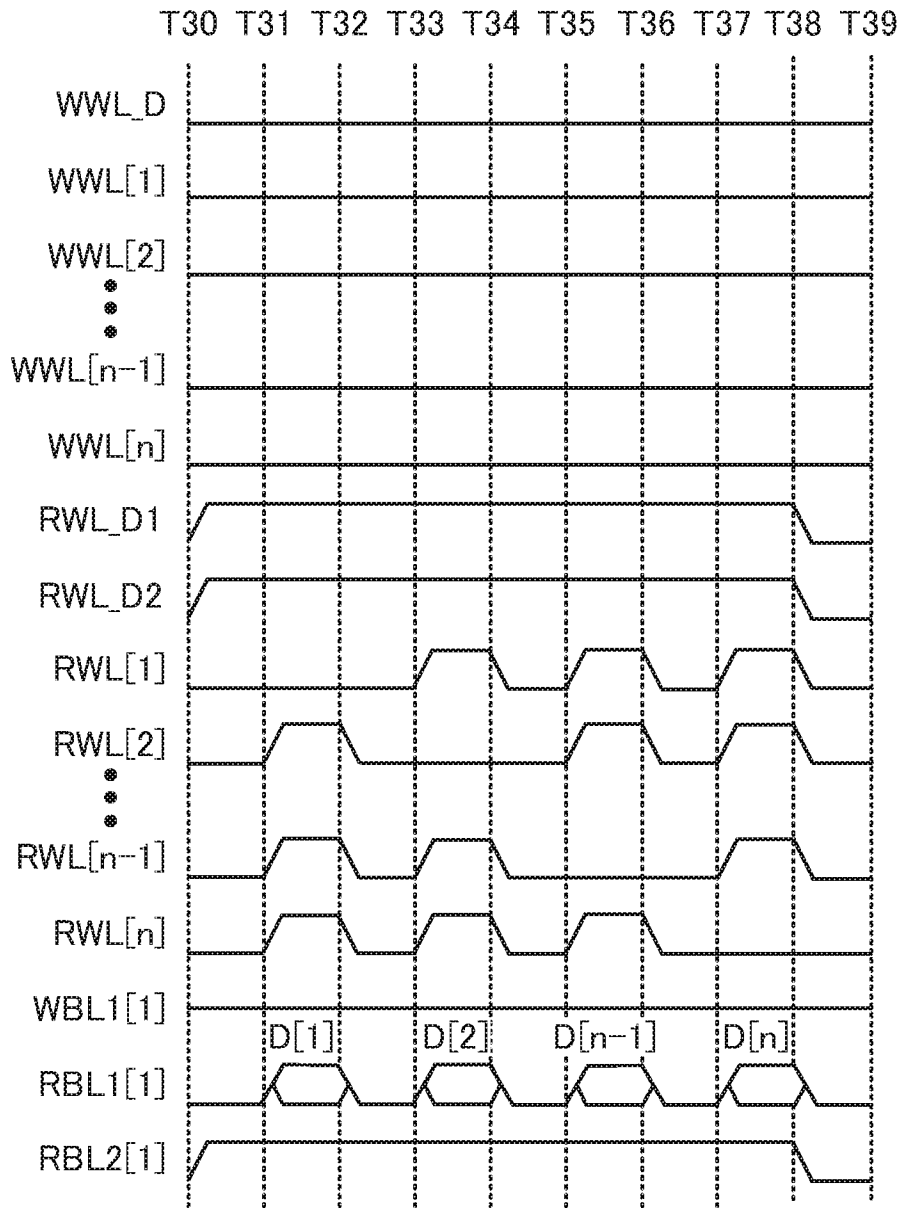
10





8





10

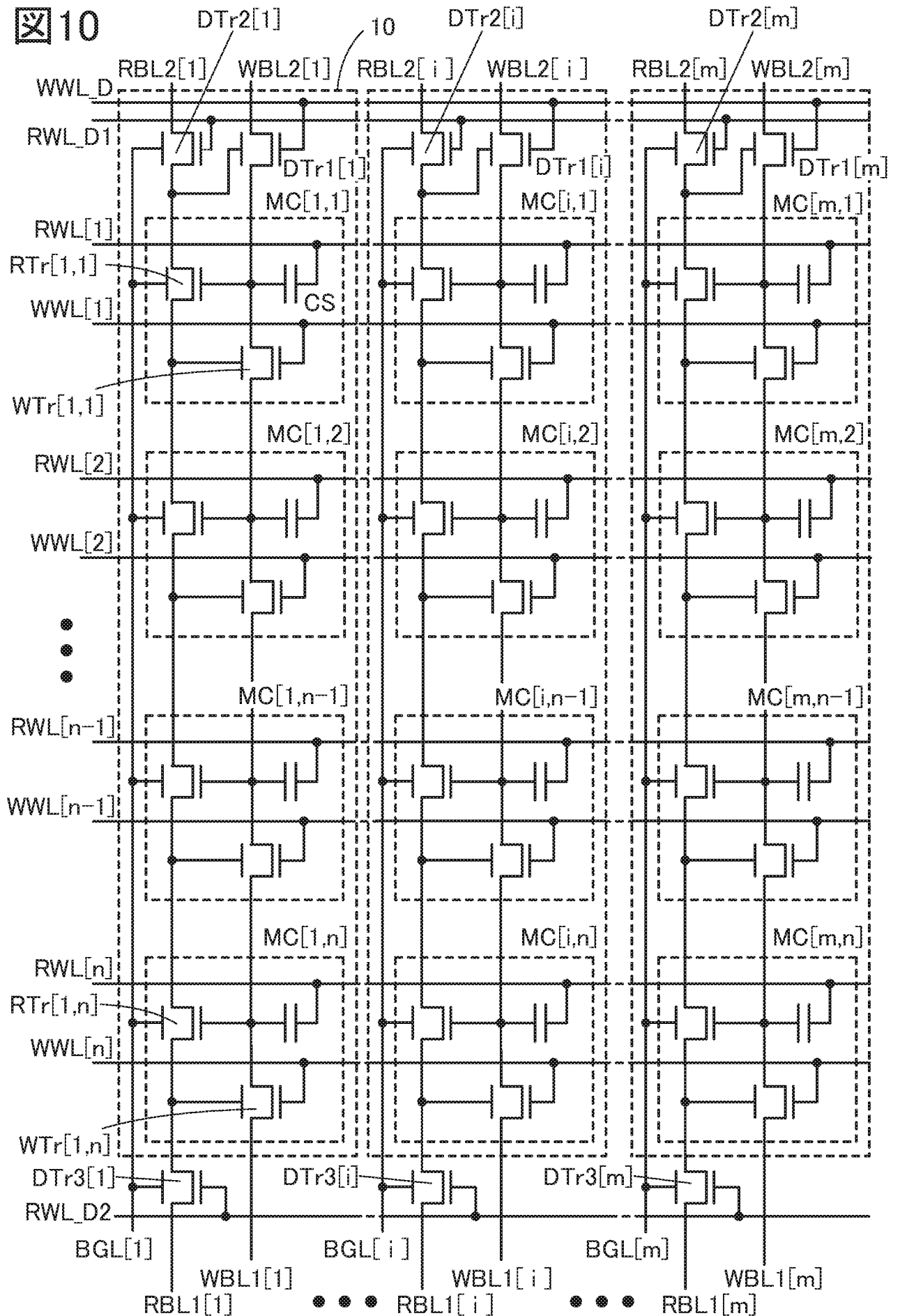


図 11

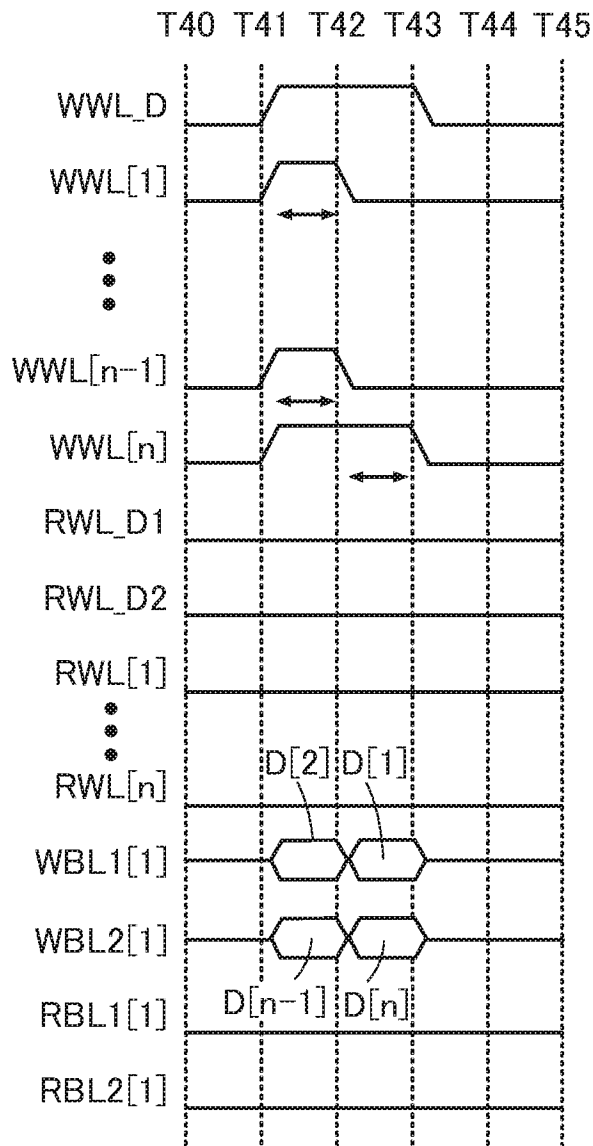


図 12

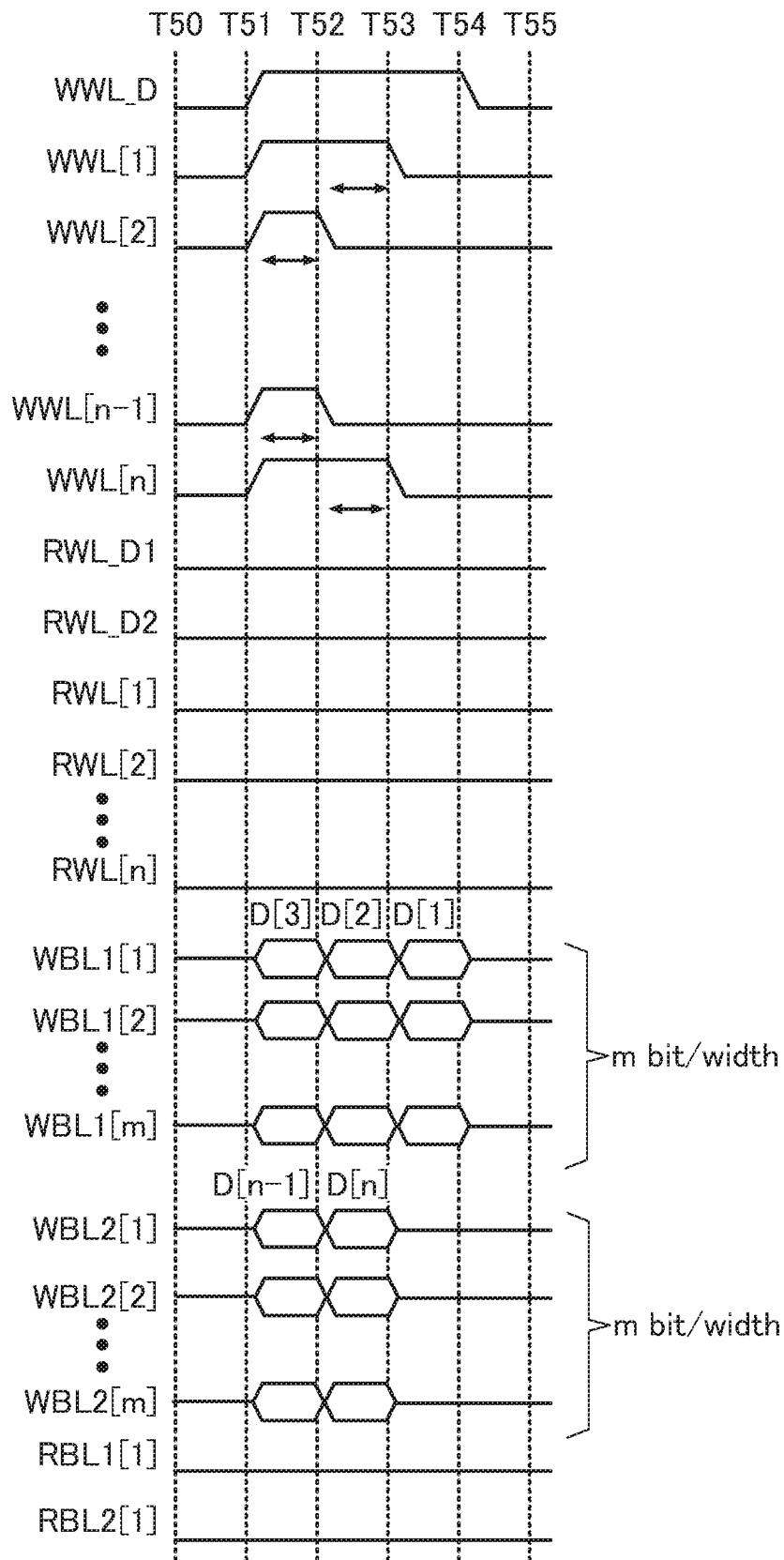


図13A

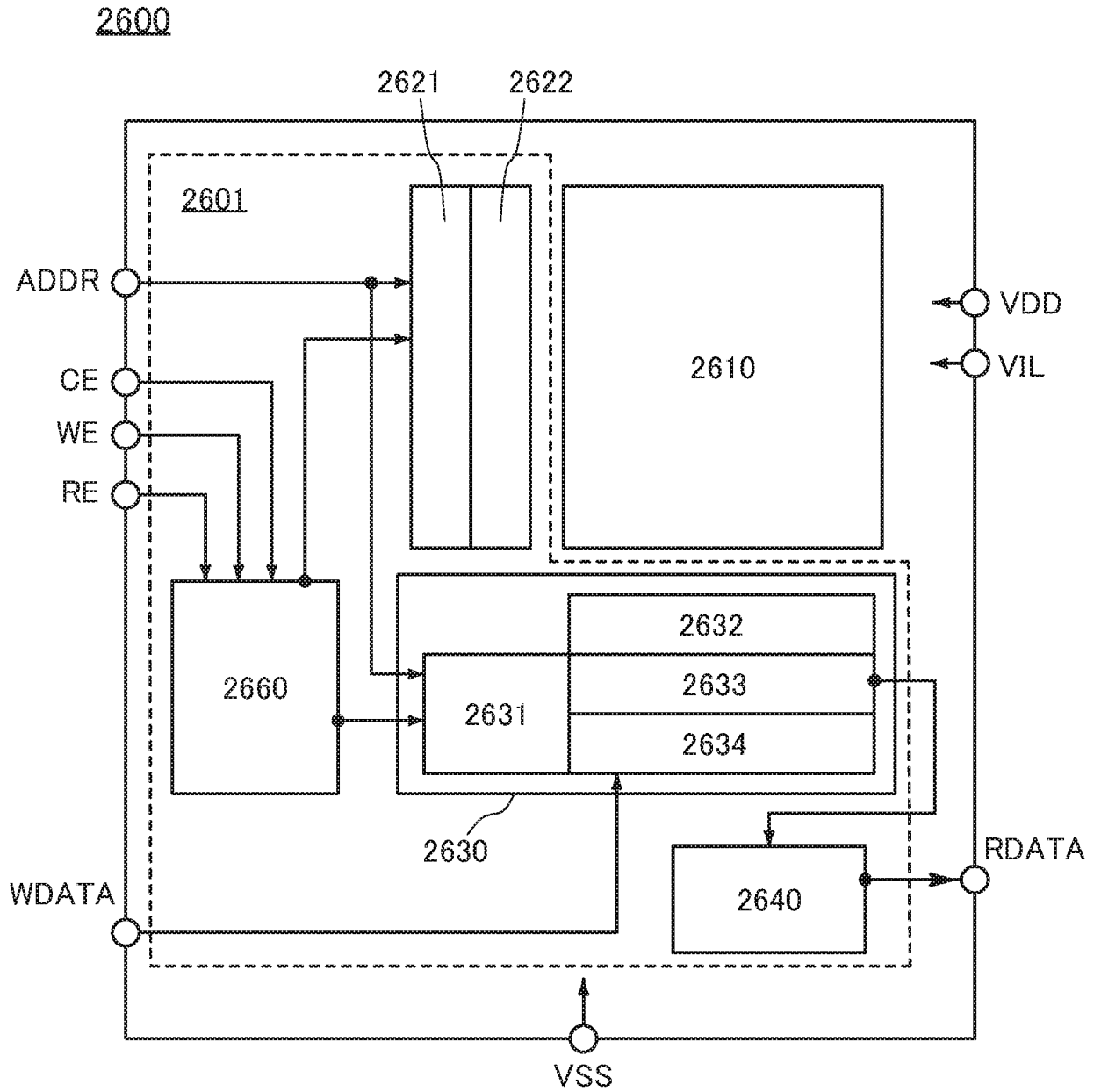


図13B

2600

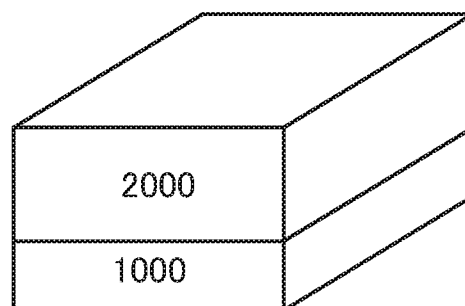


図 14

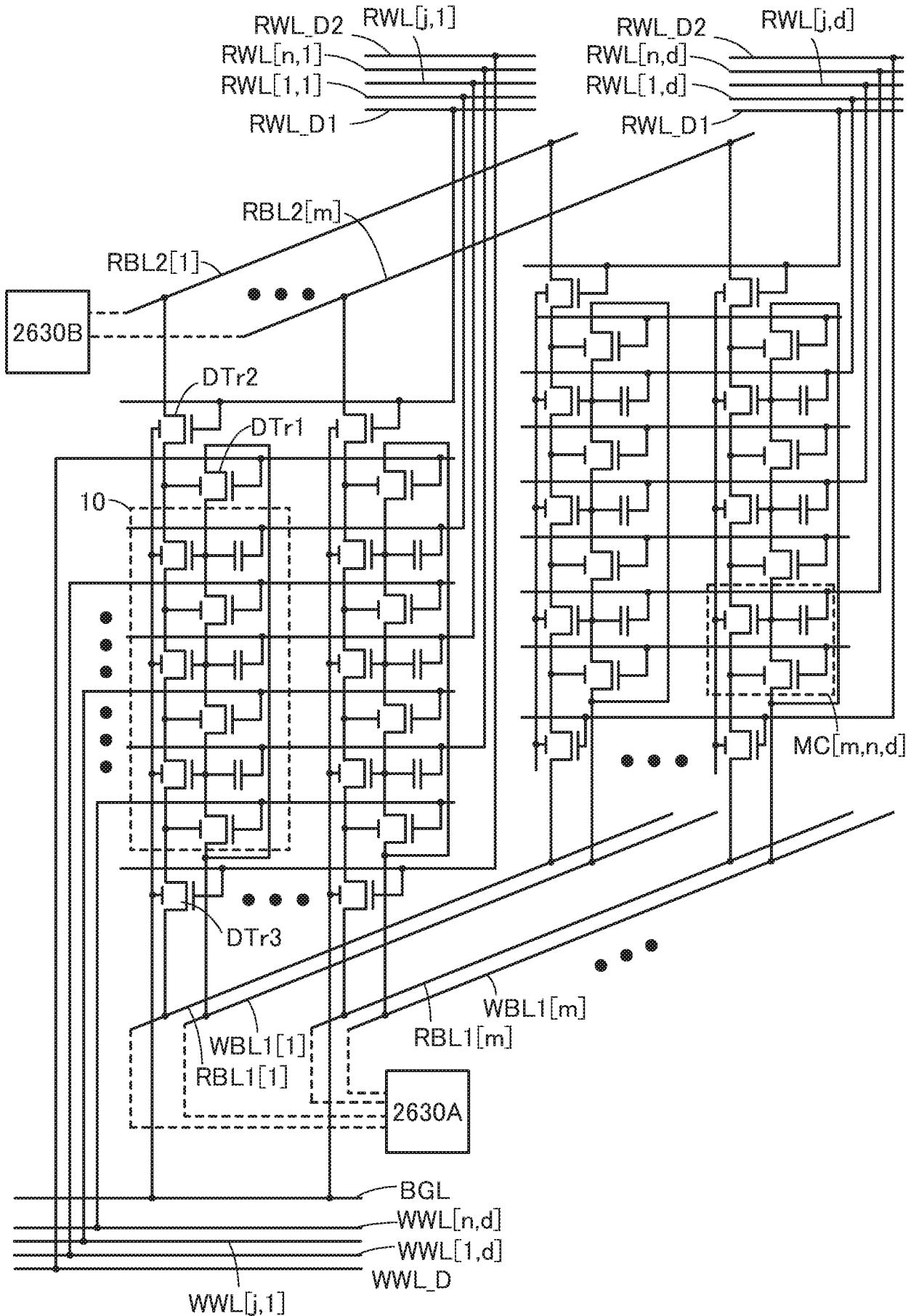


図 15

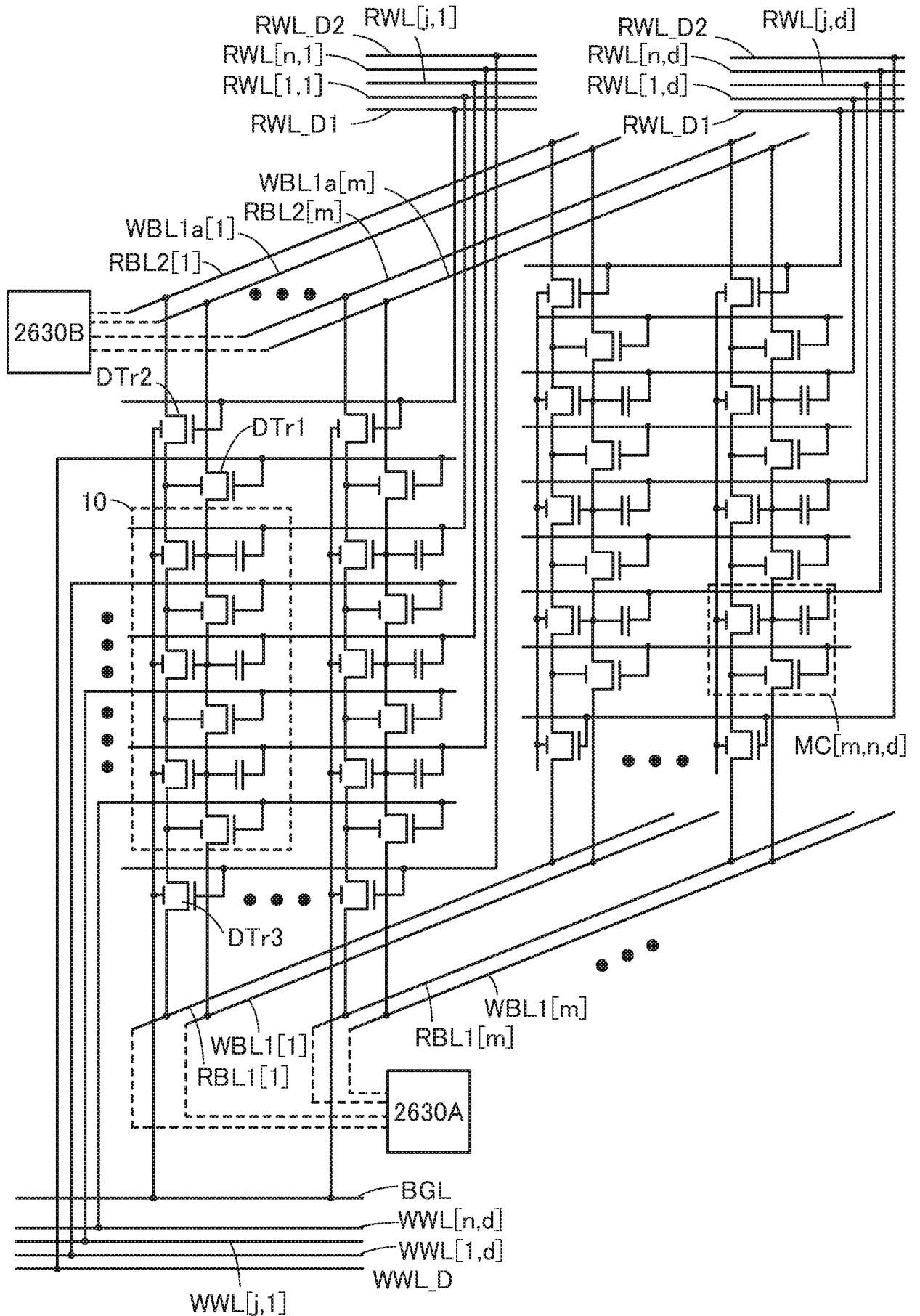
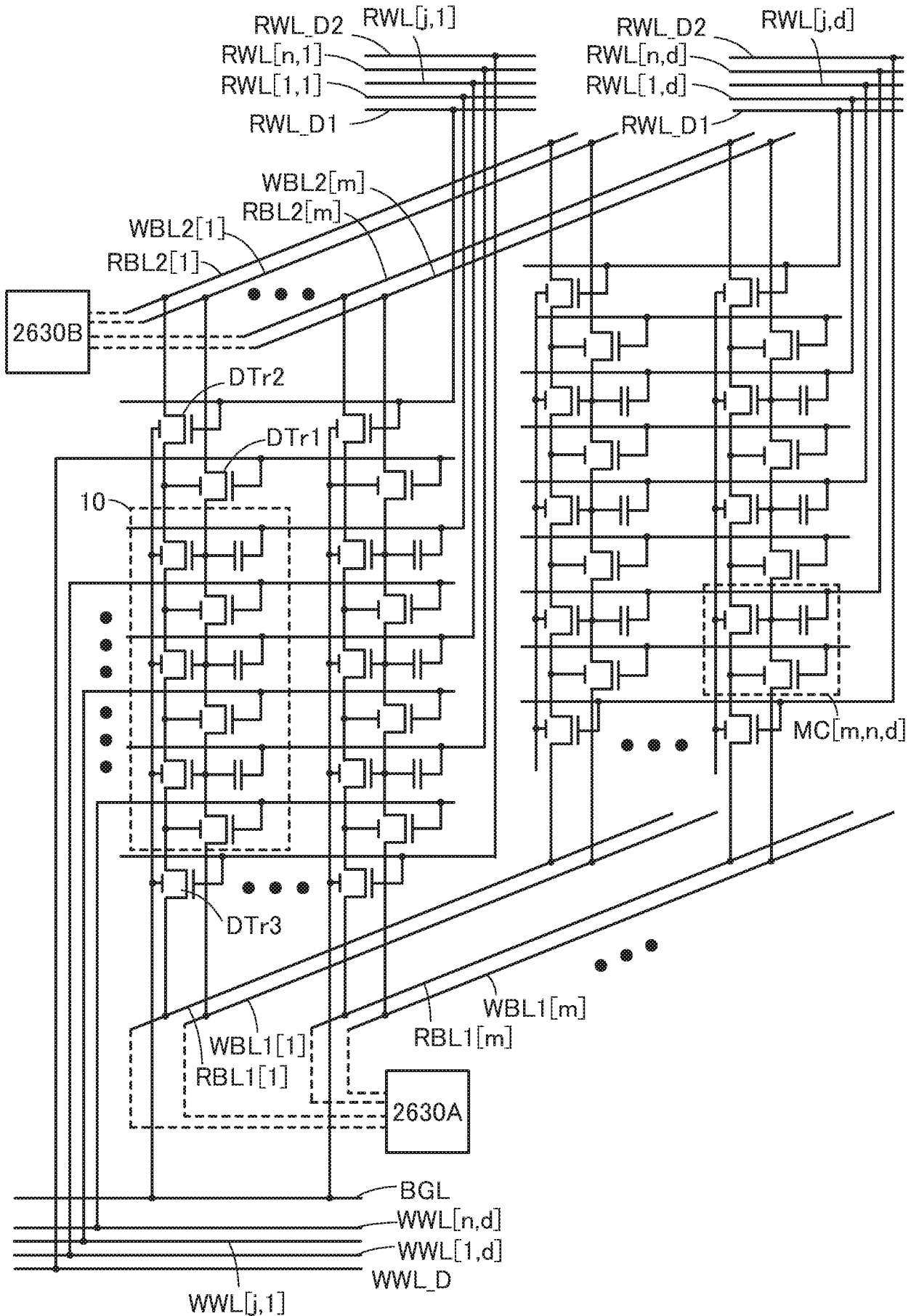
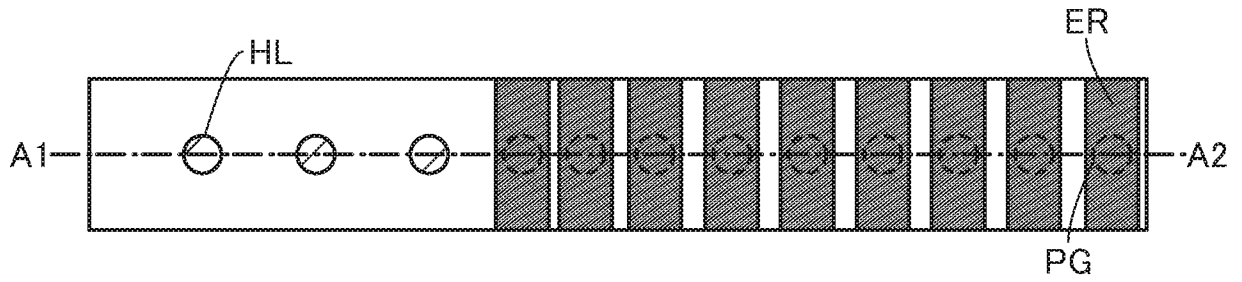


図 16



17A



17B

2000

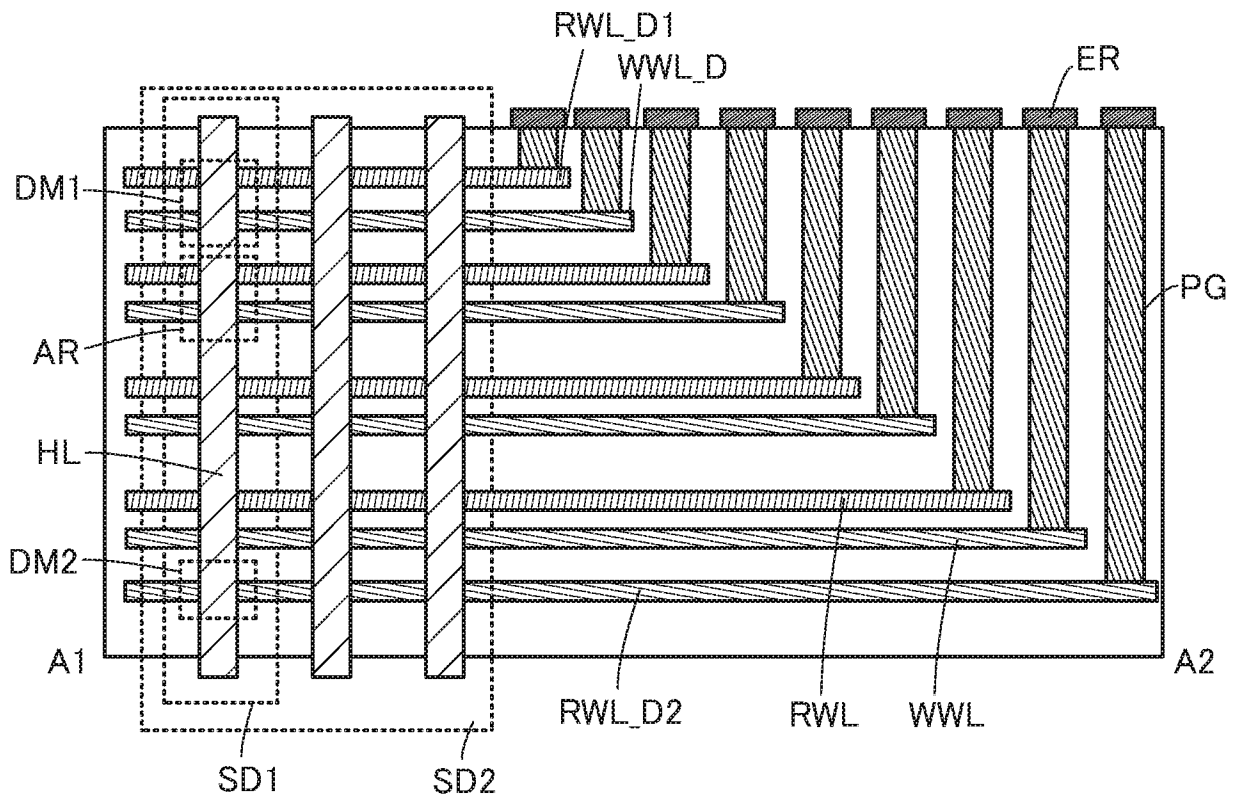


図18A

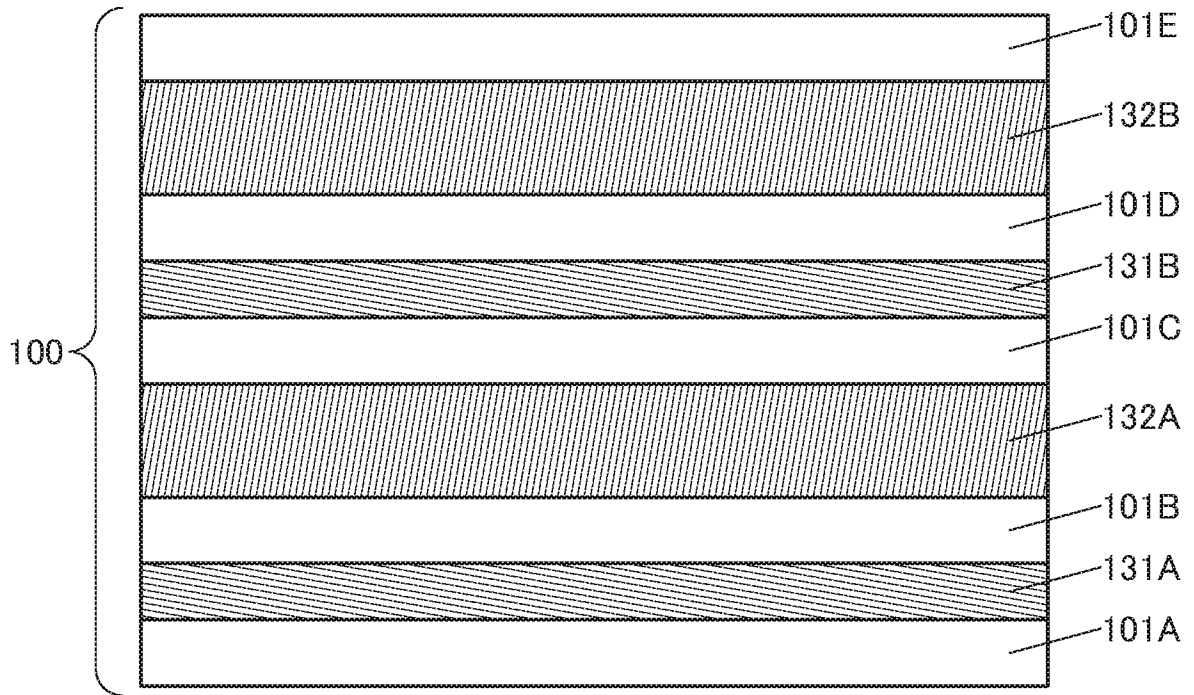


図18B

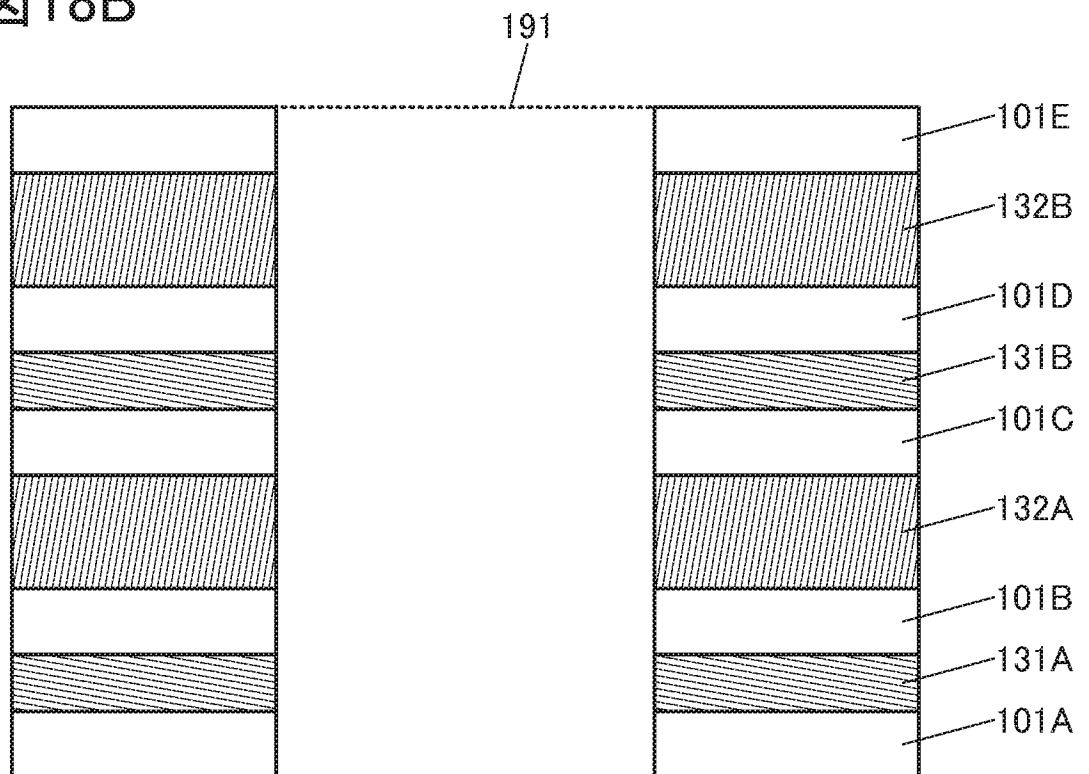


図 19A

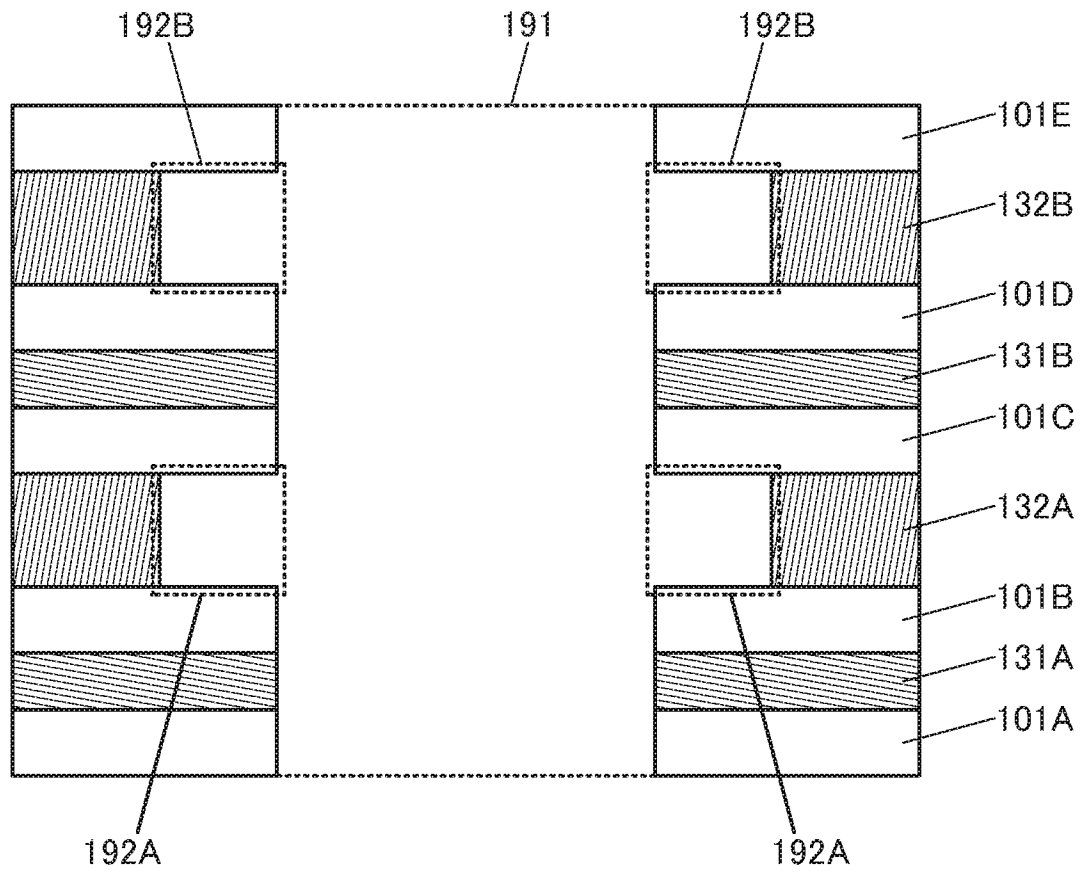
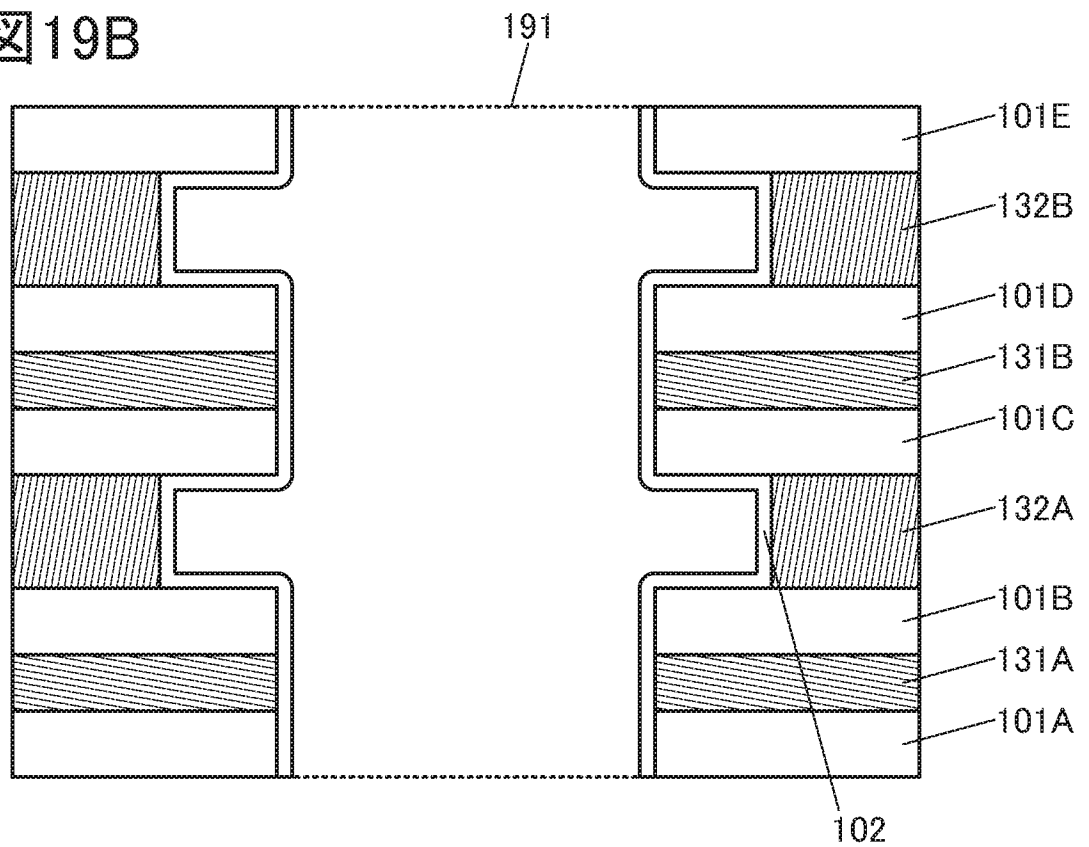
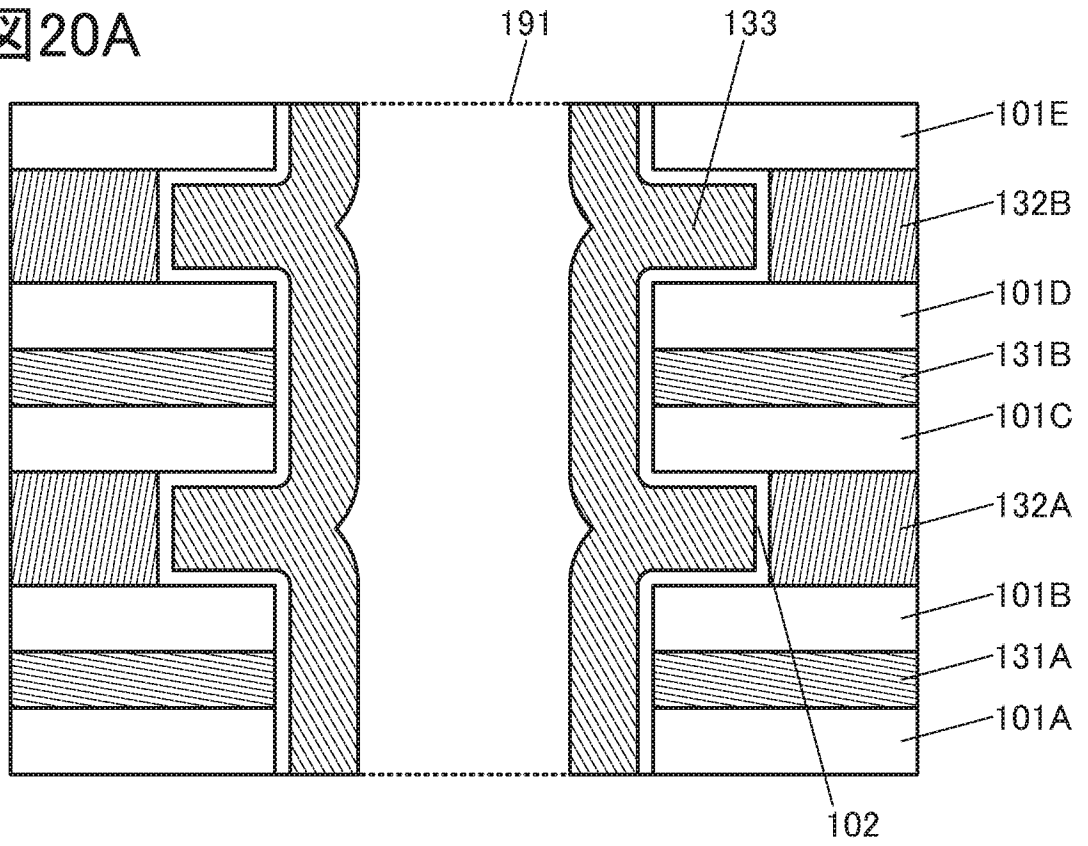


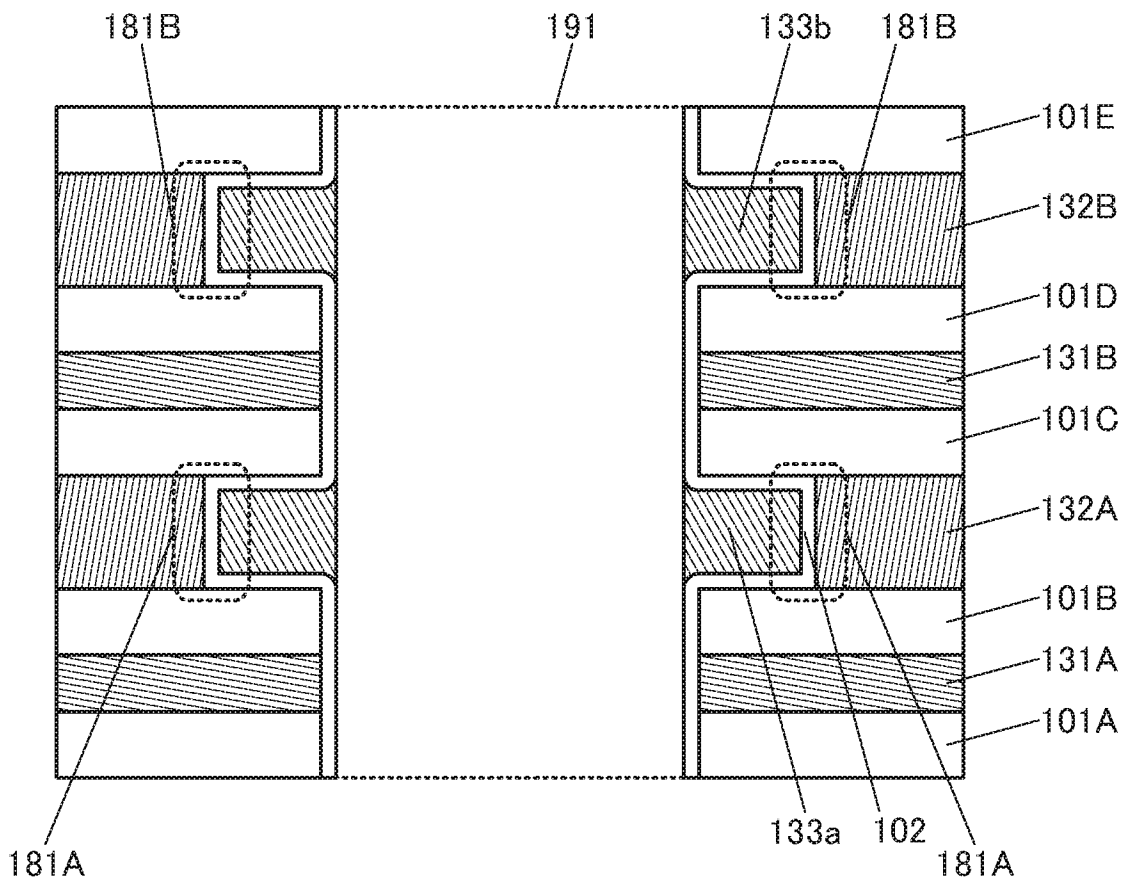
図 19B



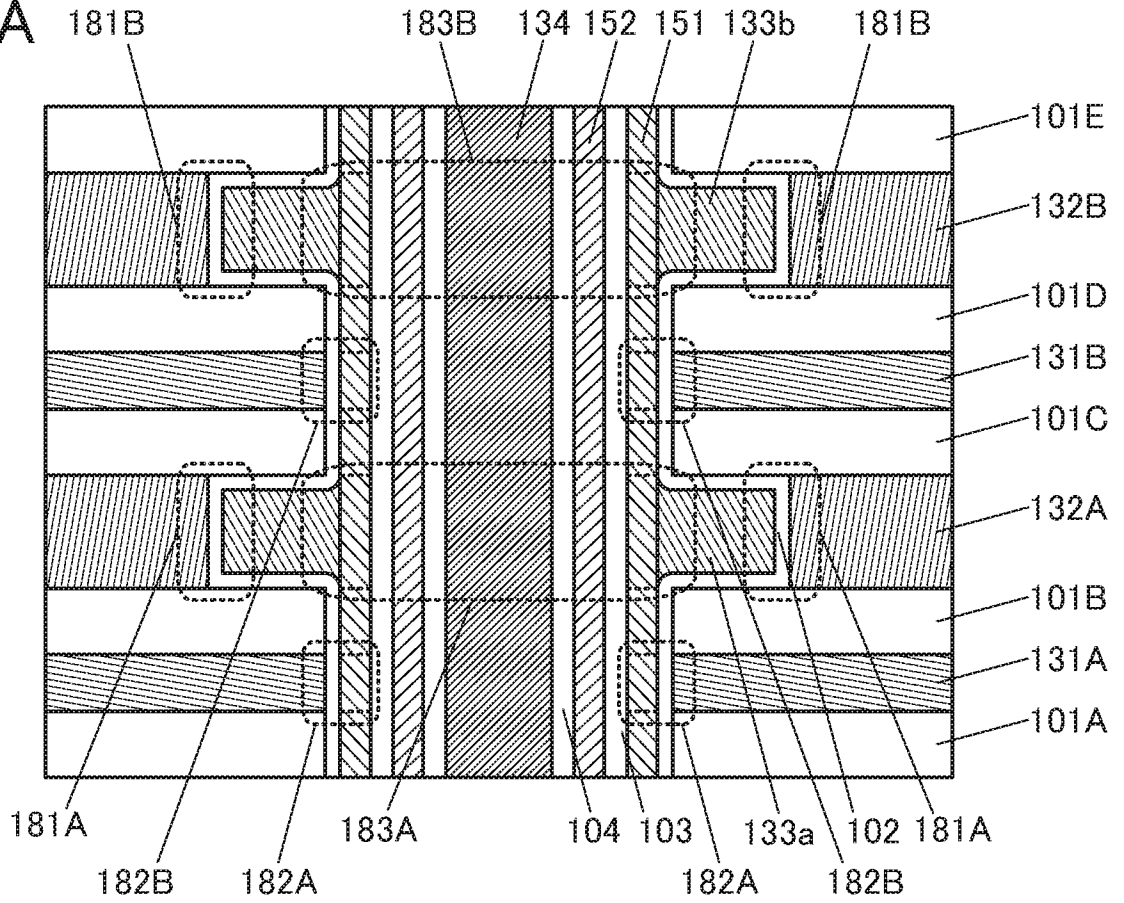
20A



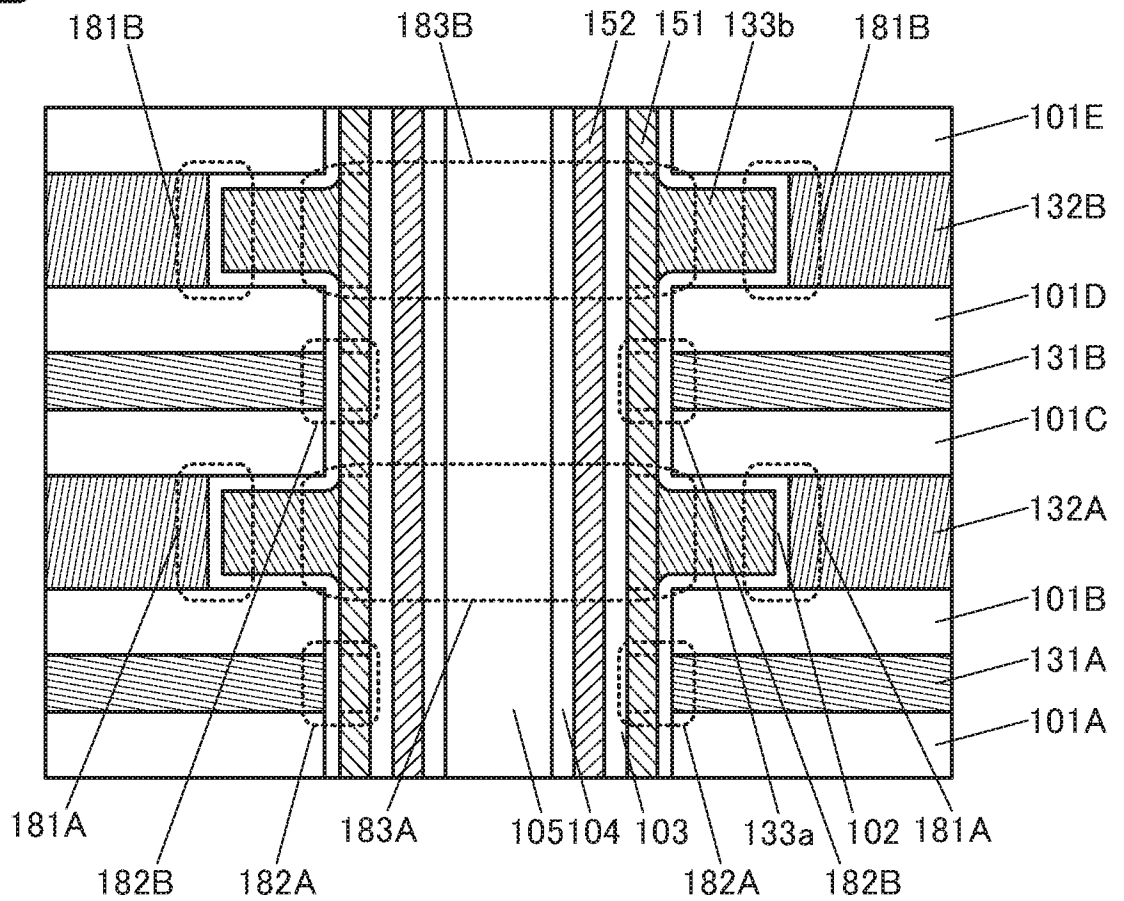
20B



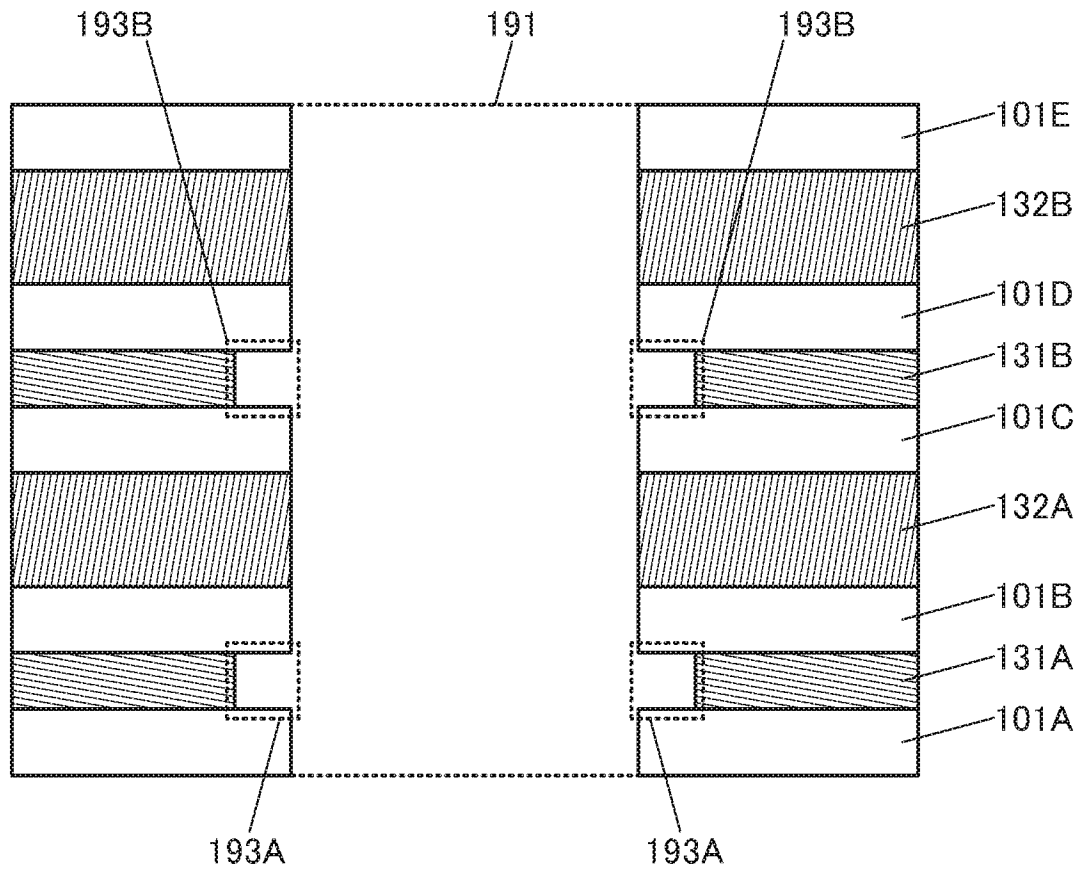
22A



22B



23A



23B

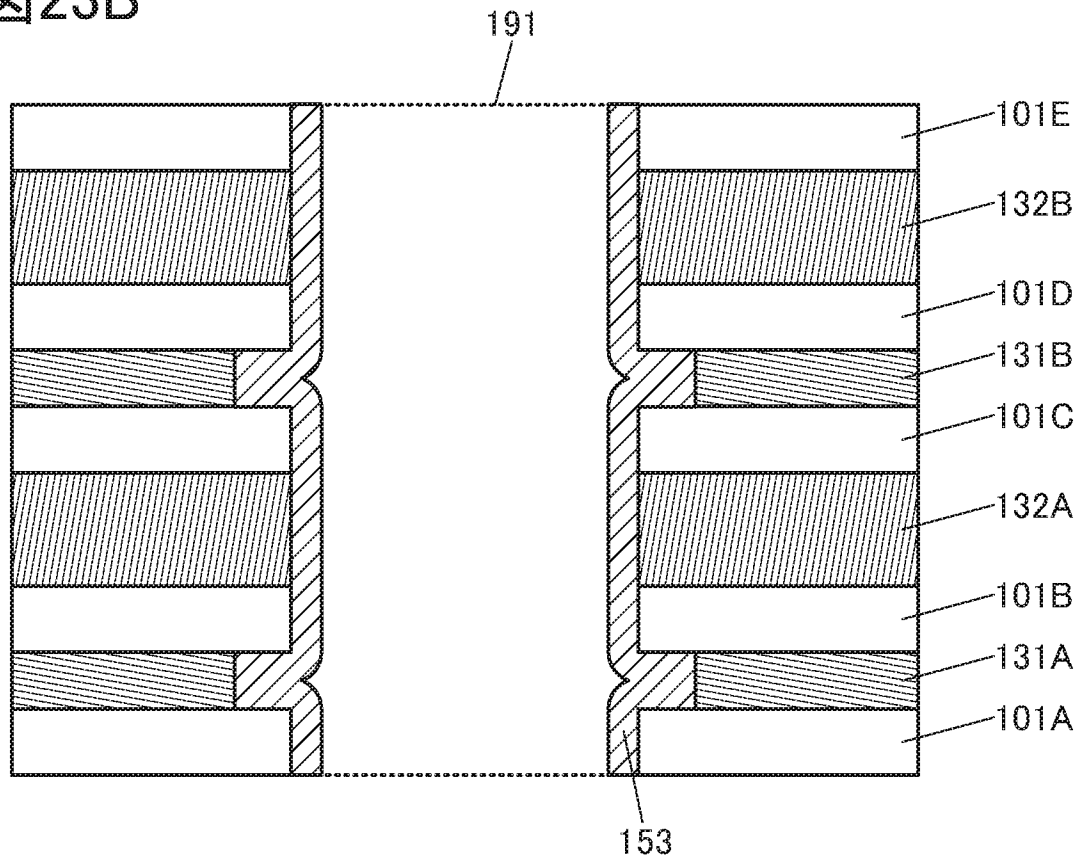


図24A

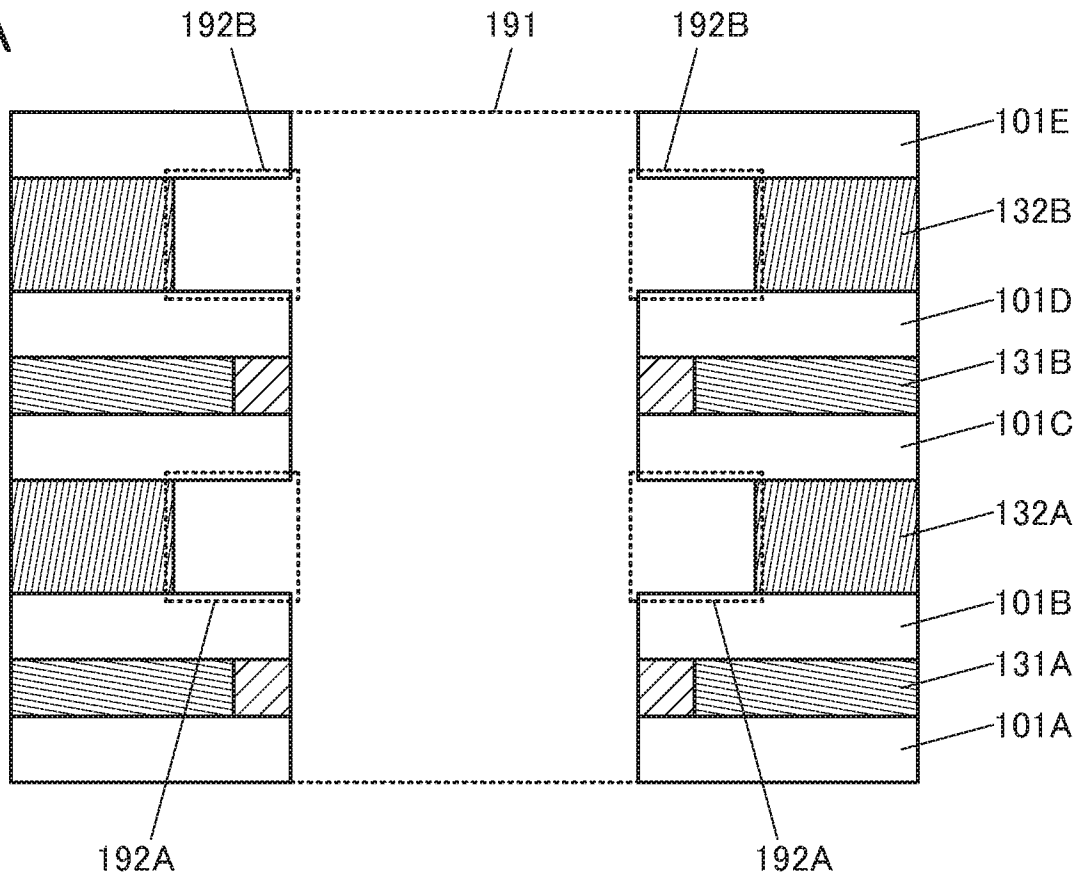
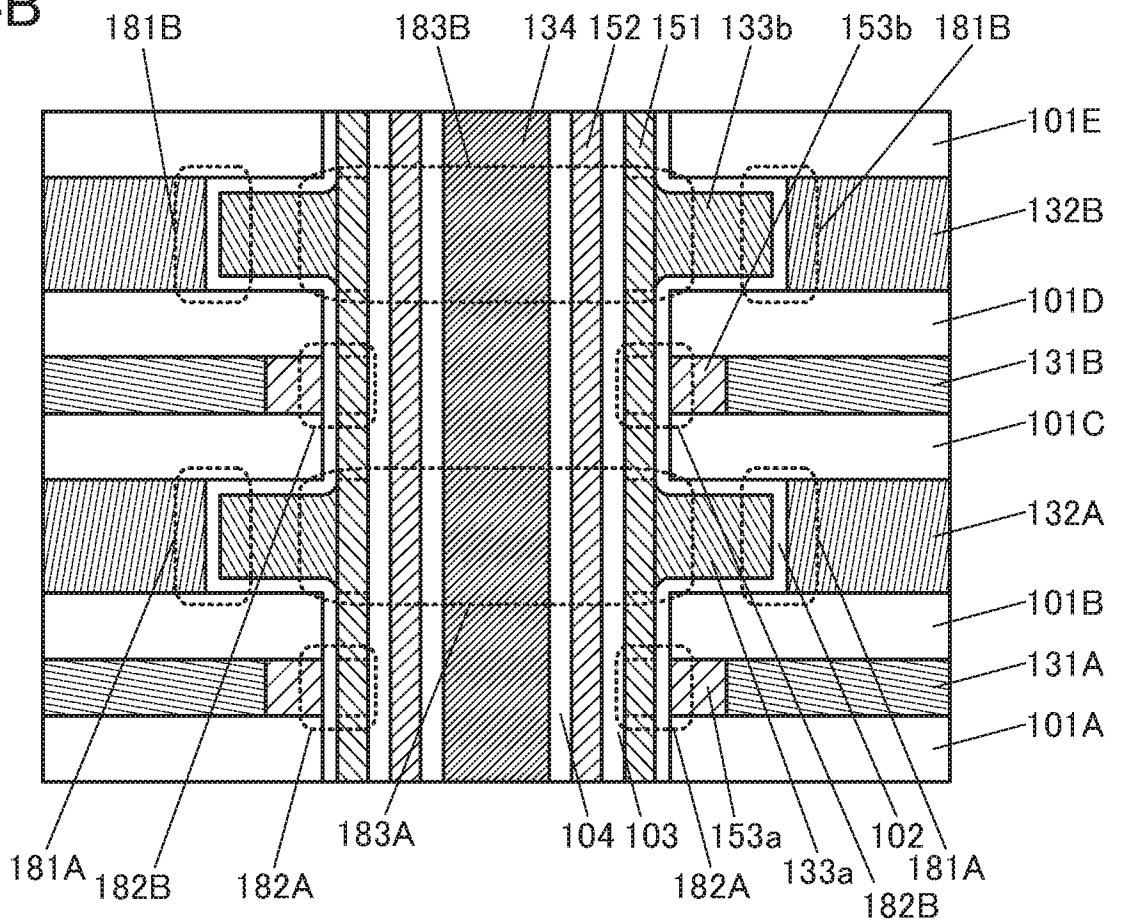
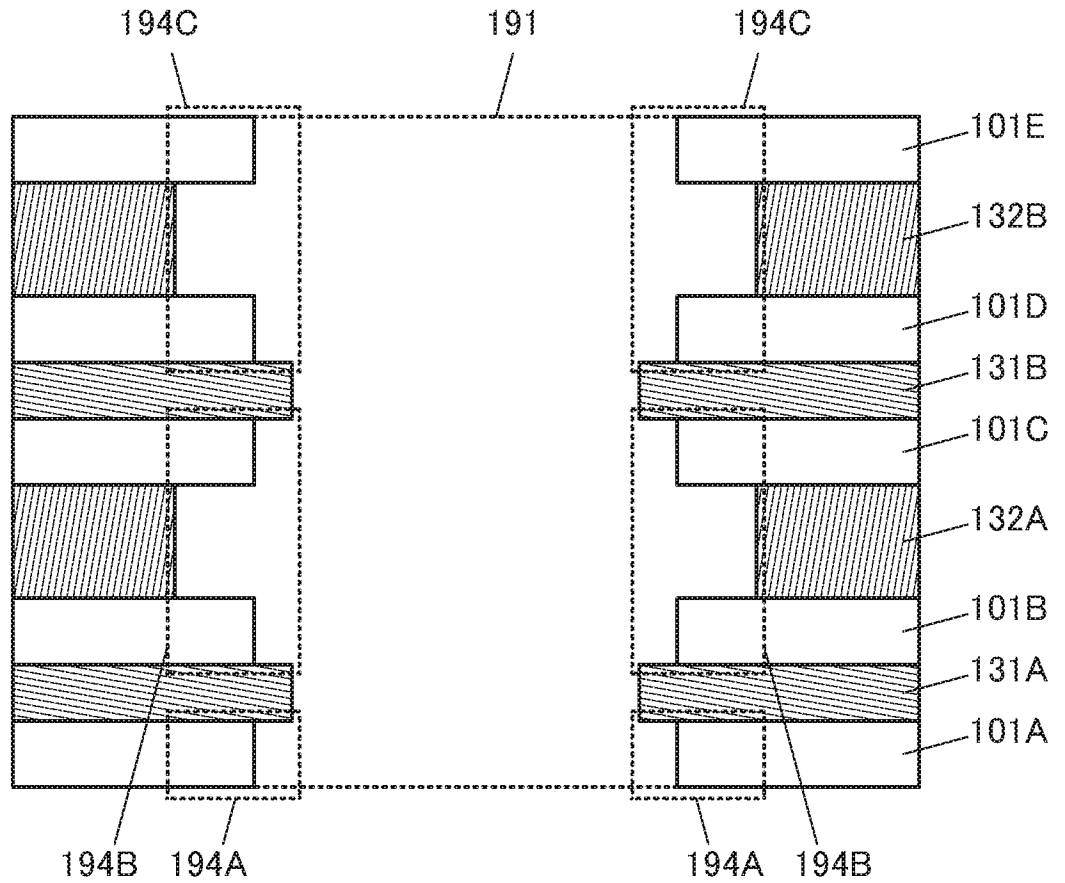


図24B



25A



25B

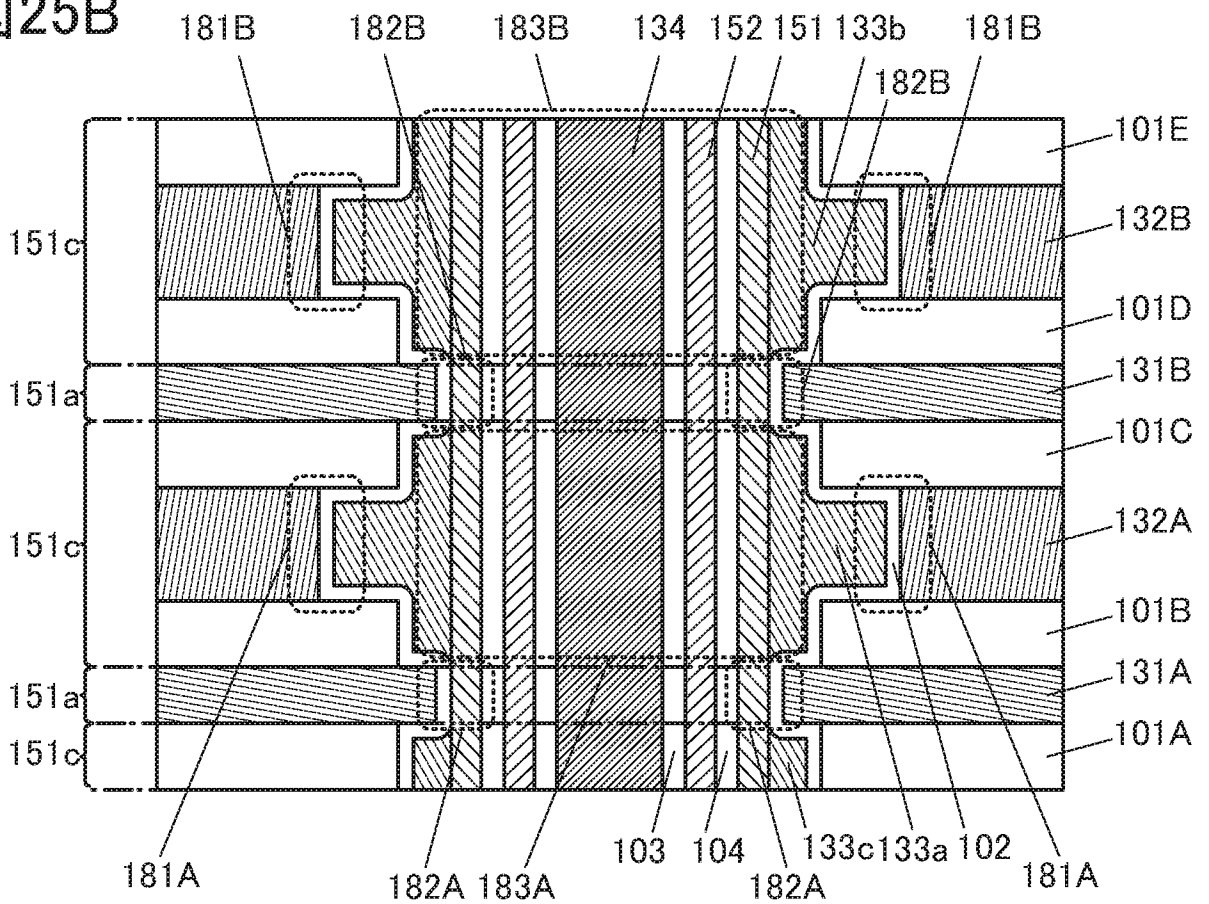


図26A

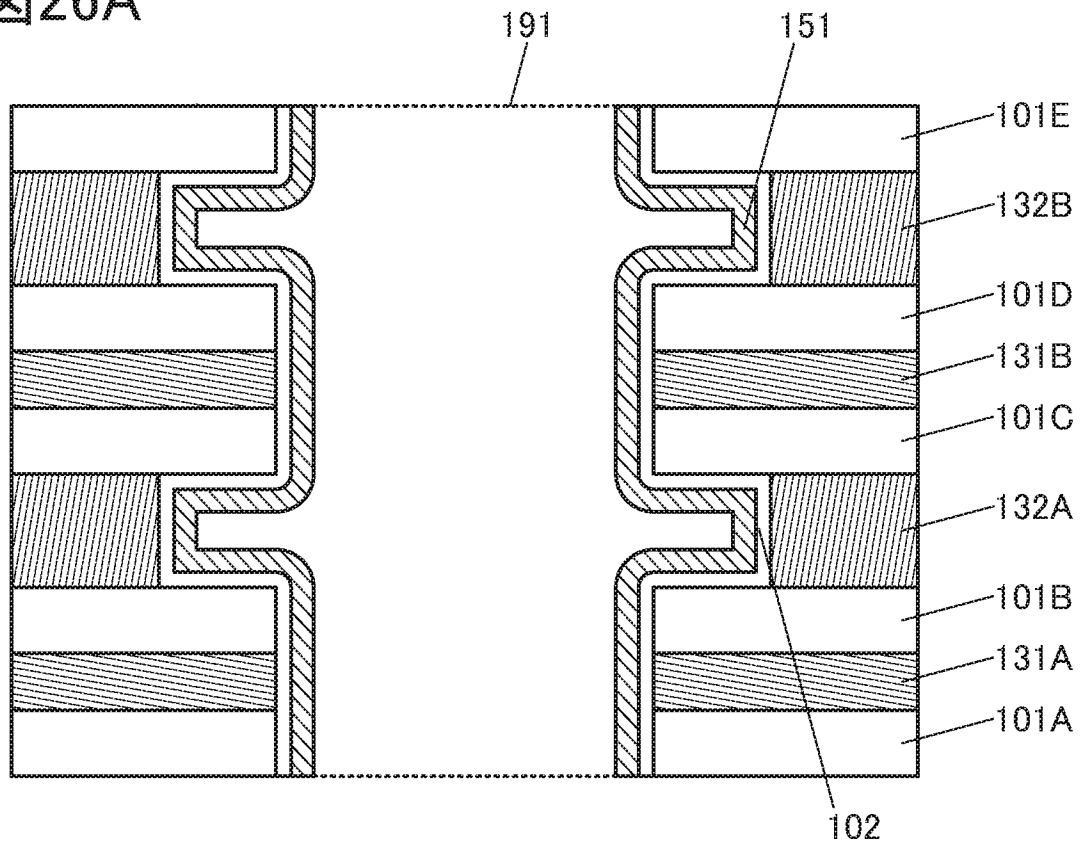
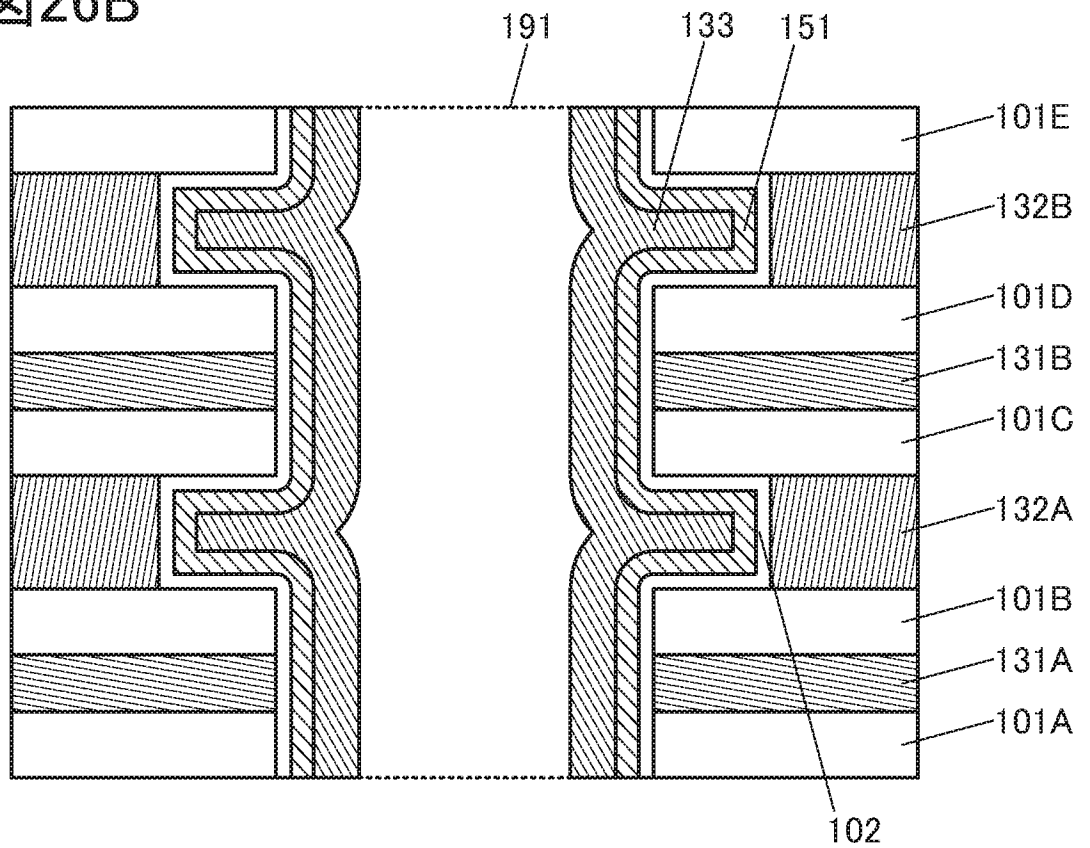


図26B



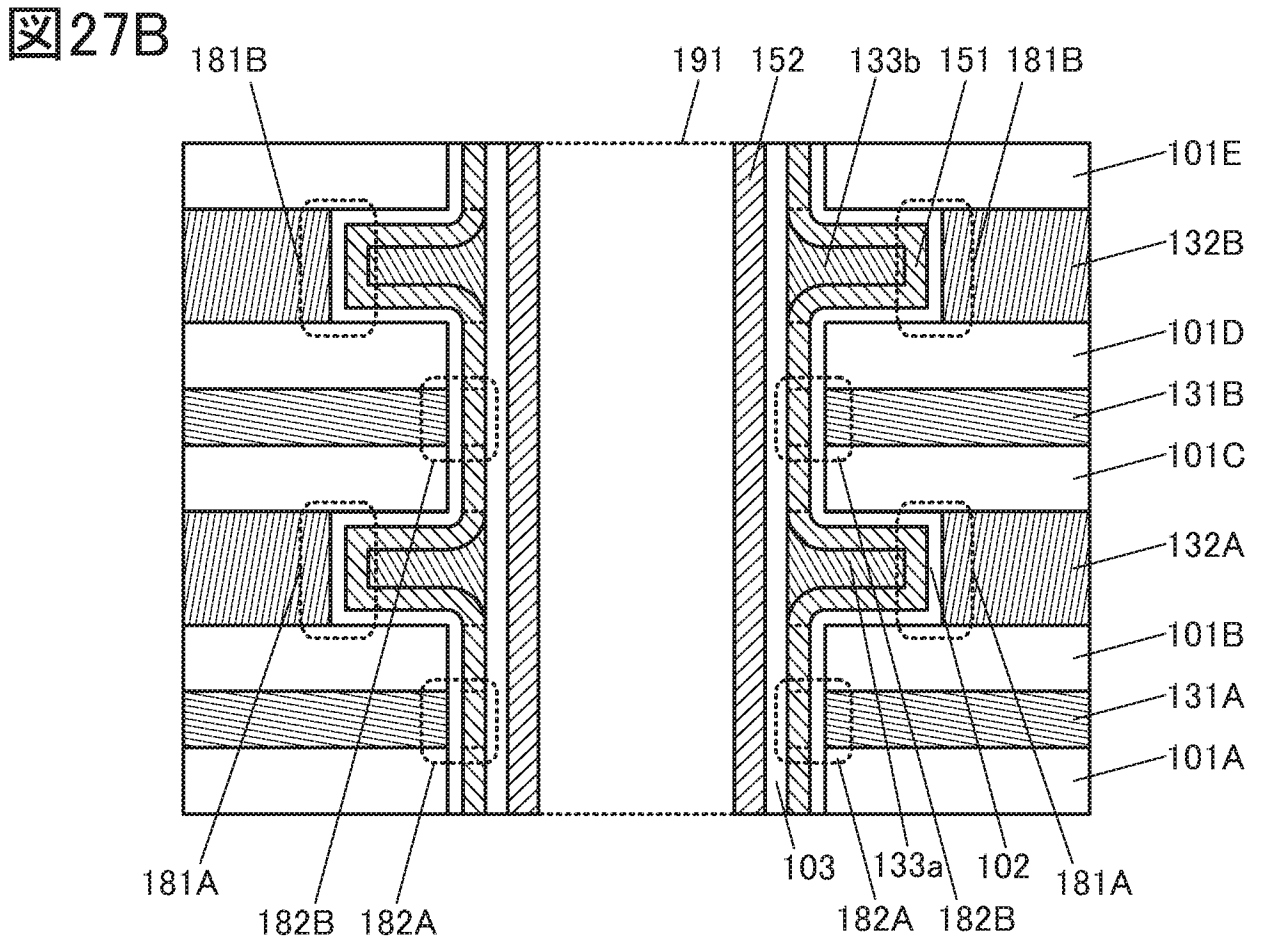
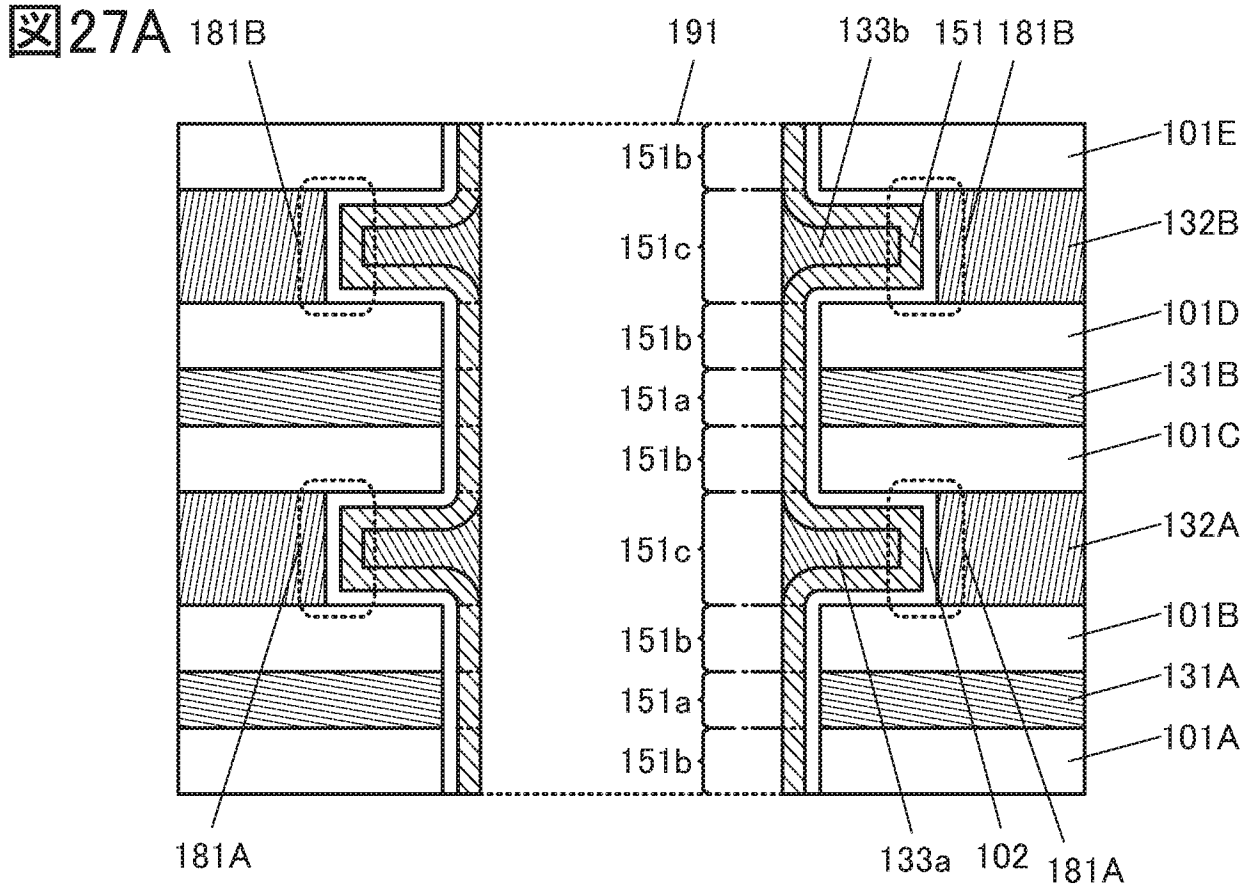


図28

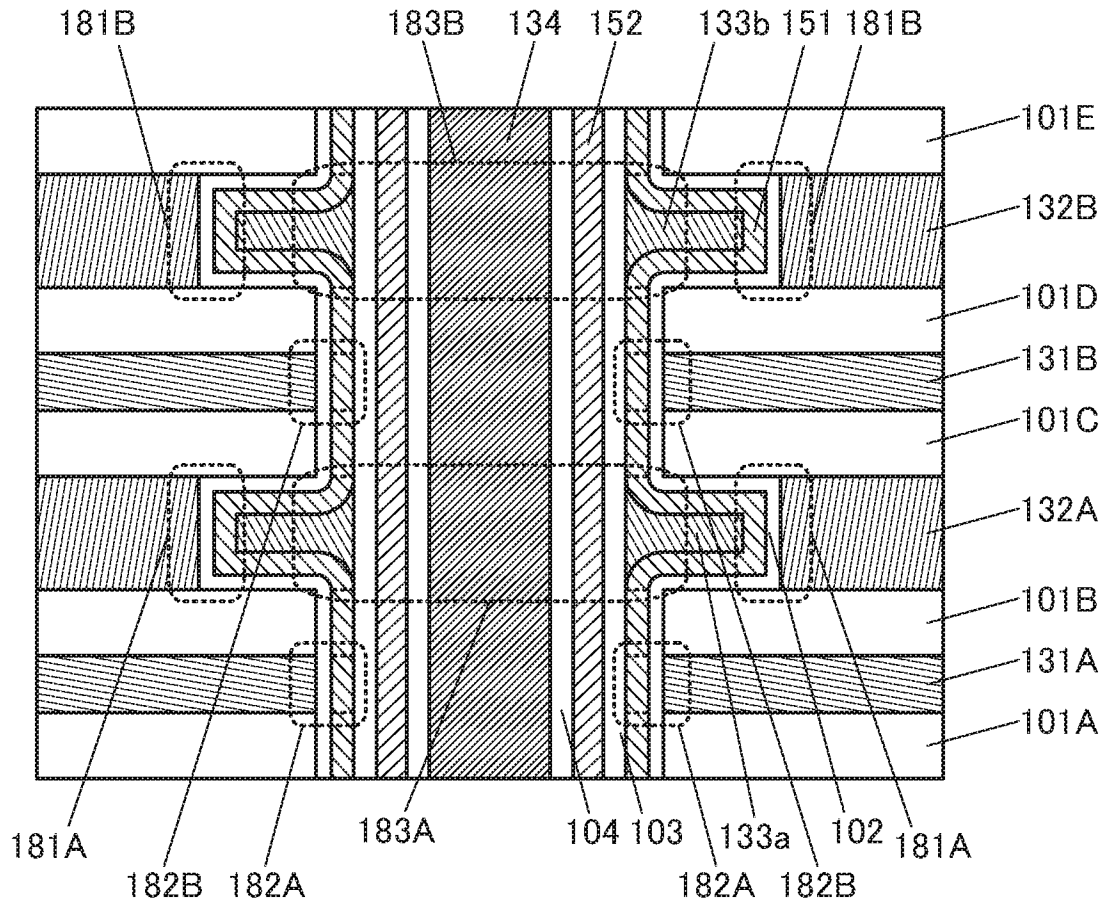
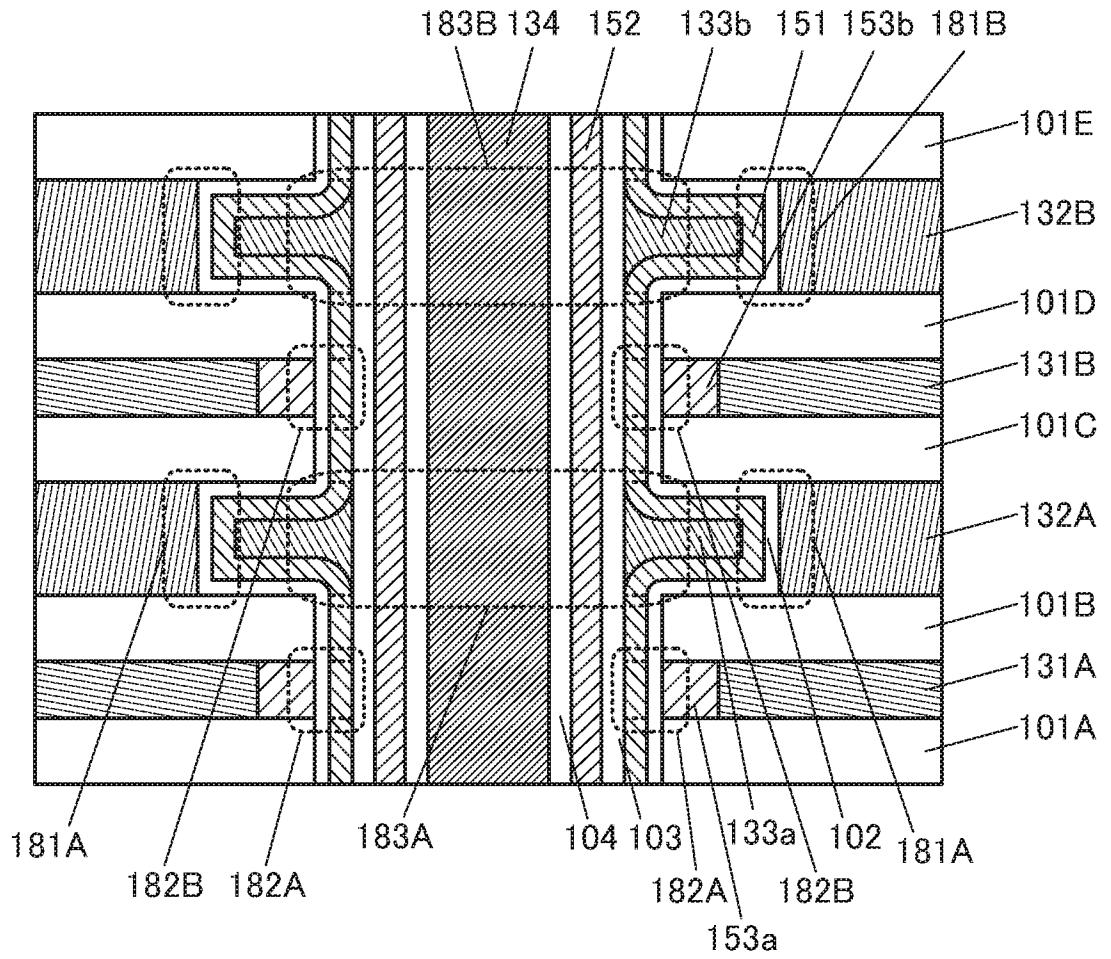
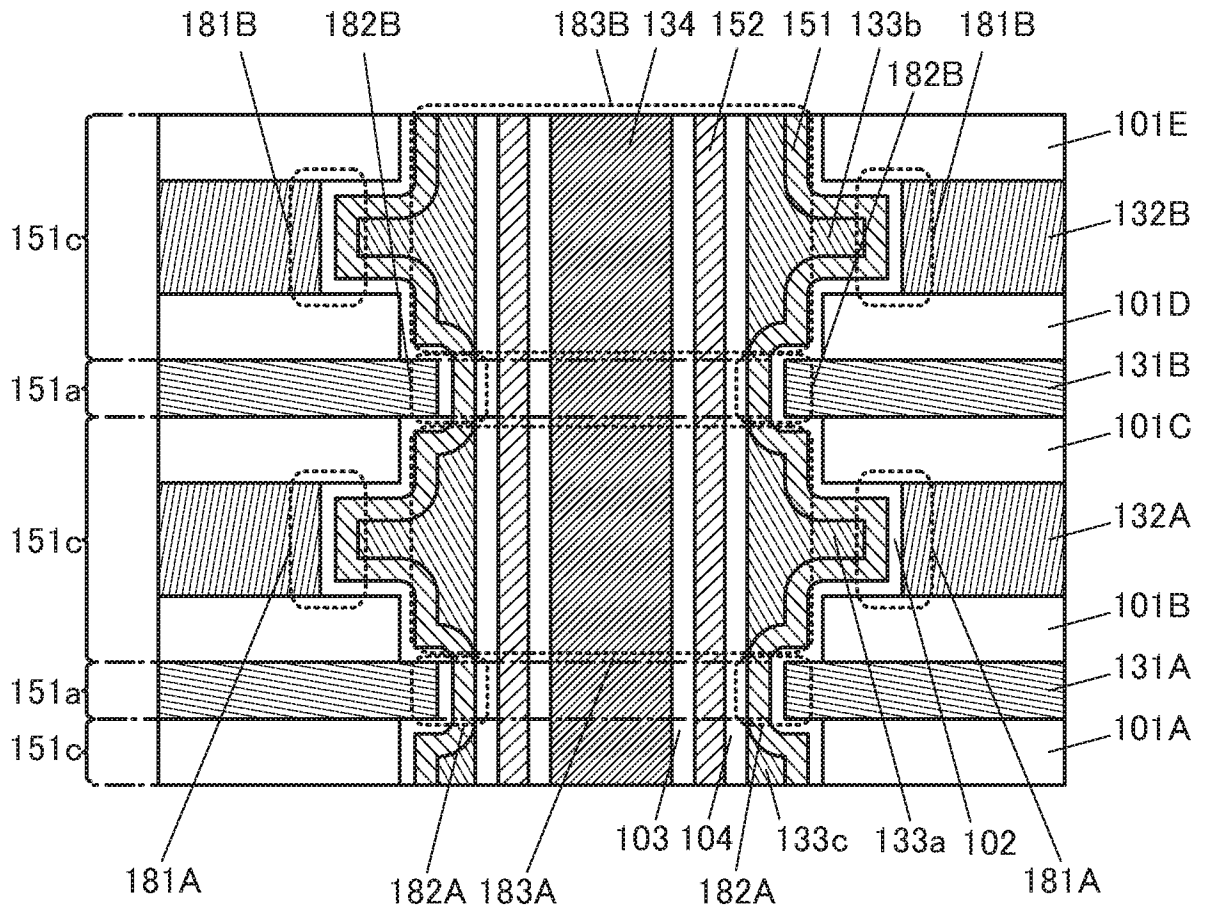


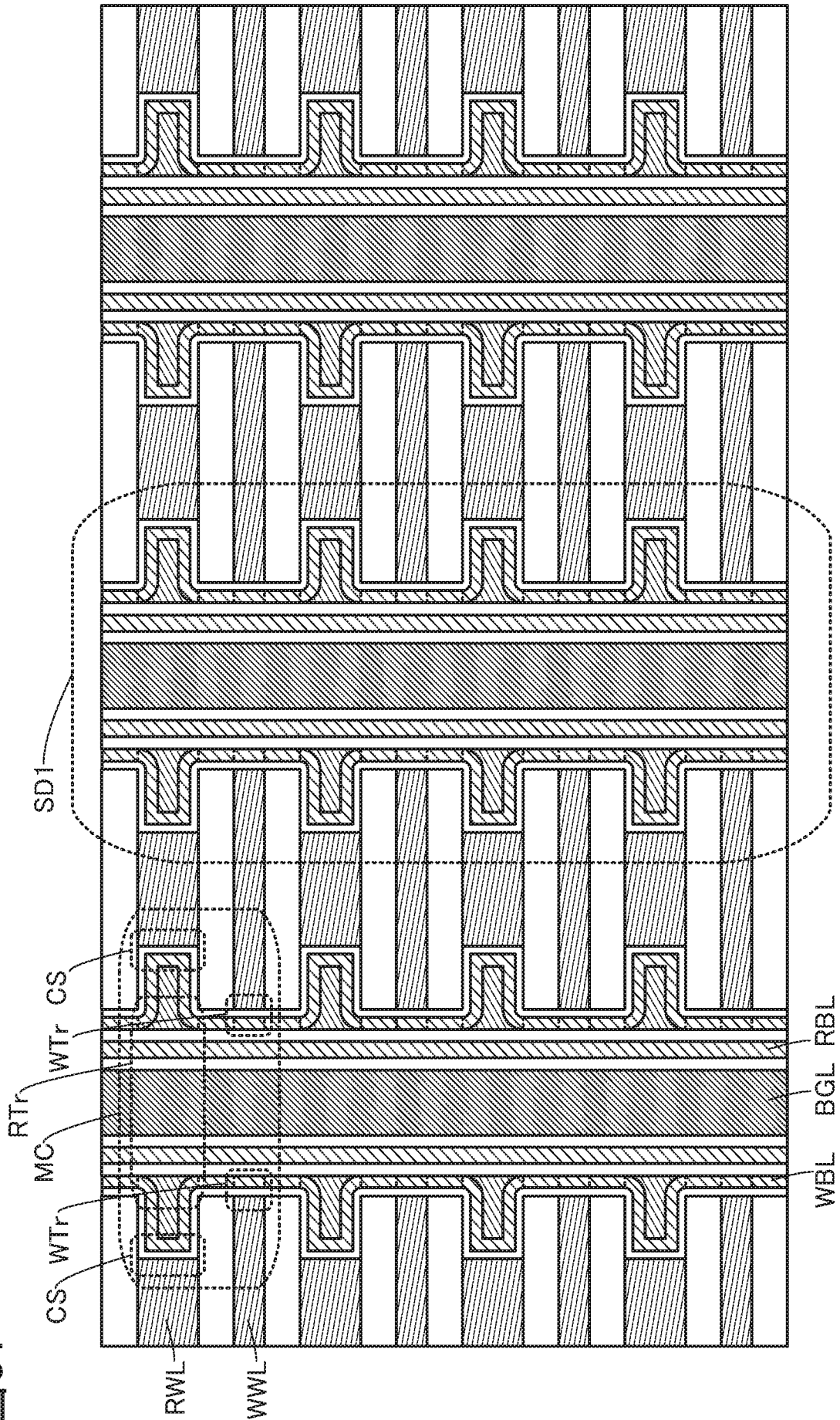
図29



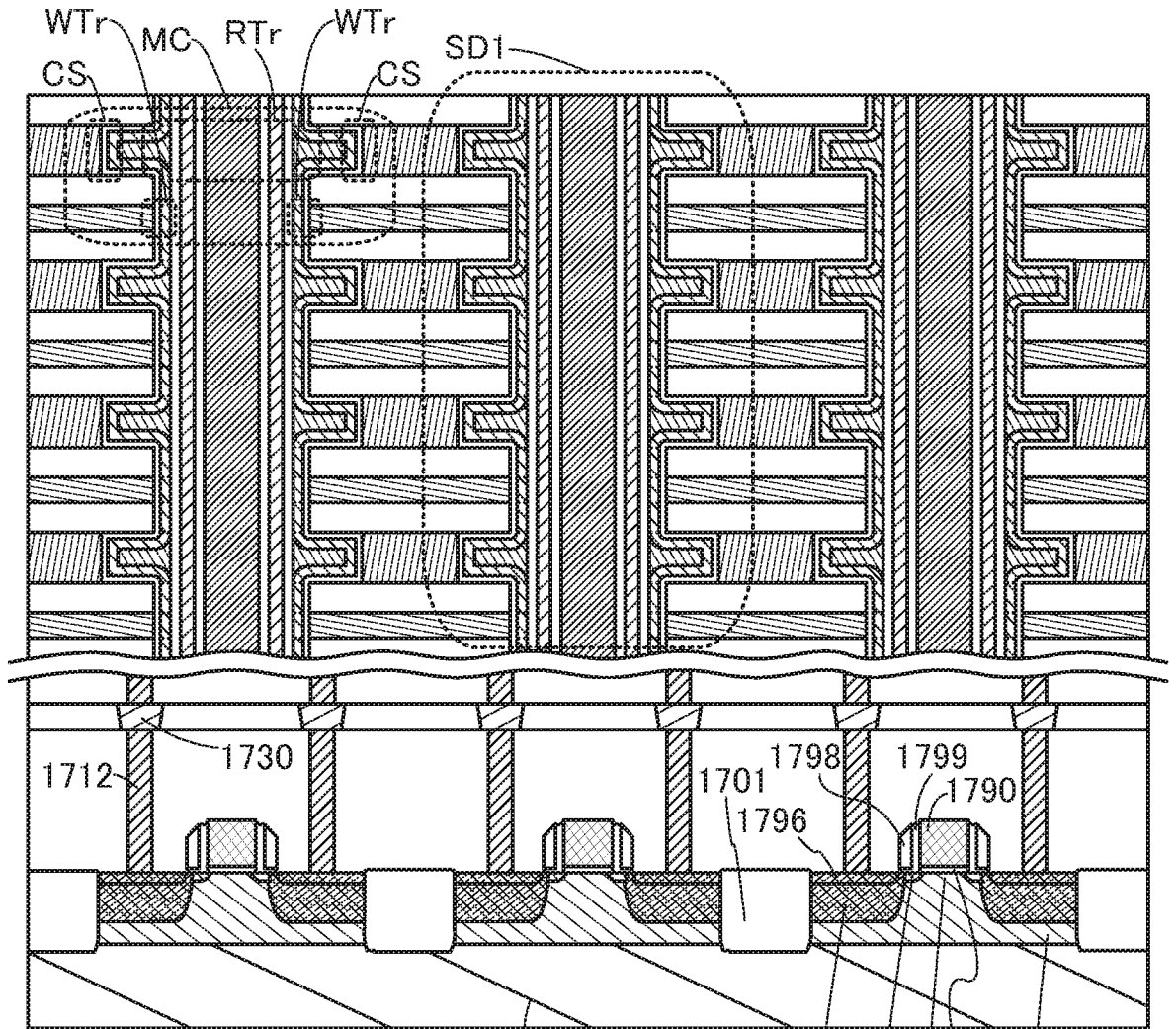
30



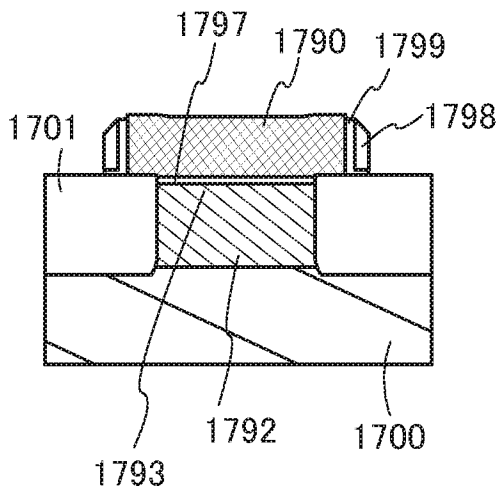
31



32A

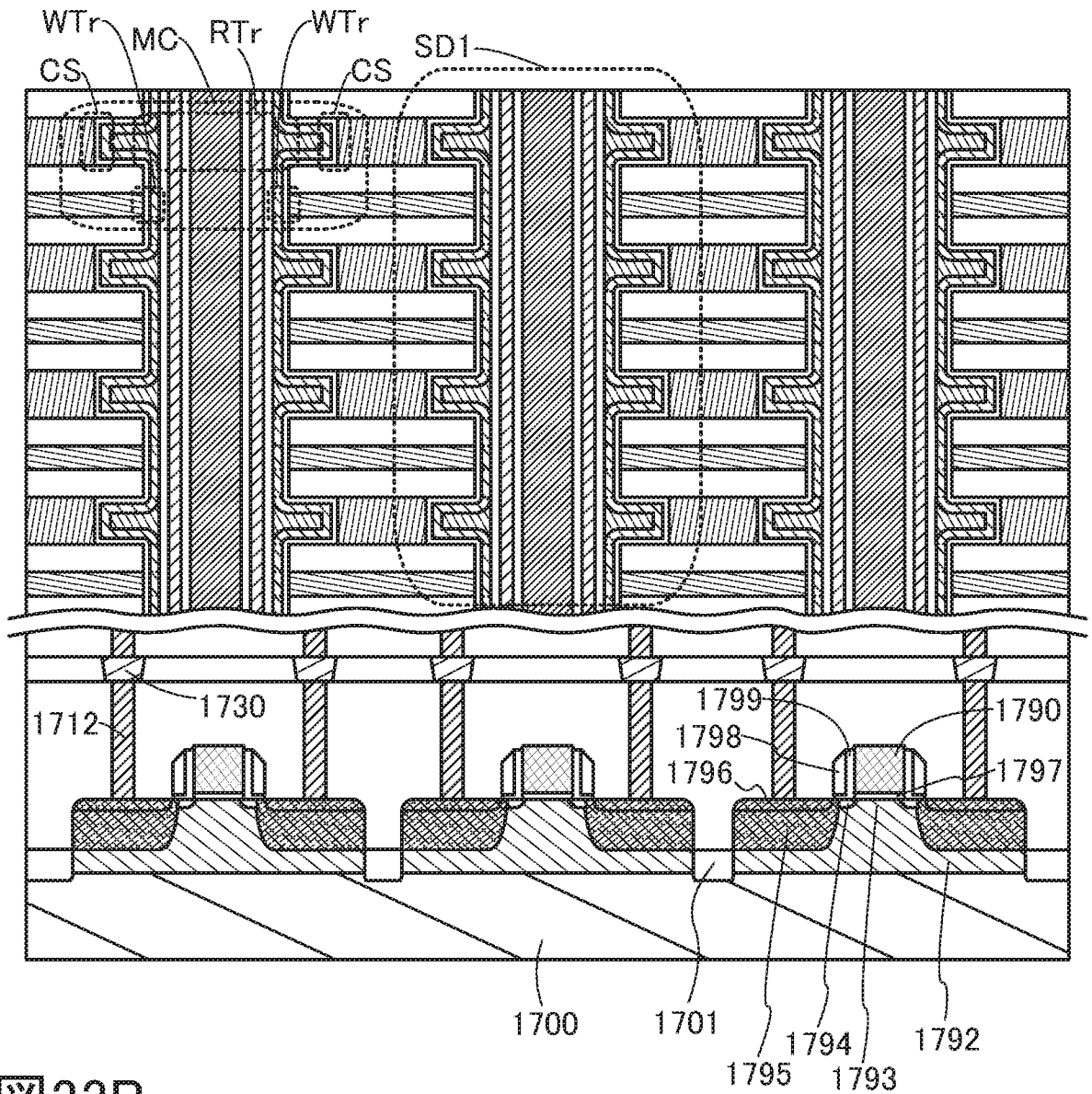


32B

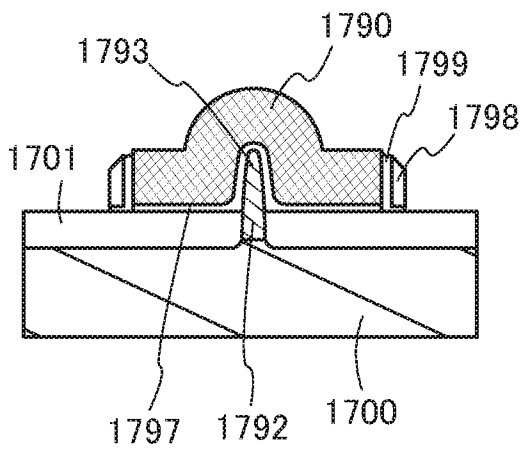


1795 1794 1792

33A



33B



34

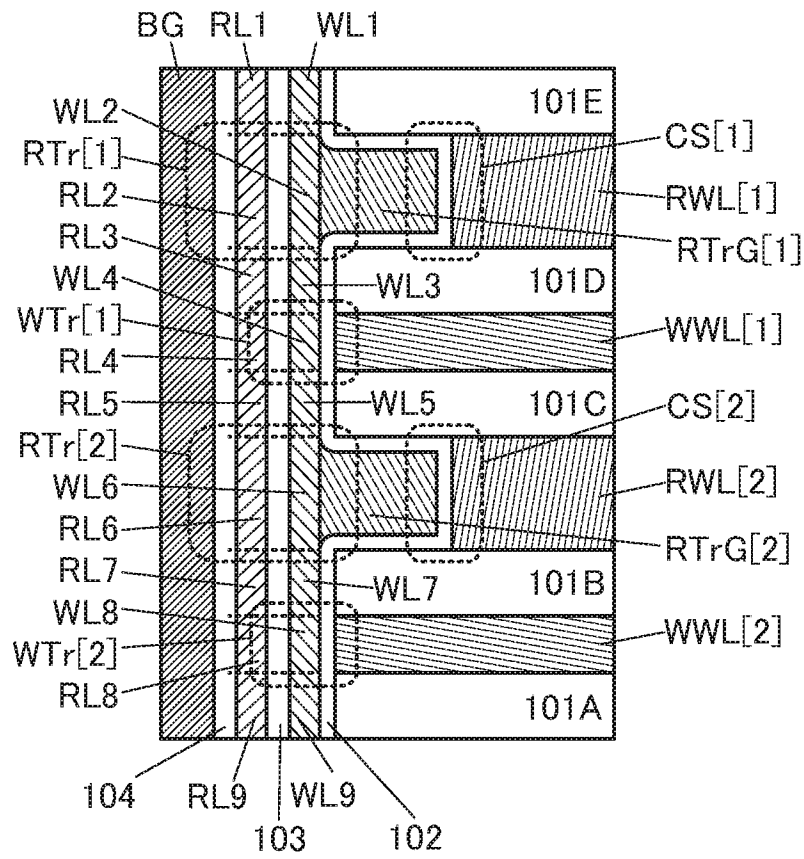


図35

保持期間

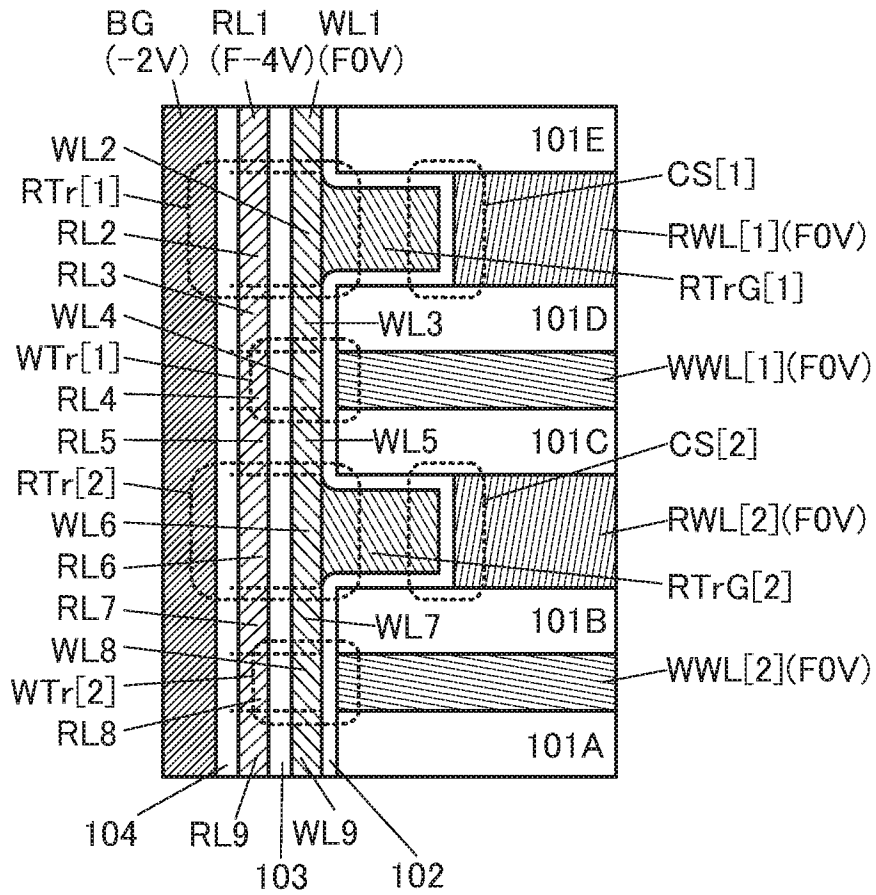


図36

書き換え期間

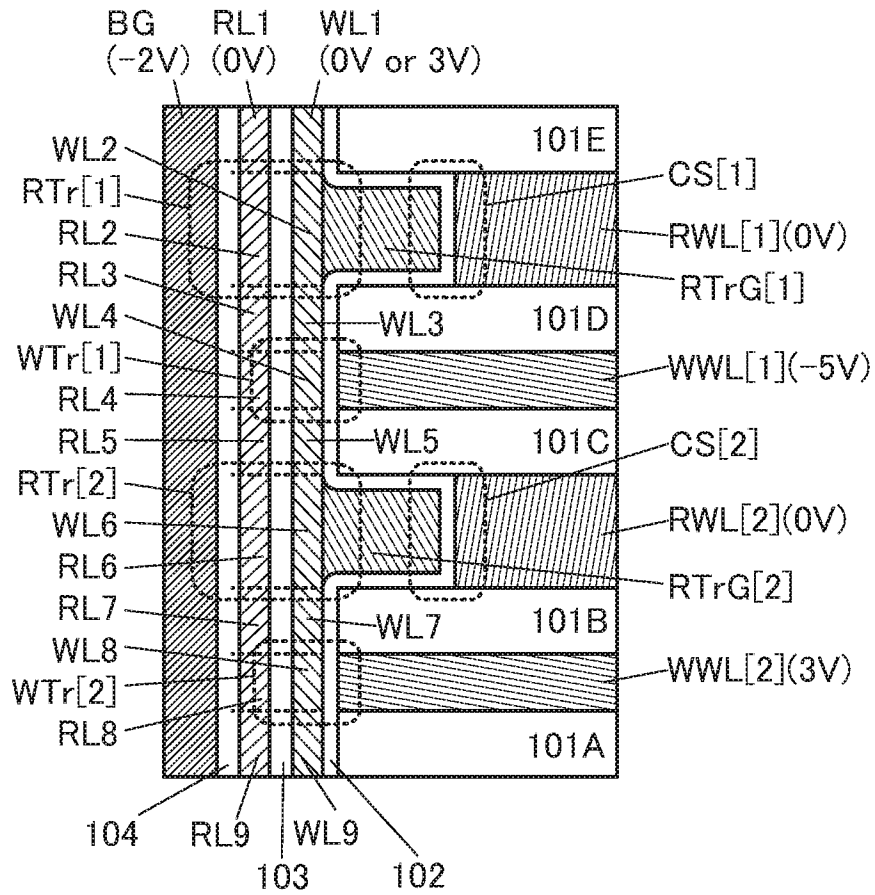


図37

読み出し期間(非選択)

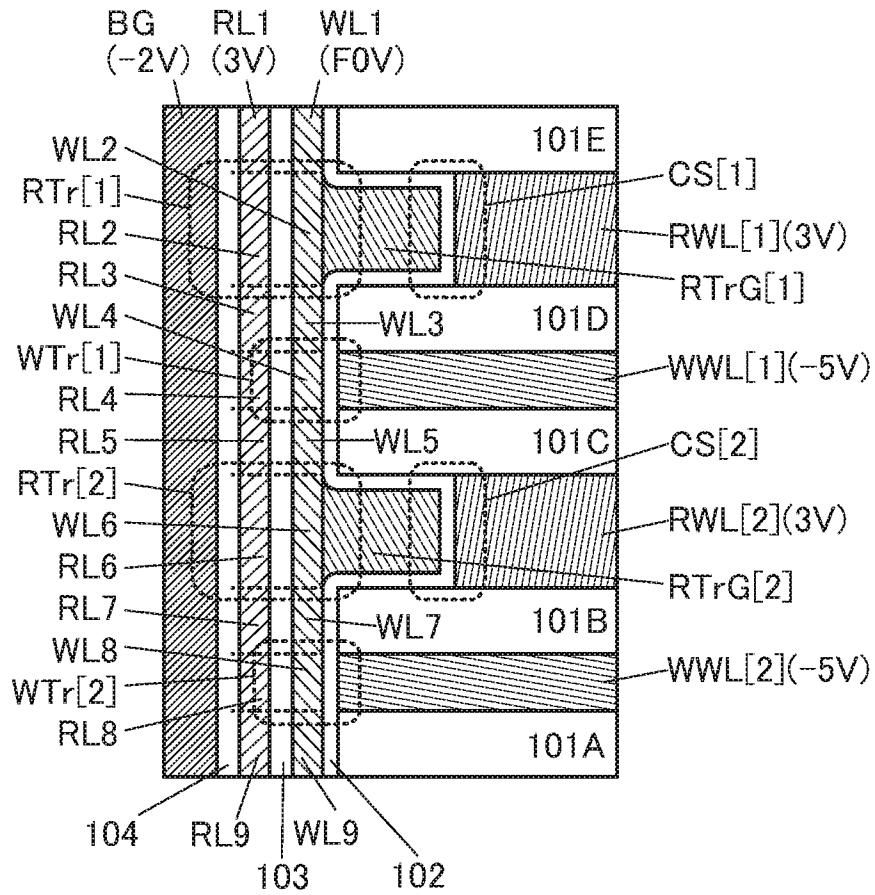


図39

読み出し期間から保持期間への移行

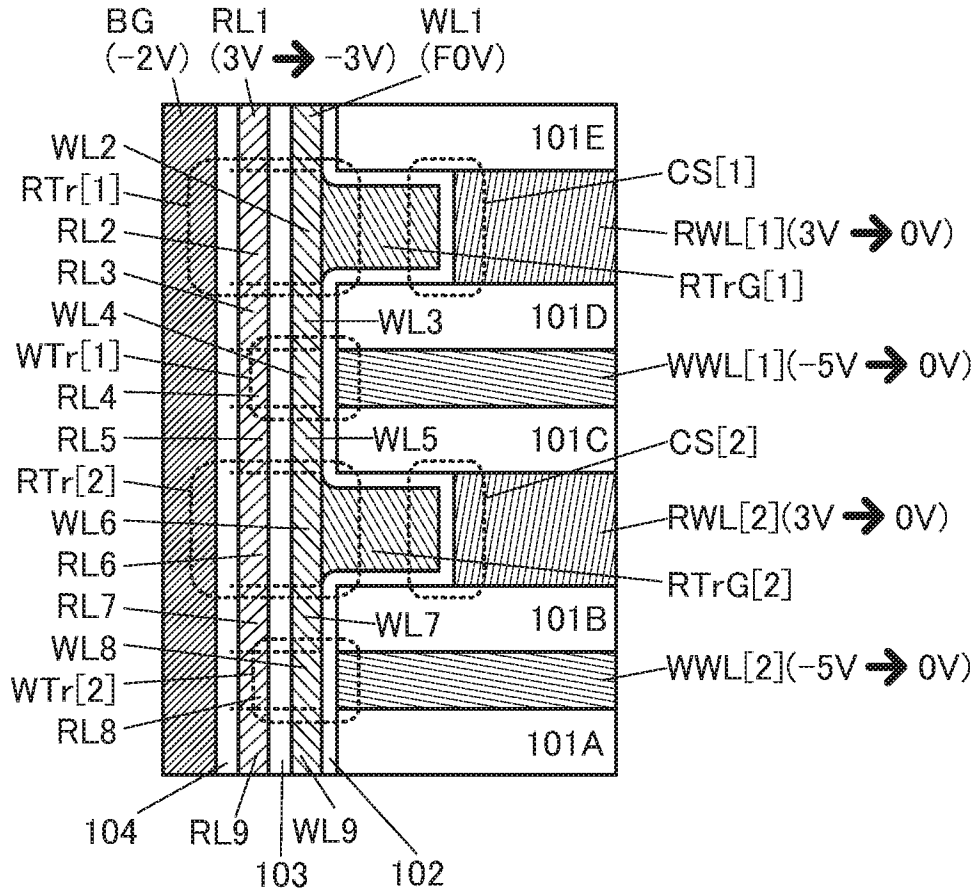
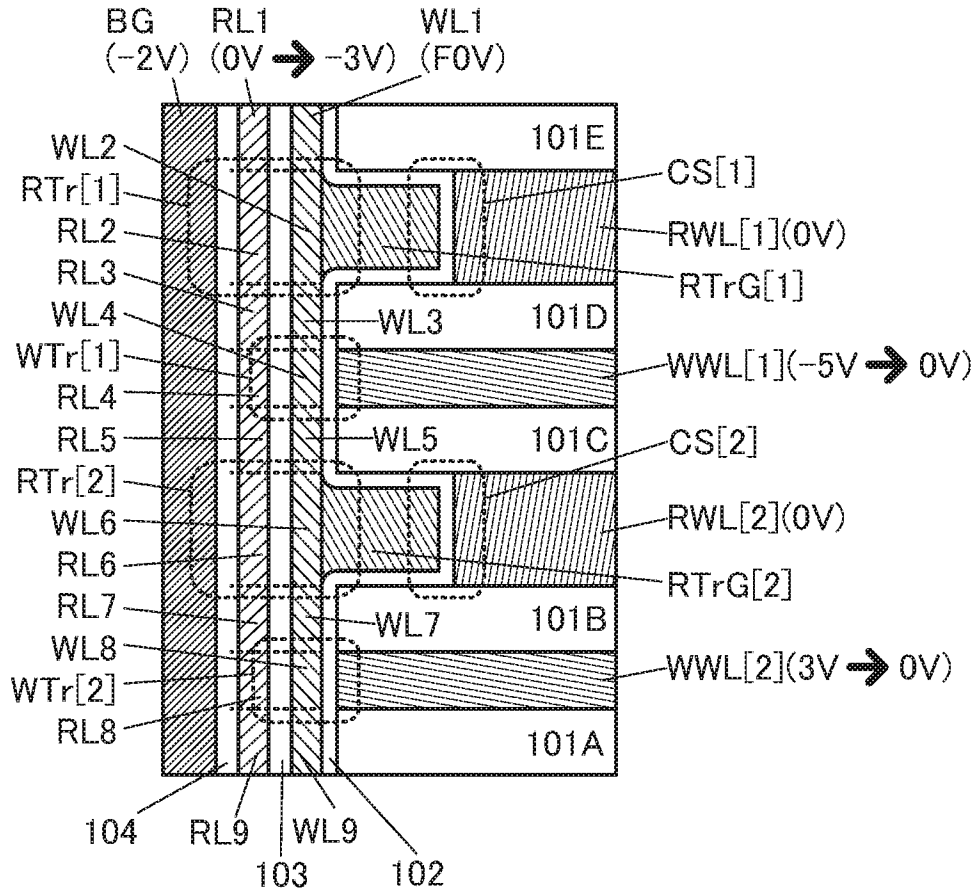
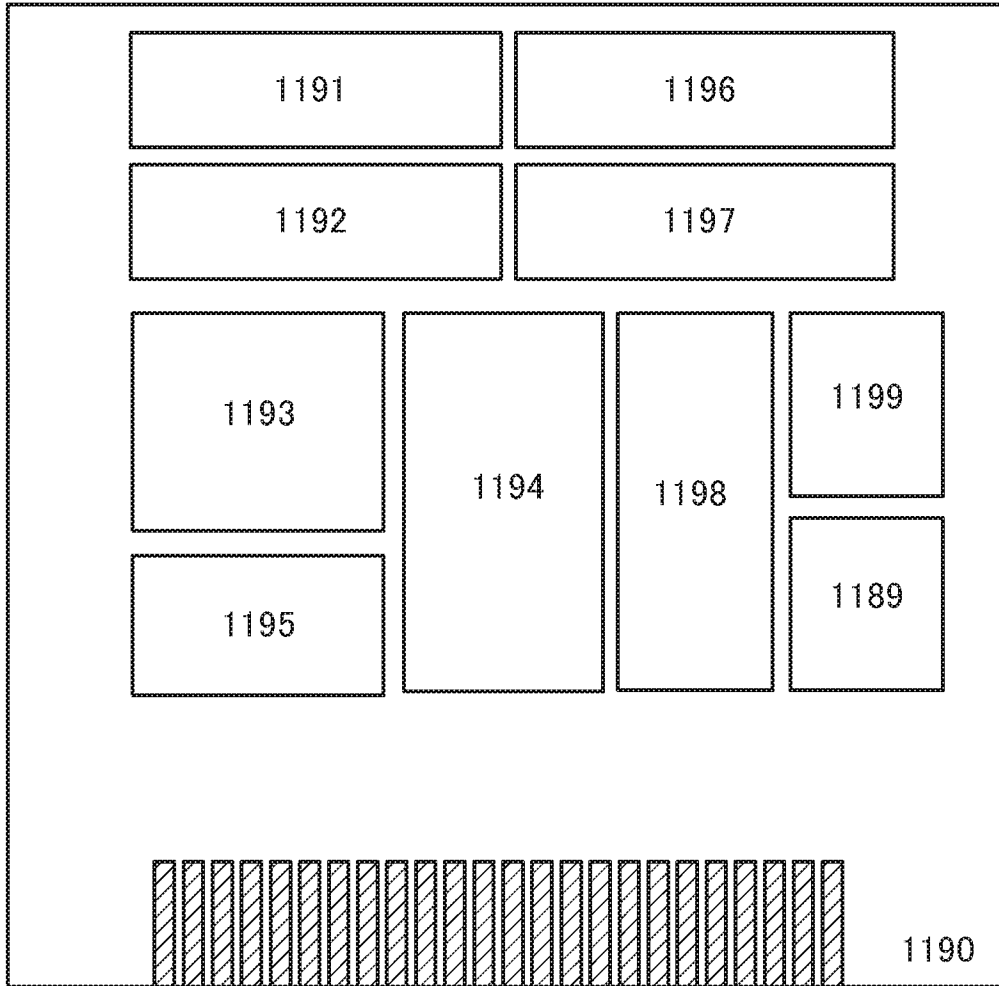


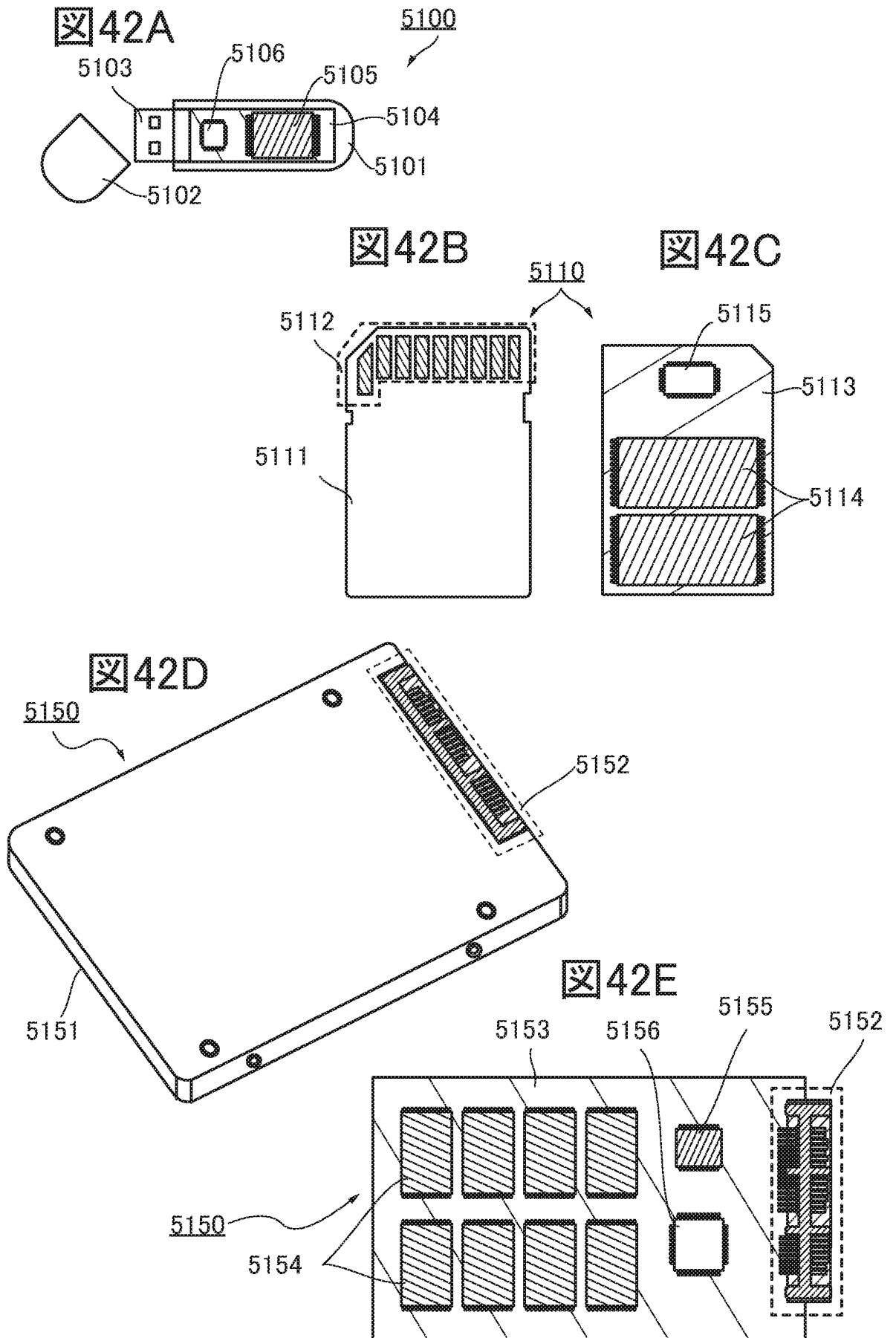
図40

書き換え期間から保持期間への移行

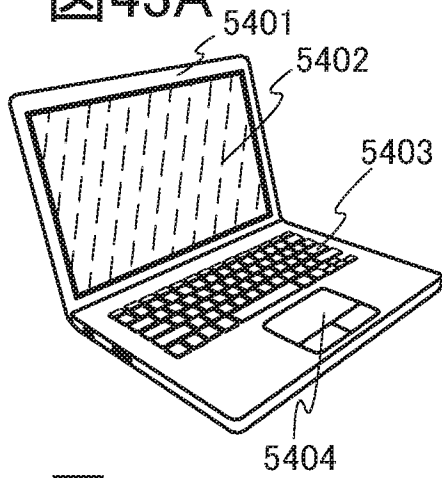


41

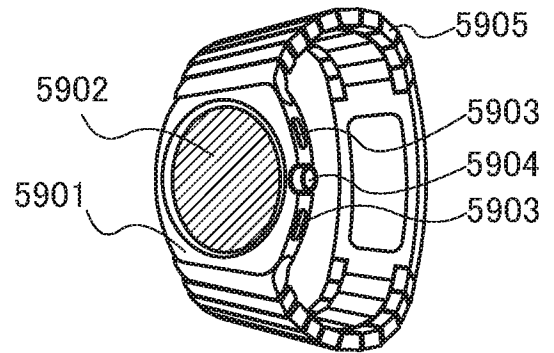




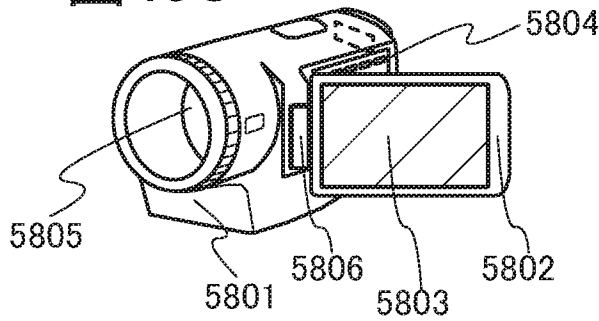
43A



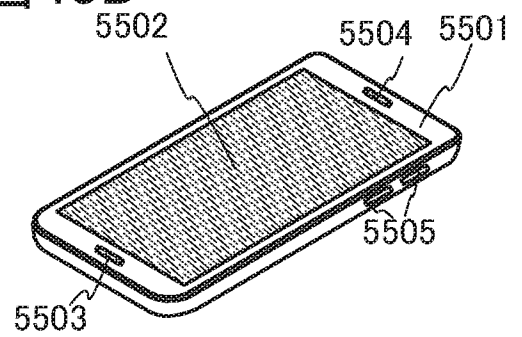
43B



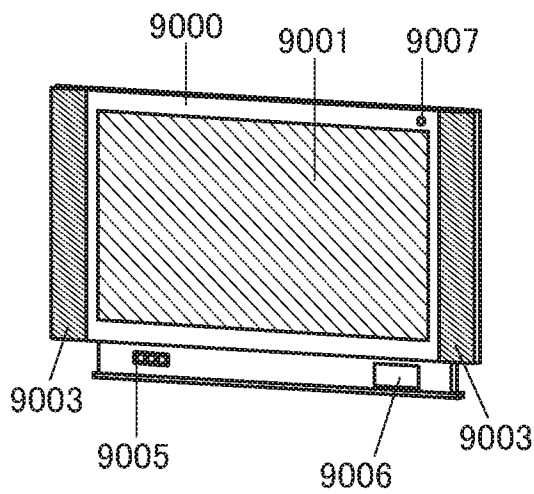
43C



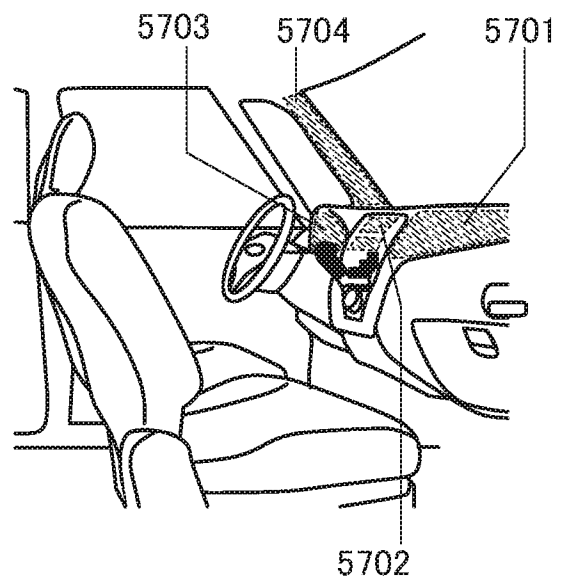
43D



43E



43F



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2020/057716

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/8234 (2006.01) i; H01L 27/06 (2006.01) i; H01L 27/088 (2006.01) i; H01L 21/8242 (2006.01) i; H01L 27/108 (2006.01) i; H01L 27/11556 (2017.01) i; H01L 27/1156 (2017.01) i; H01L 21/336 (2006.01) i; H01L 29/788 (2006.01) i; H01L 29/792 (2006.01) i; H01L 29/786 (2006.01) i; G11C 11/404 (2006.01) i; G11C 11/405 (2006.01) i

FI: H01L27/1156; H01L27/108 321; H01L27/108 681; H01L27/06 102A; H01L27/088 E; G11C11/405; G11C11/404 100; H01L29/78 371; H01L27/11556; H01L27/088 331E; H01L27/088 H; H01L29/78 618B; H01L29/78 613B; H01L29/78 626A; H01L29/78 617M

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/8234; H01L27/06; H01L27/088; H01L21/8242; H01L27/108; H01L27/11556; H01L27/1156; H01L21/336; H01L29/788; H01L29/792; H01L29/786; G11C11/404; G11C11/405

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2019-8862 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 17 January 2019 (2019-01-17) paragraphs [0023]-[0036], [0129], [0131], [0134], [0220], [0221], fig. 1(C), 17(A), 18(A), 32(A)	1-3
A	JP 2017-168809 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 21 September 2017 (2017-09-21) entire text, all drawings	1-3

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
28 October 2020 (28.10.2020)

Date of mailing of the international search report
10 November 2020 (10.11.2020)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2020/057716

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2018-157208 A (TOSHIBA MEMORY CORPORATION) 04 October 2018 (2018-10-04) entire text, all drawings	1-3
A	JP 2018-206828 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 27 December 2018 (2018-12-27) entire text, all drawings	1-3

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/IB2020/057716

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2019-8862 A	17 Jan. 2019	US 2018/0374529 A1 paragraphs [0056]- [0069], [0164], [0166], [0169], [0256], [0257], fig. 1C, 17A, 18A, 32A	
JP 2017-168809 A	21 Sep. 2017	US 2020/0105330 A1 US 2017/0117283 A1 entire text, all drawings	
JP 2018-157208 A	04 Oct. 2018	WO 2017/068478 A1 US 2018/0331116 A1 entire text, all drawings	
JP 2018-206828 A	27 Dec. 2018	US 10043808 B1 (Family: none)	

<p>A. 発明の属する分野の分類（国際特許分類（IPC））</p> <p>H01L 21/8234(2006.01)i; H01L 27/06(2006.01)i; H01L 27/088(2006.01)i; H01L 21/8242(2006.01)i; H01L 27/108(2006.01)i; H01L 27/11556(2017.01)i; H01L 27/1156(2017.01)i; H01L 21/336(2006.01)i; H01L 29/788(2006.01)i; H01L 29/792(2006.01)i; H01L 29/786(2006.01)i; G11C 11/404(2006.01)i; G11C 11/405(2006.01)i FI: H01L27/1156; H01L27/108 321; H01L27/108 681; H01L27/06 102A; H01L27/088 E; G11C11/405; G11C11/404 100; H01L29/78 371; H01L27/11556; H01L27/088 331E; H01L27/088 H; H01L29/78 618B; H01L29/78 613B; H01L29/78 626A; H01L29/78 617M</p>																	
<p>B. 調査を行った分野</p> <p>調査を行った最小限資料（国際特許分類（IPC））</p> <p>H01L21/8234; H01L27/06; H01L27/088; H01L21/8242; H01L27/108; H01L27/11556; H01L27/1156; H01L21/336; H01L29/788; H01L29/792; H01L29/786; G11C11/404; G11C11/405</p> <p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2020年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2020年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2020年</td> </tr> </table> <p>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）</p>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2020年	日本国実用新案登録公報	1996 - 2020年	日本国登録実用新案公報	1994 - 2020年							
日本国実用新案公報	1922 - 1996年																
日本国公開実用新案公報	1971 - 2020年																
日本国実用新案登録公報	1996 - 2020年																
日本国登録実用新案公報	1994 - 2020年																
<p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>JP 2019-8862 A (株式会社半導体エネルギー研究所) 17.01.2019 (2019-01-17) [0023] - [0036], [0129], [0131], [0134], [0220], [0221], 図1(C), 17(A), 18(A), 32(A)</td> <td>1-3</td> </tr> <tr> <td>A</td> <td>JP 2017-168809 A (株式会社半導体エネルギー研究所) 21.09.2017 (2017-09-21) 全文, 全図</td> <td>1-3</td> </tr> <tr> <td>A</td> <td>JP 2018-157208 A (東芝メモリ株式会社) 04.10.2018 (2018-10-04) 全文, 全図</td> <td>1-3</td> </tr> <tr> <td>A</td> <td>JP 2018-206828 A (株式会社半導体エネルギー研究所) 27.12.2018 (2018-12-27) 全文, 全図</td> <td>1-3</td> </tr> </tbody> </table> <p><input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。</p> <p>* 引用文献のカテゴリー</p> <p>“A” 特に関連のある文献ではなく、一般的技術水準を示すもの</p> <p>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</p> <p>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</p> <p>“O” 口頭による開示、使用、展示等に言及する文献</p> <p>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</p> <p>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</p> <p>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</p> <p>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</p> <p>“&” 同一パテントファミリー文献</p>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	X	JP 2019-8862 A (株式会社半導体エネルギー研究所) 17.01.2019 (2019-01-17) [0023] - [0036], [0129], [0131], [0134], [0220], [0221], 図1(C), 17(A), 18(A), 32(A)	1-3	A	JP 2017-168809 A (株式会社半導体エネルギー研究所) 21.09.2017 (2017-09-21) 全文, 全図	1-3	A	JP 2018-157208 A (東芝メモリ株式会社) 04.10.2018 (2018-10-04) 全文, 全図	1-3	A	JP 2018-206828 A (株式会社半導体エネルギー研究所) 27.12.2018 (2018-12-27) 全文, 全図	1-3
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号															
X	JP 2019-8862 A (株式会社半導体エネルギー研究所) 17.01.2019 (2019-01-17) [0023] - [0036], [0129], [0131], [0134], [0220], [0221], 図1(C), 17(A), 18(A), 32(A)	1-3															
A	JP 2017-168809 A (株式会社半導体エネルギー研究所) 21.09.2017 (2017-09-21) 全文, 全図	1-3															
A	JP 2018-157208 A (東芝メモリ株式会社) 04.10.2018 (2018-10-04) 全文, 全図	1-3															
A	JP 2018-206828 A (株式会社半導体エネルギー研究所) 27.12.2018 (2018-12-27) 全文, 全図	1-3															
国際調査を完了した日	国際調査報告の発送日																
28.10.2020	10.11.2020																
名称及びあて先	権限のある職員（特許庁審査官）																
日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	宮本 博司 5F 6313																
	電話番号 03-3581-1101 内線 3516																

国際調査報告
 パテントファミリーに関する情報

国際出願番号
 PCT/IB2020/057716

引用文献			公表日	パテントファミリー文献	公表日
JP	2019-8862	A	17.01.2019	US 2018/0374529 A1 [0056] - [0069], [0164], [0166], [0169], [0256], [0257], 図1C, 17A, 18A, 32A US 2020/0105330 A1	
JP	2017-168809	A	21.09.2017	US 2017/0117283 A1 全文, 全図 WO 2017/068478 A1	
JP	2018-157208	A	04.10.2018	US 2018/0331116 A1 全文, 全図 US 10043808 B1	
JP	2018-206828	A	27.12.2018	(ファミリーなし)	