



(12) 发明专利

(10) 授权公告号 CN 102256069 B

(45) 授权公告日 2014. 02. 26

(21) 申请号 201110131305. 2

(22) 申请日 2011. 05. 20

(30) 优先权数据

2010-117723 2010. 05. 21 JP

(73) 专利权人 佳能株式会社

地址 日本东京

(72) 发明人 酒井诚一郎

(74) 专利代理机构 中国国际贸易促进委员会专
利商标事务所 11038

代理人 杜娟

(51) Int. Cl.

H04N 5/374 (2011. 01)

H04N 5/3745 (2011. 01)

H04N 5/378 (2011. 01)

H01L 27/146 (2006. 01)

(56) 对比文件

CN 1764246 A, 2006. 04. 26, 全文.

JP 2004312472 A, 2004. 11. 04, 全文.

JP 2007013756 A, 2007. 01. 18, 全文.

CN 101465946 A, 2009. 06. 24, 全文.

CN 101309345 A, 2008. 11. 19, 全文.

JP 2008099066 A, 2008. 04. 24, 全文.

审查员 孟佳

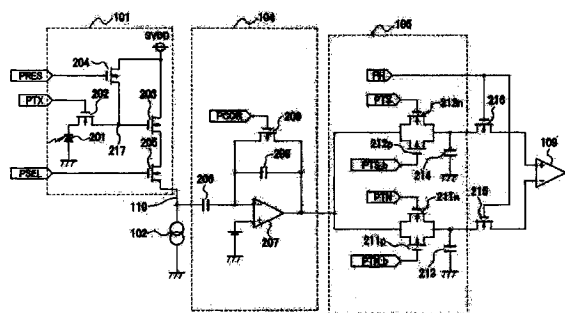
权利要求书2页 说明书9页 附图9页

(54) 发明名称

固态成像设备

(57) 摘要

一种固态成像设备,包括:信号线,信号从像素中的每一个被输出到所述信号线中的每一个;第一保持电容器,用于保持从信号线中的每一个输出的信号;排列在信号线和第一保持电容器之间的第一CMOS开关,所述第一CMOS开关中的每一个包括第一NMOS晶体管和第一PMOS晶体管;共同连接到第一CMOS开关的第一NMOS晶体管的栅极的第一控制线;和共同连接到第一CMOS开关的第一PMOS晶体管的栅极的第二控制线,并且,不同定时的信号被提供给第一控制线 and 第二控制线,使得关断第一NMOS晶体管的定时从关断第一PMOS晶体管的定时偏移。



1. 一种固态成像设备,包括:

多个信号线,信号从多个像素中的每一个被输出到所述多个信号线中的每一个;

多个第一保持电容器,用于保持从所述多个信号线中的每一个输出的信号;

排列在所述多个信号线和所述多个第一保持电容器之间的多个第一 CMOS 开关,所述多个第一 CMOS 开关中的每一个包括第一 NMOS 晶体管和第一 PMOS 晶体管;

电气连接到多个第一 NMOS 晶体管的栅极的第一控制线;和

电气连接到多个第一 PMOS 晶体管的栅极的第二控制线,其中

所述第一和第二控制线提供不同定时的信号,使得关断所述第一 NMOS 晶体管的定时从关断所述第一 PMOS 晶体管的定时偏移。

2. 如权利要求 1 所述的固态成像设备,其中

在所有的所述多个第一 CMOS 开关中,在关断所述第一 PMOS 晶体管之前所述第一 NMOS 晶体管关断,或者,在关断所述第一 NMOS 晶体管之前所述第一 PMOS 晶体管关断。

3. 如权利要求 1 所述的固态成像设备,还包括:

控制单元,用于控制要被提供到所述第一和第二控制线的信号,使得关断所述第一 NMOS 晶体管的定时从关断所述第一 PMOS 晶体管的定时偏移。

4. 如权利要求 1 所述的固态成像设备,还包括:

多个第二保持电容器,用于保持从所述多个信号线中的每一个输出的用于复位像素的复位信号;

排列在所述多个信号线和所述多个第二保持电容器之间的多个第二 CMOS 开关,所述多个第二 CMOS 开关中的每一个包括第二 NMOS 晶体管和第二 PMOS 晶体管;

电气连接到多个第二 NMOS 晶体管的栅极的第三控制线;和

电气连接到多个第二 PMOS 晶体管的栅极的第四控制线,其中

所述第三和第四控制线提供不同定时的信号,使得关断所述第二 NMOS 晶体管的定时从关断所述第二 PMOS 晶体管的定时偏移。

5. 如权利要求 1 所述的固态成像设备,还包括:

排列在所述多个信号线和所述多个第一 CMOS 开关之间的多个放大器单元,所述多个放大器单元中的每一个放大从所述多个信号线中的每一个输出的信号。

6. 如权利要求 1 所述的固态成像设备,还包括:

第一输入焊盘,用于把控制信号提供给所述第一控制线;和

第二输入焊盘,用于把控制信号提供给所述第二控制线。

7. 如权利要求 1 所述的固态成像设备,还包括:

输入焊盘,和

延迟电路,用于延迟输入到所述输入焊盘的信号,其中

所述第一和第二控制线中的一个通过所述延迟电路被连接到所述输入焊盘,并且

所述第一和第二控制线中的另一个不通过所述延迟电路而被连接到所述输入焊盘。

8. 如权利要求 1 所述的固态成像设备,还包括:

第一输入焊盘,用于将脉冲提供给所述第一控制线,和

第二输入焊盘,用于将脉冲提供给所述第二控制线,其中

从所述第一输入焊盘通过电气路径进入由所述第一控制线驱动的所述多个第一 NMOS

晶体管中被设置为最靠近所述第一输入焊盘的第一 NMOS 晶体管的脉冲的延迟量不同于从所述第二输入焊盘通过电气路径进入由所述第二控制线驱动的所述多个第一 PMOS 晶体管中被设置为最靠近所述第二输入焊盘的第一 PMOS 晶体管的脉冲的延迟量。

9. 一种固态成像设备,包括:

多个信号线,信号从多个像素中的每一个被输出到所述多个信号线中的每一个;

多个第一保持电容器,用于保持从所述多个信号线中的每一个输出的信号;

排列在所述多个信号线和所述多个第一保持电容器之间的多个第一 CMOS 开关,所述多个第一 CMOS 开关中的每一个包括第一 NMOS 晶体管和第一 PMOS 晶体管;

电气连接到多个第一 NMOS 晶体管的栅极的第一控制线;

电气连接到多个第一 PMOS 晶体管的栅极的第二控制线,

第一输入焊盘,用于将脉冲提供到所述第一控制线,以及

第二输入焊盘,用于将脉冲提供到所述第二控制线,其中

从所述第一输入焊盘通过电气路径进入由所述第一控制线驱动的所述多个第一 NMOS 晶体管中被设置为最靠近所述第一输入焊盘的第一 NMOS 晶体管的脉冲的延迟量不同于从所述第二输入焊盘通过电气路径进入由所述第二控制线驱动的所述多个第一 PMOS 晶体管中被设置为最靠近所述第二输入焊盘的第一 PMOS 晶体管的脉冲的延迟量。

10. 如权利要求 9 所述的固态成像设备,其中

所述第一输入焊盘和所述第二输入焊盘由相同的导体图案形成。

11. 如权利要求 9 所述的固态成像设备,其中

所述第一输入焊盘和所述第二输入焊盘由相同的导体图案形成,

进入被设置为最靠近所述第二输入焊盘的所述第一 PMOS 晶体管的脉冲的延迟量大于进入被设置为最靠近所述第一输入焊盘的所述第一 NMOS 晶体管的脉冲的延迟量。

固态成像设备

技术领域

[0001] 本发明涉及固态成像设备。

背景技术

[0002] 作为 MOS 型固态成像设备,公开了一种具有按二维阵列排列的像素的结构,所述二维阵列的每一列设置有信号保持电容器和信号保持电容器的开关单元(日本专利申请公开 No. 2001-230974)。而且,公开了一种结构,该结构具有为每一列提供的运算放大器、信号保持电容器和信号保持电容器的开关单元,作为通过放大信号以提高固态成像设备的信噪比来限制随机噪声的放大的单元(No. 2008-278460 日本专利申请公开)。此外,日本专利申请公开 No. 2008-263298 公开了使用 CMOS 开关作为信号保持电容器的开关。通过使用 CMOS 开关作为信号保持电容器的开关,比起只使用 NMOS 晶体管作为开关的结构,该结构能够把更高的电压加载到信号保持电容器,从而能够提高信号保持电容器中的动态范围。

[0003] 发明人发现了一个问题,即,当强光点光源入射在使用 CMOS 开关作为信号保持电容器的开关的结构中的像素区域上时,在光点的任一侧上出现了白色或者黑色条带。发现这个问题是由下述事实引起的,即:并非构成成像平面的整个区域中的 CMOS 开关的所有 NMOS 晶体管和 PMOS 晶体管都同时从导通状态转换到非导通状态。

[0004] 一般知道在 NMOS 晶体管和 PMOS 晶体管的导通/关断期间栅极电位的变化通过 MOS 晶体管寄生电容导致漏极侧的电位波动。如果 NMOS 晶体管和 PMOS 晶体管被几乎同时关断,则 CMOS 开关中的电位波动被抵消。但是,如果一个 CMOS 开关早于另一个 CMOS 开关被关断,则当较晚的 CMOS 开关被关断时在晶体管的漏极或者源极中加载的信号电位波动。如果这种波动同等地出现在整个成像区域中,既不出现白色条带也不出现黑色条带。发现如果 NMOS 晶体管和 PMOS 晶体管在一个区域中几乎被同时关断,但是在整个成像区域中的其他区域中不被同时关断,则所加载的信号的电位在两个区域之间不同,这导致了白色条带和黑色条带的现象。

[0005] 当很多像素输出被偏置到象强光点光源那样的特定电位的信号时,NMOS 晶体管或者 PMOS 晶体管被导通。由于 MOS 晶体管在关断状态中比在导通状态中具有更大的栅极寄生电容,在具有很多与其相连的导通状态 MOS 晶体管的控制线和具有很多与其相连的关断状态 MOS 晶体管的控制线之间,在寄生电容方面将存在显著差异。这导致了通过控制线传送的脉冲中的延迟,从而导致了 NMOS 晶体管和 PMOS 晶体管之间在导通/关断定时上的差别。以此方式,强光点光源导致了图像中的白色条带和黑色条带。

发明内容

[0006] 本发明的目的是提供一种能够防止图像质量被强光点光源导致的白色条带或者黑色条带降低的固态成像设备。

[0007] 本发明提供了一种固态成像设备,包括:多个信号线,信号从多个像素中的每一个被输出到所述多个信号线中的每一个;多个第一保持电容器,用于保持从所述多个信号线

中的每一个输出的信号;排列在所述多个信号线和所述多个第一保持电容器之间的多个第一 CMOS 开关,所述多个第一 CMOS 开关中的每一个包括第一 NMOS 晶体管和第一 PMOS 晶体管;电气连接到多个第一 NMOS 晶体管的栅极的第一控制线;和电气连接到多个第一 PMOS 晶体管的栅极的第二控制线,其中,所述第一和第二控制线提供不同定时的信号,使得关断所述第一 NMOS 晶体管的定时从关断所述第一 PMOS 晶体管的定时偏移。

[0008] 参考附图,从示范性实施例的下列描述,本发明的进一步特征将变得清晰。

附图说明

- [0009] 图 1 是示出根据本发明第一实施例的固态成像设备的结构例子的框图。
[0010] 图 2 是示出图 1 中所示的固态成像设备的详细结构例子的图。
[0011] 图 3 是示出第一实施例的固态成像设备的操作例子的时序图。
[0012] 图 4A 和 4B 是示出信号保持电容器中 NMOS 晶体管的工作点的图。
[0013] 图 5 是按行设置的运算放大器、CMOS 开关和信号保持电容器的图。
[0014] 图 6 是第一实施例的固态成像设备中的控制单元的结构例子的图。
[0015] 图 7 是示出第一实施例的固态成像设备的工作例子的另一个时序图。
[0016] 图 8 是示出根据本发明第二实施例的固态成像设备的控制单元的结构例子的图。
[0017] 图 9 是示出根据本发明第三实施例的固态成像设备的结构例子的框图。
[0018] 图 10 是示出图 9 中所示的固态成像设备的详细结构例子的图。
[0019] 图 11 是示出第三实施例的固态成像设备的操作例子的时序图。
[0020] 图 12 是示出根据本发明第三实施例的固态成像设备的操作例子的另一个图。
[0021] 图 13 是示出根据本发明第四实施例的固态成像设备的结构例子的框图。

具体实施例

[0022] 现在将根据附图详细描述本发明的优选实施例。

[0023] (第一实施例)

[0024] 图 1 是示出根据本发明第一实施例的固态成像设备的结构例子的方框图。固态成像设备包括像素阵列 A、像素恒流源 102、垂直扫描电路 103、信号放大器单元 104、信号保持单元 105、从信号放大器单元 104 到信号保持单元 105 的信号写控制单元 106、开关 107、水平扫描电路 108 和输出放大器 109。像素阵列 A 具有像素 101。在这个图中,像素 101 按矩阵排列,形成了行和列。尽管在图 1 中像素阵列 A 由三行乘以三列的像素 101 组成,但是那仅是为了描述简单,并非旨在把像素阵列 A 的结构限制于此。像素 101 具有通过光电转换产生电信号的光电转换部分。信号从像素 101 被输出到列信号线 110。为列信号线 110 和信号保持单元 105 之间的电电路径提供了信号放大器单元 104,用于放大来自列信号线 110 的信号。信号保持单元 105 保持由信号放大器单元 104 读取的信号。输出放大器 109 适于通过开关 107 读出保持在信号保持单元 105 中的信号。可以为一系列或更多列提供信号放大器单元 104 和信号保持单元 105。垂直扫描电路 103 通常包括移位寄存器,并从像素阵列 A 选择行。水平扫描电路 108 通常包括移位寄存器,并从像素阵列 A 选择列。在这个例子中,通过选择性地激活开关 107 以使信号从信号保持单元 105 被转移到输出放大器 109 来从像素阵列 A 选择列。

[0025] 图 2 是示出像素 101、信号放大器单元 104 和信号保持单元 105 的详细结构例子的图。像素 101 包括例如光电二极管（光电转换部分）201、转移晶体管 202、放大器晶体管（源极跟随器晶体管）203、复位晶体管 204 和选择晶体管 205。光电二极管 201 通过光电转换产生电信号。由光电二极管 201 中的光电转换产生的电荷被转移晶体管 202 转移到浮动扩散（此后称为 FD）217。这个电荷决定了 FD 217 的电位。FD 217 是与放大器晶体管 203 的栅极公共的节点。基于转移到 FD 217 的电荷的信号被放大器晶体管 203 放大并通过选择晶体管 205 输出到列信号线 110。列信号线 110 被连接到像素恒流源 102 以形成源极跟随器电路。信号放大器单元 104 包括例如箝位电容 206、反相放大器 207、反馈电容 208 和箝位开关 209。列信号线 110 电气连接到信号放大器单元 104 中的箝位电容 206 的一端。在这个图中，它们被直接相互连接，但是也可以通过开关连接。反馈电容 208 和箝位开关 209 被串联在反相放大器 207 的输入端和输出端之间。信号放大器单元 104 的输出端电气连接到信号保持单元 105。信号保持单元 105 包括例如开关 211n、211p、212n、212p，保持电容器 213 和 214。优选地，保持电容器 213 和 214 具有相同的电容。信号放大器单元 104 的输出端分别通过开关 211n、211p、212n、212p 被连接到保持电容器 213 和 214。控制单元 106 控制开关 211n、211p、212n 和 212p。当列选择开关 215 和 216 根据从水平扫描电路 108 提供的 PH 脉冲被导通时，被保持在保持电容器 213 和 214 中的信号被转移到输出放大器 109。保持电容器 213 和 214 分别保持 N（噪声）输出和 S（光信号）输出，并且输出放大器 109 放大 N 输出和 S 输出之间的差。

[0026] 各列中的第一保持电容器 214 保持从各列中的列信号线 110 输出的信号。在列信号线 110 与第一保持电容器 214 之间的电气路径中提供包括第一 NMOS 晶体管 212n 和第一 PMOS 晶体管 212p 的第一 CMOS 开关。NMOS 晶体管是 N 沟道 MOS 场效应晶体管，而 PMOS 晶体管是 P 沟道 MOS 场效应晶体管。被提供以脉冲 PTS 的第一控制线电气连接到列中每个第一 CMOS 开关的第一 NMOS 晶体管 212n 的栅极。被提供以脉冲 PTS_b 的第二控制线电气连接到列中每个第一 CMOS 开关的第一 PMOS 晶体管 212p 的栅极。

[0027] 在像素 101 保持复位的同时各列中的第二保持电容器 213 保持从各列中的列信号线 110 输出的信号。在信号线 110 与第二保持电容器 213 之间的电气路径中提供包括第二 NMOS 晶体管 211n 和第二 PMOS 晶体管 211p 的第二 CMOS 开关。被提供以脉冲 PTN 的第三控制线电气连接到各列中每个第二 CMOS 开关的第二 NMOS 晶体管 211n 的栅极。被提供以脉冲 PTN_b 的第四控制线电气连接到各列中每个第二 CMOS 开关的第二 PMOS 晶体管 211p 的栅极。

[0028] 图 3 是示出图 1 和图 2 中所示的固态成像设备的操作例子的时序图。将参考图 3 描述固态成像设备的操作。此后假设每一个晶体管被高电平脉冲激活。在时间 t1，被提供到选择晶体管 205 的栅极的选择信号 PSEL 上升到高电平。这使得选择晶体管 205 导通，并激活放大器晶体管 203。在这种状态中，复位信号 PRES 处于高电平，复位晶体管 204 被导通，并且 FD 217 被复位电位 SVDD 复位。在时间 t2，箝位脉冲 PCOR 上升到高电平，这使得箝位开关 209 导通，并且反相放大器 207 起到单位增益缓冲器的作用，并输出 VCOR 的电位。在时间 t3，被提供给复位晶体管 204 的栅极的复位信号 PRES 下降到低电平，这关断复位晶体管 204，使 FD 217 的电位浮动，并且列信号线 110 的参考电位 VN 被决定。在时间 t4，箝位脉冲 PCOR 下降到低电平，这关断箝位开关 209，并且列信号线 110 的参考电位 VN 被箝位。

在时间 t5, PTN 脉冲上升到高电平并且 PTN_b 脉冲下降到低电平, 这导通信号保持单元 105 的开关 211n 和 211p, 并且开始把叠加了反相放大器 207 的偏置电压的 VCOR 电压的值写入保持电容器 213。在时间 t6, PTN 脉冲下降到低电平, 并且 PTN_b 上升到高电平, 这关断开关 211n 和 211p, 并且写入结束。在时间 t7, 被提供到像素 101 的转移晶体管 202 的栅极的转移脉冲 PTX 上升到高电平, 这导通转移晶体管 202, 并且来自光电二极管 201 的信号电荷被转移到 FD 217。在时间 t8, 转移脉冲 PTX 下降到低电平, 这关断转移晶体管 202, 此时转移已经完成。然后在时间 t9, PTS 脉冲上升到高电平并且 PTS_b 脉冲下降到低电平, 这导通信号保持单元 105 的开关 212n 和 212p, 并且信号被写入保持电容器 214 中。

[0029] 响应于转移脉冲 PTX 上升到高电平, 列信号线 110 的电位从 VN 改变到 VS。当信号电荷是电子时, $VS \leq VN$ 。被放大的信号通过信号保持单元 105 的开关 212n 和 212p 被写入保持电容器 214。在时间 t10, PTS 脉冲下降到低电平, 并且开关 212n 被关断, 然后在时间 t11, PTS_b 脉冲被升高到高电平, 并且开关 212p 被关断, 并且写入结束。即, 脉冲 PTS 和脉冲 PTS_b 在不同的定时被提供, 以使开关 212n 和开关 212p 在不同的定时被关断。具体来说, 控制单元 106 控制脉冲 PTS、PTS_b、PTN 和 PTN_b。

[0030] 然后在时间 t12, 复位信号 PRES 上升到高电平, 这导通像素 101 中的复位晶体管 204, 并且 FD 217 被复位。同时, 选择信号 PSEL 下降到低电平, 这关断选择晶体管 205。因此, 行选择被解除选择。然后在时间 t13, 从水平扫描电路 108 提供的 PH 脉冲导通列选择开关 215 和 216, 并且输出放大器 109 计算 N 输出和 S 输出之间的差, 并输出图像信号。该过程在时间 t14 结束, 此后, 信号从列被输出以便与 PH 脉冲同步。

[0031] 现在将阐明该实施例的优点。在入射到使用 CMOS 开关作为信号保持电容器 214 的开关 212n 和 212p 的结构上的强光源的任一侧上出现白色或者黑色条带的机制将被描述。信号放大器单元 104 的输出电位改变了构成 CMOS 开关的 NMOS 晶体管 212n 和 PMOS 晶体管 212p 的栅极电容的现象导致了这个问题。

[0032] 图 4A 示出了构成 CMOS 开关的 NMOS 晶体管 212n 的示意图。其源极连接到信号保持电容器 214, 并且漏极连接到信号放大器单元 104 的输出。当信号放大器单元 104 的输出和信号保持电容器 214 和 NMOS 晶体管 212n 的栅极电位变为 VDD (电源电位) 时, 在 NMOS 晶体管 212n 中不产生沟道, 所以不产生沟道电容, 这使 NMOS 晶体管 212n 的栅极电容降低。相反, 如图 4B 中所示, 当信号放大器单元 104 的输出和信号保持电容器 214 的电位是例如 1.5V, 而 NMOS 晶体管 212n 的栅极电位是 5V 时, 产生了沟道。于是, 产生沟道电容, 并且栅极电容增加。PMOS 晶体管 212p 表现出与 NMOS 晶体管 212n 相反的特征。当强光光源入射到成像平面的一部分上时, 与点光源入射到其上的像素 101 相对应的信号放大器单元 104 的输出电位上升到 VDD。这减小了信号保持电容器 214 的 CMOS 开关的 NMOS 晶体管 212n 的栅极电容, 并且增大了 PMOS 晶体管 212p 的栅极电容。

[0033] 图 5 示出了按行设置的运算放大器 301、CMOS 开关 302 和信号保持电容器 303 的示意图。运算放大器 301 对应于信号放大器单元 104。实际上它们被设置在几千列中, 而不仅限于三列。运算放大器 301 通过 CMOS 开关 302 连接到信号保持电容器 303。还设置了缓冲器 304, 用于驱动 CMOS 开关 302 的 NMOS 晶体管和 PMOS 晶体管的栅极。当点光源入射在屏幕中心上从而使中央运算放大器 301 的输出饱和时, 栅极电容减小, 因为在构成 CMOS 开关 302 的 NMOS 晶体管的栅极下方未产生沟道。由于用于驱动 NMOS 晶体管的缓冲器 304 的能

力相应减小,所以晶体管比处于距缓冲器 304 的较远侧的暗周期期间被更快地关断。由于在距缓冲器 304 的较近侧,关断速度取决于缓冲器 304 的驱动力,所以沟道电容不影响关断速度太多。相反,由于用于驱动 PMOS 晶体管的缓冲器 304 的驱动能力增加了,关断速度变得比处于距缓冲器 304 的较远侧的暗周期期间更慢。由于在距缓冲器 304 的较近侧,关断速度取决于缓冲器 304 的驱动力,所以沟道电容不影响关断速度太多。

[0034] 由于上述现象,靠近缓冲器 304 的信号保持电容器 303 的 CMOS 开关 302 的 NMOS 晶体管和 PMOS 晶体管几乎同时被关断。在这种情况下,位置较远离缓冲器 304 的信号保持电容器 303 的 CMOS 开关 302 的 NMOS 晶体管和 PMOS 晶体管中的哪一个被首先关断取决于被排列在到这些晶体管的路径中的运算放大器 301 的输出。用于 CMOS 开关 302 的缓冲器 304 被设置在信号保持电容器 303 的布局两侧上的结构是可能的,但是其并不实际,因为很难使两侧上的两个缓冲器 304 在相同的定时导通 / 关断。NMOS 晶体管响应于从 VDD (电源电位) 改变到 GND (参考电位) 的栅极电位而被关断。相反, PMOS 晶体管响应于栅极电位从 GND 改变到 VDD 而被关断。在 CMOS 开关 302 导通时,保持在信号保持电容器 303 中的电位被固定到运算放大器 301 的输出电位。在 CMOS 开关 302 的 NMOS 晶体管和 PMOS 晶体管其中之一被关断以后,保持在信号保持电容器 303 中的电位根据栅极电位变化通过电容耦合被改变。具体来说,当 NMOS 晶体管在 PMOS 晶体管之后被关断时,信号保持电容器 303 的电位改变到 GND 侧,而当 PMOS 晶体管在 NMOS 晶体管之后被关断时,信号保持电容器 303 的电位改变到 VDD 侧。

[0035] 如上所述,当强光点光源入射在使用 CMOS 开关作为信号保持电容器 303 的开关 302 的结构中的成像平面的一部分上时,在距驱动 CMOS 开关 302 的栅极的缓冲器 304 较远侧出现白色或者黑色的条带。当 NMOS 晶体管在 PMOS 晶体管之后被关断时,出现黑色条带,因为信号保持电容器 303 的电位被改变到 GND 侧,并且信号减小。当 PMOS 晶体管在 NMOS 晶体管之后被关断时,出现白色条带,因为信号保持电容器 303 的电位被改变到 VDD 侧,并且信号增大。尽管这里在使用缓冲器的情况下描述了所述现象,但在不使用缓冲器的情况下也可能出现相同的现象。

[0036] 当在图 3 中从时间 t_{10} 到时间 t_{11} 信号写入结束时,反相放大器 207 的输出饱和;因此,在 NMOS 晶体管 212n 中不产生沟道以便把 VDD 电位写入保持电容器 214 中,并且栅极电容减小。相反,在 PMOS 晶体管 212p 中产生沟道,并且栅极电容增加。由于驱动 NMOS 晶体管 212n 的缓冲器 304 的驱动能力降低,所以 NMOS 晶体管 212n 在距缓冲器 304 较远侧更快地被关断。相反, PMOS 晶体管 212p 在距缓冲器 304 较远侧被较慢地关断。由于上面提到的原因,根据开关 212n (NMOS 晶体管) 和开关 212p (PMOS 晶体管) 中的哪一个被首先关断,在距驱动 CMOS 开关 302 的栅极的缓冲器 304 较远侧出现白色或者黑色条带。

[0037] 关于 NMOS 晶体管 212n 和 PMOS 晶体管 212p 中的哪一个首先被关断的不确定性是条带出现的原因。该实施例使用例如图 6 中所示的电路,以便控制单元 106 交错配置用于关断晶体管的定时脉冲 PTS、PTS_b、PTN、PTN_b。该实施例确保 PTN 和 PTN_b 中的任何一个以及 PTS 和 PTS_b 中的任何一个在另一个之前关断晶体管。在图 6 中,附图标记 401 代表来自固态成像设备的外部作为第一到第四电极焊盘的脉冲输入单元。附图标记 402 代表信号保持单元 105 的第一到第四控制线。脉冲 PTS 通过电气连接到第一电极焊盘 401 的第一控制线 402 被提供到 NMOS 晶体管 212n 的栅极。脉冲 PTS_b 通过电气连接到第二电极焊

盘 401 的第二控制线 402 被提供到 PMOS 晶体管 212p 的栅极。脉冲 PTN 通过电气连接到第三电极焊盘 401 的第三控制线 402 被提供到 NMOS 晶体管 211n 的栅极。脉冲 PTN_b 通过电气连接到第四电极焊盘 401 的第四控制线 402 被提供到 PMOS 晶体管 211p 的栅极。在 PTS 和 PTS_b 中的 PTS 已经完全把晶体管关断以后,晶体管被 PTS_b 关断。优选地是,在每一列中的所有多个第一 CMOS 开关中,第一 NMOS 晶体管 212n 在第一 PMOS 晶体管 212p 之前被关断,或者第一 PMOS 晶体管 212p 在第一 NMOS 晶体管 212n 之前被关断。

[0038] 假设强光光源在这种状态下入射到像素区域的一部分上。在反相放大器 207 的输出端产生了高电位信号,同一行中的 NMOS 晶体管 212n 的栅极电容增大,并且同一行中的 PMOS 晶体管 212p 的栅极电容减小。因此,在用于提供脉冲 PTS 的控制线中产生的寄生电容增加,而在用于提供 PTS_b 的控制线中产生的寄生电容减小。白色或者黑色条带的出现被抑制,因为外部的 PTS 和 PTS_b 被设置了足够的时间差,使得即使脉冲 PTS 延迟也不在整个成像区域上改变 PTS 和 PTS_b 关断晶体管的定时。

[0039] 一般地,由于对封装引脚数量的限制,具有外部单元的固态成像设备的输入和输出引脚的数量被尽可能减少。通常,PTS 和 PTN 从固态成像设备的外部被输入,在控制单元 106 处被反相器反相以便在固态成像设备中产生 PTS_b 脉冲和 PTN_b 脉冲。本实施例适于使用于关断 PTS、PTS_b、PTN 和 PTN_b 晶体管的定时脉冲从固态成像设备的外部输入,以便能够随意控制关断晶体管的定时。

[0040] 利用上述结构,本实施例通过在时间 t₆ 把脉冲 PTN 减小到低电平来关断 NMOS 晶体管 212n,如图 7 中所示。本实施例也能够通过在不同于时间 t₆ 的时间 t₇ 把脉冲 PTN_b 增加到高电平来关断 PMOS 晶体管 212p。本实施例交错配置所述定时以确保在脉冲 PTS_b 关断 PMOS 晶体管 212p 之前脉冲 PTS 关断 NMOS 晶体管 212n。本实施例也交错配置所述定时以确保在脉冲 PTN_b 关断 PMOS 晶体管 211p 之前脉冲 PTN 关断 NMOS 晶体管 211n。这个实施例更为优选,因为其能够准确地获得 S 信号和 N 信号之间的差。即,在该实施例中,脉冲 PTN 和脉冲 PTN_b 在不同的定时被提供,使得 NMOS 晶体管 211n 在与 PMOS 晶体管 211p 被关断的定时不同的定时关断。

[0041] (第二实施例)

[0042] 示出根据本发明第二实施例的固态成像设备的框图与图 1 相同。第二实施例与第一实施例的不同之处在于控制单元 106。其他的部件和第一实施例中的那些相同。图 8 是示出第二实施例的控制单元 106 的详细结构例子的图。在图 8 中,附图标记 601 代表来自固态成像设备外部的脉冲输入单元,例如包括输入焊盘。在这个例子中,提供了用于形成 PTS 和 PTS_b 的输入焊盘的导电图案以及用于形成 PTN 和 PTN_b 的输入焊盘的导电图案。作为又一种结构,可以提供用于形成四个输入焊盘的相互独立的四个导电图案,即针对 PTS、PTS_b、PTN 和 PTN_b 中的每一个形成一个输入焊盘。附图标记 602 代表电气连接到信号保持单元 105 的第一到第四控制线中的每一个的节点。通过使 PTS 和 PTN 定时脉冲从固态成像设备的外部输入,并通过使用具有电阻器和电容的延迟电路,本实施例交错配置定时以确保 PTS 在 PTS_b 之前关断晶体管。现在,将讨论从输入焊盘到达被 PTS 或者 PTS_b 驱动的晶体管中最靠近输入焊盘的晶体管的电气路径中的延迟量。PTS 的电气路径出现的延迟量不同于 PTS_b 的电气路径出现的延迟量。具体来说,PTS_b 的电气路径出现的延迟量大于 PTS 的电气路径出现的延迟量。这对于 PTN 也成立。通过调整延迟电路的电阻器和电容

的大小,能够在整个成像区域上使得 PTS 关断晶体管的定时总是在 PTS_b 关断晶体管的定时之前。然后,可以使 PTN 关断晶体管的定时总是在 PTN_b 关断晶体管的定时之前。利用这种设计,本实施例能够抑制在强光光源的两侧上出现白色或者黑色条带。象第一实施例那样把图 8 中所示电路只应用于 PTS 和 PTS_b 也是有效的。通过简单地改变连线电阻而不提供延迟电路可以改变延迟量。

[0043] 如上所述,延迟电路延迟了输入电极焊盘 601 中的信号。用于传送脉冲 PTS 的第一控制线 602 和用于传送脉冲 PTS_b 的第二控制线 602 其中之一通过延迟电路被连接到脉冲 PTS 的电极焊盘 601。即,使得两个脉冲的延迟量彼此不同。脉冲 PTS 的第一控制线 602 和脉冲 PTS_b 的第二控制线 602 中剩下的一个被连接到电极焊盘 601 而不通过延迟电路。脉冲 PTN 的第三控制线 602 和脉冲 PTN_b 的第四控制线 602 其中之一通过延迟电路被连接到脉冲 PTN 的电极焊盘 601。脉冲 PTN 的第三控制线 602 和脉冲 PTN_b 的第四控制线 602 中剩下的一个被连接到脉冲 PTN 的电极焊盘 601 而不通过延迟电路。

[0044] (第三实施例)

[0045] 图 9 是示出根据本发明第三实施例的固态成像设备的结构例子的框图。除了省略了信号放大器单元 104 以外,第三实施例和第一实施例相同。

[0046] 图 10 是示出像素 101 和信号保持单元 105 的详细结构例子的图。除了省略了信号放大器单元 104 以外,该图与第一实施例的相同。由于该实施例的电路在信号处理电路中不具有反相放大器,所以写入信号保持单元 105 的信号极性与第一实施例的相反。因此,在这个实施例中,点光源所致的 NMOS 晶体管和 PMOS 晶体管的栅极电容的量与第一实施例中的那些相反。

[0047] 将参考图 11 描述固态成像设备的操作。输入到选择晶体管 205 的栅极的选择信号 PSEL 在时间 t1 上升到高电平,这把选择晶体管 205 导通并激活了放大器晶体管 203。在这种状态下,复位信号 PRES 处于高电平,复位晶体管 204 导通,并且 FD 217 被复位电压 SVDD 复位。输入到复位晶体管 204 的栅极的复位信号 PRES 在时间 t2 下降到低电平,这把复位晶体管 204 关断,并且 FD 217 的电位被固定到黑信号电平,并且列信号线 110 的参考电位 VN 被决定。在时间 t3, PTS 脉冲上升到高电平,并且 PTN_b 脉冲下降到低电平,这把信号保持单元 105 的开关 211n 和 211p 导通,并且开始把列信号线 110 的参考电位 VN 写入保持电容器 213 中。在时间 t4, PTN 脉冲下降到低电平并且 PTN_b 脉冲上升到高电平,这把开关 211n 和 211p 关断,并且写入结束。输入到像素 101 的转移晶体管 202 的栅极的转移脉冲 PTX 在时间 t5 上升到高电平,这把转移晶体管 202 导通,并且光电二极管 201 的信号电荷被转移到 FD 217。在时间 t6,转移脉冲 PTX 下降到低电平,这关断转移晶体管 202,并且,转移结束。然后在时间 t7, PTS 脉冲上升到高电平并且 PTS_b 下降到低电平,这导通信号保持单元 105 的开关 212n 和 212p,并且信号被写入保持电容器 214 中。

[0048] 响应于转移脉冲 PTX 已上升到高电平,列信号线 110 的电位从 VN 改变到 VS。当信号电荷是电子时, $VS < VN$ 。光学信号电压 VS 通过信号保持单元 105 的开关 212n 和 212p 被写入保持电容器 214。PTS_b 脉冲在时间 t8 下降到低电平,这把开关 212p 关断,然后 PTS 脉冲在时间 t9 上升到高电平,这把开关 212n 关断,并且写入结束。

[0049] 然后在时间 t10,复位信号 PRES 上升到高电平,这导通像素 101 的复位晶体管 204,并且 FD 217 被复位。同时,选择信号 PSEL 下降到低电平,其关断选择晶体管 205。响

应于此,行选择被解除选择。然后在时间 t_{11} ,从水平扫描电路 108 提供的 PH 脉冲导通列选择开关 215 和 216,并且输出放大器 109 计算 N 输出和 S 输出之间的差,并输出图像信号。该过程在时间 t_{12} 结束,此后,信号从列被输出以便与 PH 脉冲同步。

[0050] 利用上面的操作,如果当从时间 t_8 到时间 t_9 信号的写入结束时像素的输出饱和,则列信号线 110 的电位降低到接近 GND 电平,并且该电位被写入保持电容器 214。当接近 GND 的电位被写入保持电容器 214 时,在 PMOS 晶体管 212p 中不产生沟道,所以不产生沟道电容,这降低了栅极电容。相反,在 NMOS 晶体管 212n 中产生了沟道,这增大了栅极电容。由于用于驱动 PMOS 晶体管 212p 的缓冲器的驱动能力降低,所以 PMOS 晶体管 212p 在距缓冲器 304 较远侧更快地被关断。相反, NMOS 晶体管 212n 在距缓冲器 304 较远侧被更快地关断。

[0051] 在该实施例中,与图 6 中所示的第一实施例相同的电路被用于控制单元 106,使得用于关断 PTS、PTS_b、PTN 和 PTN_b 晶体管的定时脉冲可以从固态成像设备的外部被输入。和第一实施例一样,由于在这个实施例中,在 PTS_b 晶体管被完全关断以后从外部接收到用于关断 PTS 晶体管的脉冲,列信号线 110 的信号电位总是经受用于关断 PTS 晶体管的脉冲造成的电位变化。这抑制了在光点的任意一侧出现白色或者黑色条带。

[0052] 如图 12 中所示,由于本实施例通过在时间 t_4 关断 PTN_b 晶体管并且在时间 t_5 关断 PTN 晶体管也抑制了 N 信号的电位变化,所以它能够比第一和第二实施例更准确地获取 S 信号和 N 信号之间的差。和第二实施例一样,通过使用延迟电路,可以为 PTN 和 PTN_b 或者 PTS 和 PTS_b 形成定时。如果它被应用于第三实施例,则只需要 PTN 和 PTN_b 外部的输入焊盘被标准化,并且为 PTN 的供应线提供延迟电路。而且,只需要 PTS 和 PTS_b 外部的输入焊盘被标准化,并且在 PTS 的供应线中提供延迟电路。

[0053] (第四实施例)

[0054] 图 13 是示出根据本发明第四实施例的固态成像设备的结构例子。第四实施例与第一实施例在信号保持部分 1305 的结构方面不同。具体来说,信号保持部分 1305 被形成包括第一 CMOS 开关 1311A、第二 CMOS 开关 1312A、第三 CMOS 开关 1311B 和第四 CMOS 开关 1312B。和第一实施例类似,光学信号的路径和噪声信号的路径被分离。既然两个路径在基础结构方面是相同的,所以参考用于信号的路径作为例子来对其进行说明。

[0055] 被信号放大器单元 104 放大的信号通过第二 CMOS 开关 1312A 转移,并被保持在电容器 1314A 中。与此同时,信号被放大器 1316 放大,通过第四 CMOS 开关 1312B 转移,并被保持在电容器 1314B 中。此后,和第一实施例类似,根据来自水平扫描电路的脉冲连续地输出信号。

[0056] 还是在本实施例中,通过设置形成第一到第四 CMOS 开关的 NMOS 晶体管和 PMOS 晶体管使得 NMOS 晶体管在与 PMOS 晶体管被关断的定时不同的定时被关断,能够提供与第一实施例相同的优点。至少,在每一个 CMOS 开关中, NMOS 晶体管在与 PMOS 晶体管被关断的定时不同的定时被关断。更期望的是,所有的 NMOS 晶体管都在与所有的 PMOS 晶体管被关断的定时不同的定时被关断。

[0057] 根据本实施例,由于在通过电容器 1313B 和 1314B 保持信号的状态下,来自下一行的信号可以被电容器 1313A 和 1314A 保持,所以除了第一实施例的优点以外,还能够提供高速信号读出的优点。

[0058] 上述实施例仅仅旨在指出用于实施本发明的特定例子,因此,本发明的技术范围不应被理解为限于这些实施例。即,本发明可以以变体实施而不偏离其技术构思或者主要特征。上述实施例的任意组合是可能的。

[0059] 虽然已经参考示范性实施例描述了本发明,但是要理解,本发明不局限于所公开的示范性实施例。下列权利要求的范围应符合最宽泛的解释以便包括所有这些修改和等同结构及功能。

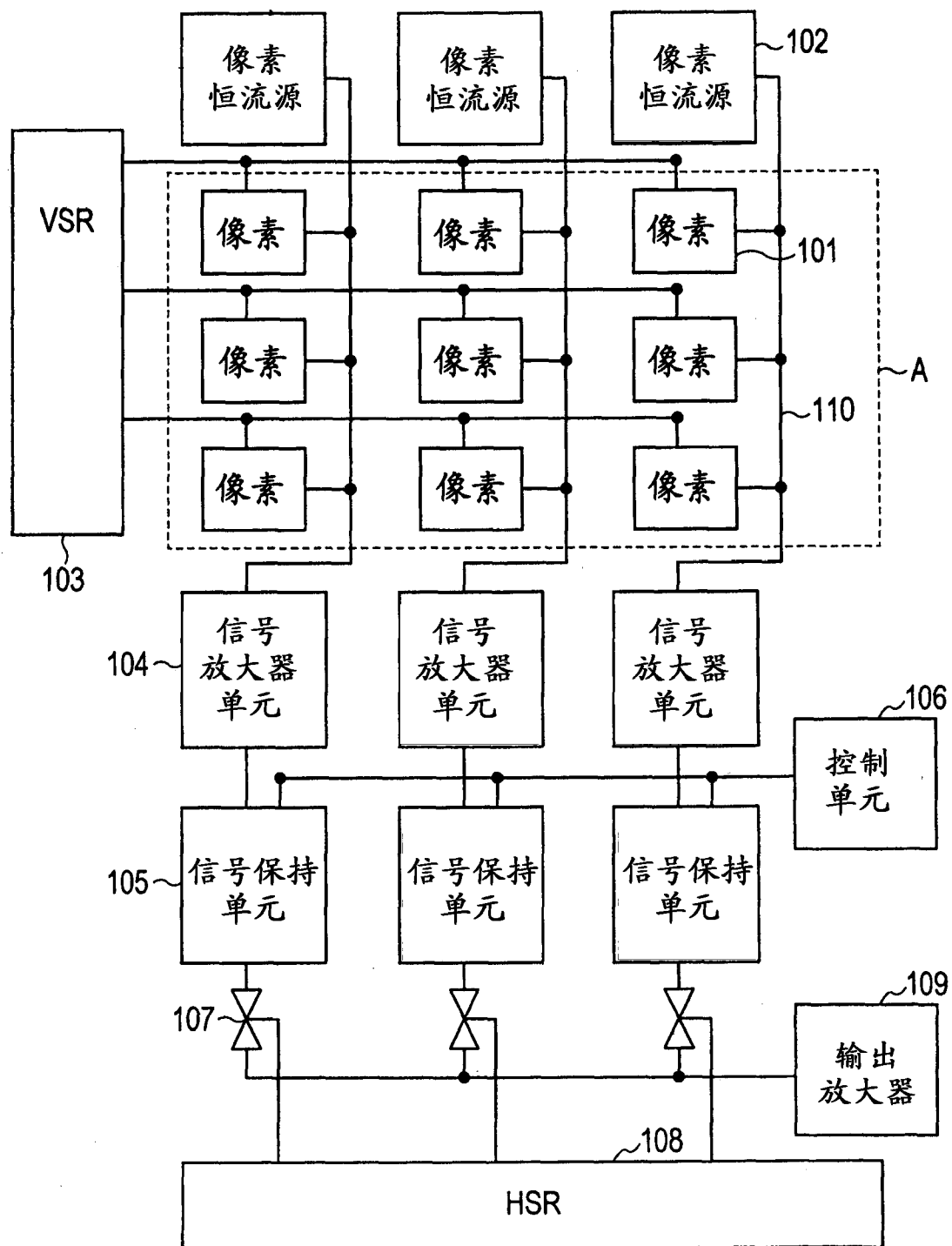


图 1

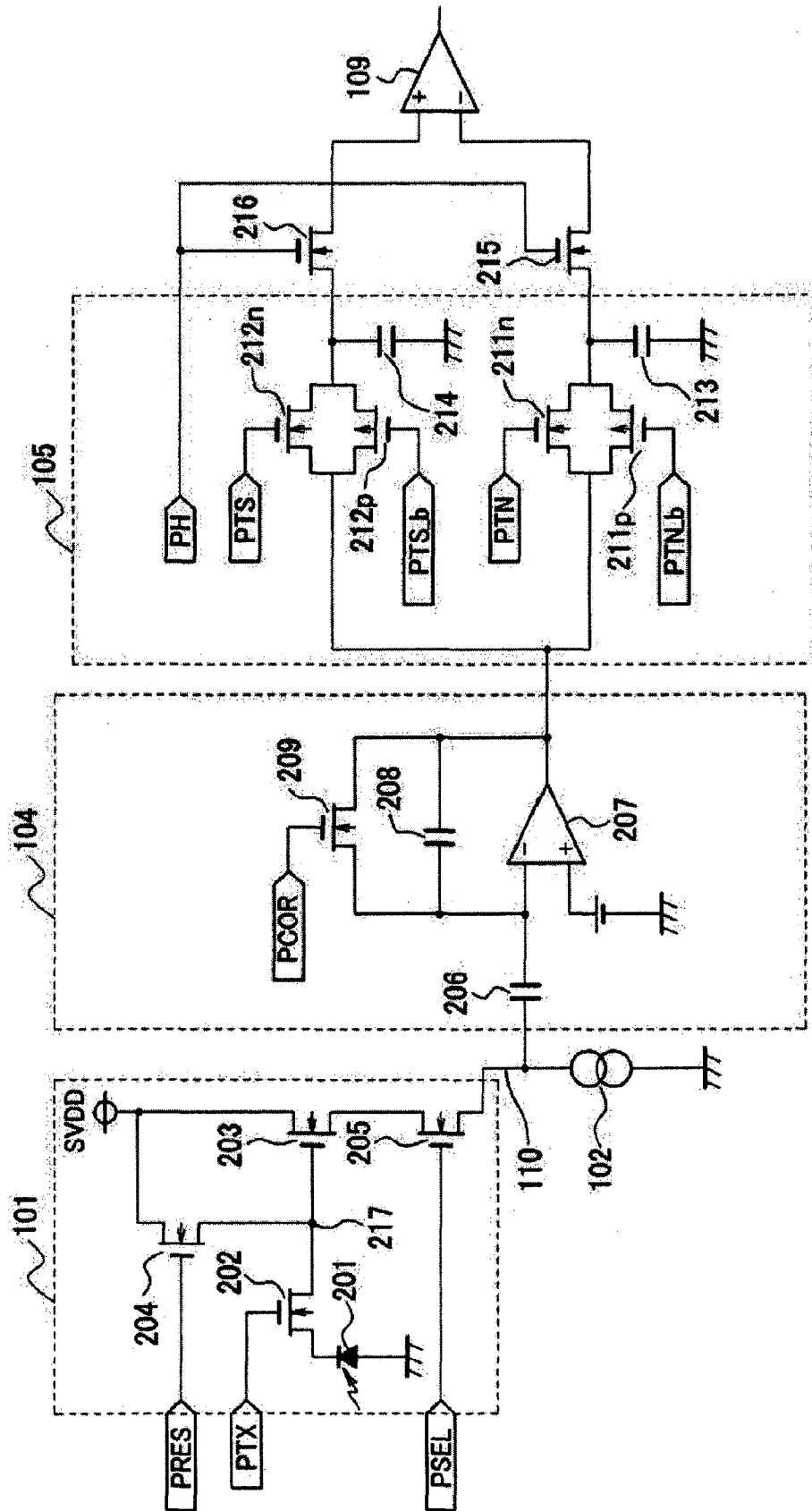


图 2

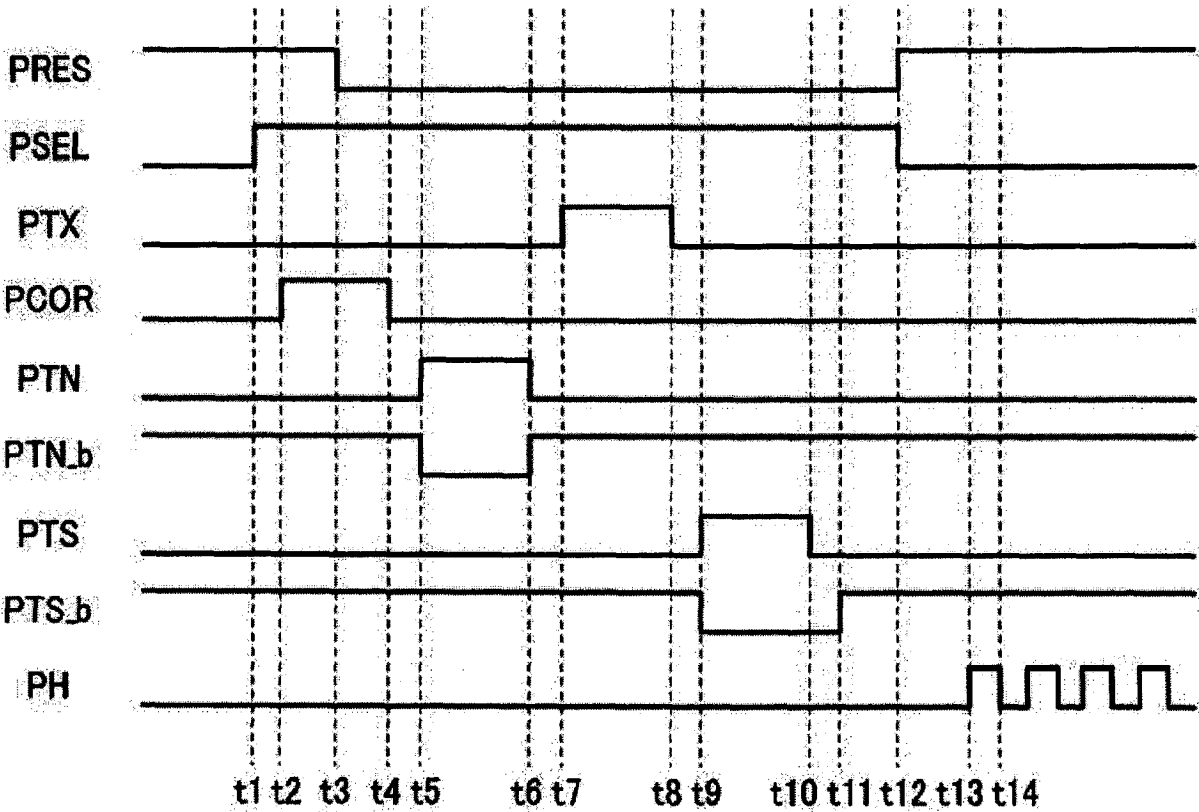


图 3

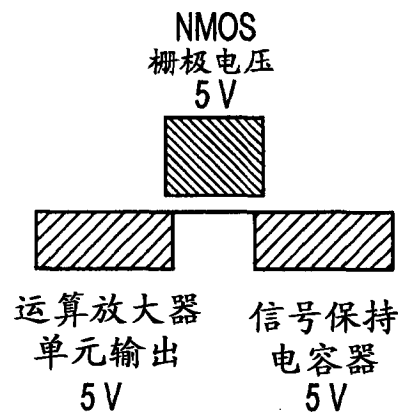


图 4A

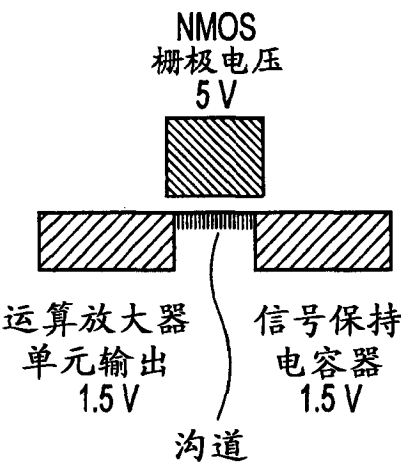


图 4B

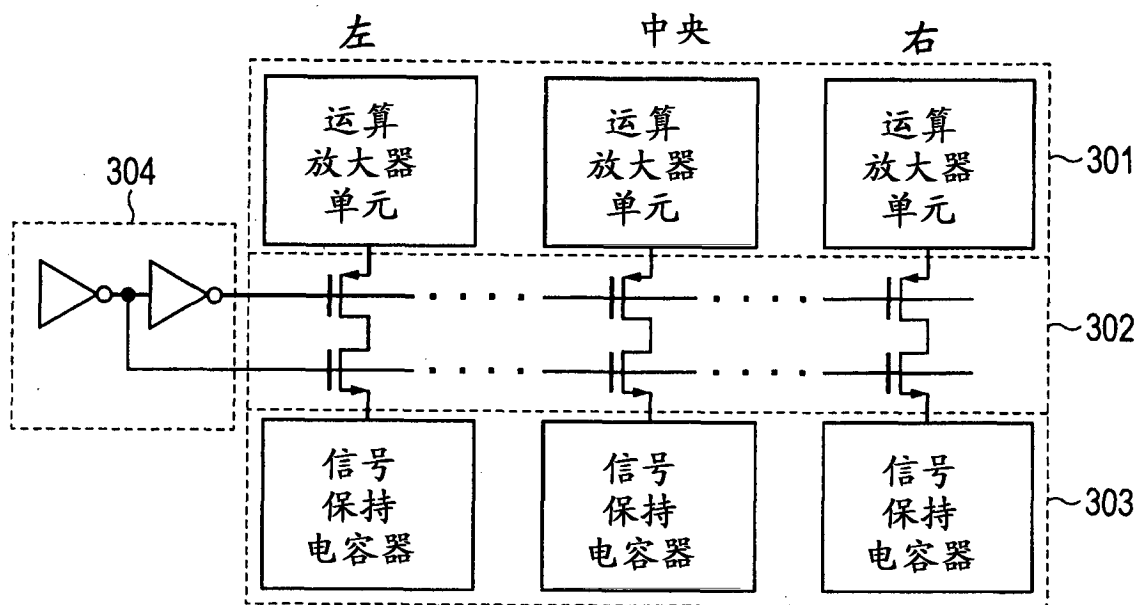


图 5

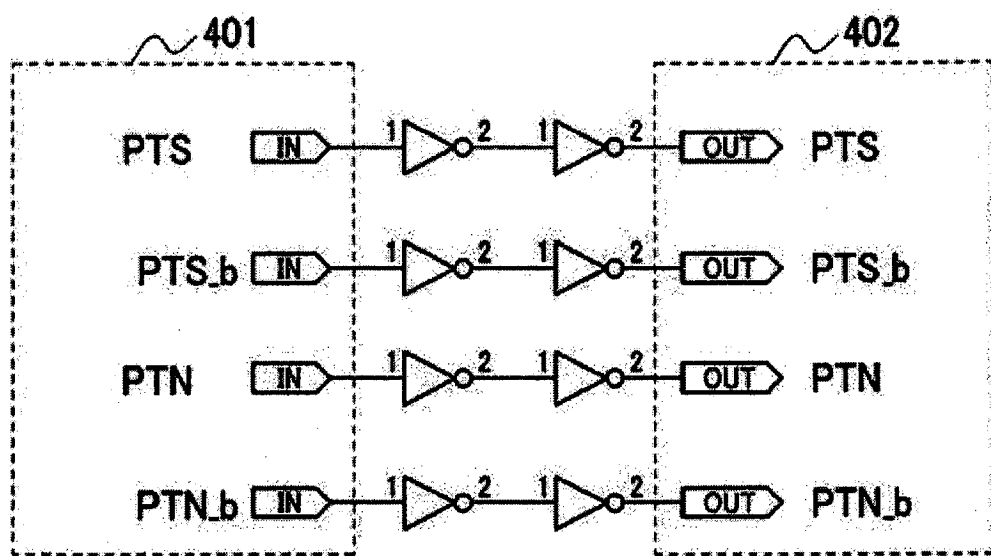


图 6

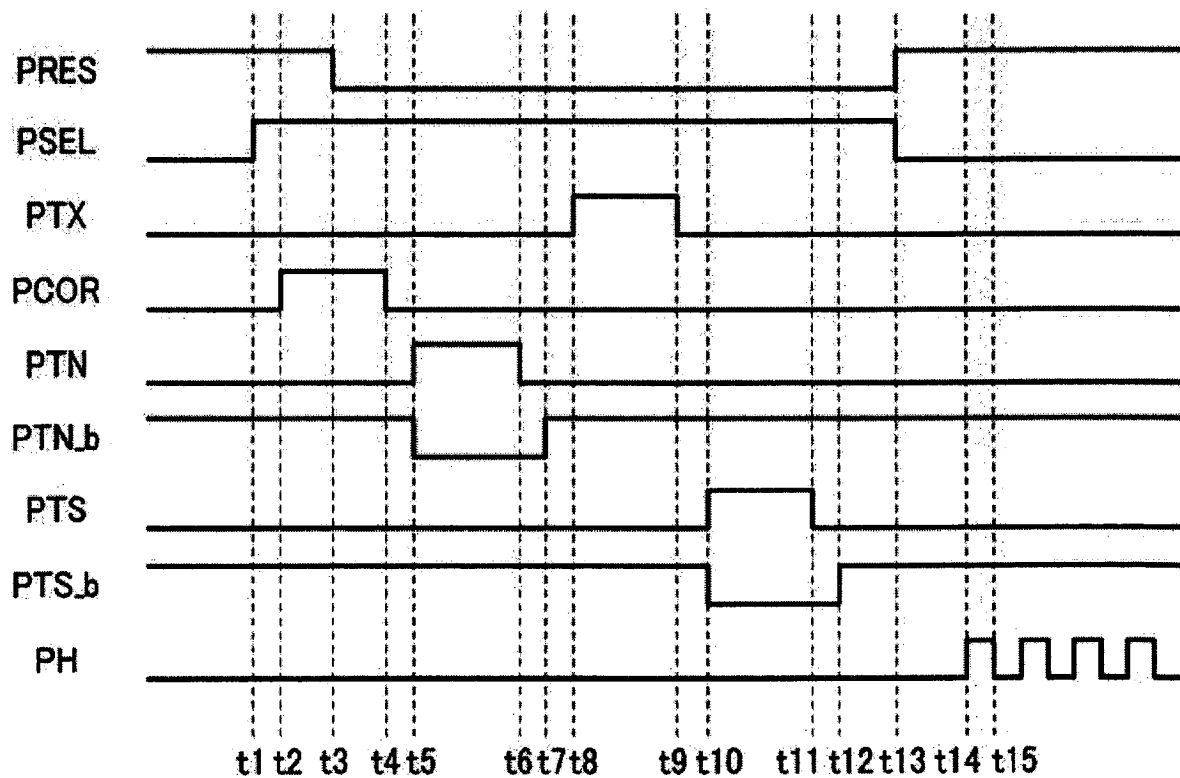


图 7

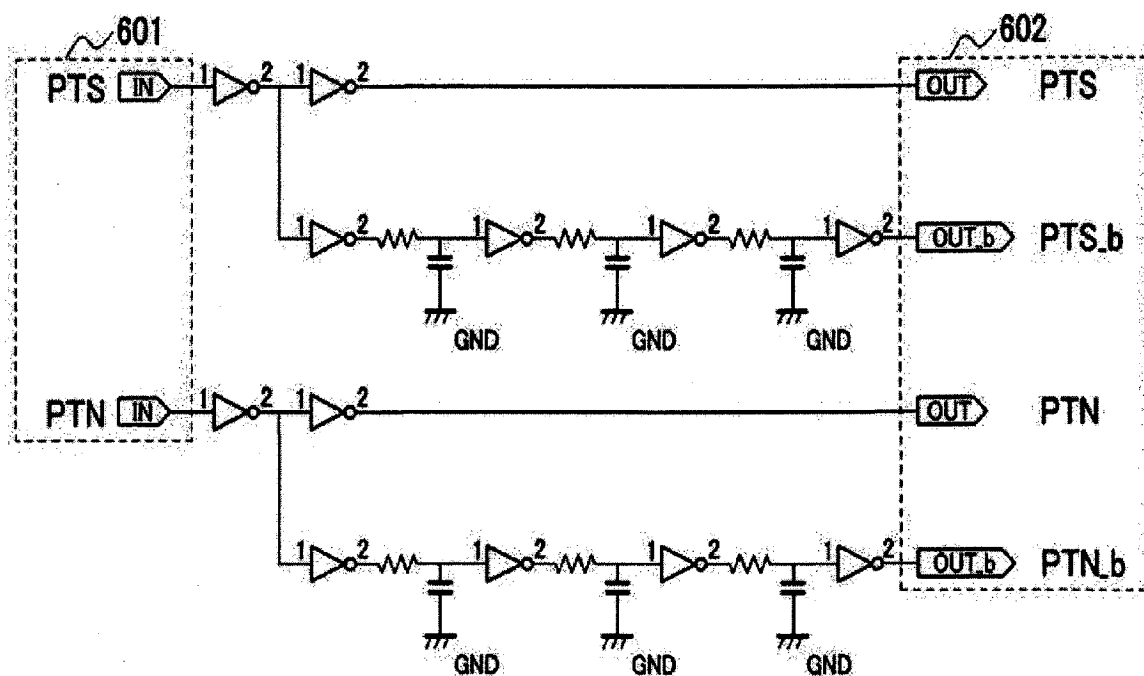


图 8

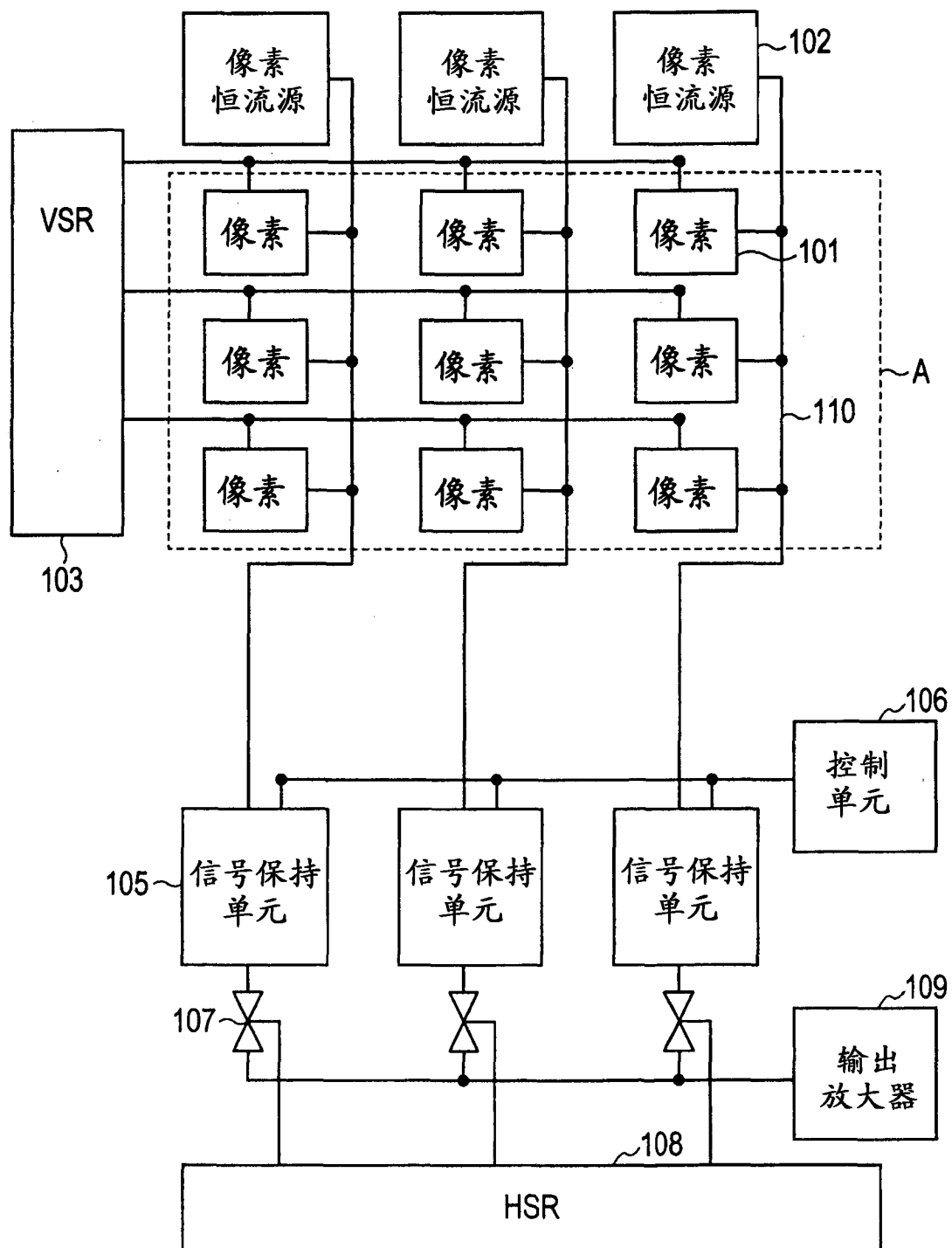


图 9

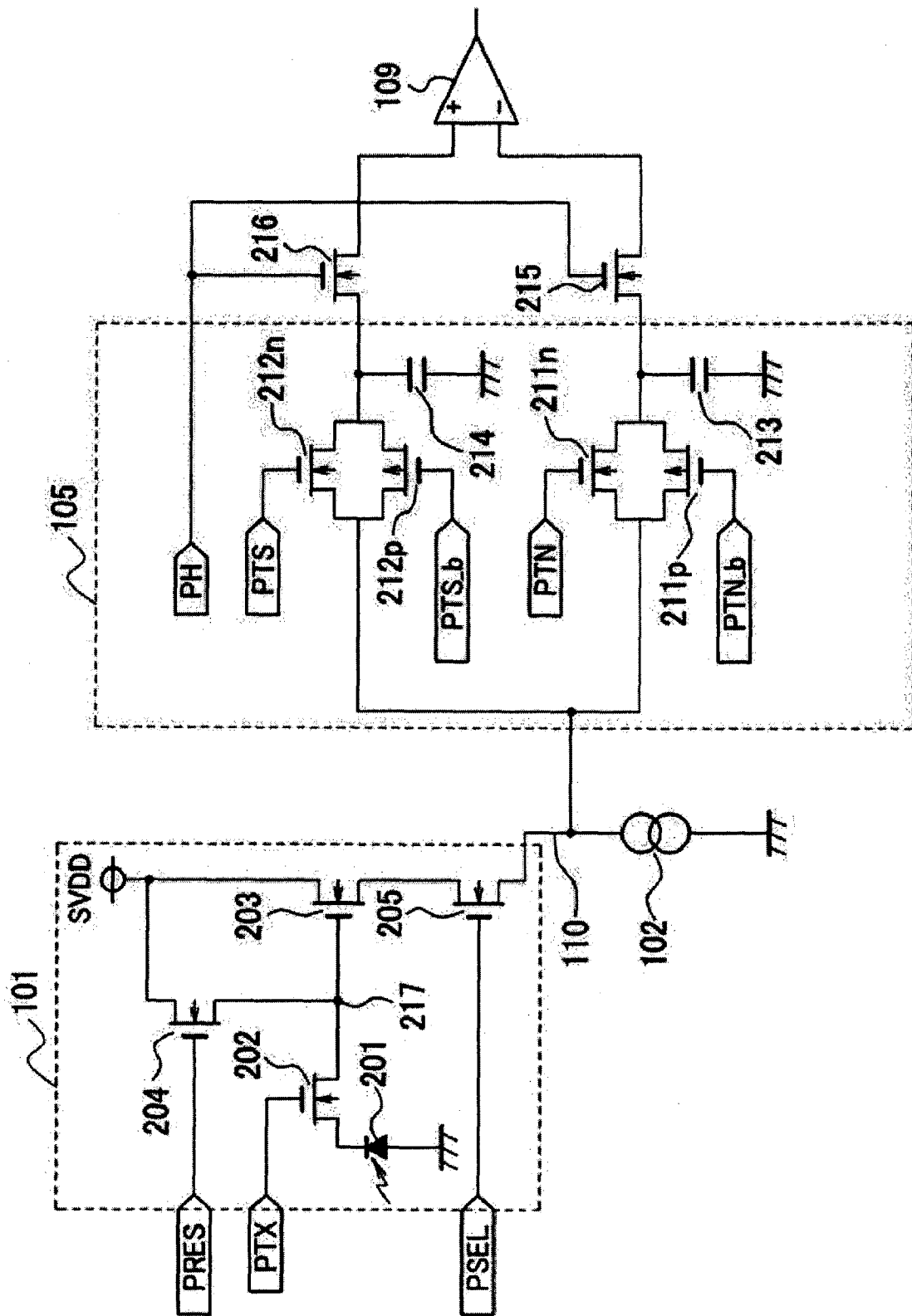


图 10

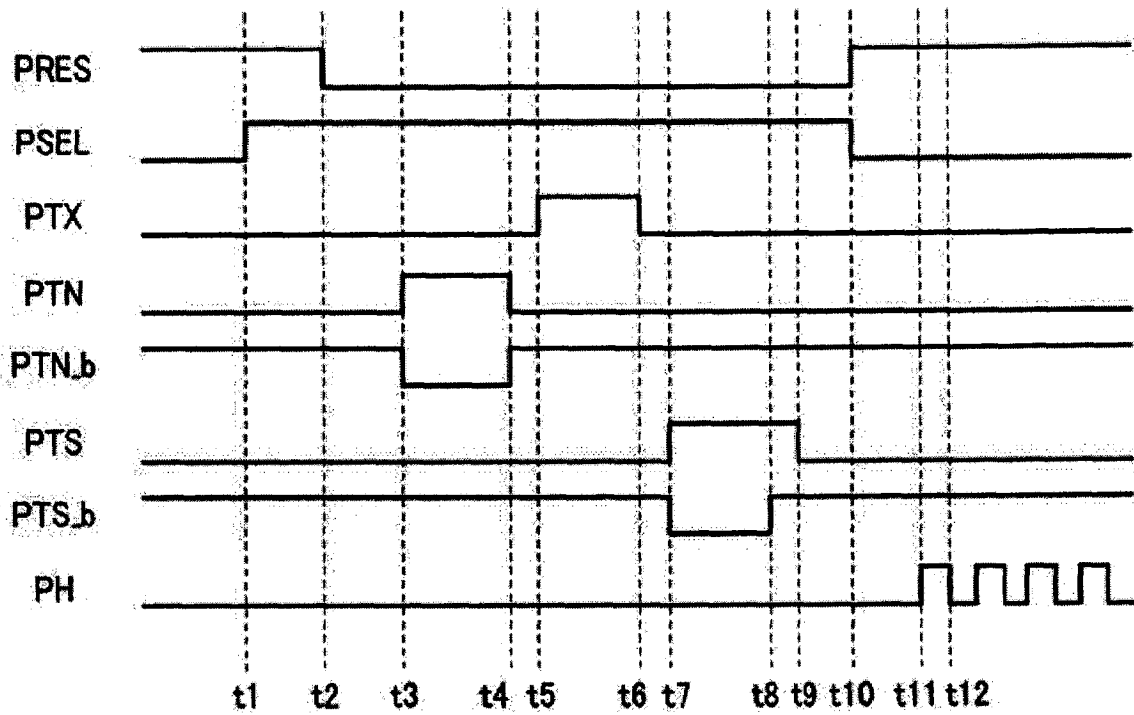


图 11

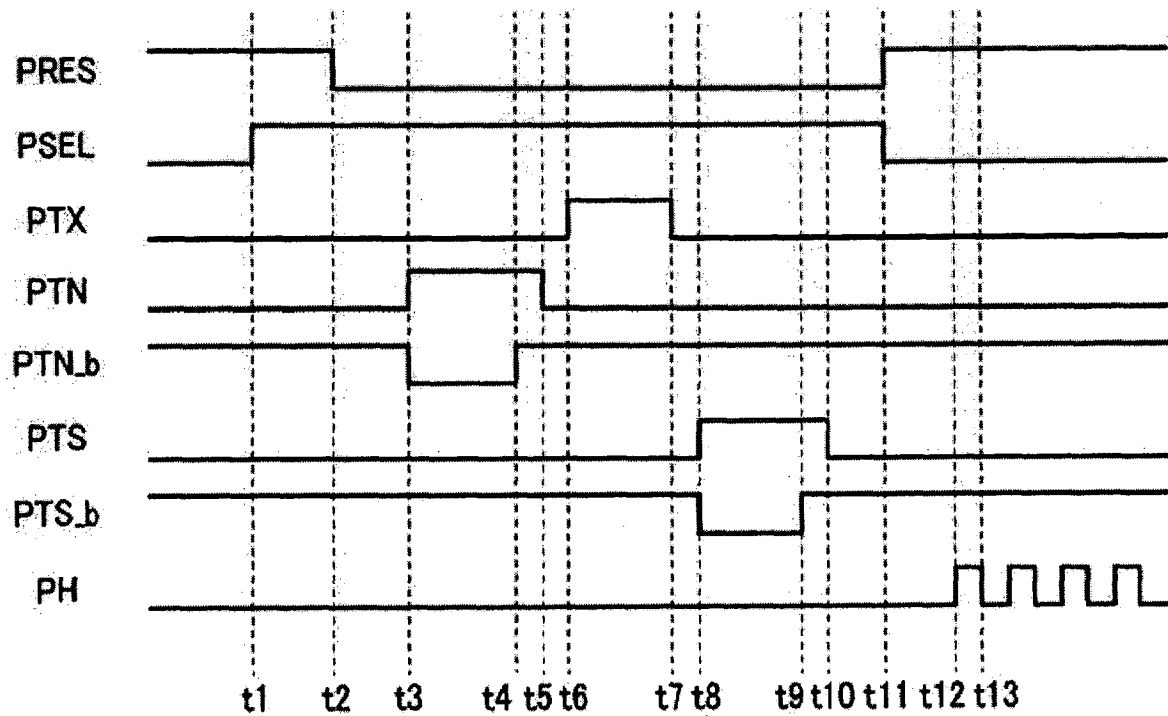


图 12

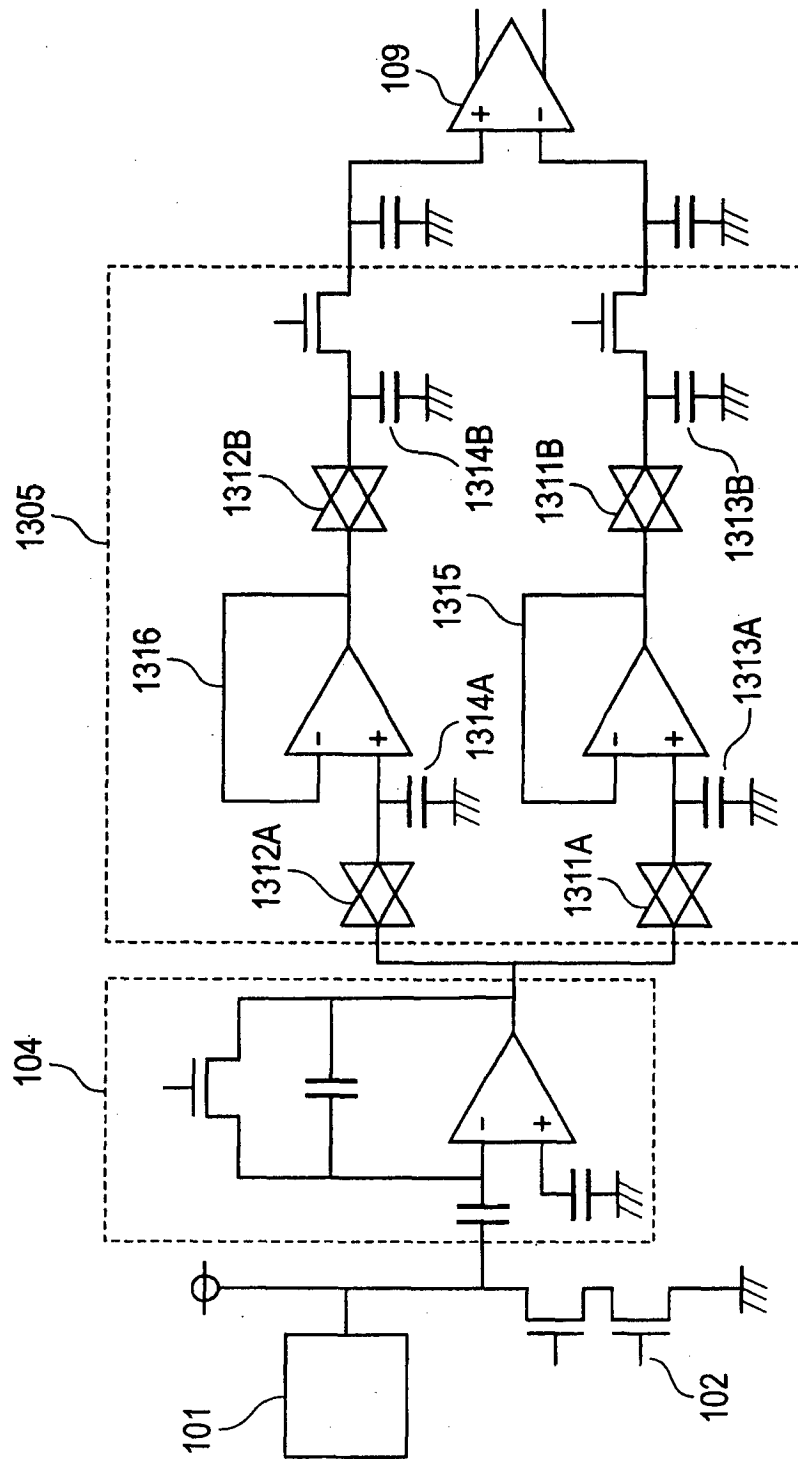


图 13