



(12) 发明专利申请

(10) 申请公布号 CN 101989617 A

(43) 申请公布日 2011. 03. 23

(21) 申请号 201010243667. 6

H01L 29/10 (2006. 01)

(22) 申请日 2010. 07. 30

H01L 21/336 (2006. 01)

(30) 优先权数据

H01L 21/20 (2006. 01)

61/230, 403 2009. 07. 31 US

12/797, 839 2010. 06. 10 US

(71) 申请人 台湾积体电路制造股份有限公司

地址 中国台湾新竹市

(72) 发明人 柯志欣 万幸仁

(74) 专利代理机构 隆天国际知识产权代理有限

公司 72003

代理人 姜燕 陈晨

(51) Int. Cl.

H01L 29/78 (2006. 01)

H01L 29/26 (2006. 01)

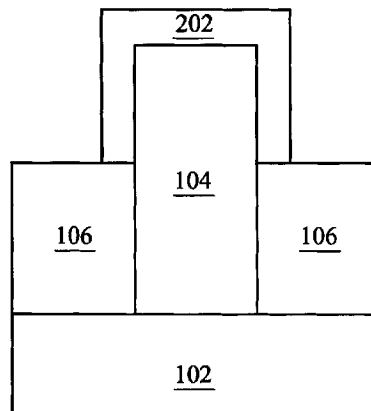
权利要求书 1 页 说明书 4 页 附图 1 页

(54) 发明名称

用于半导体晶体管的垂直鳍状结构及其制造方法

(57) 摘要

本发明提供了一种用于半导体晶体管的垂直鳍状结构及其制造方法,该鳍状结构包括:一半导体基板;一鳍型层,位于该半导体基板的顶部;以及一上盖层,覆盖该鳍型层,其中该半导体基板包括一 IV 族半导体材料,该鳍型层包括一 IV 族半导体材料。该半导体基板包括 Si、Ge、SiGe 或 SiC。该鳍型层包括 Ge、SiGe、SiC 或上述材料的组合。该上盖层包括 GaAs、InGaAs、InAs、InSb、GaSb、GaN、InP 或上述材料的组合。该上盖层与该半导体基板之间具有多于 4% 的晶格不相称情形。该鳍型层可位于作为隔离邻近装置的浅沟槽隔离层之间。本发明借由采用较高晶格不匹配常数材料可造成极高迁移率的沟道。此外,可于 Ge 材质以及高 Ge 含量的 SiGe 装置内采用 III-V 族上盖层以改善栅介电物的界面。



1. 一种用于半导体晶体管的垂直鳍状结构,包括:

一半导体基板;

一鳍型层,位于该半导体基板的顶部;以及

一上盖层,覆盖该鳍型层,

其中该半导体基板包括一 IV 族半导体材料,该鳍型层包括一 IV 族半导体材料,该上盖层包括一 III-V 族半导体化合物,该鳍型层作为该半导体晶体管的沟道层,而该沟道层施加应变至该鳍型层之上以增加通过该沟道区的迁移率。

2. 如权利要求 1 所述的用于半导体晶体管的垂直鳍状结构,其中该鳍型层包括 Ge、SiGe、SiC 或上述材料的组合,该半导体基板包括 Si、Ge、SiGe 或 SiC,该上盖层包括 GaAs、InGaAs、InAs、InSb、GaSb、GaN、InP 或上述材料的组合。

3. 如权利要求 1 所述的用于半导体晶体管的垂直鳍状结构,其中该上盖层与该半导体基板之间具有多于 4% 的晶格不相称情形。

4. 如权利要求 1 所述的用于半导体晶体管的垂直鳍状结构,其中该鳍型层位于用于形成邻近装置间的隔离情形的数个浅沟槽隔离层之间。

5. 一种用于半导体晶体管的垂直鳍状结构的制造方法,包括:

提供一半导体基板,其中该半导体基板包括一 IV 族半导体材料;

沉积一鳍型层于该半导体基板的顶部上,其中该鳍型层包括了 IV 族半导体材料且作为该半导体晶体管的一沟道;以及

沉积一上盖层于该鳍型层之上,其中该上盖层包括 III-V 族半导体化合物且施加应变于该鳍型层之上以增加通过该沟道的迁移率。

6. 如权利要求 5 所述的用于半导体晶体管的垂直鳍状结构的制造方法,其中该鳍型层包括 Ge、SiGe、SiC 或上述材料的组合,该半导体基板包括 Si、Ge、SiGe 或 SiC,该上盖层包括 GaAs、InGaAs、InAs、InSb、GaSb、GaN、InP 或上述材料的组合。

7. 如权利要求 5 所述的用于半导体晶体管的垂直鳍状结构的制造方法,其中该上盖层与该半导体基板之间具有多于 4% 的晶格不相称情形。

8. 如权利要求 5 所述的用于半导体晶体管的垂直鳍状结构的制造方法,还包括:

早于沉积该鳍型层之前,沉积用于隔离邻近装置的一浅沟槽隔离层;以及

蚀刻该浅沟槽隔离层以形成用于该鳍型层的空间。

9. 一种用于半导体晶体管的垂直鳍状结构,包括:

一半导体基板;

一鳍型层,位于该半导体基板的顶部;以及

一上盖层,覆盖该鳍型层,

其中该半导体基板包括 Si、Ge、SiGe 或 SiC,该鳍型层包括 Ge、SiGe、SiC 或上述材料的组合,该上盖层包括 GaAs、InGaAs、InAs、InSb、GaSb、GaN、InP 或上述材料的组合,该上盖层与该半导体基板之间具有多于 4% 的晶格不相称情形,该鳍型层作为该半导体晶体管的沟道层,而该沟道层施加应变至该鳍型层之上以增加通过该沟道区的迁移率。

10. 如权利要求 9 所述的用于半导体晶体管的垂直鳍状结构,其中该鳍型层位于用于形成邻近装置间的隔离的数个浅沟槽隔离层之间。

用于半导体晶体管的垂直鳍状结构及其制造方法

技术领域

[0001] 本发明涉及集成电路,且尤其涉及鳍型场效应晶体管 (FinFET) 装置和 / 或具有一鳍型结构 (fin structure) 的多重栅场效应晶体管 (multigate FET) 装置。

背景技术

[0002] 随着集成电路装置尺寸的更为降低,目前存在有数个方法以持续地改善半导体装置的表现。方法之一采用应变工程 (strain engineering)。其可借借由调变位于晶体管的沟道内的应变而达成其表现的改善情形,例如为改善了电子迁移率 (或空穴迁移率) 且进而改善了通过该沟道的导电率 (conductivity)。

[0003] 互补型金属氧化物半导体 (下称 CMOS) 技术中,对于不同类型的应变,P 型金属氧化物半导体 (下称 PMOS) 与 N 型金属氧化物半导体 (NMOS) 表现出不同的反应。更明确地,于沟道处施加压缩应变 (compressive strain) 时,可得到 PMOS 的最佳表现,而 NMOS 则由拉伸应变 (tensile strain) 而得到改善。举例来说,由例如 $\text{Si}_{0.3}\text{Ge}_{0.7}$ 的任一摩尔比率的硅与锗所组成的硅锗 ($\text{Si}_{1-x}\text{Ge}_x$) 材料通常可用于集成电路内,以作为用于 CMOS 晶体管的应变硅的应变诱导膜层 (即应变体 stressor)。

[0004] 应变硅为一硅膜层,其内的硅原子经过伸展至其正常原子距以外的范围。举例来说,上述情形可借由将一硅层放置于一硅锗层之上。当硅层内的原子对准于下方的硅锗层之后,由于硅锗层内的原子相较块状硅结晶物的原子将更为分开,因此硅层内原子间的连结情形将更为延展,进而形成了应变硅。

[0005] 另一方法为采用多重栅 (multigate) 装置。多重栅装置或多重栅场效应晶体管 (MuGFET) 指于单一装置内使用了多于一个栅极 (gate) 的金属氧化物半导体晶体管。此些多重栅极可为一单一栅电极 (gate electrode) 所控制且此多重栅极的表面则电性地扮演了单一栅极,或者其也可借由各别的栅电极所控制。采用了独立栅电极的多重栅装置则有时可称之为多重独立栅场效应晶体管 (MIGFET)。

[0006] 于一多重栅结构内,沟道为位于多重表面上的多于一个的栅极所环绕,因而表现出了对于“关状态 (off-state)”漏电流的较佳有效抑制情形。多重栅也有助于增加于“开状态 (on state)”的电流,即所谓的驱动电流 (drive current)。介于开 / 关状态间的越高对比与更较低漏电流导致了较低的能量损耗与较佳的装置表现。非平面装置也可较公知平面晶体管来的更小,因而有助于更小的整体集成电路内形成更高的晶体管密度。

[0007] 除了上述方法之外,仍需要包括更高载流子迁移率的其他更佳改善与更佳表现。特别地,需要借由硅锗 / 硅应变装置所达成的更高应变情形,然而高应变的锗装置的制作极为不易。此外,介于栅介电物与 NMOS 装置内的锗材料间的不良界面情形也为问题之一。

[0008] 如此,便需要用于较佳装置的包括较高的载流子迁移率与介于栅介电物与 NMOS 装置的锗材料间的较佳界面的新的结构与方法。

发明内容

[0009] 有鉴于此,本发明提供了一种半导体晶体管的垂直鳍状结构及其制造方法,借以解决上述公知问题。

[0010] 依据一实施例,本发明提供了一种半导体晶体管的垂直鳍状结构,包括:

[0011] 一半导体基板;一鳍型层,位于该半导体基板的顶部;以及一上盖层,覆盖该鳍型层,其中该半导体基板包括一 IV 族半导体材料,该鳍型层包括一 IV 族半导体材料,该上盖层包括一 III-V 族半导体化合物,该鳍型层作为该半导体晶体管的沟道层,而该沟道层施加应变至该鳍型层之上以增加通过该沟道区的迁移率。

[0012] 依据另一实施例,本发明提供了一种半导体晶体管的垂直鳍状结构的制造方法,包括:

[0013] 提供一半导体基板,其中该半导体基板包括一 IV 族半导体材料;沉积一鳍型层于该半导体基板的顶部上,其中该鳍型层包括了 IV 族半导体材料且作为该半导体晶体管的一沟道;以及沉积一上盖层于该鳍型层之上,其中该上盖层包括 III-V 族半导体化合物且施加应变于该鳍型层之上以增加通过该沟道的迁移率。

[0014] 依据又一实施例,本发明提供了一种半导体晶体管的垂直鳍状结构,包括:

[0015] 一半导体基板;一鳍型层,位于该半导体基板的顶部;以及一上盖层,覆盖该鳍型层,其中该半导体基板包括 Si、Ge、SiGe 或 SiC,该鳍型层包括 Ge、SiGe、SiC 或上述材料的组合,该上盖层包括 GaAs、InGaAs、InAs、InSb、GaSb、GaN、InP 或上述材料的组合,该上盖层与该半导体基板之间具有多于 4% 的晶格不相称情形,该鳍型层作为该半导体晶体管的沟道层,而该沟道层施加应变至该鳍型层之上以增加通过该沟道区的迁移率。

[0016] 本发明的优点包括了基于较高晶格不匹配情形所形成的高拉伸应变鳍型场效应晶体管装置与多重栅场效应晶体管装置,借由采用较高晶格不匹配常数材料可造成极高迁移率的沟道。此外,可于 Ge 材质以及高 Ge 含量的 SiGe 装置内采用 III-V 族上盖层以改善栅介电物的界面。

[0017] 为让本发明之上述目的、特征及优点能更明显易懂,下文特举一优选实施例,并配合附图,作详细说明如下:

附图说明

[0018] 图 1 显示了于具有应变锗或应变硅锗的鳍型场效应晶体管和 / 或 多重栅场效应晶体管的一垂直型鳍状结构的一晶体管栅极区域的工艺过程中的一剖面图;以及

[0019] 图 2 显示了于具有 III-V 上盖层的具有应变锗或应变硅锗的鳍型场效应晶体管和 / 或 多重栅场效应晶体管的一垂直型鳍状结构的一晶体管栅极区域的工艺过程中的一剖面图。

[0020] 其中,附图标记说明如下:

[0021] 102 ~ 基板;

[0022] 104 ~ 鳍型物;

[0023] 106 ~ 浅沟槽隔离物;

[0024] 202 ~ 上盖层。

具体实施方式

[0025] 本发明提供了制作如于硅基板上具有 III-V 族上盖层的双重栅场效应晶体管或三重栅场效应晶体管的高迁移率的应变锗或应变硅锗的鳍型场效应晶体管与多重栅场效应晶体管的方法与结构。本发明将透过下文与相关附图以解说之,其中相同符号代表了相同的元件。

[0026] 图 1 显示了具有应变锗或应变硅锗的鳍型场效应晶体管和 / 或双重栅场效应晶体管的一垂直型鳍状结构的一晶体管栅极区域的工艺过程中的一剖面图。在此,半导体基板 102 包括了 IV 族半导体材料,例如 Si、Ge、SiGe 或 SiC,或其他材料。而鳍型层 104 包括 IV 族半导体材料,例如 Ge、SiGe、SiC 或上述材料的组合,或其他的适当材料。浅沟槽隔离物 106 则提供了相邻装置间的隔离情形,且可避免了邻近的半导体装置构件间的漏电流情形。

[0027] 于半导体装置工艺中,浅沟槽隔离物 106 可早于晶体管形成前先形成。浅沟槽隔离工艺的主要步骤是关于蚀刻出数个沟槽的图案、沉积一或多个介电材料(例如二氧化硅)以填满此些沟槽,以及采用如化学机械研磨的技术以移除过量的介电材料。于图 1 中,浅沟槽隔离物 106 首先形成,且接着蚀刻形成用于鳍型层 104(例如 Ge、SiGe、SiC 或上述材料的组合)沉积的空间。或者,可于形成鳍型层 104 之后,接着蚀刻出沟槽,并接着填入介电材料于沟槽内以形成浅沟槽隔离物 106。

[0028] 图 2 显示了于具有 III-V 上盖层的具有应变锗或应变硅锗的鳍型场效应晶体管和 / 或双重栅场效应晶体管的一垂直型鳍状结构的一晶体管栅极区域的工艺过程中的一剖面图。相较于图 1,浅沟槽隔离物 106 经过蚀刻而露出鳍型层 104,以利后续的装置制作。接着沉积上盖层 202 以覆盖鳍型层 104。上盖层 202 环绕了晶体管的栅极区内的晶体管沟道周围的鳍型层 104。上盖层 202 包括了一 III-V 族半导体的化合物,例如为 GaAs、InGaAs、InAs、InSb、GaSb、GaN、InP 或上述材料的组合,或其他的适当材料。更特别地,基于晶格不匹配(lattice matching)的情形,可使用如 InGaAs 材质的上盖层 202 于如 Ge 材质的鳍型层 104 之上,或使用如 GaAs 材质的上盖层 202 于如 SiGe 材质的鳍型层 104 之上。

[0029] 介于上盖层 202 与基板 102 间的晶格不匹配情形高于介于鳍型层 104 与基板 102 间的晶格不匹配情形。举例来说,介于如 InGaAs 材质的上盖层 202 与如硅材质的基板 102 间的晶格不匹配情形较如 Ge 材质的鳍型层 104 与如硅材质的基板 102 间的晶格不匹配情形高出了约 4%。基于上述的较高不匹配情形起因于 III-V 族化合物上盖层 202 的采用,上盖层 202 将施加应变至鳍型层 104。而当鳍型层 104 作为半导体晶体管的沟道时,上述应变可增加通过经拉伸应变的鳍型层(例如为 Ge 材料)104 的迁移率(mobility),因此达成了沟道的较高迁移率。

[0030] 举例来说,相较锗的 $4000\text{cm}^2/\text{V}\cdot\text{s}$ 、硅的 $1400\text{cm}^2/\text{V}\cdot\text{s}$ 或 GaAs 的 $8500\text{cm}^2/\text{V}\cdot\text{s}$ 的电子迁移率,经 1.5% 拉伸应变的 Ge 可表现出了约为 $12000\text{cm}^2/\text{V}\cdot\text{s}$ 的电子迁移率。此外,相较于锗的 $2000\text{cm}^2/\text{V}\cdot\text{s}$ 、硅的 $450\text{cm}^2/\text{V}\cdot\text{s}$ 或 GaAs 的 $400\text{cm}^2/\text{V}\cdot\text{s}$ 的电子迁移率,1.5% 的经拉伸应变的 Ge 可表现出了约为 $20000\text{cm}^2/\text{V}\cdot\text{s}$ 的电子迁移率。因此,如图 2 所示结构可借由于鳍型层 104 的顶部上具有一 III-V 半导体化合物上盖层 202 而提供了一高速 CMOS 沟道。

[0031] 再者,可于上盖层 202 之上沉积一高介电常数介电层(未显示)。相较于介于高介电常数介电层与锗材质的鳍型层 104 间的公知不良界面,此 III-V 族半导体化合物的上盖

层 202 可作为缓冲之用并提供了介于高介电常数介电层与鳍型层 104 间的较佳界面。上述功效是基于材料特性,即位于 InGaAs 上的栅介电层较位于 Ge 上栅介电层可表现出较低的界面缺陷密度 (interfacedefect density)。

[0032] 本发明的优点包括了基于前述的较高晶格不匹配情形所形成的高拉伸应变鳍型场效应晶体管 (FinFET) 装置与多重栅场效应晶体管装置,借由采用较高晶格不匹配常数材料可造成极高迁移率的沟道。此外,可于 Ge 材质以及高 Ge 含量的 SiGe 装置内采用 III-V 族上盖层以改善栅介电物的界面。本领域技术人员可以理解本发明的实施例皆可视实际情形而稍作改变。

[0033] 虽然本发明已以优选实施例揭示如上,然而其并非用以限定本发明,任何本领域技术人员,在不脱离本发明的精神和范围内,当可作更动与润饰,因此本发明的保护范围当视随附的权利要求所界定的范围为准。

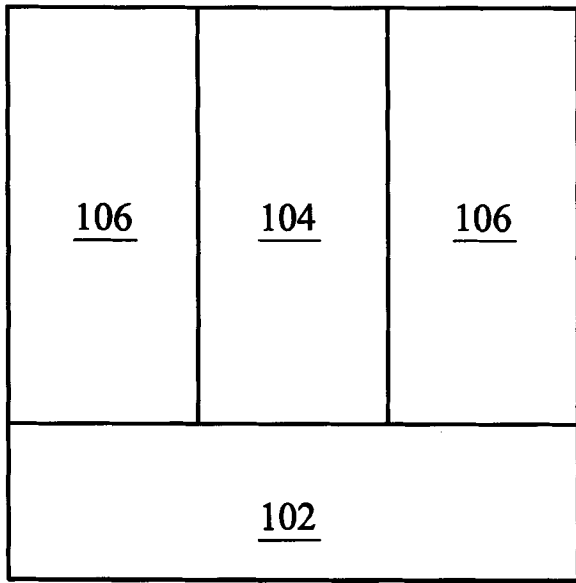


图 1

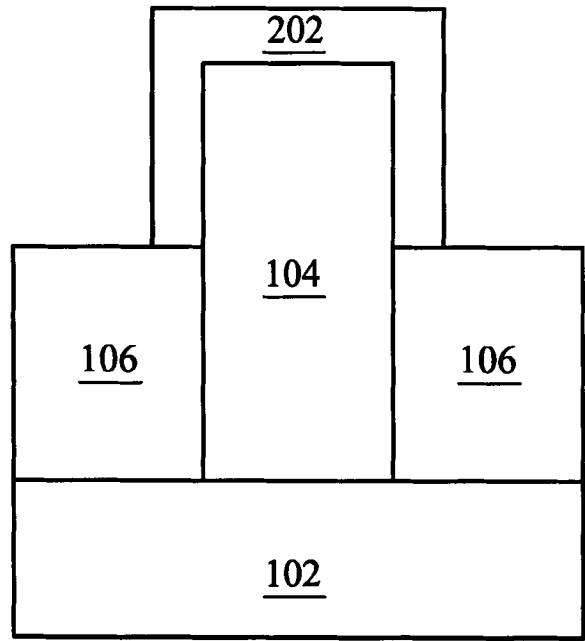


图 2