(19) RÉPUBLIQUE FRANÇAISE

INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE

PARIS

(11) N° de publication : **2 687 811**
(à n'utiliser que pour les commandes de reproduction)

(21) N° d'enregistrement national : **93 01908**

(51) Int Cl[5] : G 06 F 12/02 , G 11 C 16/00

(12) DEMANDE DE BREVET D'INVENTION A1

(22) **Date de dépôt** : 19.02.93.

(30) **Priorité** : 20.02.92 JP 3339892.

(43) **Date de la mise à disposition du public de la demande :** 27.08.93 Bulletin 93/34.

(56) **Liste des documents cités dans le rapport de recherche :** *Le rapport de recherche n'a pas été établi à la date de publication de la demande.*

(60) **Références à d'autres documents nationaux apparentés :**

(71) **Demandeur(s) :** *FUJITSU LIMITED* — JP.

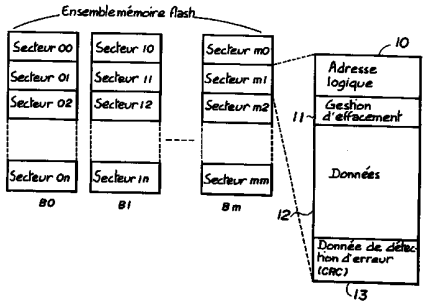
(72) **Inventeur(s) :** Itoh Hiroyuki — *c/o Fujitsu Limited,* et Matsui Noriyuki — *c/o Fujitsu Limited.*

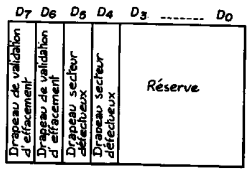
(73) **Titulaire(s) :**

(74) **Mandataire :** Cabinet Beau de Loménie.

(54) Procédé et appareil de commande de mémoire flash.

(57) Le procédé de commande de mémoire flash selon l'invention comporte les opérations consistant à (a) diviser la région de mémorisation d'une mémoire flash en plusieurs secteurs, où chaque secteur comporte une partie adresse logique (10) destinée à mémoriser une adresse logique du secteur, une partie gestion d'effacement (11) destinée à emmagasiner des informations qui indiquent au moins si le secteur peut être effacé, et une partie données (12) destinée à emmagasiner des données, et (b) à faire accès à un secteur arbitraire de la mémoire flash en spécifiant l'adresse logique du secteur arbitraire. L'invention concerne également un appareil de commande de mémoire flash qui utilise ce procédé.





FR 2 687 811 - A1

La présente invention concerne de façon générale les procédés et les appareils de commande de mémoire flash et, plus particulièrement, un procédé de commande de mémoire flash qui autorise la mise à jour des données à grande vitese et un appareil de commande de mémoire flash qui utilise ce procédé de commande de mémoire flash.

Les appareils de traitement de données utilisent comme fichiers des disques tels que des disques magnétiques et des disquettes. Toutefois, ces disques sont relativement lourds en raison de leur structure mécanique et, en outre, ils ont une consommation électrique relativement forte.

C'est pourquoi, on peut concevoir d'utiliser comme unités de mémorisation en mémoire de masse, à la place des disques, des mémoires semiconductrices volatiles, par exemple des mémoires vives dynamiques (DRAM) et des mémoires vives statiques (SRAM). Toutefois, les mémoires semiconductrices volatiles demandent une source d'alimentation électrique de secours, comme une pile au lithium, et les DRAM et les SRAM ne font pas exception. C'est pourquoi on peut concevoir d'utiliser comme unité de mémorisation en mémoire de masse une mémoire flash qui a été récemment mise au point. La mémoire flash ne demande pas de source d'alimentation électrique de secours et est peu coûteuse si on la compare aux DRAM et aux SRAM.

Cette mémoire flash peu coûteuse est une mémoire non volatile, ou rémanente, et est en outre à réécriture électrique. Toutefois, avec la mémoire flash, les problèmes suivants se posent.

Tout d'abord, on ne peut pas écrire les données avant que les données préalablement emmagasinées n'aient été effacées. Toutefois, l'effacement des données ne peut pas se faire à raison d'un octet à la fois, par exemple. L'effacement des données doit se faire par blocs, ou bien il doit se faire par rapport à la puce de mémoire flash tout entière. Le bloc est une unité relativement grande et peut se monter à une valeur de plusieurs dizaines de kilo-octets à plusieurs centaines de kilo-octets.

En deuxième lieu, il est impossible de réécrire les données à une adresse arbitraire dans l'espace des adresses physiques, puisque, comme indiqué ci-dessus, l'effacement des données doit se faire par blocs. Par conséquent, lors de la réécriture des données, il est nécessaire de sauvegarder temporairement les données contenues dans les blocs en un certain emplacement avant d'effectuer l'effacement des données par blocs. Après cela, on écrit, à partir de l'emplacement

de sauvegarde, les données qui ne doivent pas être effacées, puis on écrit les données nouvelles.

En troisième lieu, puisque la réécriture des données impose l'ennuyeux processus consistant à temporairement sauvegarder les données et à effectuer l'effacement des données par blocs comme ci-dessus indiqué, la vitesse d'écriture ou la vitesse d'effacement sont considérablement affaiblies par comparaison à la vitesse de lecture. De plus, puisque l'effacement des données s'effectue par blocs relativement grands, la réécriture des données demande un temps extrêmement long pour être menée à son terme. En résultat, dans le cas d'une banque de données qui traite une grande quantité de données, la réécriture de données est pratiquement impossible.

Par conséquent, la mémoire flash présente un grave problème en ce que la réécriture de données ne peut pas être effectuée par un moyen d'accès qui utilise une adresse de la même façon que la DRAM, la SRAM ou le disque dur. Pour cette raison, il est pratiquement impossible d'utiliser la mémoire flash à la place de la DRAM, de la SRAM, du disque dur, ou autres. Toutefois, puisque la mémoire flash ne demande pas de source d'alimentation électrique de secours et est peu coûteuse, il existe une demande pour un moyen permettant de tirer parti des particularités avantageuses de la mémoire flash.

Un but général de l'invention est donc de produire un procédé et un appareil de commande de mémoire flash dans lesquels les problèmes ci-dessus décrits sont éliminés.

Un autre but, plus particulier, de l'invention est de produire un procédé de commande de mémoire flash comprenant les opérations suivantes : (a) diviser la région de mémorisation d'une mémoire flash en plusieurs secteurs, où chacun des secteurs comporte une partie adresse logique destinée à emmagasiner une adresse logique du secteur, une partie gestion d'effacement destinée à emmagasiner des informations indiquant au moins si le secteur peut être effacé, et une partie données destinée à emmagasiner des données, et (b) faire accès à un secteur arbitraire de la mémoire flash en spécifiant l'adresse logique du secteur arbitraire. Selon le procédé de commande de mémoire flash de l'invention, il est possible d'utiliser la mémoire flash peu coûteuse comme fichier ou comme unité de mémorisation en mémoire de masse, parce que les données peuvent être réécrites facilement et à grande vitesse grâce à une gestion de la région de mémorisation de la mémoire flash en plusieurs secteurs.

Un autre but de l'invention est de produire un appareil de commande de mémoire flash comprenant une mémoire flash qui possède une région de mémorisation divisée en plusieurs secteurs, lesquels comportent chacun une partie adresse logique destinée à emmagasiner une adresse logique du secteur, une partie gestion d'effacement destinée à emmagasiner des informations indiquant au moins si le secteur peut être effacé et une partie données destinée à emmagasiner des données, et un moyen de commande couplé à la mémoire flash pour faire accès à un secteur arbitraire de la mémoire par spécification de l'adresse logique du secteur arbitraire. Selon l'appareil de commande de mémoire flash de l'invention, il est possible d'utiliser la mémoire flash peu coûteuse comme fichier ou unité de mémorisation en mémoire de masse, parce que les données peuvent être réécrites facilement et à grande vitesse grâce à une gestion de la région de mémorisation de la mémoire flash en plusieurs secteurs.

La description suivante, conçue à titre d'illustration de l'invention, vise à donner une meilleur compréhension de ses caractéristiques et avantages ; elle s'appuie sur les dessins annexés, parmi lesquels :

– la figure 1 est un schéma permettant d'expliquer le principe de fonctionnement de l'invention ;

– la figure 2 est un schéma fonctionnel d'ensemble montrant un mode de réalisation d'un appareil de commande de mémoire flash selon l'invention ;

– la figure 3 est un schéma servant à expliquer l'état d'utilisation d'une mémoire flash du mode de réalisation représenté sur la figure 2 ;

– la figure 4 est un organigramme servant à expliquer un processus d'écriture du mode de réalisation ; et

– la figure 5 est un organigramme servant à expliquer un processus de lecture du mode de réalisation.

On va tout d'abord décrire le principe de fonctionnement de l'invention, en se reportant à la figure 1.

Selon l'invention, une mémoire flash est gérée en plusieurs secteurs 00 à 0n. Les secteurs possèdent tous la même structure, et la figure 1 montre la structure du secteur 02 à titre d'exemple. Comme représenté, le secteur 02 comporte une partie adresse logique 10, une partie gestion d'effacement 11, une partie données 12, et une partie données de détection d'erreur 13.

Une adresse de secteur, qui est une adresse logique, est attribuée à chaque secteur, de sorte que l'accès aux données s'effectue à l'aide de l'adresse du secteur, et non d'une adresse physique. Si une instruction d'écriture est délivrée, des

bits de gestion d'effacement contenus dans la partie gestion d'effacement 11 du secteur considéré sont positionnés de façon à indiquer que la partie données 12 de ce secteur a été invalidée. De plus, les données devant être nouvellement écrites sont écrites dans le secteur vide de la mémoire flash, et l'adresse logique de ce secteur est fixée à une adresse logique qui est identique à celle du secteur qui a été invalidé par le positionnement des bits de gestion d'effacement.

Dans une région de la mémoire flash où une donnée a déjà été écrite, on ne peut pas réécrire une donnée différentes en spécifiant l'adresse. Toutefois, la donnée peut être écrite dans une région vide où aucune donnée n'a été écrite, c'est-à-dire une région qui se trouve dans un état initial, par spécification de l'adresse. L'invention utilise cette caractéristique de la mémoire flash de façon à obtenir des effets qui seraient identiques à ceux obtenus si les données étaient sensiblement écrites par secteurs. En d'autres termes, les effets procurés par l'invention sont équivalents à ceux qu'on obtiendrait si la réécriture des données avait été effectuée par secteurs.

Lorsque les données sont écrites, dans chaque secteur, la partie gestion d'effacement 11 de celui-ci est repositionnée à l'état initial. Ensuite, une adresse logique est écrite dans la partie adresse logique 10 du secteur, et les données qui doivent être écrites à cette adresse logique sont écrites dans la partie données 12 du secteur. De plus, une donnée de détection d'erreur, par exemple un code de contrôle de redondance cyclique (SRC) est écrit dans la partie donnée de détection d'erreur 13 du secteur. Par exemple, la donnée de détection d'erreur autorise la correction de l'erreur dans 1 bit et la détection de l'erreur dans 2 bits.

Si la donnée du secteur 02 doit être réécrite, en relation avec la figure 1, et que des secteurs vides commencent à partir du secteur 0n-1, les bits de gestion d'effacement contenus dans la partie gestion d'effacement 11 du secteur 02 sont positionnés par écriture de données complémentaires à celles existant au moment de l'état initial. Ensuite, une adresse logique qui est identique à celle du secteur 02 est écrite dans la partie adresse logique 10 du secteur 0n-1, et la nouvelle donnée est écrite dans la partie donnée 12 du secteur 0n-1. De plus, la donnée correcte de détection et de correction d'erreur est écrite dans la partie donnée de détection d'erreur 13 du secteur 0n-1. Dans ce cas, la partie gestion d'effacement 11 du secteur 02, la partie adresse logique 10 du secteur 0n-1 et la partie données 12 du secteur 0n-1 sont toutes dans l'état initial avant que l'écriture ait lieu, de sorte que l'opération d'écriture se limite aux régions se trouvant dans l'état initial et peut être effectuée avec une vitesse élevée.

Lors de la lecture réelle des données dans la région d'adresse logique, les parties adresse logique 10 de chacun des secteurs sont successivement balayées. Tout d'abord, la destination de l'accès est détectée à partir de la partie adresse logique 10 du secteur 02. Toutefois, puisque les bits de gestion d'effacement de la partie gestion d'effacement 11 du secteur 02 sont positionnés, il est reconnu que le secteur 02 a été effacé, et le balayage des parties adresse logique 10 des secteurs restants continue. L'adresse logique de la destination de l'accès est détectée à partir de la partie adresse logique 10 du secteur 0n−1, et les données nécessaires sont obtenues dans la partie données 12 de ce secteur 0n−1.

Par conséquent, la réécriture des données peut être effectuée à grande vitesse à l'aide de la mémoire flash, sans qu'il soit nécessaire d'effacer réellement la mémoire flash, puis de réécrire ensuite les nouvelles données.

On va maintenant décrire un mode de réalisation d'un appareil de commande de mémoire flash selon l'invention, en se reportant aux figures 2 et 3. La figure 2 représente une partie essentielle de ce mode de réalisation, et la figure 3 est un schéma servant à expliquer l'état d'utilisation de la mémoire flash selon ce mode de réalisation. Ce mode de réalisation de l'appareil emploie un mode de réalisation d'un procédé de commande de mémoire flash selon l'invention, comme décrit ci−après, plus particulièrement en relation avec les figures 4 et 5 qui seront décrites ultérieurement.

Sur la figure 2, on voit que l'appareil de commande de mémoire flash comporte de façon générale un microprocessus (MPU) 1, une mémoire flash 2, et une unité d'entrée−sortie (I/O) 3, qui sont connectés par l'intermédiaire d'un bus 5. La MPU 1 commande l'accès relatif à la mémoire flash 2, et comporte une partie 4 de gestion de secteurs vides, qui gère les secteurs vides de la mémoire flash 2. La mémoire flash possède la structure représentée sur la figure 3 par exemple. L'unité d'entrée−sortie 3 reçoit en entrée les données qui doivent être emmagasinées dans la mémoire flash 2 et délivre en sortie les données nécessaires qui ont été lues dans la mémoire flash 2.

Comme on peut le voir dans la partie (A) de la figure 3, la mémoire flash 2 est constituée de blocs B0 à Bm. Le bloc B0 est constitué de secteurs 00 à 0n, le bloc B1 est constitué de secteurs 10 à 1n, ..., et le bloc Bm est constitué de secteurs m0 à mn.

Chaque bloc correspond à l'unité minimale sur laquelle on peut procéder à l'effacement, c'est−à−dire où l'effacement peut être un effacement du type bloc. Chaque bloc peut correspondre à une puce de mémoire flash ou à une

partie de la puce de mémoire flash. Par conséquent, les blocs B0 à Bm représentés dans la partie (A) de la figure 3 peuvent correspondre à une ou plusieurs puces de mémoire flash, et la mémoire flash 2 représentée sur la figure 2 peut être constituée d'une ou plusieurs puces de mémoire flash.

Les secteurs formant chaque bloc respectif ont une taille arbitraire qui est choisie de façon appropriée. Comme décrit ci-dessus en relation avec la figure 1, chaque secteur comporte une partie adresse logique 10, une partie gestion d'effacement 11, une partie données 12, et une partie donnée de détection d'erreur 13. Lorsqu'on utilise la mémoire flash 2 comme fichier par exemple, les données qui doivent être emmagasinées dans le fichier sont écrites dans la partie données 12 du secteur.

Comme représenté dans la partie (B) de la figure 3, un drapeau de validation d'effacement qui indique que le secteur considéré a été effacé et est invalidé est écrit aux bits D7 et D6 de la partie gestion d'effacement 11 de ce secteur considéré. De plus, un drapeau secteur défectueux qui indique que le secteur considéré est défectueux est écrit aux bits D5 et D4 de la partie gestion d'effacement 11 de ce secteur considéré. Dans ce mode de réalisation, le drapeau de validation d'effacement et le drapeau secteur défecteux sont écrits en groupes de données doubles afin d'améliorer la fiabilité de l'appareil de commande de mémoire flash, mais il est naturellement possible de prévoir plus de deux drapeaux de validation d'effacement et plus de deux drapeaux secteur défectueux. Les bits restants, soit D3 à D0, de la partie gestion d'effacement 11 sont des bits de réserve.

Comme on peut le voir sur la figure 3, si des données sont écrites jusqu'au secteur m0, la partie 4 de gestion des secteurs vides de la MPU 1 représentée sur la figure 2 gère des informations indiquant que les secteurs vides commencent à partir du secteur m1. Si une demande d'accès pour lecture est faite depuis l'unité d'entrée-sortie 3 à destination de la mémoire flash 2 via la MPU 1, par exemple, la MPU 1 balaye successivement les adresses logiques de chacun des secteurs compris à l'intérieur de l'ensemble mémoire flash à partir du secteur 00 de la partie (A) de la figure 3. Lorsque l'adresse logique d'un secteur dans lequel le drapeau de gestion d'effacement n'est pas positionné concorde avec l'adresse logique de la destination de l'accès, les données de ce secteur sont lues et transmises à l'unité d'entrée-sortie 3.

D'autre part, si une demande d'accès pour réécriture est faite depuis l'unité d'entrée-sortie 3 à destination de la mémoire flash 2, la MPU 1 détermine dans la mémoire flash 2 un secteur qui possède l'adresse logique de la destination

d'accès et positionne le drapeau de validation d'effacement aux bits D7 et D6 de la partie gestion d'effacement 11 de ce secteur. La mémoire flash 2 peut mémoriser la donnée "0" ou "1" dans l'état initial. Ainsi, on positionne le drapeau de validation d'effacement aux bits D7 et D6 de la partie gestion d'effacement 11 en mettant en place des "1" si les bits D7 et D6 emmagasinent initialement des "0" et en mettant en place des "0" si les bits D7 et D6 emmagasinent initialement des "1".

Après cela, la MPU 1 retrouve dans la partie 4 de gestion des secteurs vides le secteur à partir duquel les secteurs vides commencent. Par exemple, la MPU 1 détermine le secteur m1 comme étant le secteur à partir duquel les secteurs vides commencent, et fait accès au drapeau secteur défectueux des bits D5 et D4 dans la partie gestion d'effacement 11 du secteur m1. Si le drapeau secteur défectueux n'est pas positionné dans la partie gestion d'effacement 11 du secteur m1, la MPU 1 écrit l'adresse logique de la destination d'accès dans la partie adresse logique 10, les nouvelles données à écrire dans la partie données 12, et la donnée de détection d'erreur dans la partie donnée de détection d'erreur 13 du secteur m1, et mémorise dans la partie 4 de gestion des secteurs vides des informations indiquant que le prochain secteur vide est le secteur m2.

Toutefois, si l'un des bits D5 et D4 du drapeau secteur défectueux est positionné dans la partie gestion d'effacement 11 du secteur m1, la MPU 1 effectuera l'opération d'écriture relativement au secteur m2 suivant, de la façon ci-dessus indiquée.

On va ensuite décrire de façon détaillée l'opération d'écriture selon ce mode de réalisation, en relation avec la figure 4. La figure 4 est un organigramme montrant l'opération d'écriture de la MPU 1 de la figure 2.

Comme on peut le voir sur la figure 4, l'étape S1 produit l'introduction d'une adresse logique d'entrée en provenance de l'unité d'entrée-sortie 3 de la figure 2, et l'étape S2 produit le balayage des secteurs de la mémoire flash 2 dans lesquels des données sont déjà écrites. A l'étape S3, il est déterminé si la mémoire flash 2 possède un secteur ayant la même adresse logique que l'adresse logique d'entrée. L'organigramme passe à l'étape S4 en cas de réponse positive à l'étape S3, mais avance à l'étape S6 en cas de réponse négative à l'étape S3.

A l'étape S4, il est déterminé si le secteur possédant la même adresse logique que l'adresse logique d'entrée possède une partie gestion d'effacement 11 dans laquelle le drapeau de validation d'effacement est positionné. L'organigramme revient à l'étape S2 en cas de réponse positive à l'étape S4. Inversement, si la réponse est négative à l'étape S4, alors, à l'étape S5, le drapeau de validation

d'effacement de la partie gestion d'effacement 11 de ce secteur est positionné, et, à l'étape S6, la donnée qui doit être écrite est introduite depuis l'unité d'entrée-sortie 3. Ensuite, à l'étape S7, est effectuée la recherche de la région de la mémoire flash 2 dans laquelle la donnée doit être écrite.

Dans ce cas, la mémoire flash 2 possède une capacité de mémorisation totale atteignant m-1 blocs même si m blocs sont prévus, et un bloc est utilisé comme bloc de travail. Comme décrit ci-dessus, chaque bloc peut correspondre à une ou plusieurs puces de mémoire flash. Ainsi, parmi les m blocs de la mémoire flash 2, seuls m-1 blocs sont utilisés au titre de la région de mémorisation effective de la mémoire flash 2.

A l'étape S8, il est déterminé si la mémoire flash 2 comporte ou non une région vide mise à part le bloc de travail ci-dessus indiqué. L'organigramme passe à l'étape S9 en cas de réponse négative à l'étape S8, et passe à l'étape S12 en cas de réponse positive.

A l'étape S9, est recherché le bloc possédant le plus grand nombre possible de drapeaux de validation d'effacement positionnés, dans les secteurs des blocs. Ensuite, à l'étape S10, est effectuée la sauvegarde, dans le bloc de travail, de ceux des secteurs formant le bloc trouvé à l'étape S9 dans lesquels le drapeau de validation d'effacement n'est pas positionné, par copie du contenu des secteurs dans le bloc de travail. Après cela, à l'étape S11, le bloc trouvé à l'étape S9 est effacé et est alors considéré comme le nouveau bloc de travail.

L'étape S12 vise à confirmer que le drapeau secteur défectueux du secteur qui est placé au début de la région vide n'est pas positionné et passe au secteur suivant si le drapeau secteur défectueux est positionné. A l'étape S13, l'adresse, les données et la donnée de détection d'erreur sont écrites dans la région vide.

A l'étape S14, il est déterminé si l'opération d'écriture a été ou non réussie. L'organigramme prend fin en cas de réponse positive à l'étape S14. Inversement, en cas de réponse négative, il est procédé, à l'étape S15, au positionnement du drapeau secteur défectueux pour le secteur par rapport auquel l'opération d'écriture n'a pas réussi, puis l'organigramme revient à l'étape S8.

Une fois que l'opération d'écriture relative à la région de mémorisation, c'est-à-dire aux m-1 blocs, a pris fin, il est possible de réaliser un ajustement des données à l'aide du bloc de travail. Par exemple, le bloc (ou puce de mémoire flash) qui possède la plus grande région effaçable est déterminé parmi les blocs (ou la puce ou bien les puces de mémoire flash) dans lesquels des données ont déjà été

écrites. Dans le bloc qui possède la plus grande région effaçable, la région qui ne doit pas être effacée est sauvegardée dans le bloc de travail par copie de son contenu, et la donnée devant être écrite ensuite est écrite après ce contenu. En outre, le bloc ci-dessus possédant la plus grande région effaçable est effacé après que le contenu à sauvegarder a été copié dans le bloc de travail, et le bloc effacé est préparé pour être utilisé comme nouveau bloc de travail pendant l'ajustement de données suivant.

On va maintenant décrire de façon détaillée l'opération de lecture selon ce mode de réalisation. La figure 5 est un organigramme montrant l'opération de lecture de la MPU 1 représentée sur la figure 2.

Comme on peut le voir sur la figure 5, l'étape S21 produit l'introduction d'une adresse logique d'entrée en provenance de l'unité d'entrée-sortie 3 de la figure 2, et l'étape S22 effectue le balayage des secteurs de la mémoire flash 2 dans lesquels des données sont déjà écrites. A l'étape S23, il est déterminé si la mémoire flash 2 possède un secteur ayant la même adresse logique que l'adresse logique d'entrée. L'organigramme passe à l'étape S25 en cas de réponse positive à l'étape S23, mais va à l'étape S24 en cas de réponse négative à l'étape S23. A l'étape S24, une erreur de lecture est indiquée à l'unité d'entrée-sortie 3 via la MPU 1.

A l'étape S25, il est décidé si le secteur ayant la même adresse logique que l'adresse logique d'entrée possède une partie gestion d'effacement 11 dans laquelle le drapeau de validation de validation d'effacement est positionné. L'organigramme revient à l'étape S22 en cas de réponse positive à l'étape S25. Inversement, en cas de réponse négative à l'étape S25, alors, à l'étape S26, sont lues les données du secteur ayant la même adresse logique que l'adresse logique d'entrée, et, à l'étape S27, les données lues sont transmises à l'unité d'entrée-sortie 3.

A l'étape S28, est produite une donnée de détection d'erreur qui est associée à la donnée lue et indique l'erreur qui s'y trouve. A l'étape S29, la donnée de détection d'erreur qui est produite à l'étape S28 est comparée avec la donnée de détection d'erreur venant de la partie donnée de détection d'erreur 13 du secteur. A l'étape S30, il est déterminé si les deux données de détection d'erreur comparées concordent ou non. L'organigramme arrive à sa fin en cas de réponse positive à l'étape S30, mais passe à l'étape S31 en cas de réponse négative. A l'étape S31, une erreur de lecture est indiquée à l'unité d'entrée-sortie 3 via la MPU 1.

De plus, à l'étape S32, il est déterminé si le drapeau secteur défectueux contenu dans la partie de gestion d'effacement 11 du secteur est ou non positionné. L'organigramme arrive à sa fin en cas de réponse positive à l'étape S32. Inverse-

ment, en cas de réponse négative, alors, à l'étape S33, le drapeau secteur défectueux de la partie gestion d'effacement du secteur est positionné, puis l'organigramme prend fin.

Bien entendu, l'homme de l'art sera en mesure d'imaginer, à partir du procédé et de l'appareil dont la description vient d'être donnée à titre simplement illustratif et nullement limitatif, diverses variantes et modifications ne sortant pas du cadre de l'invention.

REVENDICATIONS

1. Procédé de commande de mémoire flash, caractérisé en ce que sont prévues les opérations suivantes :

(a) diviser une région de mémorisation d'une mémoire flash (2) en plusieurs secteurs, contenant chacun une partie adresse logique (10) destinée à emmagasiner une adresse logique du secteur, une partie gestion d'effacement (11) destinée à emmagasiner des informations indiquant au moins si le secteur peut être effacé, et une partie données (12) destinée à emmagasiner des données ; et

(b) faire accès à un secteur arbitraire de la mémoire flash (2) en spécifiant l'adresse logique du secteur arbitraire.

2. Procédé selon la revendication 1, caractérisé en ce que la région de mémorisation de la mémoire flash (2) est une région effaçable du type par blocs, où chaque bloc est l'unité minimale pour laquelle l'effacement de la mémoire flash peut être fait, et ladite opération (a) divise la région de mémorisation de façon que chaque bloc soit constitué par plusieurs secteurs.

3. Procédé selon la revendication 2, caractérisé en ce que la mémoire flash (2) est constituée d'une ou plusieurs puces de mémoire flash.

4. Procédé selon la revendication 2, caractérisé en ce que la région de mémorisation totale de la mémoire flash (2) se monte à m blocs, et m−1 blocs sont utilisés au titre de région de mémorisation effective, tandis que le bloc restant est utilisé comme bloc de travail.

5. Procédé selon la revendication 4, caractérisé en ce que l'opération suivante est en outre prévue :

(c) ajuster à l'aide du bloc de travail les données qui ont été écrites dans la mémoire flash (2) après qu'une opération d'écriture relative à tous les m−1 blocs a été menée à son terme.

6. Procédé selon la revendication 1, caractérisé en ce que l'opération (a) divise la région de mémorisation de façon que chaque secteur comporte en outre une partie donnée de détection d'erreur (13) destinée à emmagasiner des informations qui sont utilisées pour détecter et corriger une erreur dans les donnée emmagasinées dans la partie données (12).

7. Procédé selon la revendication 1, caractérisé en ce que l'opération (a) divise la région de mémorisation de façon que la partie gestion d'effacement (11) de chaque secteur comporte un drapeau de validation d'effacement qui possède un état initial si la partie données (12) de ce même secteur est en cours de validité et

possède un état autre que l'état initial si la partie données de ce secteur a été invalidée.

8. Procédé selon la revendication 7, caractérisé en ce que la partie gestion d'effacement (11) de chaque secteur comporte plusieurs drapeaux de validation d'effacement.

9. Procédé selon la revendication 1, caractérisé en ce que l'opération (a) divise la région de mémorisation de façon que la partie gestion d'effacement (11) de chaque secteur comporte un drapeau secteur défectueux qui indique si le secteur est ou non défectueux.

10. Procédé selon la revendication 9, caractérisé en ce que la partie gestion d'effacement (11) de chaque secteur comporte plusieurs drapeaux secteur défectueux.

11. Procédé selon la revendication 1, caractérisé en ce que l'opération suivante est en outre prévue :

(c) gérer les secteurs vides de la mémoire flash (2) sur la base des informations emmagasinées dans la partie gestion d'effacement (11) de chaque secteur.

12. Appareil de commande de mémoire flash, caractérisé en ce que sont prévus :

une mémoire flash (2) possédant une région de mémorisation qui est divisée en plusieurs secteurs comportant chacun une partie adresse logique (10) destinée à emmagasiner une adresse logique du secteur, une partie gestion d'effacement (11) servant à emmagasiner des informations qui indiquent au moins si le secteur peut être effacé, et une partie données (12) destinée à emmagasiner des données ; et

un moyen de commande (1) couplé à ladite mémoire flash afin de faire accès à un secteur arbitraire de ladite mémoire (2) par spécification de l'adresse logique du secteur arbitraire.

13. Appareil selon la revendication 12, caractérisé en ce que la région de mémorisation de ladite mémoire flash (2) est une région effaçable du type par blocs, chaque bloc est l'unité minimale pour laquelle un effacement de la mémoire flash (2) peut avoir lieu, et chaque bloc est constitué de plusieurs secteurs.

14. Appareil selon la revendication 13, caractérisé en ce que ladite mémoire flash (2) est constituée d'une ou plusieurs puces de mémoire flash.

15. Appareil selon la revendication 13, caractérisé en ce que la région de mémorisation totale de ladite mémoire flash (2) se monte à m blocs, et m−1

blocs sont utilisés au titre de région de mémorisation effective, tandis que le bloc restant forme un bloc de travail.

16. Appareil selon la revendication 15, caractérisé en ce que ledit moyen de commande (1) comporte un moyen servant à ajuster à l'aide du bloc de travail les données qui ont été écrites dans ladite mémoire flash (2) après qu'une opération d'écriture relative à tous les m−1 blocs a été menée à son terme.

17. Appareil selon la revendication 12, caractérisé en ce que chaque secteur comporte en outre une partie donnée de détection d'erreur (13) destinée à emmagasiner des informations qui sont utilisées pour détecter et corriger une erreur dans les données emmagasinées dans la partie données (12).

18. Appareil selon la revendication 12, caractérisé en ce que la partie gestion d'effacement (11) de chaque secteur comporte un drapeau de validation d'effacement qui possède un état initial si la partie données de ce même secteur est en cours de validité et possède un état autre que l'état initial si la partie données de ce secteur est invalidée.

19. Appareil selon la revendication 18, caractérisé en ce que la partie gestion d'effacement (11) de chaque secteur comporte plusieurs drapeaux de validation d'effacement.

20. Appareil selon la revendication 12, caractérisé en ce que la partie gestion d'effacement (11) de chaque secteur comporte un drapeau secteur défectueux qui indique si le secteur est ou non défectueux.

21. Appareil selon la revendication 20, caractérisé en ce que la partie gestion d'effacement (11) de chaque secteur comporte plusieurs drapeaux secteur défectueux.

22. Appareil selon la revendication 12, caractérisé en ce que ledit moyen de commande (1) comporte un moyen (4) servant à gérer les secteurs vides de ladite mémoire flash (2) sur la base des informations emmagasinées dans la partie gestion d'effacement (11) de chaque secteur.

FIG. 1

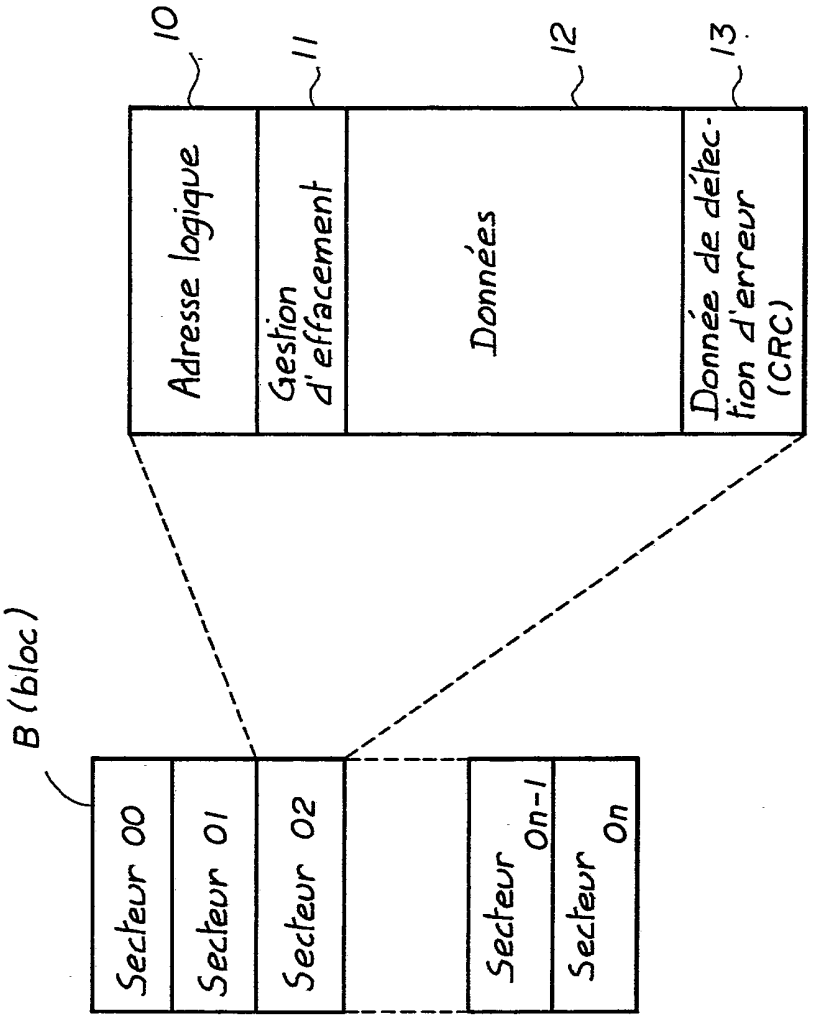

B (bloc)
Secteur 00
Secteur 01
Secteur 02
Secteur On-1
Secteur On
10
11
12
13
Adresse logique
Gestion d'effacement
Données
Donnée de détection d'erreur (CRC)

FIG.2

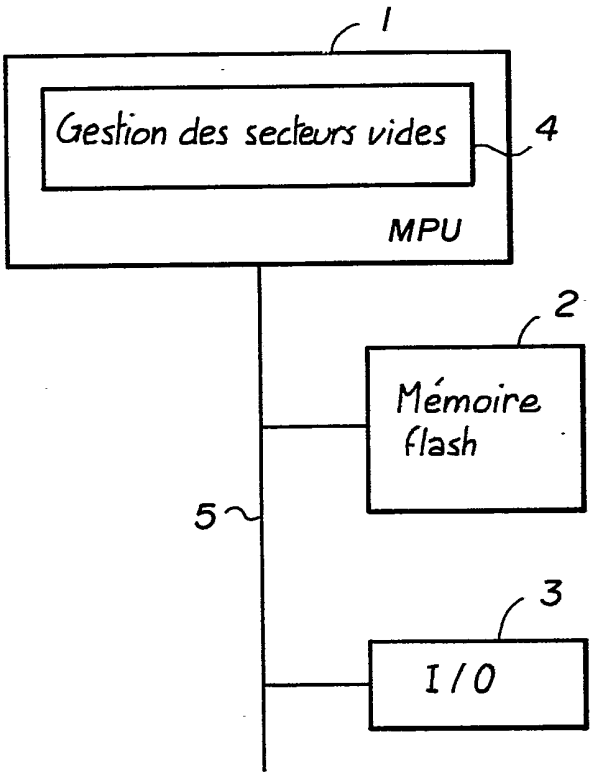


FIG.3

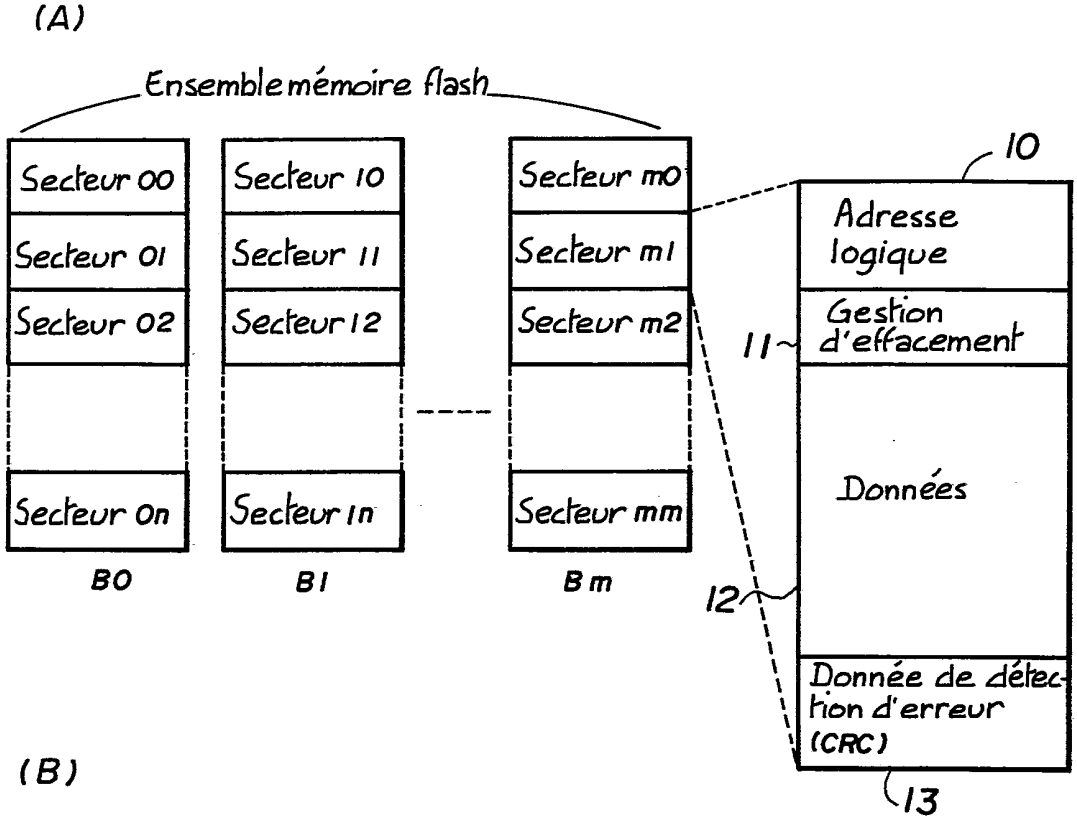

(A)
Ensemble mémoire flash
Secteur 00
Secteur 01
Secteur 02
Secteur 0n
Secteur 10
Secteur 11
Secteur 12
Secteur 1n
Secteur m0
Secteur m1
Secteur m2
Secteur mm
B0
B1
Bm
10
Adresse logique
11
Gestion d'effacement
Données
12
Donnée de détection d'erreur (CRC)
13
(B)
D7 D6 D5 D4 D3 ------- D0
Drapeau de validation d'effacement
Drapeau de validation d'effacement
Drapeau secteur défectueux
Drapeau secteur défectueux
Réserve

FIG.4

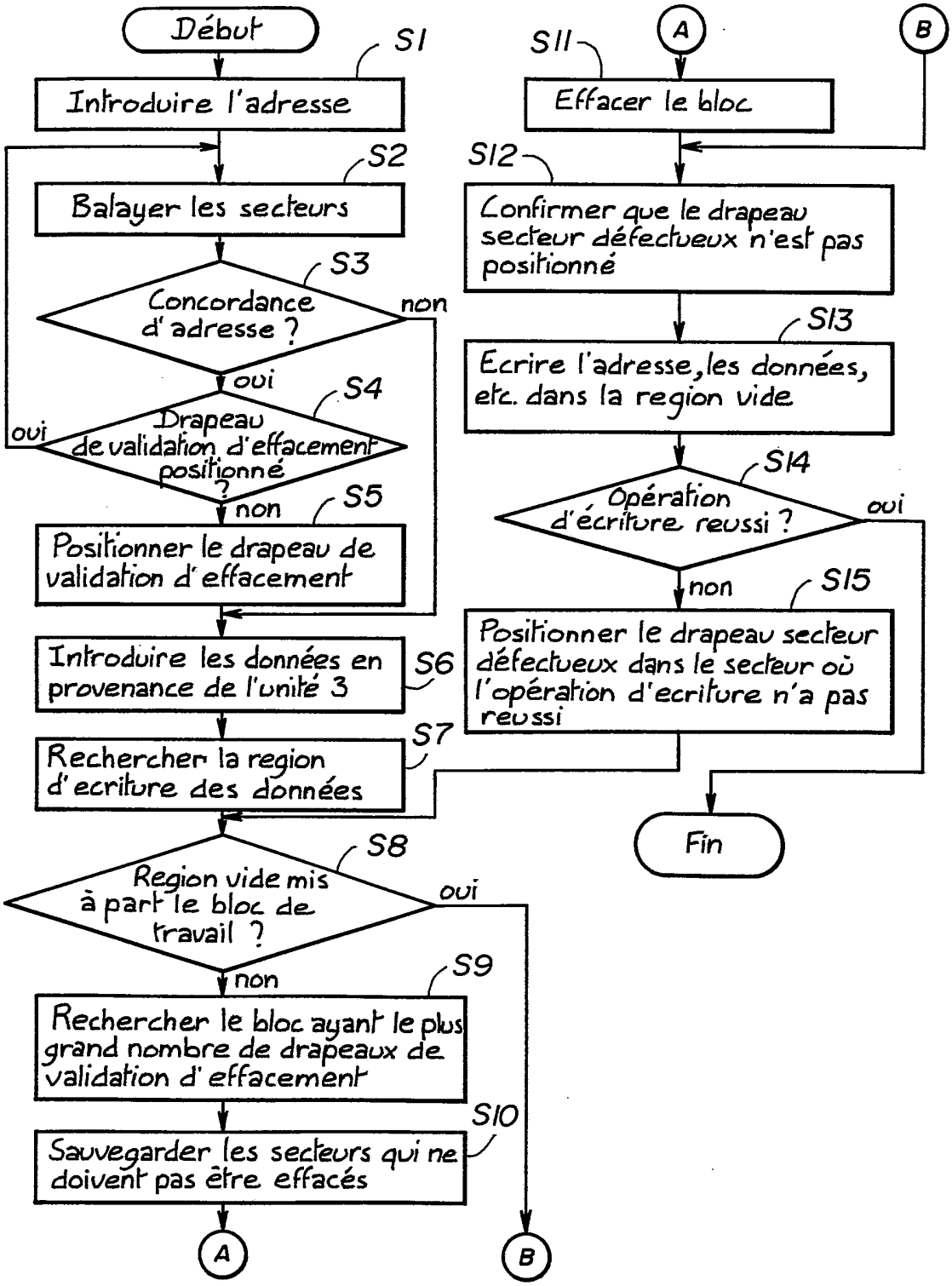
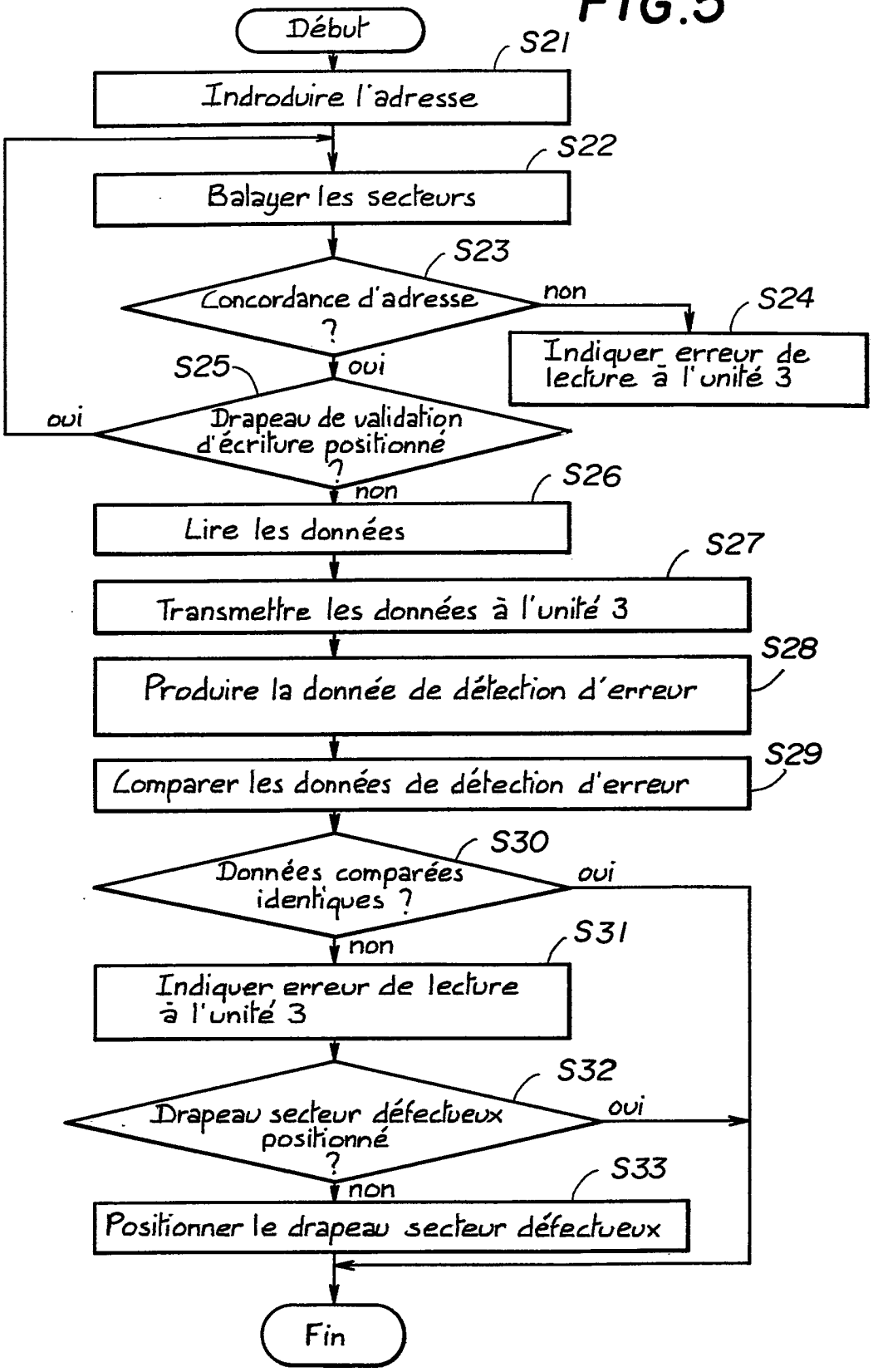

Début
S1
Introduire l'adresse
S2
Balayer les secteurs
S3
Concordance d'adresse ?
non
oui
S4
Drapeau de validation d'effacement positionné ?
oui
non
S5
Positionner le drapeau de validation d'effacement
Introduire les données en provenance de l'unité 3
S6
Rechercher la region d'ecriture des données
S7
S8
Region vide mis à part le bloc de travail ?
oui
non
S9
Rechercher le bloc ayant le plus grand nombre de drapeaux de validation d'effacement
S10
Sauvegarder les secteurs qui ne doivent pas être effacés
A
B
S11
A
B
Effacer le bloc
S12
Confirmer que le drapeau secteur défectueux n'est pas positionné
S13
Ecrire l'adresse, les données, etc. dans la region vide
S14
Opération d'écriture reussi ?
oui
non
S15
Positionner le drapeau secteur défectueux dans le secteur où l'opération d'ecriture n'a pas reussi
Fin

FIG.5


Début
S21
Indroduire l'adresse
S22
Balayer les secteurs
S23
Concordance d'adresse ?
non
S24
Indiquer erreur de lecture à l'unité 3
oui
S25
Drapeau de validation d'écriture positionné ?
oui
non
S26
Lire les données
S27
Transmettre les données à l'unité 3
S28
Produire la donnée de détection d'erreur
S29
Comparer les données de détection d'erreur
S30
Données comparées identiques ?
oui
non
S31
Indiquer erreur de lecture à l'unité 3
S32
Drapeau secteur défectueux positionné ?
oui
non
S33
Positionner le drapeau secteur défectueux
Fin