

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4014648号

(P4014648)

(45) 発行日 平成19年11月28日(2007.11.28)

(24) 登録日 平成19年9月21日(2007.9.21)

(51) Int. Cl. F I
HO2M 3/155 (2006.01) HO2M 3/155 P

請求項の数 2 (全 8 頁)

(21) 出願番号	特願平10-529290	(73) 特許権者	コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ
(86) (22) 出願日	平成10年3月2日(1998.3.2)		オランダ国 5621 ベーアー アイン
(65) 公表番号	特表2000-511758(P2000-511758A)		ドーフエン フルーネヴァウツウェッハ
(43) 公表日	平成12年9月5日(2000.9.5)		1
(86) 国際出願番号	PCT/IB1998/000264	(74) 代理人	弁理士 杉村 憲司
(87) 国際公開番号	W01998/044622		
(87) 国際公開日	平成10年10月8日(1998.10.8)	(74) 代理人	弁理士 藤原 英治
審査請求日	平成17年3月1日(2005.3.1)		
(31) 優先権主張番号	97200922.9	(74) 代理人	弁理士 杉村 興作
(32) 優先日	平成9年3月27日(1997.3.27)		
(33) 優先権主張国	欧州特許庁(EP)	(74) 代理人	弁理士 杉村 純子

最終頁に続く

(54) 【発明の名称】 デジタル制御切換モード電圧変換器

(57) 【特許請求の範囲】

【請求項 1】

入力電圧を出力電圧に変換する目的のスイッチング手段を有する変換手段と、前記スイッチング手段のデューティサイクルを、個別の値を有するステップで制御する制御手段とを具えるデジタル制御切換モード電圧変換器であって、

前記制御手段が、デューティサイクルの平均値が目標とするデューティサイクルに相当するようにデューティサイクルを少なくとも2つの個別の値間で連続的に切換える切換手段を具え、

前記切換手段が、デューティサイクルの2つの個別の値を連続的に切換えるスイッチング時間間の比に対応する少なくとも1つのスイッチングパターンを記憶するメモリ手段を具えているデジタル制御切換モード電圧変換器において、

T_{dc} が目標とするデューティサイクルを表し、 S がデューティサイクルの2つの個別の値間の差を表し、 $ENTIER$ がオペランドの整数を規定する演算子であるものとした場合に、式 $N_A = T_{dc} - \{ S \cdot ENTIER(T_{dc} / S) \}$

を満足する数値 N_A がメモリ手段のアドレスに相当するようにしたことを特徴とするデジタル制御切換モード電圧変換器。

【請求項 2】

請求の範囲 1 に記載のデジタル制御切換モード電圧変換器において、前記切換手段は、スイッチングパターンを受けるために、数値 N_A によりアドレスが選択されるメモリ手段の出力端に結合されていることを特徴とするデジタル制御切換モード電圧変換器。

10

20

【発明の詳細な説明】

本発明は、入力電圧を出力電圧に変換する目的のスイッチング手段を有する変換手段と、前記スイッチング手段のデューティサイクルを、個別の値を有するステップで制御する制御手段とを具えるデジタル制御切換モード電圧変換器に関するものである。

このような電圧変換器は、ドイツ連邦共和国特許第2746578号明細書に記載されており、既知である。この電圧変換器では、スイッチのデューティサイクル（すなわち、スイッチを閉じている時間を、スイッチを閉じている時間とスイッチを開いている時間との合計で割った値）のステップ制御により得られる。例えば、出力電圧を高める必要がある場合には、デューティサイクルがステップで高められる。

この既知の電圧変換器には、出力電圧の精度、すなわち、電圧分解能が電圧変換器の時間分解能と相関関係に有り、この時間分解能が、個別のステップで適合しうるデューティサイクルにより規定されるという点で、この精度が制限されているという欠点がある。

この既知の電圧変換器では、個別のステップのステップ寸法を所定の割合だけ減少させることにより、電圧分解能を改善しうる。この場合、出力電圧の同様な電圧範囲を得るには、個別のステップの個数を同じ割合だけ増大させる必要がある。このことは、出力電圧が可能な最小値である場合にそうであるように、スイッチのデューティサイクルが最小である場合に、デューティサイクルの値が上述した割合だけ減少されるということを意味する。しかし、出力電圧の可能な最大値で生じるデューティサイクルの最大値は変化しない。従って、デューティサイクルの最大値とデューティサイクルの最小値との間の比が上述した割合だけ増大する（可能性がある）。（デューティサイクルの最小値中）スイッチが閉じている最短時間が、必要とするシステムクロックの最大周期を表す。この最大周期がシステムクロックの最小のシステムクロック周波数に相当する。個別のステップのステップ寸法を減少させることにより（或いは、時間分解能を高めることにより）時間分解能を改善しようとする、最小のシステムクロック周波数がこの所定の割合だけ増大すること明らかである。

上述した解決策は不利である。その理由は、電圧分解能を充分高くしうるようにするためには、この目的に要する電気回路が極めて複雑となり、多くの電力を消費し、実施不可能さえにもなる程度に、必要とする最大システムクロック周波数が高くなるおそれがある為である。これに対する解決策は、スイッチのスイッチング周期、すなわちスイッチが閉じている時間とスイッチが開いている時間との合計を、デューティサイクルを変えることなく増大させることである。この場合、これに比例して、最小システムクロック周波数が減少するおそれがある。換言すれば、最小システムクロック周波数は最小スイッチング周波数（スイッチのスイッチング周期の逆数）に正比例する。

しかし、上述した解決策には他の欠点がある。切換モード電圧変換器は一般に、コイルを有する。従って、所定のデューティサイクルに対する電圧変換器のエネルギー損失はコイルの自己インダクタンスに反比例し、且つスイッチング周波数に反比例する。自己インダクタンスはコイルの寸法の点で任意に大きくできない為、スイッチング周波数が減少した場合、電圧変換器の効率が低くなる。

要するに、時間分解能を高めることにより電圧変換器の電圧分解能を高めるには、一方では最小システムクロック周波数により、他方では最大システムクロック周波数により課せられる制限を受ける。

更に、一般に存在する平滑キャパシタのキャパシタンスを、スイッチング周波数が減少するにつれて高くする必要があることに注意すべきである。その結果、平滑キャパシタの寸法を不所望に増大させる。

本発明の目的は、上述した欠点を最少にしたデジタル制御切換モード電圧変換器を提供せんとするにある。

この目的のために、本発明は、

入力電圧を出力電圧に変換する目的のスイッチング手段を有する変換手段と、前記スイッチング手段のデューティサイクルを、個別の値を有するステップで制御する制御手段とを具えるデジタル制御切換モード電圧変換器であって、

10

20

30

40

50

前記制御手段が、デューティサイクルの平均値が目標とするデューティサイクルに相当するようにデューティサイクルを少なくとも2つの個別の値間で連続的に切換える切換手段を具え、

前記切換手段が、デューティサイクルの2つの個別の値を連続的に切換えるスイッチング時間間の比に対応する少なくとも1つのスイッチングパターンを記憶するメモリ手段を具えているデジタル制御切換モード電圧変換器において、

T_{dc} が目標とするデューティサイクルを表し、 S がデューティサイクルの2つの個別の値間の差を表し、 $ENTIER$ がオペランドの整数を規定する演算子であるものとした場合に、式 $N_A = T_{dc} - \{ S \cdot ENTIER (T_{dc} / S) \}$

を満足する数値 N_A がメモリ手段のアドレスに相当するようにしたことを特徴とする。

10

出力電圧の所望値、すなわち、目標とする出力電圧は、目標とするデューティサイクルに対応する。デジタル制御切換モード電圧変換器では、デューティサイクルをステップで制御しうる為、デューティサイクルの結果値は目標とするデューティサイクルに正確に対応しない。本発明は、デューティサイクルを2つの個別の値間で連続的に切換え、その結果デューティサイクルの平均値が目標とするデューティサイクルに等しくなるように、出力電圧が2つの値間で連続的に変化するようにすることにより、出力電圧の平均値が目標とする出力電圧に等しくなるという事実の認識を基に成したものである。出力電圧の変化は、コイル及び/又は平滑キャパシタのような電圧変換器に存在する素子の設計を適切にした場合に、これら素子のフィルタ作用により排除される。従って、出力電圧を目標とする出力電圧にほぼ等しくすることが達成される。

20

目標とするデューティサイクルにより、メモリ手段のアドレスを選択する数値が決定される。選択したアドレスに対応するスイッチングパターン又はビットパターンはメモリ手段から読出され、周期的な時間の表に応じて切換手段に伝達される。

本発明は更に、デジタル制御切換モード電圧変換器により入力電圧を出力電圧に変換する電圧変換方法であって、スイッチング手段を用いて、入力電圧を出力電圧に変換し、制御手段を用いて、スイッチング手段のデューティサイクルを、個別の値を有するステップで制御する電圧変換方法に関するものである。

本発明によるこの方法では、デューティサイクルの平均値が目標とするデューティサイクルに相当するようにデューティサイクルを少なくとも2つの個別の値間で連続的に切換えることを特徴とする。

30

次に、添付図面を参照して本発明を詳細に説明する。

添付図面で、同様な部分又は素子に同じ符号を付してある。

図1は、本発明によるデジタル制御切換モード電圧変換器の基本線図を示す。この電圧変換器は、入力電圧 u_i を出力電圧 u_o に変換する目的のスイッチング手段 SM を有する変換手段 CMS を具えている。電圧変換器の入力端子 IP に現れる入力電圧 u_i は電圧供給手段、例えば、電圧源 U_s により供給される。この電圧源 U_s は入力端子 IP と接地端子 0 との間に結合されている。電圧変換器の出力端子 OP に現れる出力電圧 u_o は、この出力端子 OP と接地端子 0 との間に結合された負荷 Z_L に供給される。電圧変換器は更に、個別の値 D_{c1} , D_{c2} を有するステップでスイッチング手段 SM のデューティサイクルを制御する制御手段 CM を有している。この制御手段 CM は、デューティサイクルの平均値が目標とするデューティサイクルに一致するように2つの個別の値 D_{c1} , D_{c2} 間の切換えを連続的に行う切換手段 SO を有する。スイッチング手段 SM のスイッチング時間に関する必要情報はメモリ手段 MM 内に記憶されている。

40

図2, 3及び4は、本発明による電圧変換器に用いる変換手段 CMS の既知の回路トポロジーを示す。これらのトポロジーでは、T型回路網がコイル L と、ダイオード D と、スイッチ SW として構成したスイッチング手段 SM とを以て構成されている。このT型回路網は入力端子 IP 、出力端子 OP 及び接地端子 0 間に配置されている。出力端子 OP 及び接地端子 0 間には平滑キャパシタ C が配置されている。図2のブースト電圧変換器では、入力端子 IP がコイル L に結合され、出力端子 OP がダイオード D の電極に結合され、スイッチ SW がT型回路網の垂直分岐を構成し、この垂直分岐が接地端子 0 に結合されてい

50

る。図3の反転電圧変換器では、入力端子IPがスイッチSWに結合され、出力端子OPがダイオードDの電極に結合され、コイルLがT型回路網の垂直分岐を構成している。図4のバック電圧変換器では、入力端子IPがスイッチSWに結合され、出力端子OPがコイルLに結合され、ダイオードDがT型回路網の垂直分岐を構成している。

図5はデジタル制御電圧変換器の動作を説明するための幾つかの線図(I, II, III)を示す。線図IはスイッチSWのスイッチングパターンを示し、ここで T_s はスイッチSWのスイッチング周期であり、 t_1 はスイッチSWが閉成している時間を示す。スイッチSWのデューティサイクルの第1の個別の値 D_{c1} は t_1 / T_s に等しい。線図IIは、線図Iに類似して、デューティサイクルの第2の個別の値 D_{c2} を示し、この値は t_2 / T_s に等しい。このことは、 $t_2 = t_1 + \tau$ を意味する。ここに、 τ は可能な最も短い時間ステップである。線図IIIは、目標とするデューティサイクルが目標時間 t_{tg} とスイッチング周期との商に等しい目標とするスイッチングパターンの一例を示す。目標時間 t_{tg} と t_1 との間の差を τ_{tg} で示す。 τ_{tg} は τ の整数倍でない(又は τ に等しくない)為、この目標とするデューティサイクルは実現できない。しかし、2つのスイッチングパターンI, II間で連続的に切換えを行うことにより、平均のデューティサイクルが目標とするデューティサイクルに等しいスイッチングパターン(図5には図示せず)を実現できる。

図6は、本発明によるデジタル制御電圧変換器に用いるメモリMMの一例を示す。一例として、電圧分解能を10倍に改善する必要があるものとする。このことは、デューティサイクルの9つの仮想中間値が必要であり、これらの中間値はデューティサイクルの2つの順次の個別の値間にあることを意味する。これら9つの中間値はメモリMM内にスイッチングパターンSPとして記憶されている。目標とするデューティサイクル T_{dc} から数値 N_A が取出される。この数値 N_A はスイッチングパターンSPを選択するためのメモリMMのアドレスADRを指示するものである。選択されるスイッチングパターンSPは0と1とから成る。これらビットはメモリMMの出力端MOに周期的に現れ、この出力端は切換手段SOに結合されている。ポインタPは、選択されたスイッチングパターンのどのビットがメモリMMの出力端MOに現れるようにするかを決定する。例えば、ポインタの位置は、図6に示すように、ビット毎に左から右に進行させ、その後最も右側の位置から最も左側の位置に戻し、その後再びビット毎に左から右に進行させるようにすることができる。数値 N_A は次式を満足する。

$$N_A = T_{dc} - \{ S \cdot \text{ENTIER}(T_{dc} / S) \} \quad [1]$$

ここに、Sは、デューティサイクルの2つの個別の値 D_{c1} , D_{c2} 間の差を表し、ENTIERはオペランドの整数を規定する演算子である。例えば、 $\text{ENTIER}(3.73) = 3$ である。

次に、本発明の動作を特定の3例を以て説明する。

例1:

例えば、 $T_s = 50 \mu\text{秒}$; $t_1 = 10 \mu\text{秒}$; $t_2 = 20 \mu\text{秒}$; $\tau = 10 \mu\text{秒}$ であるものと仮定する。これにより、 $S = \tau / T_s = 0.2$ となる。更に、 $D_{c1} = t_1 / T_s = 0.2$; $D_{c2} = t_2 / T_s = 0.4$ であるものと仮定する。更に、 $\tau_{tg} = 5 \mu\text{秒}$ であると仮定すると、これから $t_{tg} = t_1 + \tau_{tg} = 15 \mu\text{秒}$ 及び $T_{dc} = t_{tg} / T_s = 15 \mu\text{秒} / 50 \mu\text{秒} = 0.3$ が得られる。従って、目標とするデューティサイクル T_{dc} は2つの個別の値 D_{c1} 及び D_{c2} 間の中央に正確に位置する。このことは、スイッチング手段SMのデューティサイクルは時間の50%の間デューティサイクル D_{c1} により、時間の残りの50%の間デューティサイクル D_{c2} により決定されるということの意味する。この場合、数値 N_A はアドレスADR5を指定する必要がある。実際、アドレスADR5に対応するスイッチングパターンSPのビットは50%に対し論理値1及び50%に対し論理値0から成っている。この場合、論理値0が切換手段SOを用いてデューティサイクル D_{c1} の切換えを行う。同様に、論理値1がデューティサイクル D_{c2} の切換えを行う。数値 N_A の値は式[1]により計算され、

$$N_A = 0.3 - 0.2 \cdot \{ \text{ENTIER}(0.3 / 0.2) \} = 0.3 - 0.2 \cdot 1 = 0.1$$

となる。

例2:

例えば、 $T_s = 50 \mu\text{秒}$; $t_1 = 10 \mu\text{秒}$; $t_2 = 20 \mu\text{秒}$; $\tau = 10 \mu\text{秒}$ であるものと仮定

10

20

30

40

50

する。これにより、 $S = t / T_s = 0.2$ となる。更に、 $D_{c1} = t_1 / T_s = 0.2$; $D_{c2} = t_2 / T_s = 0.4$ であるものと仮定する。更に、 $t_g = 3 \mu$ 秒であると仮定すると、これから $t_{tg} = t_1 + t_g = 13 \mu$ 秒及び $T_{dc} = t_{tg} / T_s = 13 \mu$ 秒 / 50μ 秒 = 0.26 が得られる。従って、目標とするデューティサイクル T_{dc} は2つの個別の値 D_{c1} 及び D_{c2} 間に位置する。この場合、目標とするデューティサイクル T_{dc} は、式

$$T_{dc} = 0.7 \cdot D_{c1} + 0.3 \cdot D_{c2} \quad (0.7 \cdot 0.2 + 0.3 \cdot 0.4 = 0.26)$$

が満足されるように、個別の値 D_{c2} に対するよりも個別の値 D_{c1} に近付いて位置する。この場合、数値 N_A はアドレスADR3を指定する必要がある。実際、アドレスADR3に対応するスイッチングパターンSPのビットは、その70%に対し論理値0及び30%に対し論理値1から成っている。数値 N_A の値は式〔1〕により計算され、
 $N_A = 0.26 - 0.2 \cdot \{ \text{ENTIER} (0.26 / 0.2) \} = 0.26 - 0.2 \cdot 1 = 0.06$
 となる。

10

例3 :

例えば、 $T_s = 50 \mu$ 秒 ; $t_1 = 10 \mu$ 秒 ; $t_2 = 20 \mu$ 秒 ; $t = 10 \mu$ 秒であるものと仮定する。従って、 $S = t / T_s = 0.2$ となる。更に、 $D_{c1} = (3 \cdot t_1) / T_s = 0.6$; $D_{c2} = (4 \cdot t_1) / T_s = 0.8$ であるものと仮定する。更に、 $t_{tg} = 43 \mu$ 秒 ; $T_{dc} = t_{tg} / T_s = 33 \mu$ 秒 / 50μ 秒 = 0.66 であると仮定する。従って、目標とするデューティサイクル T_{dc} は2つの個別の値 D_{c1} 及び D_{c2} 間に位置する。例2と同様に、

$$T_{dc} = 0.7 \cdot D_{c1} + 0.3 \cdot D_{c2} \quad (0.7 \cdot 0.6 + 0.3 \cdot 0.8 = 0.66)$$

が満足される。本例における目標とするデューティサイクル T_{dc} は例2における場合と異なる値を有する。しかし、デューティサイクルの個別の値 D_{c1} 及び D_{c2} に対する目標とするデューティサイクル T_{dc} の相対位置は、例2のデューティサイクルの個別の値 D_{c1} 及び D_{c2} に対する目標とするデューティサイクル T_{dc} の相対位置に類似する。この場合も、数値 N_A はアドレスADR3を指定する必要がある。この場合も、数値 N_A の値は式〔1〕により計算され、

20

$$N_A = 0.66 - 0.2 \cdot \{ \text{ENTIER} (0.66 / 0.2) \} = 0.66 - 0.2 \cdot 3 = 0.06$$

となる。このことは、数値 N_A が実際にアドレスADR3を指定していることを示す。

或いはまた、全てのビットを反転させることができる。この場合、メモリMMの出力端MOと切手段SOとの間にインバータを配置することにより、同じ結果が得られる。本発明を正しく動作させるためには、スイッチングパターンSPの各々が1及び0の正しい位置を表すようにすれば充分である。アドレスADR3を有するスイッチングパターンSPは例えば、7つの論理値0が続く3つの論理値1の列を以て構成することもできる。しかし、出力電圧の変動又はリップルを最小にするには、論理値1及び0をできるだけ一様に配置するのが好ましい。

30

図6に示す例では、アドレスSDR6 ; 7 ; 8 ; 9を有するスイッチングパターンSPが、アドレスADR4 ; 3 ; 2 ; 1を有するスイッチングパターンSPに対して反転されている。このことは、メモリの容量をほぼ半分にしようということを意味する。その理由は、アドレスADR6 ; 7 ; 8 ; 9に対応するスイッチングパターンSPをアドレス4 ; 3 ; 2 ; 1に対応するスイッチングパターンSPから取出しようである。

図7は、本発明に用いるメモリをアドレスする方法の一例を示す。この図7は、数値 N_A の値がメモリMMのアドレスADRにいかに対応するかを示している。これら数値は上述した3つの特定例に基づいている。式〔1〕から $N_A = 0$ が明らかである場合には、このことは、目標とするデューティサイクル T_{dc} がデューティサイクルの個別の値に等しいということの意味する。この場合には、切手段SOを切換える必要がない。

40

【図面の簡単な説明】

図1は、本発明によるデジタル制御切換モード電圧変換器の基本回路図を示し、

図2は、通常のブースト電圧変換器の電気回路図を示し、

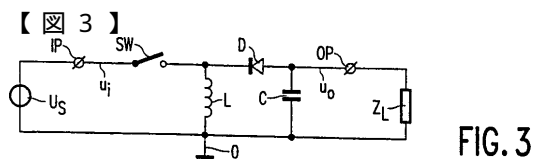
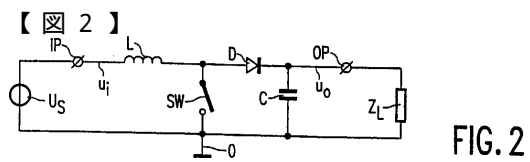
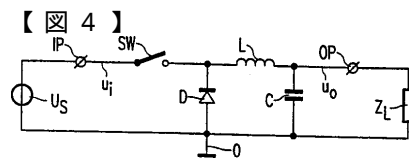
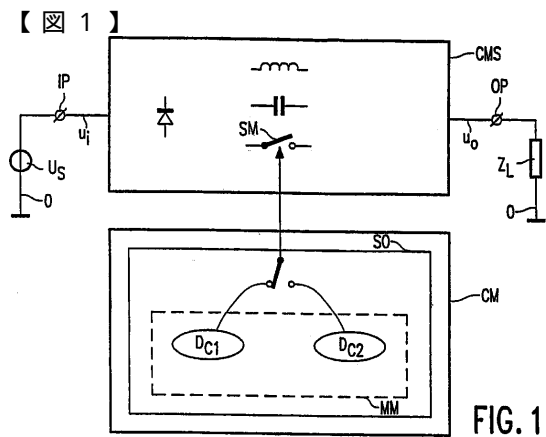
図3は、通常の反転電圧変換器の電気回路図を示し、

図4は、通常のバック(buck)電圧変換器の電気回路図を示し、

図5は、本発明による電圧変換器の動作を説明するための波形図を示し、

50

図6は、本発明によるデジタル制御電圧変換器に用いるメモリの基本線図を示し、
図7は、本発明に用いるメモリをアドレスする方法の一例を示す。



【 5 】

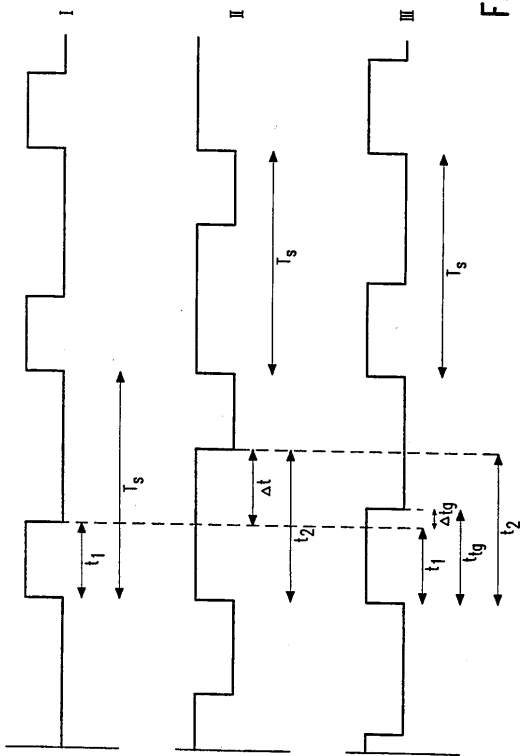


FIG. 5

【 6 】

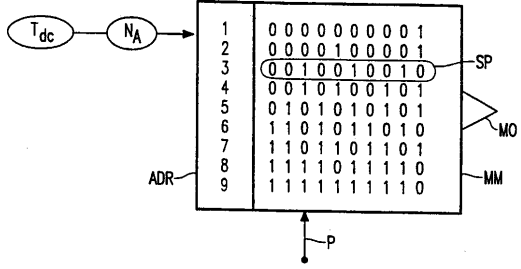


FIG. 6

【 7 】

N_A	→	ADR
0.02	→	1
0.04	→	2
0.06	→	3
0.08	→	4
0.10	→	5
0.12	→	6
0.14	→	7
0.16	→	8
0.18	→	9

FIG. 7

フロントページの続き

(74)代理人

弁理士 徳永 博

(74)代理人

弁理士 高見 和明

(74)代理人

弁理士 梅本 政夫

(72)発明者 アップeltauns クン エミール ヨゼフ

オランダ国 5 6 5 6 アーアー アインドーフエン プロフ ホルストラーン 6

(72)発明者 スロイス フェルディナント ヤコブ

オランダ国 5 6 5 6 アーアー アインドーフエン プロフ ホルストラーン 6

審査官 櫻田 正紀

(56)参考文献 特開平05 - 199749 (JP, A)

特開平01 - 171007 (JP, A)

特開平05 - 333947 (JP, A)

特開平06 - 197548 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H02M 3/00 - 3/44