

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年4月4日(04.04.2019)



(10) 国際公開番号

WO 2019/065463 A1

(51) 国際特許分類:

H01L 29/78 (2006.01) H01L 29/06 (2006.01)
H01L 21/336 (2006.01) H01L 29/12 (2006.01)

(21) 国際出願番号: PCT/JP2018/034875

(22) 国際出願日: 2018年9月20日(20.09.2018)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2017-186916 2017年9月27日(27.09.2017) JP

(71) 出願人: 株式会社デンソー (DENSO CORPORATION) [JP/JP]; 〒4488661 愛知県刈谷市昭和町1丁目1番地 Aichi (JP).

(72) 発明者: 箕谷 周平(MITANI Shuhei); 〒4488661 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内 Aichi (JP). 池上 勝哉(IKEGAMI Katsuya); 〒4718571 愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内 Aichi (JP). 副島 成雅(SOEJIMA Narumasa); 〒4801192 愛

知県長久手市横道41番地の1 株式会社豊田中央研究所内 Aichi (JP).

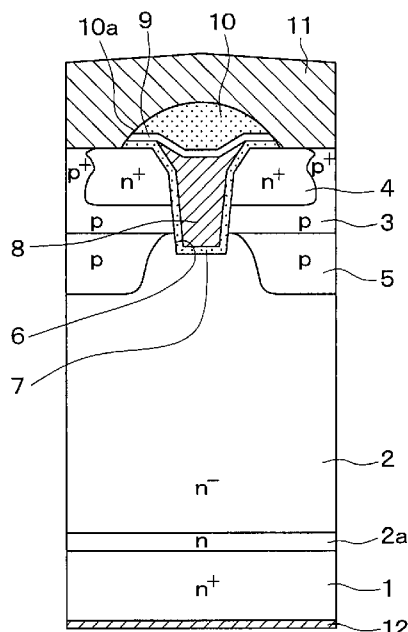
(74) 代理人: 特許業務法人ゆうあい特許事務所 (YOU-I PATENT FIRM); 〒4600003 愛知県名古屋市中区錦一丁目6番5号 名古屋錦シティビル4階 Aichi (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

[図1]



(57) Abstract: The present invention comprises a strongly correlated material layer (9) provided between a source electrode (11) and a gate electrode (8) of a vertical MOSFET. This makes it possible, when heat generation occurs in an element during short circuiting, to cause the strongly correlated material layer (9) to function as a conductor and cause the gate and the source of the vertical MOSFET to electrically connect. Therefore, the voltage of the gate electrode (8) can be reduced and a short-circuit current flowing in the vertical MOSFET can be cut off, making it possible to minimize the power in the vertical MOSFET.

(57) 要約: 縦型MOSFETのゲート電極(8)とソース電極(11)との間に強相関材料層(9)を備える。これにより、短絡時に素子発熱が生じたときに、強相関材料層(9)が導体として機能し、縦型MOSFETのゲートソース間が導通させることができる。したがって、ゲート電極(8)の電圧を低下させることが可能となり、縦型MOSFETに流れる短絡電流を遮断できるため、縦型MOSFETでの電力を抑えることが可能となる。

[続葉有]

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

明 細 書

発明の名称：半導体装置

関連出願への相互参照

[0001] 本出願は、2017年9月27日に提出された日本特許出願番号2017-186916号に基づくもので、ここにその記載内容が参照により組み入れられる。

技術分野

[0002] 本開示は、炭化珪素などの半導体材料によって構成されるMOS構造の半導体素子を有する半導体装置に関するものである。

背景技術

[0003] 近年、パワーデバイスのオン抵抗 R_{on} の改善が試みられており、単位面積当たりのオン抵抗 R_{on} が $1\text{ m}\Omega\text{ cm}^2$ 以下のものまで開発されるようになってきている。

[0004] 一方、パワーデバイスが短絡状態になること、具体的にはパワーデバイスであるMOSFETのゲートがオンされたままの状態を高電圧な電源電圧が掛かる状態になった場合、MOSFETが高耐圧・低抵抗な素子であるためにMOSFETでの電力が大きくなる。このため、短絡時に素子破壊に至るまでの時間が $10\text{ }\mu\text{s ec}$ より短くなるケースが多くなっている。

[0005] 具体的には、ドレインソース間電圧（以下、 V_{ds} という）とドレインソース間電流（以下、 I_{ds} という）との関係を示す $V_{ds}-I_{ds}$ 特性において、飽和領域での I_{ds} に対して短絡時の V_{ds} を掛けた値が電力となる。短絡時には、例えば600～1200Vもしくはそれ以上の電圧が V_{ds} としてドレインに印加されることから、MOSFETでの電力は非常に大きくなる。シリコンデバイスの場合、ゲート電圧 V_g に応じて I_{ds} が大きくなっても飽和領域での I_{ds} がほぼ一定となるが、SiCデバイスの場合、飽和領域でも I_{ds} が所定勾配で増加していくことから、MOSFETでの電力が尚更に大きくなる。したがって、MOSFETが瞬時に高温化し

てしまい、高い短絡耐量を得ることが難しくなる。

[0006] これに対して、特許文献1に、MOSFETでの電力を低減できる構造の半導体装置が提案されている。この半導体装置では、ソース電極に、所定の高温条件下で抵抗値が増加する材料からなり、SiCエピタキシャル層に形成された電流パスに過電流が流れたときに、その電流密度を所定値以下に制限する可変抵抗層を設けるようにしている。

[0007] また、MOSFETの高温化対策として、電流センスなどを用いた駆動回路によって過電流発生時にゲート電圧 V_g の印加をオフし、素子破壊を抑制することもできる。

先行技術文献

特許文献

[0008] 特許文献1：特許第6065303号公報

発明の概要

[0009] しかしながら、特許文献1のように、可変抵抗層を設けることで電流密度を制限するだけでは大きな電力が発生することを防ぐことはできず、十分な短絡耐量を得ることはできない。

[0010] また、電流センスなどを用いた駆動回路によってゲート電圧 V_g の印加をオフする場合でも、上記したように、短絡時に素子破壊に至るまでの時間が短すぎてゲート電圧 V_g の印加を的確にオフすることができず、素子破壊を防ぎきれないという問題がある。

[0011] なお、ここでは半導体材料として、特に高電圧が使用されるSiCを用いる場合について説明したが、SiCに限らず、他の半導体材料、特にGaNなどの化合物半導体についても、同様のことが言える。

[0012] 本開示は上記点に鑑みて、よりの確に短絡耐量を得ることが可能なMOS構造の半導体素子を有する半導体装置を提供することを目的とする。

[0013] 本開示の1つの観点では、炭化珪素で構成された第1または第2導電型の基板と、基板の上に形成され、基板よりも低不純物濃度とされた第1導電型の半導体からなるドリフト層と、ドリフト層の上に形成された第2導電型の

炭化珪素からなるベース領域と、ベース領域の上に形成され、ドリフト層よりも第1導電型不純物濃度が高くされた第1導電型の炭化珪素からなるソース領域と、ドリフト層とソース領域との間におけるベース領域の表面に形成されたゲート絶縁膜と、ゲート絶縁膜の上に配置されたゲート電極と、ゲート電極およびゲート絶縁膜を覆うと共にコンタクトホールが形成された層間絶縁膜と、コンタクトホールを通じて、ソース領域に電氣的に接続されたソース電極と、基板の裏面側に形成されたドレイン電極と、を含む半導体素子を有している。そして、このような構成において、ゲート電極とソース電極との間に、半導体素子の温度上昇に感応してゲート電極とソース電極との間を導通させる強相関電子材料により構成された強相関材料層を備えている。

[0014] これにより、短絡時に素子発熱が生じたときに、強相関材料層が導体として機能し、MOS構造の半導体素子のゲートーソース間が導通させることができる。したがって、ゲート電極の電圧を低下させることが可能となり、半導体素子に流れる短絡電流を遮断できるため、半導体素子での電力を抑えることが可能となる。よって、半導体素子が高温化することを抑制でき、半導体素子が素子破壊に至ることを抑制できて、よりの確に短絡耐量を得ることが可能なMOS構造の半導体素子を有する半導体装置とすることができる。

なお、各構成要素等に付された括弧付きの参照符号は、その構成要素等と後述する実施形態に記載の具体的な構成要素等との対応関係の一例を示すものである。

図面の簡単な説明

[0015] [図1]第1実施形態にかかる半導体装置の断面図である。

[図2]強相関材料層における温度 T と抵抗率 ρ との関係を示した図である。

[図3]強相関電子材料が絶縁体として機能する際の抵抗率 $\rho_{\text{insulator}}$ と金属として機能する際の抵抗率 ρ_{metal} との比（以下、 $\rho_{\text{insulator}}/\rho_{\text{metal}}$ という）と相転移が生じる温度 T との関係を示した図である。

[図4]高温化した際の半導体装置の回路図である。

[図5A]図1に示す半導体装置の製造工程を示した断面図である。

[図5B]図5 Aに続く半導体装置の製造工程を示した断面図である。

[図5C]図5 Bに続く半導体装置の製造工程を示した断面図である。

[図5D]図5 Cに続く半導体装置の製造工程を示した断面図である。

[図5E]図5 Dに続く半導体装置の製造工程を示した断面図である。

[図6]第2実施形態にかかる半導体装置の断面図である。

発明を実施するための形態

[0016] 以下、本開示の実施形態について図に基づいて説明する。なお、以下の各実施形態相互において、互いに同一もしくは均等である部分には、同一符号を付して説明を行う。

[0017] (第1実施形態)

第1実施形態について説明する。本実施形態にかかる半導体装置は、図1に示すように、MOS構造の半導体素子として縦型MOSFETが形成されたものである。縦型MOSFETは、半導体装置のうちのセル領域に形成されており、そのセル領域を囲むように外周耐圧構造が形成されることで半導体装置が構成されているが、ここでは縦型MOSFETのみ図示してある。なお、以下の説明では、図1の左右方向を幅方向とし、上下方向を厚み方向もしくは深さ方向として説明を行う。

[0018] 半導体装置には、SiCからなる n^+ 型基板1が半導体基板として用いられている。本実施形態の場合、図1の紙面法線方向がオフ方向と一致させられている。 n^+ 型基板1としては、表面が(0001)Si面とされていて、所定のオフ角を有したオフ基板が用いられており、例えばオフ方向が $\langle 11-20 \rangle$ とされている。 n^+ 型基板1の n 型不純物濃度は、例えば $1.0 \times 10^{19} / \text{cm}^3$ とされている。

[0019] n^+ 型基板1の主表面上には、SiCからなる n^- 型ドリフト層2、 p 型ベース領域3および n^+ 型ソース領域4が順にエピタキシャル成長などによって形成されている。

[0020] n^- 型ドリフト層2は、例えば n 型不純物濃度が $0.5 \sim 2.0 \times 10^{16} / \text{cm}^3$ とされ、厚さが $5 \sim 14 \mu\text{m}$ とされている。なお、 n^- 型ドリフト層2

のうち n^+ 型基板1との境界位置には、必要に応じて n^- 型ドリフト層2を部分的に高濃度としたバッファ層2aを形成してあっても良い。

[0021] p 型ベース領域3は、チャネル領域が形成される部分で、 p 型不純物濃度が例えば $2.0 \times 10^{17} / \text{cm}^3$ 程度とされ、厚みが $0.5 \sim 2 \mu\text{m}$ で構成されている。また、本実施形態の場合、 p 型ベース領域3のうちの表層部は p 型不純物濃度が高くされたコンタクト領域とされている。

[0022] n^+ 型ソース領域4は、 n^- 型ドリフト層2よりも高不純物濃度とされ、表層部における n 型不純物濃度が例えば $2.5 \times 10^{18} \sim 1.0 \times 10^{19} / \text{cm}^3$ 、厚さ $0.5 \sim 2 \mu\text{m}$ 程度で構成されている。

[0023] また、 n^- 型ドリフト層2の表層部、つまり p 型ベース領域3の下方には、 p 型ディープ層5が形成されている。 p 型ディープ層5は、 p 型ベース領域3よりも p 型不純物濃度が高くされており、複数本が等間隔に配置され、互いに交点なく離れて配置されることで、上面レイアウトがストライプ状とされている。例えば、各 p 型ディープ層5は、 p 型不純物濃度が $1.0 \times 10^{17} \sim 1.0 \times 10^{19} \text{cm}^3$ 、幅 $0.7 \mu\text{m}$ とされている。また、各 p 型ディープ層5は、深さが $0.4 \mu\text{m}$ 以上の深さとされ、後述するトレンチゲート構造よりも深い位置まで形成されることで、トレンチゲート構造への電界の入り込みを抑制する。

[0024] なお、本実施形態では、 p 型ディープ層5を n^- 型ドリフト層2の表層部にのみ形成した構造としたが、 n^+ 型ソース領域4や p 型ベース領域3を貫通して n^- 型ドリフト層2に達するように形成しても良い。例えば、 n^+ 型ソース領域4の表面からトレンチを形成し、このトレンチ内を埋め込むように p 型ディープ層5を形成することもできる。

[0025] また、 p 型ベース領域3および n^+ 型ソース領域4を貫通して n^- 型ドリフト層2に達するように、例えば幅が $0.8 \mu\text{m}$ 、深さが p 型ベース領域3と n^+ 型ソース領域4の合計膜厚よりも $0.2 \sim 0.4 \mu\text{m}$ 深くされたゲートトレンチ6が形成されている。このゲートトレンチ6の側面と接するように上述した p 型ベース領域3および n^+ 型ソース領域4が配置されている。ゲート

トレンチ 6 は、図 1 の紙面左右方向を幅方向、紙面法線方向を長手方向、紙面上下方向を深さ方向とするライン状のレイアウトで形成されている。また、図 1 には 1 本しか示していないが、ゲートトレンチ 6 は、複数本が紙面左右方向に等間隔に配置され、それぞれ p 型ディープ層 5 の間に挟まれるように配置されていてストライプ状とされている。

[0026] p 型ベース領域 3 のうちゲートトレンチ 6 の側面に位置している部分は、縦型 MOSFET の作動時に n⁺型ソース領域 4 と n⁻型ドリフト層 2 との間を繋ぐチャネル領域とされる。このチャネル領域を含むゲートトレンチ 6 の内壁面に、ゲート絶縁膜 7 が形成されている。また、ゲート絶縁膜 7 の表面にはドーパドポリシリコンで構成されたゲート電極 8 が形成されている。本実施形態の場合、ゲート電極 8 は、n 型ドーパとされているが、p 型ドーパとされていてもよい。そして、これらゲート絶縁膜 7 およびゲート電極 8 によってゲートトレンチ 6 内が埋め込まれている。このようにして、トレンチゲート構造が構成されている。

[0027] ゲート絶縁膜 7 およびゲート電極 8 の上には、強相関材料層 9 が形成されている。強相関材料層 9 は、縦型 MOSFET の温度に応じて抵抗率 ρ [$\Omega \cdot \text{cm}$] を変化させる強相関電子材料にて構成されている。強相関電子材料としては、例えば VO 系材料を用いており、ここでは VO₂を用いている。

[0028] 強相関電子材料とは、一般的には、物質の中でも電子同士の間働く有効なクーロン相互作用が強いものをいう。本実施形態の場合、強相関電子材料の中でも温度に応じて抵抗率 ρ [$\Omega \cdot \text{cm}$] を変化させ、温度が高くなるほど抵抗率 ρ [$\Omega \cdot \text{cm}$] が低くなるものを強相関材料層 9 の材料として用いている。このような材料は、縦型 MOSFET の通常使用の環境下においては、絶縁体として機能し、縦型 MOSFET の温度が上昇してくると、抵抗率 ρ [$\Omega \cdot \text{cm}$] が低くなることで導体として機能する。

[0029] 例えば、強相関電子材料として VO₂を適用する場合、図 2 に示すような温度－抵抗率特性となり、例えば 100℃以下、絶対温度で言えば 373 K 以下の温度範囲と、それを超える温度範囲とで、大きく抵抗率 ρ [$\Omega \cdot \text{cm}$]

が変化する。具体的には、図2に示すように、温度 T が373 K以下においては、抵抗率 ρ が $10^{-1} \sim 10$ [$\Omega \cdot \text{cm}$] 程度となっていて、絶縁体として働く。これに対して、温度 T が373 Kを超えると、相転移によって抵抗率 10^{-3} [$\Omega \cdot \text{cm}$] 以下まで低下し、導体となる金属として働く。

[0030] このような強相関電子材料としては、VO系の材料が挙げられるが、VO系以外のものを用いることもできる。図3は、絶縁体として機能する際の抵抗率 $\rho_{\text{insulator}}$ と金属として機能する際の抵抗率 ρ_{metal} との比（以下、 $\rho_{\text{insulator}}/\rho_{\text{metal}}$ という）と相転移が生じる温度[K]との関係を表している。この図において、 $\rho_{\text{insulator}}/\rho_{\text{metal}}$ が大きいほど、強相関電子材料が絶縁体として働くときには強相関材料層9が高い絶縁性能を有した絶縁膜となり、金属として働くときには抵抗値が低い導体として機能する。また、相転移の温度[K]に関しては、半導体装置を通常使用する際の温度範囲よりも高く、縦型MOSFETの短絡時に高温化して素子破壊が生じる温度よりも低い値であればよい。

[0031] 半導体装置を通常使用する際の温度範囲については、半導体装置の使用形態によって異なるが、例えば車両などに適用する場合、相転移の温度が室温（例えば0 K）以上とされていることが必要で、相転移の温度が373 K以上であることが好ましい。VO系の強相関電子材料であれば、 V_4O_7 、 VO_2 などは相転移の温度が室温以上となっている。特に、 VO_2 は相転移の温度が373 Kを超えており、車両に適用した使用環境においては強相関材料層9を絶縁体として機能させ、それよりも高温になると金属、つまり導体として機能させることができる。また、半導体装置の使用形態によっては、相転移温度が室温以下の場合であっても良く、その場合、より多種の強相関電子材料を強相関材料層9の材料として適用することができる。VO系の強相関電子材料であれば、 V_6O なども強相関材料層9の材料として適用可能となる。

[0032] そして、ゲート電極8がポリシリコンで構成され、強相関材料層9がゲート電極8と接触させられた構造となっている。このため、強相関材料層9は、縦型MOSFETの通常使用温度ではゲート電極8を覆う絶縁膜の一部と

して機能し、縦型MOSFETの温度が上昇するとゲート電極8と電氣的に接続される導体として機能する。

[0033] 本実施形態の場合、強相関材料層9は、ゲート電極8の全部を覆うように形成され、ゲート電極8からゲート絶縁膜7の上に至るように延設されているが、ゲート電極8の少なくとも一部を覆うように形成されていれば良い。

[0034] また、ゲート絶縁膜7やゲート電極8および強相関材料層9などの表面上には、層間絶縁膜10が形成されている。層間絶縁膜10にはコンタクトホール10aが形成されており、コンタクトホール10aを通じてn⁺型ソース領域4およびp型ベース領域3のコンタクト領域が露出させられている。また、層間絶縁膜10のうちコンタクトホール10aとされた部分の側面から強相関材料層9が部分的に露出させられている。なお、層間絶縁膜10は、BPSGなどの絶縁材料によって構成されており、本実施形態の場合は加熱処理によって丸め処理がなされている。

[0035] さらに、層間絶縁膜10の上にはソース電極11や図示しないゲート配線層などが形成されている。ソース電極11は、コンタクトホール10aを通じて、n⁺型ソース領域4およびp型ベース領域3のコンタクト領域と接触させられており、さらに強相関材料層9にも接触させられている。ゲート配線層は、図1とは別断面において、ゲート電極8と接触させられている。

[0036] ソース電極11やゲート配線層は、複数の金属、例えばNi／Al等にて構成されている。そして、複数の金属のうち少なくともn型SiC、具体的にはn⁺型ソース領域4と接触する部分はn型SiCとオーミック接触可能な金属で構成されている。また、複数の金属のうち少なくともp型SiC、具体的にはp型ディープ層5と接触する部分はp型SiCとオーミック接触可能な金属で構成されている。なお、ソース電極11やゲート配線層は、層間絶縁膜10上において互いに分離されて配置されることで電氣的に絶縁されている。

[0037] さらに、n⁺型基板1の裏面側にはn⁺型基板1と電氣的に接続されたドレイン電極12が形成されている。このような構造により、nチャネルタイプ

の反転型のトレンチゲート構造の縦型MOSFETが構成されている。このような縦型MOSFETが複数セル配置されることでセル領域が構成されている。そして、このような縦型MOSFETが形成されたセル領域を囲むように図示しないガードリングなどによる外周耐压構造が構成されることで半導体装置が構成されている。

[0038] このように構成された縦型MOSFETを有する半導体装置は、例えば、ソース電圧 V_s を0V、ドレイン電圧 V_d を1～1.5Vとした状態で、ゲート電極8に対して20Vのゲート電圧 V_g を印加することで動作させられる。すなわち、縦型MOSFETは、ゲート電圧 V_g が印加されることにより、ゲートトレンチ6に接する部分のp型ベース領域3にチャネル領域を形成し、ドレインーソース間に電流を流すという動作を行う。

[0039] そして、このような動作を行う縦型MOSFETに対して、強相関材料層9を備えている。このため、縦型MOSFETは、通常使用の温度範囲、例えば室温以下もしくは373K以下の温度範囲と、それを超える温度範囲とで、異なる動作を行うことになる。

[0040] まず、通常使用の温度範囲においては、強相関材料層9が絶縁材料として働く。このため、縦型MOSFETは、上記したような通常動作を行う。したがって、チャネル領域を通じてドレインーソース間に電流を流すという動作を行う。

[0041] これに対して、通常使用の温度範囲を超えると、強相関材料層9が導体として働き、縦型MOSFETのゲートーソース間が導通させられる。すなわち、図4の等価回路で表される構造となり、縦型MOSFET20のゲートーソース間が導通した回路構造となる。

[0042] このように、縦型MOSFET20は、短絡時に素子発熱が生じたときに、強相関材料層9が温度に感応して導体となることで、ゲートーソース間を瞬間的に導通させることが可能となる。このため、ゲート電圧 V_g がソース電位に低下させられて、縦型MOSFET20をオフすることができる。つまり、縦型MOSFET20を短絡時に自動的にオフとなるセルフターンオフ

フトランジスタとすることができる。したがって、縦型MOSFET 20に流れる短絡電流を遮断でき、縦型MOSFET 20での電力を抑えることが可能となって、縦型MOSFET 20が高温化することを抑制できる。これにより、縦型MOSFET 20が素子破壊に至ることを抑制でき、よりの確に短絡耐量を得ることが可能な縦型MOSFET 20を有する半導体装置とすることができる。

[0043] 本実施形態の半導体装置は、例えば、縦型MOSFET 20を上アームと下アームそれぞれに配置したインバータ回路等に適用される。

[0044] インバータ回路等は、例えば直流電源を用いつつ交流モータ等の負荷に対して交流電流を供給する際に用いられる。例えば、インバータ回路等は、直流電源に対して上アームと下アームを直列接続したブリッジ回路を複数個並列接続し、各ブリッジ回路の上アームと下アームを交互に繰り返しオンオフさせることで、負荷に対して交流電流を供給する。

[0045] 具体的には、インバータ回路等の各ブリッジ回路では、上アームの縦型MOSFET 20をオン、下アームの縦型MOSFET 20をオフすることで負荷に対して電流供給を行う。その後、上アームの縦型MOSFET 20をオフ、下アームの縦型MOSFET 20をオンして電流供給を停止する。電流供給時には、ドレイン電圧が5 V程度であるが、短絡時には、ドレイン電圧が600～1200 Vもしくはそれ以上の電圧になる。このため、短絡時に縦型MOSFET 20が導通したままの状態であると、縦型MOSFET 20での電力が過大となり、瞬時に高温化してしまうため、短絡耐量が得られなくなる。

[0046] また、このときの交流電流の波形が矩形波ではなく綺麗なサイン波となるようにするためには、縦型MOSFET 20をより高速にスイッチングすることが必要になる。そして、高速なスイッチングを可能とするためには、オン抵抗 R_{on} の低減が必要になるが、オン抵抗 R_{on} の低減によって I_{ds} の立ち上がりが急峻になり、より短絡耐量が得られにくくなる。特に、SiCデバイスでは、シリコンデバイスと比較して高電圧が使用され、高耐圧な

素子とされることから、さらに縦型MOSFET 20の電力が高くなり、短絡耐量が得られにくくなる。つまり、短絡耐量は、縦型MOSFET 20のオン抵抗 R_{on} や耐圧とトレードオフの関係になっており、素子の性能を向上させるほど、短絡耐量が得られにくくなる。

[0047] これに対して、本実施形態の半導体装置では、図4に示すように、縦型MOSFET 20が短絡時に発熱すると、即座にゲートソース間が導通させられて、ゲート電圧 V_g が低下させられて、縦型MOSFET 20に流れる短絡電流を遮断できる。このため、縦型MOSFET 20のオン抵抗 R_{on} を低くしたり高耐圧としても、短絡耐量を得ることが可能となる。

[0048] 次に、本実施形態にかかる縦型MOSFETを備えた半導体装置の製造方法について、図5A～図5Eを参照して説明する。

[0049] [図5Aに示す工程]

まず、半導体基板として、ウェハ状の n^+ 型基板1を用意する。そして、CVD (chemical vapor deposition) 装置などを用いて、この n^+ 型基板1の主表面上にSiCからなる n^- 型ドリフト層2を形成する。このとき、必要に応じて、 n^- 型ドリフト層2を部分的に高濃度としたバッファ層2aを形成しても良い。そして、図示しないが、p型ディープ層5の形成予定領域が開口するマスクを配置したのち、p型不純物をイオン注入することで、p型ディープ層5を形成する。

[0050] その後、マスクを除去してから、p型ディープ層5を形成した n^- 型ドリフト層2の上に、p型ベース領域3および n^+ 型ソース領域4を形成する。例えば、p型ベース領域3をエピタキシャル成長させたのち、 n 型不純物をイオン注入することで n^+ 型ソース領域4を形成することができる。また、p型ベース領域3および n^+ 型ソース領域4をエピタキシャル成長させたのち、p型不純物をイオン注入してp型ベース領域3のコンタクト領域を形成することで、p型ベース領域3および n^+ 型ソース領域4を形成できる。

[0051] [図5Bに示す工程]

次に、p型ベース領域3および n^+ 型ソース領域4の表面に図示しないマス

クを配置し、マスクのうちのトレンチゲート構造の形成予定領域を開口させる。そして、マスクを用いてR I E (Reactive Ion Etching) などの異方性エッチングを行うことにより、ゲートトレンチ6を形成する。例えば、ゲートトレンチ6の深さをp型ベース領域3とn⁺型ソース領域4の合計膜厚よりも0.2~0.4 μm 深くするという設定としてエッチングを行う。これにより、p型ベース領域3の底部からのゲートトレンチ6の突き出し量が0.2~0.4 μm となるようにしている。

[0052] 〔図5Cに示す工程〕

マスクを除去した後、例えば熱酸化を行うことによって、ゲート絶縁膜7を形成し、ゲート絶縁膜7によってゲートトレンチ6の内壁面上およびn⁺型ソース領域4の表面上を覆う。そして、例えばn型不純物がドーピングされたポリシリコンをデポジションした後、これをエッチバックし、少なくともゲートトレンチ6内にポリシリコンを残すことでゲート電極8を形成する。

[0053] 〔図5Dに示す工程〕

CVD装置などを用いて、ゲート絶縁膜7やゲート電極8の表面上に強相関材料層9を形成する。

[0054] 〔図5Eに示す工程〕

ゲート絶縁膜7やゲート電極8および強相関材料層9の上に層間絶縁膜10を成膜したのち、層間絶縁膜10と共に強相関材料層9やゲート絶縁膜7をパターニングして不要部分を除去することで、コンタクトホール10aを形成する。これにより、コンタクトホール10aを通じて、p型ベース領域3およびn⁺型ソース領域4の表面および強相関材料層9を露出させることが可能となる。

[0055] この後の工程については図示しないが、層間絶縁膜10の表面上に例えば複数の金属の積層構造により構成される電極材料を形成する。そして、電極材料をパターニングすることで、ソース電極11を形成する。さらに、n⁺型基板1の裏面側にドレイン電極12を形成するなどの工程を行うことで、図1に示した本実施形態にかかる縦型MOSFETを有する半導体装置が完成

する。

[0056] 以上説明したように、本実施形態の半導体装置では、MOSFET 20 に対して強相関材料層 9 を備え、縦型 MOSFET 20 の温度が上昇したときに強相関材料層 9 が導体として機能することでゲートソース間が導通するようにしている。このため、短絡時に素子発熱が生じたときに、ゲート電極 8 の電圧を低下させることが可能となり、縦型 MOSFET 20 に流れる短絡電流を遮断できるため、縦型 MOSFET 20 での電力を抑えることが可能となる。よって、縦型 MOSFET 20 が高温化することを抑制でき、縦型 MOSFET 20 が素子破壊に至ることを抑制できて、よりの確に短絡耐量を得ることが可能な縦型 MOSFET 20 を有する半導体装置とすることができる。

[0057] (第 2 実施形態)

第 2 実施形態について説明する。本実施形態は、第 1 実施形態に対して強相関材料層 9 の構造を変更したものであり、その他については第 1 実施形態と同様であるため、第 1 実施形態と異なる部分についてのみ説明する。

[0058] 第 1 実施形態では、ゲート絶縁膜 7 の上に強相関材料層 9 を形成し、コンタクトホール 10 a を通じて強相関材料層 9 が露出する構造とした。これに対して、本実施形態では、図 6 に示すように、層間絶縁膜 10 に貫通孔 10 b を形成し、貫通孔 10 b 内に強相関材料層 9 を備えるようにしている。

[0059] このように、層間絶縁膜 10 に対して貫通孔 10 b に強相関材料層 9 を形成するようにしても、第 1 実施形態と同様の効果を得ることができる。このような構造の半導体装置は、基本的には第 1 実施形態と同様の製造方法によって製造可能である。ただし、強相関材料層 9 の形成工程については、層間絶縁膜 10 の形成工程の後に行うことになる。具体的には、層間絶縁膜 10 を成膜してコンタクトホール 10 a を形成したのち、もしくは、コンタクトホール 10 a の形成工程と同時に、層間絶縁膜 10 のうちゲート電極 8 と対応する位置をエッチングすることで貫通孔 10 b を形成する。そして、CVD 装置などを用いて貫通孔 10 b 内を含めて強相関材料を成膜したのち、エ

タッチバックして貫通孔10bのみにp型シリコン層が残るようにすることで強相関材料層9を形成する。このようにすれば、本実施形態のような構造の強相関材料層9を備えた半導体装置を製造することができる。

[0060] (他の実施形態)

本開示は、上記した実施形態に準拠して記述されたが、当該実施形態に限定されるものではなく、様々な変形例や均等範囲内の変形をも包含する。加えて、様々な組み合わせや形態、さらには、それらに一要素のみ、それ以上、あるいはそれ以下、を含む他の組み合わせや形態をも、本開示の範疇や思想範囲に入るものである。

[0061] 例えば、上記各実施形態では、第1導電型をn型、第2導電型をp型としたnチャネルタイプの縦型MOSFETを例に挙げて説明したが、各構成要素の導電型を反転させたpチャネルタイプの縦型MOSFETとしても良い。また、上記説明では、MOS構造を有する半導体素子として縦型MOSFETを例に挙げて説明したが、同様のMOS構造を有するIGBTに対しても本開示を適用することができる。nチャネルタイプのIGBTの場合、上記各実施形態に対してn⁺型基板1の導電型をn型からp型に変更するだけであり、その他の構造や製造方法に関しては上記各実施形態と同様である。さらに、トレンチゲート型のMOS構造に限らず、プレーナ型のMOS構造の半導体素子であっても良い。すなわち、n⁻型ドリフト層2とn⁺型ソース領域4との間におけるp型ベース領域3の表面にゲート絶縁膜7が形成され、このゲート絶縁膜7の上にゲート電極8が配置された構造であれば、トレンチゲート型であってもプレーナ型であっても良い。

[0062] また、上記実施形態では、半導体材料としてSiCを用いた半導体装置を例に挙げて説明したが、SiC以外の半導体材料を用いた半導体装置についても本開示を適用することができる。例えば、SiCの他、GaNなどの化合物半導体材料を用いた半導体装置に本開示を適用すると好適である。

[0063] なお、結晶の方位を示す場合、本来ならば所望の数字の上にバー（ $\bar{}$ ）を付すべきであるが、電子出願に基づく表現上の制限が存在するため、本明細

書においては、所望の数字の前にバーを付すものとする。

請求の範囲

[請求項1]

MOS構造の半導体素子を有する半導体装置であって、
炭化珪素で構成された第1または第2導電型の基板（1）と、
前記基板の上に形成され、前記基板よりも低不純物濃度とされた第1導電型の半導体からなるドリフト層（2）と、
前記ドリフト層の上に形成された第2導電型の炭化珪素からなるベース領域（3）と、
前記ベース領域の上に形成され、前記ドリフト層よりも第1導電型不純物濃度が高くされた第1導電型の炭化珪素からなるソース領域（4）と、
前記ドリフト層と前記ソース領域との間における前記ベース領域の表面に形成されたゲート絶縁膜（7）と、
前記ゲート絶縁膜の上に配置されたゲート電極（8）と、
前記ゲート電極および前記ゲート絶縁膜を覆うと共にコンタクトホール（10a）が形成された層間絶縁膜（10）と、
前記コンタクトホールを通じて、前記ソース領域に電氣的に接続されたソース電極（11）と、
前記基板の裏面側に形成されたドレイン電極（12）と、を含む前記半導体素子を有し、
さらに、前記ゲート電極と前記ソース電極との間に、前記半導体素子の温度上昇に感応して前記ゲート電極と前記ソース電極との間を導通させる強相関電子材料により構成された強相関材料層（9）が備えられている半導体装置。

[請求項2]

前記半導体素子は、
前記ソース領域の表面から前記ベース領域よりも深く形成されたゲートトレンチ（6）内に、該ゲートトレンチの内壁面を覆うように前記ゲート絶縁膜（7）が配置されていると共に、前記ゲート絶縁膜の上に前記ゲート電極が配置されることでトレンチゲート構造が構成さ

れたトレンチゲート型のMOS構造とされている請求項1に記載の半導体装置。

[請求項3] 前記強相関材料層を構成する前記強相関電子材料は、VO系材料である請求項1または2に記載の半導体装置。

[請求項4] 前記強相関材料層を構成する前記強相関電子材料は、VO₂である請求項1または2に記載の半導体装置。

[請求項5] 前記強相関材料層は、前記ゲート絶縁膜および前記ゲート電極の上に形成され、

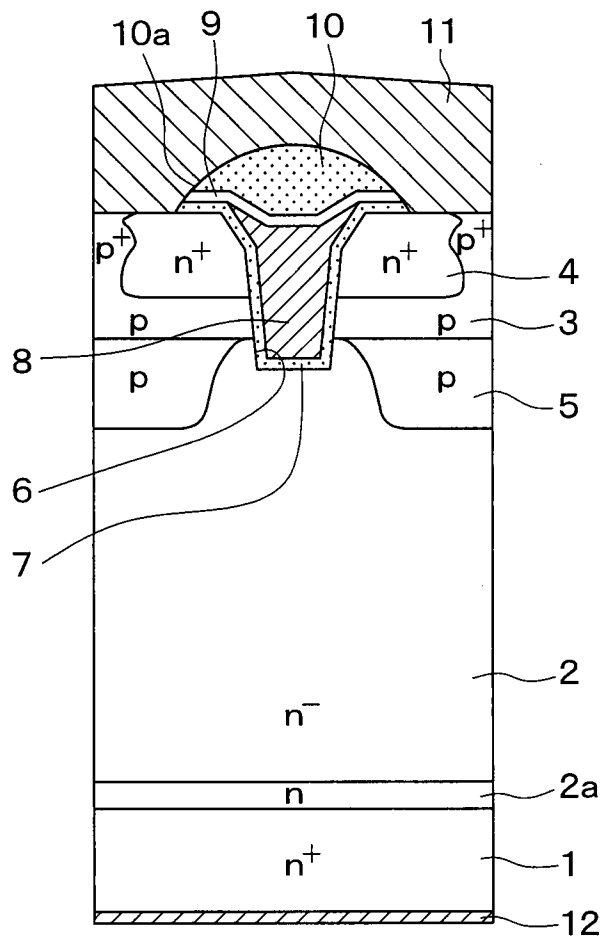
前記層間絶縁膜は、前記強相関材料層を含めて前記ゲート絶縁膜と前記ゲート電極を覆うように形成され、

前記コンタクトホールから前記強相関材料層の一部が前記ソース電極と接触している請求項1ないし4のいずれか1つに記載の半導体装置。

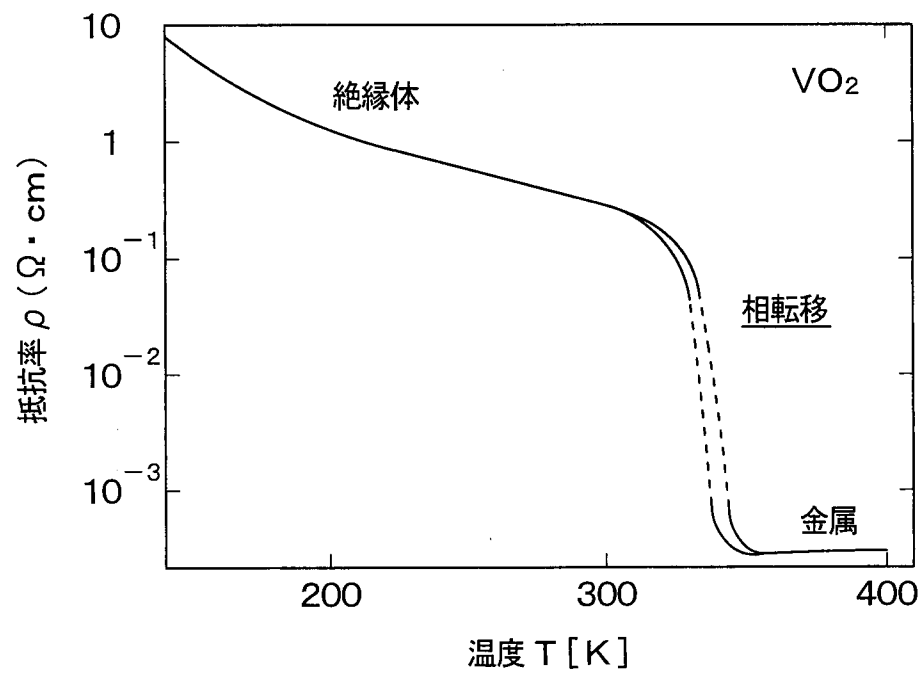
[請求項6] 前記層間絶縁膜には、前記ゲート電極に繋がる貫通孔（10b）が形成されており、

前記強相関材料層は、前記貫通孔内に備えられ、該貫通孔を通じて前記ゲート電極および前記ソース電極に接触している請求項1ないし4のいずれか1つに記載の半導体装置。

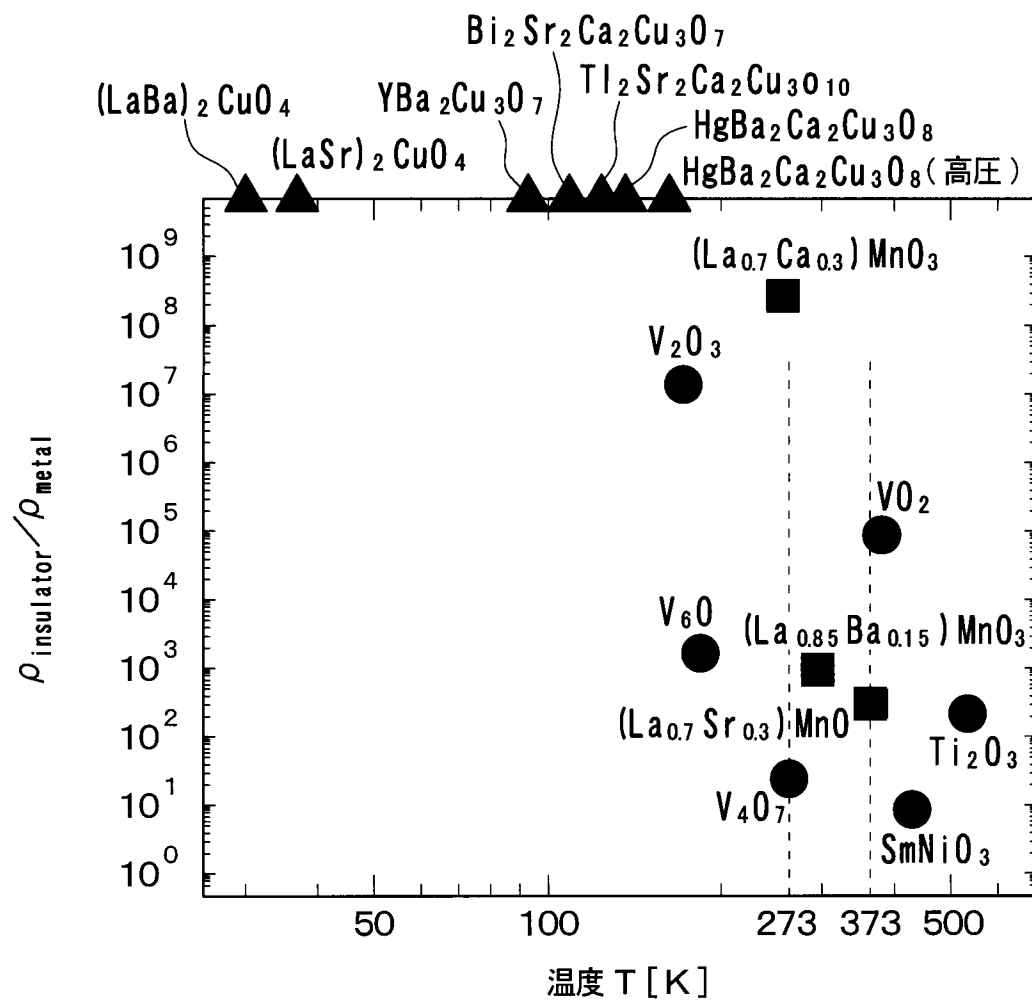
[図1]



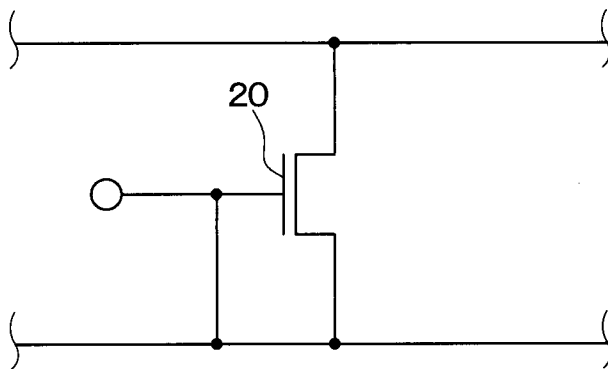
[図2]



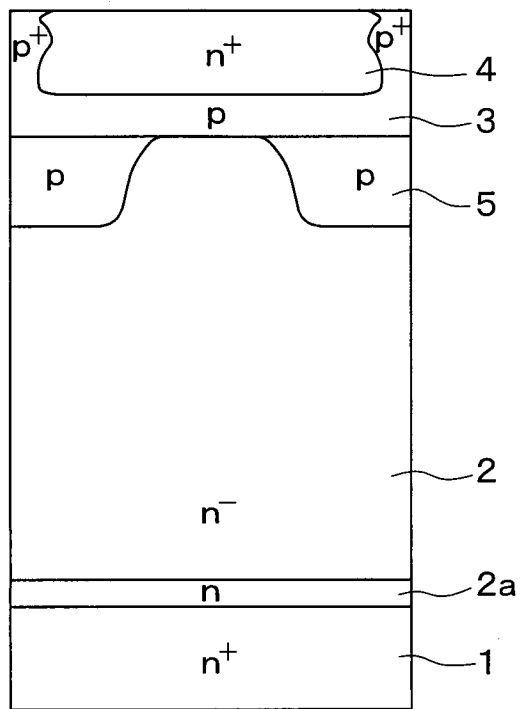
[図3]



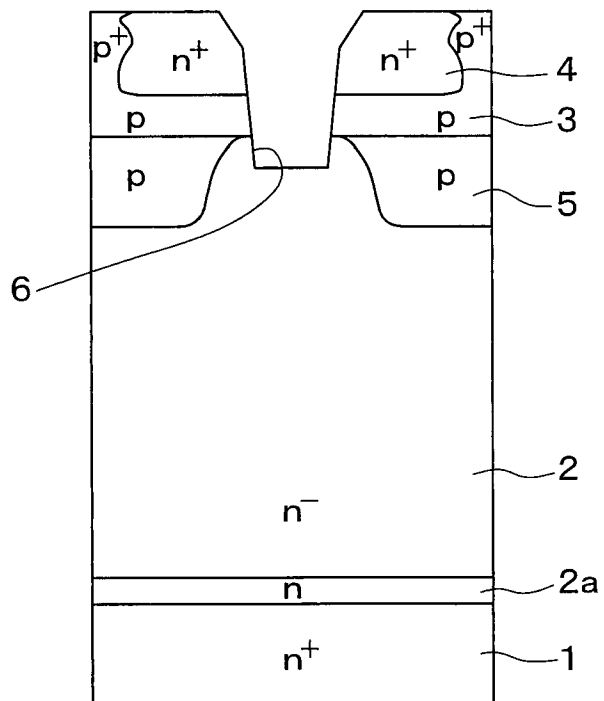
[図4]



[図5A]



[図5B]



A cross-sectional diagram of a semiconductor device. The structure consists of a substrate with multiple layers. From bottom to top, the substrate layers are labeled 1 (n^+), 2a (n), and 2 (n^-). A trench is formed in the substrate, with its bottom surface labeled 5 (p) and its side walls labeled 6 (p). The trench is filled with a conductive material, labeled 8, which is surrounded by a dielectric layer labeled 7. The top of the trench is covered by a gate stack consisting of a dielectric layer labeled 4 and a conductive layer labeled 3. The conductive layer 3 is patterned to form a central plug (8) and side contacts. The regions of the substrate immediately adjacent to the side contacts are labeled p^+ and n^+ . The regions of the substrate immediately adjacent to the central plug are labeled p and n^+ .

A cross-sectional diagram of a semiconductor device. The structure consists of several layers and regions. At the bottom is a substrate (1) with an n^+ region. Above this is a thin n layer (2a). The main body is an n^- region (2). On the left and right sides, there are p regions (5) and n^+ regions (4). In the center, there is a well structure (8) with a hatched core. The well is surrounded by n^+ regions (4) and p regions (3). The top surface is covered by a thin layer (9). Labels 6 and 7 point to the n^+ regions (4) on the left and right, respectively.

A cross-sectional view of a semiconductor device. The device consists of a substrate with layers 1 (n^+), 2 (n^-), and 2a (n). A central structure is formed by layers 3 (p), 4 (n^+), and 5 (p). A dome-shaped structure 10 is formed on top of layer 4, with a central region 9 and a peripheral region 10a. A layer 8 is formed on the top surface of the central structure. A layer 6 is formed on the side surface of the central structure. A layer 7 is formed on the bottom surface of the central structure.

[illegible]

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/034875

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H01L29/78 (2006.01) i, H01L21/336 (2006.01) i, H01L29/06 (2006.01) i, H01L29/12 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H01L29/78, H01L21/336, H01L29/06, H01L29/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2018

Registered utility model specifications of Japan 1996-2018

Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2016/114057 A1 (FUJI ELECTRIC CO., LTD., NATIONAL INSTITUTE OF ADVANCED INDUSTRIAL SCIENCE AND TECHNOLOGY) 21 July 2016, paragraphs [0053]-[0069], fig. 1 & US 2017/0194438 A1, paragraphs [0053]-[0069], fig. 1 & DE 112015004093 T5 & CN 106796956 A	1-6
A	JP 2017-507489 A (GENERAL ELECTRIC CO.) 16 March 2017, paragraphs [0021]-[0042], fig. 5, 6 & US 2015/0236151 A1, paragraphs [0023]-[0044], fig. 5, 6 & EP 3108507 A1 & CN 106030757 A & KR 10-2016-0120756 A	1-6



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
13.11.2018

Date of mailing of the international search report
20.11.2018

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/034875

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-177093 A (TOYOTA CENTRAL RESEARCH AND DEVELOPMENT LABORATORIES, INC.) 29 June 2001, paragraphs [0014]-[0027], fig. 1 (Family: none)	1-6
P, A	WO 2018/078894 A1 (MITSUBISHI ELECTRIC CORP.) 03 May 2018, paragraphs [0020]-[0023], fig. 3 & JP 6233547 B1	1-6

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L29/78(2006.01)i, H01L21/336(2006.01)i, H01L29/06(2006.01)i, H01L29/12(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L29/78, H01L21/336, H01L29/06, H01L29/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2016/114057 A1 (富士電機株式会社、国立研究開発法人産業技術総合研究所) 2016.07.21, 段落[0053]-[0069], 図1 & US 2017/0194438 A1, 段落[0053]-[0069], 図1 & DE 112015004093 T5 & CN 106796956 A	1-6
A	JP 2017-507489 A (ゼネラル・エレクトリック・カンパニイ) 2017.03.16, 段落[0021]-[0042], 図5-6 & US 2015/0236151 A1, 段落[0023]-[0044], 図5-6 & EP 3108507 A1 & CN 106030757 A & KR 10-2016-0120756 A	1-6

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

13.11.2018

国際調査報告の発送日

20.11.2018

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

杉山 芳弘

5 F

6311

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2001-177093 A (株式会社豊田中央研究所) 2001.06.29, 段落[0014]-[0027], 図1 (ファミリーなし)	1-6
P, A	WO 2018/078894 A1 (三菱電機株式会社) 2018.05.03, 段落[0020]-[0023], 図3 & JP 6233547 B1	1-6