



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I795349 B

(45)公告日：中華民國 112 (2023) 年 03 月 11 日

(21)申請案號：105143250

(22)申請日：中華民國 105 (2016) 年 12 月 26 日

(51)Int. Cl. : H01L29/06 (2006.01)

H01L29/47 (2006.01)

H01L29/872 (2006.01)

(30)優先權：2015/12/25 日本

特願 2015-254555

2016/08/15 日本

特願 2016-159352

(71)申請人：日商出光興產股份有限公司(日本) IDEMITSU KOSAN CO., LTD. (JP)

日本

(72)發明人：上岡義弘 UEOKA, YOSHIHIRO (JP)；関谷隆司 SEKIYA, TAKASHI (JP)；笈井重和 TOMAI, SHIGEKAZU (JP)；川嶋絵美 KAWASHIMA, EMI (JP)；霍間勇輝 TSURUMA, YUKI (JP)；竹嶋基浩 TAKESHIMA, MOTOHIRO (JP)

(74)代理人：陳長文

(56)參考文獻：

TW 201140939A

TW 201203654A

TW 201212233A

TW 201515243A

JP 2015-109315A

JP 2015-227279A

US 2001/0034116A1

US 2015/0325660A1

WO 2015/025499A1

WO 2015/025500A1

審查人員：李景松

申請專利範圍項數：16 項 圖式數：9 共 46 頁

(54)名稱

積層體

(57)摘要

本發明係一種積層體，其依序具有基板、選自接觸電阻降低層及還原抑制層中之 1 種以上之層、肖特基電極層、及金屬氧化物半導體層。



I795349

公告本

【發明摘要】

申請日: 105年12月26日

IPC分類: **H01L 29/06** (2006.01)
H01L 29/47 (2006.01)
H01L 29/872 (2006.01)

【中文發明名稱】

積層體

【中文】

本發明係一種積層體，其依序具有基板、選自接觸電阻降低層及還原抑制層中之1種以上之層、肖特基電極層、及金屬氧化物半導體層。

【指定代表圖】

無

【代表圖之符號簡單說明】

無

【發明說明書】

【中文發明名稱】

積層體

【技術領域】

本發明係關於一種積層體、使用積層體之半導體元件、使用半導體元件之電子電路及電氣機器。

【先前技術】

肖特基能障二極體係利用載子濃度充分高之肖特基金屬與半導體之接合面所形成之電位障壁而具有整流作用之二極體。例如，若使如將金屬之功函數設為 ϕ_m 、將n型半導體之功函數設為 ϕ_s (此處，半導體之功函數定義為真空能階與費米能階之差)時滿足 $|\phi_m| > |\phi_s|$ 之關係之金屬與半導體接觸，則半導體之接觸界面附近之電子以金屬與半導體之費米能階一致之方式向金屬側遷移，於半導體之接觸界面形成空乏區域，並且於金屬-半導體界面形成電位障壁。於此情形時，成為金屬側為正極、半導體側為負極之二極體。於正向偏壓時，電位障壁變低，電子越過障壁從而電流流動。於逆向偏壓時，電子受到電位障壁阻擋，電流被阻止。作為使用之半導體，Si最為普遍。

Si系之肖特基二極體可利用於高速開關元件、或數GHz頻帶中之發射/接收用混頻器、頻率轉換元件等。於功率用途中亦普遍地使用，但由於帶隙較小為1.1 eV，絕緣擊穿電場亦較小為0.3 MV/cm，故而存在如下缺點：為了實現較大之耐壓性，需要增大元件之厚度，正向之導通電阻變高。又，高速響應性優異之Si系肖特基能障二極體之耐壓性並不充分。

使用SiC之肖特基能障二極體亦為人所知，由於SiC之帶隙較大為3

eV以上，絕緣擊穿電場亦較大為3 MV/cm，故而適合於功率用，正研究普遍應用。然而，由於製作優質之結晶基板較難，又，磊晶生長要經歷高熱之過程，故而於量產性、成本方面存在問題。

β -Ga₂O₃之帶隙更寬(4.8 eV~4.9 eV)，期待較高之耐壓性，但仍然於優質之基板之製造方面存在問題，於量產性及成本方面存在問題。

氧化物半導體由於較Si具有較寬之帶隙，且絕緣擊穿電場較高，故而期待應用於功率半導體中。尤其是使用氧化物半導體之肖特基能障二極體被期待高速響應性或良好之反向再現特性。

於非專利文獻1中揭示有使用非晶質IGZO作為氧化物半導體、且使用Ti/Pd積層構成作為肖特基金屬電極之肖特基能障二極體。又，本技術係藉由對Pd進行氧氣電漿處理而形成良好之肖特基障壁。然而，就本技術而言，逆方向之漏電流較大，於在使用有肖特基能障二極體之電子電路中組入該肖特基能障二極體之情形時，擔憂如下情況：相對於輸入電力，輸出時之電力損耗變大，或電路本身進行誤動作。進而，本技術只能形成橫向地提取電流之二極體，因提取電極之電阻而難以提取大電流。

於專利文獻1中揭示有使用Ga₂O₃系作為氧化物半導體層、且由歐姆電極層及肖特基電極層夾持之肖特基能障二極體。然而，若將Ga₂O₃系之氧化物半導體層例如於矽基板上進行製膜，則正向導通電阻變高，於在使用有肖特基能障二極體之電子電路中組入該肖特基能障二極體之情形時，相對於輸入電力，輸出時之電力損耗變大。

於專利文獻2中揭示有藉由將使用氧化物半導體之FET(field-effect transistor，場效電晶體)之閘極電極與源極或汲極電極電性連接而實現逆向飽和電流較少之二極體的技術。然而，就該方式而言，元件構成變得複

雜，於進行元件化時之良率方面存在問題。

先前技術文獻

專利文獻

專利文獻1：日本專利特開2013-102081號公報

專利文獻2：日本專利特開2015-84439號公報

非專利文獻

非專利文獻1：IEEE TRANSACTION ON ELECTRON DEVICES,
Vol. 60, No. 10, 2013 10月, p. 3407

【發明內容】

本發明之目的在於提供一種正向之導通電阻較小、逆向之漏電流較小、能夠減少電力損耗而提取電流之半導體元件、及用於其之積層體。

根據本發明，提供以下積層體等。

- 1.一種積層體，其依序具有基板、選自接觸電阻降低層及還原抑制層中之1種以上之層、肖特基電極層、及金屬氧化物半導體層。
- 2.如1之積層體，其依序具有上述基板、上述接觸電阻降低層、及上述還原抑制層。
- 3.如1或2之積層體，其中上述還原抑制層包含選自Pd、Mo、Pt、Ir、Ru、Au、Ni、W、Cr、Re、Te、Tc、Mn、Os、Fe、Rh及Co中之1種以上之元素。
- 4.如1至3中任一項之積層體，其中上述接觸電阻降低層包含選自Ti、Mo、Ag、In、Al、W、Co及Ni中之1種以上之金屬或其矽化物。
- 5.如1至4中任一項之積層體，其中上述肖特基電極層包含功函數為4.4 eV以上之1種以上之元素之氧化物。

6.如1至5中任一項之積層體，其中上述肖特基電極層包含選自Pd、Mo、Pt、Ir、Ru、Ni、W、Cr、Re、Te、Tc、Mn、Os、Fe、Rh及Co中之1種以上之金屬之氧化物。

7.如1至6中任一項之積層體，其中上述基板為導電性基板。

8.如1至6中任一項之積層體，其中上述基板為導電性之矽基板。

9.如1至8中任一項之積層體，其中上述金屬氧化物半導體層包含選自In、Sn、Ga、及Zn中之1種以上之元素。

10.如1至9中任一項之積層體，其中上述金屬氧化物半導體層之氫原子濃度為 $10^{17} \sim 10^{22}$ 個/cm³。

11.如1至10中任一項之積層體，其於上述金屬氧化物半導體層上具有歐姆電極層。

12.如1至11中任一項之積層體，其中上述金屬氧化物半導體層之外緣與上述肖特基電極層之外緣相同或位於上述肖特基電極層之外緣之內側，且上述肖特基電極層與上述金屬氧化物半導體層之下表面之整個面相接。

13.如11或12之積層體，其中上述歐姆電極層之外緣與上述金屬氧化物半導體層之外緣相同或位於上述金屬氧化物半導體層之外緣之內側。

14.一種半導體元件，其係使用如1至13中任一項之積層體。

15.一種肖特基能障二極體，其係使用如14之半導體元件。

16.一種接面電晶體，其係使用如14之半導體元件。

17.一種電子電路，其係使用如14之半導體元件、如15之肖特基能障二極體、或如16之接面電晶體。

18.一種電氣機器、電子機器、車輛、或動力機構，其係使用如17之

電子電路。

根據本發明，能夠提供一種正向之導通電阻較小、逆向之漏電流較小、能夠減少電力損耗而提取電流之半導體元件、及用於其之積層體。

【圖式簡單說明】

圖1係模式性地表示本發明之積層體之一實施形態之剖視圖。

圖2係模式性地表示本發明之積層體之另一實施形態之剖視圖。

圖3係模式性地表示本發明之積層體之另一實施形態之剖視圖。

圖4係模式性地表示本發明之積層體之另一實施形態之剖視圖。

圖5係模式性地表示本發明之積層體之另一實施形態之剖視圖。

圖6係模式性地表示本發明之積層體之另一實施形態之剖視圖。

圖7係模式性地表示本發明之積層體之另一實施形態之剖視圖。

圖8係實施例2所製作之積層電極之剖面TEM(Transmission Electron Microscopy，穿透式電子顯微鏡)圖像。

圖9係模式性地表示實施例16～28所製作之元件之剖視圖。

【實施方式】

[積層體]

本發明之積層體之一態樣依序具有基板、選自接觸電阻降低層及還原抑制層中之1種以上之層、肖特基電極層、及金屬氧化物半導體層。

本發明之積層體之一態樣可於不選擇基板、基材之情況下形成肖特基能障二極體。

亦可具有介存於基板與選自接觸電阻降低層及還原抑制層中之1種以上之層之間的層。

選自接觸電阻降低層及還原抑制層中之1種以上之層與肖特基電極層

較佳為相接，且肖特基電極層與金屬氧化物半導體層較佳為相接。

本發明之積層體之另一態樣係於導電性基板上至少依序具有肖特基電極層及金屬氧化物半導體層，且於導電性基板與肖特基電極層之間具有選自接觸電阻降低層及還原抑制層中之1種以上之層。

將本發明之積層體之一態樣及發明之積層體之另一態樣總括稱為本發明之積層體。

本發明之積層體可包含接觸電阻降低層與還原抑制層兩者，亦可僅包含其中一者。較佳為接觸電阻降低層與還原抑制層之兩者、或僅接觸電阻降低層。

又，本發明之積層體亦可於金屬氧化物半導體層上即肖特基電極層側之相反之側積層歐姆電極層。

本發明之積層體藉由具有上述構成，於用於半導體元件時，能夠減小正向之導通電阻。又，能夠減少逆向之漏電流，且能夠減少電力損耗而提取電流。

作為本發明之積層體之層構成，可列舉以下構成。

(1)基板//接觸電阻降低層/肖特基電極層/金屬氧化物半導體層

(2)基板//還原抑制層/肖特基電極層/金屬氧化物半導體層

(3)基板//接觸電阻降低層/還原抑制層/肖特基電極層/金屬氧化物半導體層

(「/」表示各層鄰接進行積層)

(「//」表示各層不鄰接進行積層)

又，作為對本發明之積層體積層歐姆電極層而成之層構成，可列舉以下構成。

(4)基板//接觸電阻降低層/肖特基電極層/金屬氧化物半導體層/歐姆電極層

(5)基板//還原抑制層/肖特基電極層/金屬氧化物半導體層/歐姆電極層

(6)基板//接觸電阻降低層/還原抑制層/肖特基電極層/金屬氧化物半導體層/歐姆電極層

將上述(6)之積層構造示於圖1。於積層體1中，於基板9上依序積層有接觸電阻降低層20、還原抑制層30、肖特基電極層40、金屬氧化物半導體層50及歐姆電極層60。

金屬氧化物半導體層50之外緣(端部)可與肖特基電極層40之外緣(端部)相同，亦可位於肖特基電極層40之外緣之內側。將後者之情形作為積層體2示於圖2中。

再者，於本申請案之各圖式中，相同之符號意指相同之構成。

又，歐姆電極層60之外緣(端部)可與金屬氧化物半導體層50之外緣(端部)相同，亦可位於金屬氧化物半導體層50之外緣之內側。將後者之情形作為積層體3示於圖3中。

關於各構成，於後文進行敘述。

作為本發明之積層體之層構成，亦可列舉以下構成。

(11)導電性基板/接觸電阻降低層/肖特基電極層/金屬氧化物半導體層

(12)導電性基板/還原抑制層/肖特基電極層/金屬氧化物半導體層

(13)導電性基板/接觸電阻降低層/還原抑制層/肖特基電極層/金屬氧化物半導體層

(「/」表示各層鄰接進行積層)

又，作為對本發明之積層體積層歐姆電極層而成之層構成，亦可列舉以下構成。

(14)導電性基板/接觸電阻降低層/肖特基電極層/金屬氧化物半導體層/歐姆電極層

(15)導電性基板/還原抑制層/肖特基電極層/金屬氧化物半導體層/歐姆電極層

(16)導電性基板/接觸電阻降低層/還原抑制層/肖特基電極層/金屬氧化物半導體層/歐姆電極層

將上述(16)之積層構造示於圖4。於積層體11中，於導電性基板10上依序積層有接觸電阻降低層20、還原抑制層30、肖特基電極層40、金屬氧化物半導體層50及歐姆電極層60。

金屬氧化物半導體層50之外緣(端部)可與肖特基電極層40之外緣(端部)相同，亦可位於肖特基電極層40之外緣之內側。將後者之情形作為積層體12示於圖5中。於此情形時，成為如肖特基電極層40覆蓋金屬氧化物半導體層50之下表面之構成，即成為金屬氧化物半導體層50之下表面之整個面與肖特基電極層40相接之構成。

於Si等共價鍵結性之結晶性半導體中，為了實現高耐電壓，需要設為半導體之端部不與肖特基電極直接接觸之構造。另一方面，由於金屬氧化物半導體於膜端部之漏電流較少，故而可設為金屬氧化物半導體層之端部與肖特基金屬層之端部相同或處於內側之構成。藉由如此，於施加逆向偏壓時，能夠防止電場集中於半導體層之端部，且能夠實現較高之絕緣耐壓。

又，歐姆電極層60之外緣(端部)可與金屬氧化物半導體層50之外緣

(端部)相同，亦可位於金屬氧化物半導體層50之外緣之內側。將後者之情形作為積層體13示於圖6中。於此情形時，成為如金屬氧化物半導體層50覆蓋歐姆電極層60之下表面之構成。

上述圖2、圖3之構成亦可應用於除式(6)之積層構成以外之積層構成。又，亦可同時設置圖2及圖3所示之構成。

又，上述之圖5、圖6之構成亦可應用於式(16)之積層構成以外之積層構成。又，亦可同時設置圖5及圖6所示之構成。

又，將上述(16)之積層構造之另一實施形態示於圖7。圖7之積層體14係同時設置有圖5及圖6所示之構成之積層構成，且進而具有如下構成：肖特基電極層40之外緣(端部)位於還原抑制層30之外緣(端部)之內側，接觸電阻降低層20之外緣(端部)位於導電性基板10之外緣(端部)之內側。

以下，針對構成本發明之積層體之各層進行說明。

(基板)

作為基板，並無特別限定，可使用公知者，可列舉：導電性基板、半導體基板、絕緣性基板等。

作為導電性基板，可列舉矽基板或金屬基板。較佳為雜質摻雜濃度較高之低電阻之矽基板，更佳為n型之低電阻矽基板。作為摻雜劑，可使用先前公知之B、P、Pb、As等。

矽基板較佳為低電阻者。矽基板之體積電阻率 ρ 較佳為100 m Ω cm以下，更佳為10 m Ω cm以下，進而較佳為5 m Ω cm以下。

作為金屬基板之金屬，可列舉：Cu、Al、Au、Cr、Fe、Ni、W等，亦可使用該等之合金。較佳為低電阻且廉價、且導熱性優異之Cu、Al或

該等之合金。

於使用金屬基板作為導電性基板之情形時，該金屬基板可兼作接觸電阻降低層。

本發明之積層體能夠提供一種即便使用廉價之矽基板或金屬基板作為導電性基板亦表現出良好之二極體特性之肖特基能障二極體。

導電性基板之厚度通常為 $200\ \mu\text{m} \sim 2\ \text{mm}$ 。

關於半導體基板，只要可維持表面之平滑性，則材料並無特別限定。

作為半導體基板，可列舉將載子濃度調整為 $1 \times 10^{18}\ \text{cm}^{-3}$ 以下之Si基板、GaN基板、SiC基板、GaP基板、GaAs基板、ZnO基板、 Ga_2O_3 基板、GaSb基板、InP基板、InAs基板、InSb基板、ZnS基板、ZnTe基板、金剛石基板等。

半導體基板可為單晶，亦可為多晶。又，亦可為非晶質基板或局部包含非晶質之基板。亦可使用於導電體基板、半導體基板、絕緣性基板上使用CVD(chemical vapor deposition，化學氣相沈積)等方法形成有半導體膜之基板。

半導體基板之厚度通常為 $200\ \mu\text{m} \sim 2\ \text{mm}$ 。較佳為 $200\ \mu\text{m} \sim 1\ \text{mm}$ ，更佳為 $200\ \mu\text{m} \sim 700\ \mu\text{m}$ 。藉由設為 $200\ \mu\text{m} \sim 1\ \text{mm}$ ，元件製作後之切割時之加工性優異，元件之良率變高，生產性容易提昇。

絕緣性基板只要為具有絕緣性之基板，則並無特別限制，可於不喪失本發明之效果之範圍內任意選擇一般使用之基板。

作為絕緣性基板，例如可列舉：石英玻璃、鋇硼矽酸鹽玻璃、鋁硼矽酸鹽玻璃、鋁矽酸鹽玻璃等利用融合法或浮式法而製作之無鹼玻璃基

板、陶瓷基板、及具有能夠耐受本製作步驟之處理溫度之耐熱性之塑膠基板等。

又，亦可使用介電性基板作為絕緣性基板。

作為介電性基板，可列舉：鋁酸鋰基板、鉍酸鋰基板、氧化鋅基板、水晶基板、藍寶石基板等。

進而，亦可使用於不鏽鋼合金等金屬基板之表面設置有絕緣膜或介電膜之絕緣性基板、介電性基板。

又，亦可於基板形成絕緣膜作為基底膜。作為基底膜，可使用CVD法或濺鍍法等形成氧化矽膜、氮化矽膜、氮氧化矽膜、或氧氮化矽膜等之單層或積層。

絕緣性基板之厚度並無特別限定，例如為 $2\ \mu\text{m}\sim 2\ \text{mm}$ 。較佳為 $2\ \mu\text{m}\sim 1\ \text{mm}$ ，更佳為 $2\ \mu\text{m}\sim 700\ \mu\text{m}$ 。藉由設為 $2\ \mu\text{m}\sim 1\ \text{mm}$ ，元件製作後之切割時之加工性優異，元件之良率變高，生產性容易提昇。

亦可使用於上述導電性基板、半導體基板或絕緣性基板上具有由複數個材料構成之任意構造、層構造、電路、配線、電極等之基材。

作為任意構造之材料，例如可列舉形成大規模積體電路(LSI)上之後段製程之金屬、層間絕緣膜等各種金屬或絕緣物之複合材料。

基板之表面粗糙度(表面粗度)並無特別限定，較佳為 $150\ \text{nm}$ 以下，更佳為 $50\ \text{nm}$ 以下，進而較佳為 $10\ \text{nm}$ 以下。於使基板之表面粗度較小且平滑性較高之情形，於積層有接觸電阻降低層、還原抑制層、及肖特基電極層時，得以保持肖特基電極層之平滑性，作為元件進行評價時之逆向之漏電流得以抑制得較低。

基板之表面粗糙度例如可藉由實施例記載之方法而求出。

作為層構造之層，並無特別限定，可使用電極層、絕緣層、半導體層、介電層、保護膜層、應力緩衝層、遮光層、電子/電洞注入層、電子/電洞傳輸層、發光層、電子/電洞阻擋層、結晶生長層、密接性提高層、記憶體層、液晶層、電容器層、蓄電層等公知之層。

作為電極層，一般而言可列舉：Al層、Si層、Sc層、Ti層、V層、Cr層、Ni層、Cu層、Zn層、Ga層、Ge層、Y層、Zr層、Nb層、Mo層、Tc層、Ru層、Rh層、Pd層、Ag層、Cd層、In層、Sn層、Sb層、Te層、Hf層、Ta層、W層、Re層、Os層、Ir層、Pt層、Au層、包含1種以上之該等層之金屬之合金層、及氧化物電極層等。亦可增加氧化物半導體或Si等半導體之載子濃度，用於電極層。

作為絕緣層，一般而言可列舉：包含選自由Al、Si、Sc、Ti、V、Cr、Ni、Cu、Zn、Ga、Ge、Y、Zr、Nb、Mo、Tc、Ru、Rh、Pd、Ag、Cd、In、Sn、Sb、Te、Hf、Ta、W、Re、Os、Ir、Pt及Au所組成之群中之1種以上之金屬的氧化物絕緣膜、氮化膜等。

作為半導體層，不限單晶、多晶、非晶之結晶狀態而可廣泛地列舉Si層、GaN層、SiC層、GaP層、GaAs層、GaSb層、InP層、InAs層、InSb層、ZnS層、ZnTe層、金剛石層、Ga₂O₃、ZnO、InGaZnO等氧化物半導體層、稠五苯等有機半導體層等。

作為介電層，可列舉：鈦酸鋰層、鉭酸鋰層、氧化鋅層、水晶基板層、藍寶石層、BaTiO₃層、Pb(Zr,Ti)O₃(PZT)層、(Pb,La)(Zr,Ti)O₃(PLZT)層、Pb(Zr,Ti,Nb)O₃(PZTN)層、Pb(Ni,Nb)O₃-PbTiO₃(PNN-PT)層、Pb(Ni,Nb)O₃-PbZnO₃(PNN-PZ)層、Pb(Mg,Nb)O₃-PbTiO₃(PMN-PT)層、SrBi₂Ta₂O₉(SBT)層、(K,Na)TaO₃層、(K,Na)NbO₃

層、 BiFeO_3 層、 $\text{Bi}(\text{Nd},\text{La})\text{TiO}_x$ 層($x = 2.5 \sim 3.0$)、 $\text{HfSiO}(\text{N})$ 層、 HfO_2 - Al_2O_3 層、 La_2O_3 層、 La_2O_3 - Al_2O_3 層等。

作為保護膜層之膜，不論無機物、有機物，可列舉絕緣性優異且水等之透過性較低之膜。作為保護膜層，例如可列舉： SiO_2 層、 SiN_x 層($x = 1.20 \sim 1.33$)、 SiON 層、 Al_2O_3 層等。

作為應力緩衝層，可列舉 AlGaIn 層等。

作為遮光層，例如可列舉包含金屬、金屬-有機物等之黑矩陣層、彩色濾光片層。

作為電子/電洞注入層，可列舉氧化物半導體層、有機半導體層等。

作為電子/電洞傳輸層，可列舉氧化物半導體層、有機半導體層等。

作為發光層，可列舉無機半導體層、有機半導體層等。

作為電子/電洞阻擋層，可列舉氧化物半導體層等。

作為基材，可列舉：發電器件、發光器件、感測器、電力轉換器件、運算器件、保護器件、光電子器件、顯示器、記憶體、具有後段製程之半導體器件、蓄電器件等。

層構造之層可為單層，亦可為2層以上之層。

(接觸電阻降低層)

接觸電阻降低層承擔防止成為基底之基板與肖特基電極金屬之相互作用之作用。又，承擔改善肖特基電極對基底基板之密接性、使肖特基電極之表面平滑性提昇之作用。即，該接觸電阻降低層係用以降低將基板及肖特基電極直接積層之情形時之接觸電阻之層。

於將基板及肖特基電極直接積層之情形時，例如於使用n型之低電阻矽基板作為基板，肖特基電極使用氧化鈮而將該等直接積層之情形時，氧

化鈮與Si形成逆向之p-n接合，成為正向上較大之電阻成分。又，有如下擔憂：Si與氧化鈮之界面不平滑，結果肖特基電極表面之平滑性喪失，引起絕緣耐壓之降低。

作為接觸電阻降低層，可使用選自Ti、Mo、Ag、In、Al、W、Co及Ni中之1種以上之金屬、其合金或其矽化物。較佳為形成低電阻之矽化物之Ti、Mo、Ag、In或Al，更佳為低電阻且於與肖特基金屬組合時形成良好之肖特基接觸之Ti或Mo。進而較佳為導熱率較高之Mo。Mo由於散熱性優異、導熱率較高，故而於二極體驅動時，不易因電流所致之焦耳熱而引起元件劣化。

接觸電阻降低層之厚度通常為1 nm～1 μm，較佳為2 nm～500 nm，更佳為5 nm～500 nm。若為該範圍，則保持充分之密接性，電阻之增加較少。進而較佳為10 nm～500 nm。藉由將膜厚設為10 nm以上，容易獲得如下特性：接觸電阻降低層之面內之被覆性較高，於二極體驅動時，正向之電阻之面內不均較小。進而，於用作橫向地提取電流之元件之情形時，配線電阻變低，容易獲得較高之電流值。

接觸電阻降低層可藉由剖面TEM觀察或二次離子質量分析進行確認。歐姆電極、金屬氧化物半導體層、還原抑制層、肖特基電極層、基板亦相同。

(還原抑制層)

還原抑制層係防止肖特基電極層還原之層。若設置還原抑制層，則可抑制肖特基電極層還原，從而無問題地形成肖特基界面。

作為用於還原抑制層之金屬，可列舉選自Pd、Mo、Pt、Ir、Ru、Au、Ni、W、Cr、Re、Te、Tc、Mn、Os、Fe、Rh、Co中之1種以上之

元素或該等之合金。

又，作為還原抑制層，較佳為使用與構成後文所述之肖特基電極層之金屬元素相同之元素，即，較佳為使用構成肖特基電極層之金屬氧化物之金屬。作為還原抑制層與肖特基電極層之組合(還原抑制層/肖特基電極層)，例如可列舉：Pd/氧化鈮、Pt/氧化鉑、Ir/氧化銱、Ru/氧化鈦等。

還原抑制層之厚度通常為1 nm~1 μ m，較佳為2 nm~500 nm，更佳為5 nm~100 nm，特佳為10 nm~50 nm。若為該範圍則還原抑制效果優異，故而能夠減小正向偏壓時之導通電阻。又，能夠提昇肖特基界面之平坦性。

(肖特基電極層)

肖特基電極層之含有金屬之功函數較佳為3.7 eV以上，更佳為4.4 eV以上，進而較佳為4.7 eV以上。功函數之上限並無特別指定，通常為6.5 eV。藉由將使用該範圍之含有金屬之金屬氧化物使用於肖特基電極層，而形成肖特基與金屬氧化物半導體界面之能量障壁，作為元件之特性，能夠將漏電流維持得較低。

功函數係藉由光電子分光法而得。

作為肖特基電極層之金屬，可列舉選自Pd、Mo、Pt、Ir、Ru、Ni、W、Cr、Re、Te、Tc、Mn、Os、Fe、Rh及Co中之1種以上之金屬之氧化物、或該等金屬之合金之氧化物。較佳為Pd氧化物、Pt氧化物、Ir氧化物或Ru氧化物。若為該等，則藉由與金屬氧化物半導體之組合，能夠形成較高之肖特基障壁。

肖特基電極層之載子濃度較佳為 1×10^{18} cm⁻³以上。載子濃度例如可藉由霍爾測定而求出。

肖特基電極層之厚度通常為1 nm~1 μm ，較佳為2 nm~100 nm，更佳為5 nm~50 nm。若為該範圍，則正向偏壓時之導通電阻優異。又，能夠提昇肖特基界面之平坦性，耐壓性優異。

用以獲得肖特基電極之金屬氧化物之製造方法並無特別限定，可列舉於含氧環境下進行金屬靶之反應性濺鍍之方法等。

(金屬氧化物半導體層)

關於金屬氧化物半導體層之組成，只要為金屬氧化物半導體，則並無特別限定。較佳為包含選自In、Ga、Zn及Sn中之1種以上之元素之氧化物，例如可列舉In、Ga及Zn之氧化物半導體(IGZO)。

又，關於結晶性，亦無限制，由非晶質氧化物半導體所構成之層、由多晶氧化物半導體所構成之層、由單晶氧化物半導體所構成之層、混合存在有該等之層之任一者均可使用。

金屬氧化物半導體層之氫原子濃度較佳為 $10^{17} \sim 10^{22}$ 個/ cm^3 ，更佳為 $10^{19} \sim 10^{22}$ 個/ cm^3 ，進而較佳為 $10^{20} \sim 10^{21}$ 個/ cm^3 。氧化物半導體存在容易產生氧空位、漏電流會沿著空位流動之情況，但藉由將膜中之氫原子濃度設為 10^{20} 個/ cm^3 以上，能夠利用羥基使氧空位終止，從而降低漏電流。氫原子濃度係藉由二次離子質量分析法進行測定。氫原子濃度之調整方法並無特別限定，可藉由使成膜時之環境、成膜後之退火、及歐姆電極之成膜時之環境最佳化而進行調整。

金屬氧化物半導體層之自由載子濃度通常為 $1 \times 10^{13} \text{ cm}^{-3}$ 以上且未達 $1 \times 10^{18} \text{ cm}^{-3}$ 。自由載子濃度例如可藉由霍爾測定而求出。

金屬氧化物半導體層之帶隙較佳為2.0 eV~6.0 eV，更佳為2.5 eV~5.5 eV，進而較佳為3.0 eV~5.0 eV。帶隙係藉由實施例記載之方法進行

測定。可藉由使用具有該範圍之帶隙之金屬氧化物半導體層，而獲得導通電阻較低之元件。

金屬氧化物半導體層之厚度通常為10 nm~10 μ m，較佳為50 nm~7 μ m，更佳為100 nm~5 μ m。膜厚能夠以可獲得所需耐壓性之方式進行選定。若過厚，則有正向偏壓時之電阻增加之虞。

本發明之積層體能夠提供一種即便對金屬氧化物半導體層利用濺鍍等生產性優異之方式進行製膜亦表現出良好之二極體特性之肖特基能障二極體。

(歐姆電極層)

關於歐姆電極層之材料，只要能夠與金屬氧化物半導體層進行良好之歐姆連接，則並無特別限定，可列舉選自由Mo、Ti、Au、Ag、及Al所組成之群中之1種以上之元素或該等之合金。

又，亦可藉由複數個層構成歐姆電極層。例如可於與金屬氧化物半導體層相接之側使用Mo電極層，進而積層Au或Al之金屬層。如此，能夠減少電力損耗而提取電流。

歐姆電極層之厚度並無特別限定，通常為100 nm~5 μ m。

各層之製膜方法並無特別限定，可利用如下方法：熱CVD法、CAT-CVD(catalytic chemical vapor deposition，催化化學氣相沈積)法、光CVD法、霧化CVD法、MO-CVD(Metal-organic Chemical Vapor Deposition，金屬有機化合物化學氣相沈積)法、電漿CVD法等CVD法；MBE(Molecular Beam Epitaxy，分子束磊晶法)、ALD(atomic layer deposition，原子層沈積法)等原子等級控制之製膜方法；離子鍍覆、離子束濺鍍、磁控濺鍍等PVD(Physical Vapor Deposition，物理氣相沈積)

法、刮刀法、射出法、擠壓法、熱加壓法、溶膠凝膠法、氣溶膠沈積法等先前公知之使用陶瓷步驟之方法；塗佈法、旋轉塗佈法、印刷法、噴霧法、電鍍法、鍍覆法、膠束電解法等濕式法等。

[半導體元件]

本發明之積層體可使用於功率半導體元件、(整流)二極體元件、肖特基能障二極體元件、靜電放電(ESD)保護二極體、暫態電壓保護(TVS)保護二極體、發光二極體、金屬半導體場效電晶體(MESFET)、接面場效電晶體(JFET)、金屬氧化膜半導體場效電晶體(MOSFET)、肖特基源極/汲極MOSFET(Metal-Oxide-Semiconductor Field Effect Transistor，金屬氧化物半導體場效應電晶體)、雪崩倍增型光電轉換元件、固體拍攝元件、太陽電池元件、光感測器元件、顯示元件、電阻變化記憶體等半導體元件。由於無電力損耗地提取電流，故而亦尤其適合於功率用途。半導體元件可使用於肖特基能障二極體、接面電晶體。使用該元件、肖特基能障二極體、接面電晶體之電子電路可使用於電氣機器、電子機器、車輛、動力機構等。

實施例

實施例1

[肖特基能障二極體之製作]

如以下般製作肖特基能障二極體元件。

將電阻率 $1 \text{ m}\Omega \cdot \text{cm}$ 之 n 型 Si 基板(直徑 4 英吋)安裝於濺鍍裝置(ANELVA 製造：E-200S)，成膜 15 nm 之 Ti 作為接觸電阻降低層。成膜條件設為 DC(Direct Current，直流)50 W、Ar 環境。繼而，成膜 10 nm 之氧化鈮作為肖特基電極層(載子濃度： $1 \times 10^{20} \text{ cm}^{-3}$)。成膜條件設為 DC 50

W、Ar與O₂之混合氣體環境。繼而，將該基板與區域遮罩一起放置於濺鍍裝置(ULVAC製造：CS-200)，成膜200 nm之具有表1所示之組成之IGZO作為金屬氧化物半導體層(自由載子濃度： $5 \times 10^{16} \text{ cm}^{-3}$)。以成膜條件為DC300 W、表1所示之氣體流量比進行。取出該基板，藉由電爐以空氣中300℃之條件退火1小時。再次將該基板與區域遮罩一起放置於濺鍍裝置之後，成膜150 nm之Mo作為歐姆電極層。成膜條件設為DC100 W、Ar環境。

[自由載子濃度之測定]

金屬氧化物半導體層之自由載子濃度及肖特基電極層之載子濃度以如下方式進行測定。

對於玻璃基板，經過金屬氧化物半導體層成膜步驟(或肖特基電極層成膜步驟)而進行測定。繼而，將基板切成各1 cm見方，於4角附上In電極，而製作霍耳效應測定用之元件。自由載子濃度(載子濃度)之測定係於室溫下使用霍耳效應測定裝置(ACCENT製造：HL-5500PC)進行霍耳效應測定，將所獲得之自由載子量(載子量)利用金屬半導體層之體積(或肖特基電極之體積)進行標準化而設為自由載子濃度(載子濃度)。

[帶隙評價]

金屬氧化物半導體層之帶隙如以下般進行評價。

對於基板，進行至上述肖特基能障二極體製作步驟中之形成金屬氧化物半導體層之步驟為止，並將所獲得之積層體切成1 cm見方。於室溫下，使用分光式橢圓偏光測定裝置(J. A. Woollam Japan股份有限公司製造：M-2000D)使偏光之入射角度自與基板垂直之方向變化為50°、60°、70°，針對各者將測定波長設為192.3 nm～1689 nm、測定寬度設為3.4

nm進行測定。對於所獲得之光譜 ϕ 及 Δ ，針對各層放置Drude模型、Tauc-Lorentz模型、Gaussian function模型作為吸收模型，並進行最佳化直至成為平方誤差 $MSE = 10$ 以下，藉此相對於各光之能量算出吸收係數 α 。針對金屬氧化物半導體層之吸收係數 α 之光譜，對光之能量範圍2 eV $\sim$ 5 eV繪製 α^2 ，將使直線延長而得之與能量軸之交點作為帶隙而算出。將結果示於表1。

[氫原子濃度]

金屬氧化物半導體層之氫原子濃度如以下般進行評價。

藉由四極型二次離子質量分析裝置(ULVAC-PHI公司製造：D-SIMS)，於Cs離子源1 kV、一次離子電流100 nA、腔室真空度 5×10^{-10} torr之測定條件下進行測定。關於金屬氧化物半導體層之氫原子濃度，針對將藉由四極型二次離子質量分析裝置所獲得之各深度之H之二次離子強度利用金屬半導體薄膜之膜厚進行積分所得之強度，使用氫濃度及膜厚已知之In-Ga-Zn-O薄膜將強度標準化而進行氫濃度之定量化，將所獲得之值設為氫原子濃度。將結果示於表1。

[元件之評價]

針對所獲得之元件(Si/Ti/氧化鈮/IGZO/Mo)，使用Agilent公司製造之B1500對導通電阻(R_{on})及漏電流(I_r)進行評價。於歐姆電極側將探針接地與地面連接，使基板側之電壓變化而進行測定。導通電阻係對元件施加1 V時之 ± 0.2 V間之微分電阻($R_{on} = \Delta V / \Delta I$)，漏電流設為施加電壓為-5 V時之電流密度。將結果示於表1。

再者，所獲得之元件為於圖6所示之構造中除去還原抑制層30之構造。

實施例1所獲得之元件之導通電阻 R_{on} 未達 $1\text{ m}\Omega\text{cm}^2$ ，呈現出較低之值，漏電流 I_r 為 $9\times 10^{-4}\text{ A/cm}^2$ 。

實施例2

繼接觸電阻降低層之成膜之後，成膜20 nm之Pd作為還原抑制層，除此以外，以與實施例1相同之方式製作元件。成膜條件設為DC50 W、Ar環境。將積層電極之藉由電子顯微鏡(JEOL公司製造：JEM-2800)所獲得之剖面TEM圖像示於圖8。

針對所獲得之元件(Si/Ti/Pd/氧化鈮/IGZO/Mo)，與實施例1同樣地進行評價。將結果示於表1。

再者，所獲得之元件為圖6所示之構造。

實施例3

繼接觸電阻降低層之成膜之後，成膜20 nm之Ru作為還原抑制層，繼而，成膜10 nm之氧化鈦作為肖特基電極，除此以外，以與實施例1相同之方式製作元件。Ru之成膜條件設為DC50 W、Ar環境，氧化鈦之成膜條件設為DC50 W、Ar與 O_2 之混合氣體環境(載子濃度： $1\times 10^{20}\text{ cm}^{-3}$)。

針對所獲得之元件(Si/Ti/Ru/氧化鈦/IGZO/Mo)，與實施例1同樣地進行評價。將結果示於表1。

再者，所獲得之元件為圖6所示之構造。

實施例4

繼接觸電阻降低層之成膜之後，成膜20 nm之Pt作為還原抑制層，繼而，成膜10 nm之氧化鉑作為肖特基電極，除此以外，以與實施例1相同之方式製作元件。Pt之成膜條件設為DC50 W、Ar環境，氧化鉑之成膜條件設為DC50 W、Ar與 O_2 之混合氣體環境(載子濃度： $1\times 10^{20}\text{ cm}^{-3}$)。

針對所獲得之元件(Si/Ti/Pt/氧化鉑/IGZO/Mo)，與實施例1同樣地進行評價。將結果示於表1。

再者，所獲得之元件為圖6所示之構造。

實施例5

繼接觸電阻降低層之成膜之後，成膜20 nm之Ir作為還原抑制層，繼而，成膜10 nm之氧化銱作為肖特基電極，除此以外，以與實施例1相同之方式製作元件。Ir之成膜條件設為DC50 W、Ar環境，氧化銱之成膜條件設為DC50 W、Ar與O₂之混合氣體環境(載子濃度： $1 \times 10^{20} \text{ cm}^{-3}$)。

針對所獲得之元件(Si/Ti/Ir/氧化銱/IGZO/Mo)，與實施例1同樣地進行評價。將結果示於表1。

再者，所獲得之元件為圖6所示之構造。

實施例2～5所獲得之元件之導通電阻 R_{on} 未達 $1 \text{ m}\Omega\text{cm}^2$ ，且漏電流 I_r 為 $3 \times 10^{-8} \text{ A/cm}^2$ 以下，表現出良好之二極體特性。

比較例1

除不成膜接觸電阻降低層以外，以與實施例1相同之方式製作元件。針對所獲得之元件(Si/氧化鈮/IGZO/Mo)，與實施例1同樣地進行評價。將結果示於表1。比較例1所獲得之元件之導通電阻 R_{on} 呈現出高為 $200 \text{ m}\Omega\text{cm}^2$ 以上之值，且漏電流 I_r 為 $2 \times 10^{-3} \text{ A/cm}^2$ 。

實施例6～9

相對於實施例2將還原抑制層及肖特基電極層變更成如表2記載之組合，除此以外，以與實施例2相同之方式製作元件。針對所獲得之元件，與實施例1同樣地進行評價。將結果示於表2。

實施例6～9所獲得之元件之導通電阻 R_{on} 未達 $10 \text{ m}\Omega\text{cm}^2$ ，且漏電流

I_r 為 5×10^{-8} A/cm²以下，表現出良好之二極體特性。

實施例10～12

相對於實施例2將肖特基電極層之膜厚如表3記載般進行變更，除此以外，以與實施例2相同之方式製作元件。針對所獲得之元件，與實施例1同樣地進行評價。將結果示於表3。

實施例10、11所獲得之元件之導通電阻 R_{on} 未達1 mΩcm²，且漏電流 I_r 為 1×10^{-7} A/cm²以下，表現出良好之二極體特性。實施例12所獲得之元件之導通電阻 R_{on} 未達10 mΩcm²，且漏電流 I_r 為 3×10^{-5} A/cm²以下。

實施例13～15

相對於實施例2將肖特基電極層、及還原抑制層如表4記載般進行變更，除此以外，以與實施例2相同之方式製作元件。針對所獲得之元件，與實施例1同樣地進行評價。將結果示於表4。

實施例13所獲得之元件之導通電阻 R_{on} 未達1 mΩcm²，且漏電流 I_r 為 5×10^{-7} A/cm²以下，表現出良好之二極體特性。實施例14、15所獲得之元件之導通電阻 R_{on} 呈現出未達1 mΩcm²之較低之值，漏電流 I_r 分別為 2×10^{-3} A/cm²、 7×10^{-1} A/cm²。

實施例16～19

於表5所示之基板上使用光罩製作元件。各層之成膜條件與實施例2相同。將所獲得之元件(積層體)15之構造示於圖9。

首先，於基板8之一面濺鍍15 nm之Ti作為接觸電阻降低層20，及濺鍍20 nm之Pd作為還原抑制層30。繼而，使用光罩將Ti/Pd之積層膜進行圖案化。對光阻使用AZ1500(AZ ELECTRONIC MATERIALS公司製造)經由光罩曝光後，利用四甲基氫氧化銨(TMAH)進行顯影，並利用

AURUM-302(關東化學製造)對Pd進行第一圖案化，於露出Ti時，利用KSMF-200(關東化學製造)對Ti進行第二圖案化，而形成下層電極。

繼而，使用影像反轉抗蝕劑AZ5214(AZ ELECTRONIC MATERIALS公司製造)及光罩，利用舉離製程對PdO進行圖案化作為肖特基電極層40，並利用舉離製程對InGaZnO(In：Ga：Zn = 33.3：33.3：33.3 at%)進行圖案化作為金屬氧化物半導體層50。具體而言，經由光罩對AZ5214進行曝光，於反轉烘烤步驟後對整個面進行曝光，並利用氫氧化四甲基銨(TMAH)進行顯影。對經圖案化之附抗蝕劑之基板成膜20 nm之氧化鈮，其後，成膜200 nm之InGaZnO(In：Ga：Zn = 33.3：33.3：33.3 at%)。其後，於丙酮中進行舉離，藉此對氧化鈮進行圖案化作為肖特基電極層40，對InGaZnO(In：Ga：Zn = 33.3：33.3：33.3 at%)進行圖案化作為金屬氧化物半導體層50。

繼而，使用熱硬化非感光性聚醯亞胺及光罩對層間絕緣膜70進行圖案化。

具體而言，首先，利用旋轉塗佈機於基板一面塗佈8 μm 左右之熱硬化非感光性聚醯亞胺溶液，繼而，使用AZ5214及光罩進行圖案化。經由光罩對AZ5214進行曝光，於反轉烘烤步驟後進行整個面曝光，並利用氫氧化四甲基銨(TMAH)進行顯影。繼而，利用TMAH對熱硬化非感光性聚醯亞胺進行蝕刻，並進行圖案化。圖案化後，將熱硬化非感光性聚醯亞胺於200℃下於大氣中加熱1小時而進行硬化。

繼而，使用影像反轉抗蝕劑AZ5214及光罩，利用舉離製程對歐姆電極層60進行圖案化。經由光罩對AZ5214進行曝光，於反轉烘烤步驟後進行整個面曝光，並利用氫氧化四甲基銨(TMAH)進行顯影。對經圖案化之

附抗蝕劑之基板成膜150 nm之Mo作為歐姆電極層，其後成膜500 nm之Au層80。其後，於丙酮中進行舉離，藉此對歐姆電極層60進行圖案化。

元件之評價係於歐姆電極側將探針接地而與地面連接，並於還原抑制層上在歐姆電極與Au直接積層之區域將探針接地使電壓變化而進行測定。其他評價與實施例1同樣地進行。將結果示於表5。再者，肖特基電極層之載子濃度為 $1 \times 10^{20} \text{ cm}^{-3}$ 。

實施例16～18所獲得之元件之導通電阻 R_{on} 未達 $1 \text{ m}\Omega\text{cm}^2$ ，且漏電流 I_r 為 $5 \times 10^{-8} \text{ A/cm}^2$ 以下，表現出良好之二極體特性。實施例19所獲得之元件之漏電流 I_r 為 $1 \times 10^{-1} \text{ A/cm}^2$ ，與實施例16～18比較呈現出較高之值。

[基板之表面粗度之測定]

基板之表面粗度係藉由剖面TEM(穿透式電子顯微鏡)圖像及EDX(energy dispersive X-ray analysis，能量分散型X射線分光法)對所製作之元件進行觀察而進行測定。將具體之順序示於以下。將利用EDX檢測到表5所示之各基板之構成元素之區域定義為基板，進而於剖面TEM圖像中根據基板與歐姆電極層之對比度之不同而定義界面。針對與膜厚垂直之方向上10 μm 之區域之剖面TEM圖像，對於基板界面之凹凸，根據式(1)算出算術平均粗糙度 R_a 而設為表面粗度。將結果示於表5。

[數1]

$$R_a = \frac{1}{l} \int_0^l |f(x)| dx \quad (1)$$

l ：與膜厚為垂直方向之觀察區域之長度(此處為10 μm)

$f(x)$ ：表現界面之凹凸之函數

[基板之結晶性之測定]

基板之結晶性係藉由利用電子顯微鏡(JEOL公司製造：JEM-2800)所獲得之電子繞射像進行評價。針對電子束之照射區域，自相對於基板剖面為直徑10 nm以上之區域取得繞射像。將於繞射像中觀察到點形狀者判斷為單晶，將觀察到環形狀者判斷為多晶。將結果示於表5。

實施例20～23

除使用表6所示之絕緣性基板以外，以與實施例16相同之方式製作元件。針對所獲得之元件，與實施例16同樣地進行評價。將結果示於表6。再者，肖特基電極層之載子濃度為 $1 \times 10^{20} \text{ cm}^{-3}$ 。

實施例20～23所獲得之元件之導通電阻 R_{on} 未達 $1 \text{ m}\Omega\text{cm}^2$ ，且漏電流 I_r 為 $3 \times 10^{-7} \text{ A/cm}^2$ 以下，表現出良好之二極體特性。

實施例24～28

以表7所示之金屬組成及成膜時導入氣體之比率成膜金屬氧化物半導體層，除此以外，以與實施例2相同之方式製作元件。針對所獲得之元件，與實施例1同樣地進行評價。將結果示於表7。

再者，所獲得之元件為圖6所示之構造。

實施例24～28所獲得之元件之導通電阻 R_{on} 未達 $1 \text{ m}\Omega\text{cm}^2$ ，且漏電流 I_r 為 $2 \times 10^{-6} \text{ A/cm}^2$ 以下，表現出良好之二極體特性。

實施例29～33

以表8所示之金屬組成及成膜時導入氣體之比率成膜金屬氧化物半導體層，除此以外，以與實施例2相同之方式製作元件。針對所獲得之元件，與實施例1同樣地進行評價。將結果示於表8。

針對實施例29～31所獲得之元件，對氫原子濃度進行評價，結果分別為 $8 \times 10^{20} \text{ cm}^{-3}$ 、 $5 \times 10^{21} \text{ cm}^{-3}$ 及 $5 \times 10^{20} \text{ cm}^{-3}$ 。實施例29～31所獲得之元件

之導通電阻 R_{on} 未達 $1\text{ m}\Omega\text{cm}^2$ ，且漏電流 I_r 為 $2\times 10^{-8}\text{ A/cm}^2$ 以下，表現出良好之二極體特性。

針對實施例32、33所獲得之元件，對氫原子濃度進行評價，結果分別為 $4\times 10^{15}\text{ cm}^{-3}$ 、 $8\times 10^{16}\text{ cm}^{-3}$ 。實施例32、33所獲得之元件之導通電阻 R_{on} 未達 $1\text{ m}\Omega\text{cm}^2$ ，但漏電流 I_r 分別為 $9\times 10^{-1}\text{ A/cm}^2$ 、 $1\times 10^{-2}\text{ A/cm}^2$ 。

實施例34～35

將接觸電阻降低層、或歐姆電極層設為表9所示之材料，除此以外，以與實施例2相同之方式製作元件。針對所獲得之元件，與實施例1同樣地進行評價。將結果示於表9。

實施例34、35所獲得之元件之導通電阻 R_{on} 未達 $1\text{ m}\Omega\text{cm}^2$ ，但漏電流 I_r 分別為 $1\times 10^{-1}\text{ A/cm}^2$ 、 $3\times 10^{-8}\text{ A/cm}^2$ ，表現出良好之二極體特性。

[表1]

		實施例1	實施例2	實施例3	實施例4	實施例5	比較例1
元件 構成	基板背面電極	材質	Ti	Ti	Ti	Ti	Ti
		膜厚(nm)	150	150	150	150	150
	基板	材質	單晶n-Si	單晶n-Si	單晶n-Si	單晶n-Si	單晶n-Si
		電阻率(mΩcm)	1	1	1	1	3
		厚度(μm)	250	250	250	250	250
	接觸電阻 降低層	組成	Ti	Ti	Ti	Ti	無
		膜厚(nm)	15	15	15	15	
	還原抑制層	組成	無	Pd	Ru	Pt	無
				20	20	20	
		膜厚(nm)	氧化鈹		氧化鈹	氧化鈹	氧化鈹
	肖特基電極層	含有金屬元素之功效函數(eV)	5.1	5.1	4.7	5.6	5.1
		膜厚(nm)	20	20	20	20	20
	金屬氧化物半 導體層	金屬組成	In : Ga : Zn = 33.3 : 33.3 : 33.3 at%	In : Ga : Zn = 33.3 : 33.3 : 33.3 at%	In : Ga : Zn = 33.3 : 33.3 : 33.3 at%	In : Ga : Zn = 33.3 : 33.3 : 33.3 at%	In : Ga : Zn = 33.3 : 33.3 : 33.3 at%
		成膜時導入氣體之比率	Ar : H ₂ O = 99 : 1	Ar : H ₂ O = 99 : 1	Ar : H ₂ O = 99 : 1	Ar : H ₂ O = 99 : 1	Ar : H ₂ O = 99 : 1
		膜厚(nm)	200	200	200	200	200
		帶隙(eV)	3.75	3.75	3.75	3.75	3.75
	歐姆電極層	氫原子濃度(cm ⁻³)	4×10 ²⁰	4×10 ²⁰	4×10 ²⁰	4×10 ²⁰	4×10 ²⁰
		組成	Mo	Mo	Mo	Mo	Mo
		膜厚(nm)	150	150	150	150	150
評價	正向特性：導通電阻(mΩcm ²)	< 1	< 1	< 1	< 1	< 1	> 200
	逆向特性：漏電流(A/cm ²)	9×10 ⁻⁴	2×10 ⁻⁹	3×10 ⁻⁸	1×10 ⁻⁸	3×10 ⁻⁸	2×10 ⁻³

[表2]

			實施例6	實施例7	實施例8	實施例9
元件構成	基板背面電極	材質	Ti	Ti	Ti	Ti
		膜厚(nm)	150	150	150	150
	基板	材質	單晶n-Si	單晶n-Si	單晶n-Si	單晶n-Si
		電阻率(mΩcm)	1	1	1	1
		厚度(μm)	250	250	250	250
	接觸電阻降低層	組成	Ti	Ti	Ti	Ti
		膜厚(nm)	15	15	15	15
	還原抑制層	組成	Ru	Pt	Ir	Pd
		膜厚(nm)	20	20	20	20
	肖特基電極層	組成	氧化鈮	氧化鈦	氧化鉑	氧化銱
		含有金屬元素之功函數(eV)	5.1	4.7	5.6	5.3
		膜厚(nm)	20	20	20	20
	金屬氧化物半導體層	金屬組成	In：Ga：Zn＝ 33.3：33.3：33.3 at%	In：Ga：Zn＝ 33.3：33.3：33.3 at%	In：Ga：Zn＝ 33.3：33.3：33.3 at%	In：Ga：Zn＝ 33.3：33.3：33.3 at%
		成膜時導入氣體之比率	Ar：H ₂ O＝99：1	Ar：H ₂ O＝99：1	Ar：H ₂ O＝99：1	Ar：H ₂ O＝99：1
		膜厚(nm)	200	200	200	200
		帶隙(eV)	3.75	3.75	3.75	3.75
		氫原子濃度(cm ⁻³)	4×10 ²⁰	4×10 ²⁰	4×10 ²⁰	4×10 ²⁰
	歐姆電極層	組成	Mo	Mo	Mo	Mo
		膜厚(nm)	150	150	150	150
評價	正向特性：導通電阻(mΩcm ²)		2	5	9	8
	逆向特性：漏電流(A/cm ²)		6×10 ⁻⁹	7×10 ⁻⁸	5×10 ⁻⁸	1×10 ⁻⁹

[表3]

			實施例10	實施例11	實施例12
元件構成	基板背面電極	材質	Ti	Ti	Ti
		膜厚(nm)	150	150	150
	基板	材質	單晶n-Si	單晶n-Si	單晶n-Si
		電阻率(mΩcm)	1	1	1
		厚度(μm)	250	250	250
	接觸電阻降低層	組成	Ti	Ti	Ti
		膜厚(nm)	15	15	15
	還原抑制層	組成	Pd	Pd	Pd
		膜厚(nm)	20	20	20
	肖特基電極層	組成	氧化鈮	氧化鈮	氧化鈮
		含有金屬元素之功函數(eV)	5.1	5.1	5.1
		膜厚(nm)	5	50	100
	金屬氧化物半導體層	金屬組成	In：Ga：Zn＝33.3：33.3：33.3 at%	In：Ga：Zn＝33.3：33.3：33.3 at%	In：Ga：Zn＝33.3：33.3：33.3 at%
		成膜時導入氣體之比率	Ar：H ₂ O＝99：1	Ar：H ₂ O＝99：1	Ar：H ₂ O＝99：1
		膜厚(nm)	200	200	200
		帶隙(eV)	3.75	3.75	3.75
		氫原子濃度(cm ⁻³)	4×10 ²⁰	4×10 ²⁰	4×10 ²⁰
	歐姆電極層	組成	Mo	Mo	Mo
		膜厚(nm)	150	150	150
評價	正向特性：導通電阻(mΩcm ²)		< 1	< 1	3
	逆向特性：漏電流(A/cm ²)		1×10 ⁻⁷	5×10 ⁻⁸	3×10 ⁻⁵

[表4]

			實施例13	實施例14	實施例15
元件構成	基板背面電極	材質	Ti	Ti	Ti
		膜厚(nm)	150	150	150
	基板	材質	單晶n-Si	單晶n-Si	單晶n-Si
		電阻率(mΩcm)	1	1	1
		厚度(μm)	250	250	250
	接觸電阻降低層	組成	Ti	Ti	Ti
		膜厚(nm)	15	15	15
	還原抑制層	組成	V	Zr	Mg
		膜厚(nm)	20	20	20
	肖特基電極層	組成	氧化鈮	氧化鋯	氧化鎂
		含有金屬元素之功函數(eV)	4.4	4.1	3.7
		膜厚(nm)	20	20	20
	金屬氧化物半導體層	金屬組成	In：Ga：Zn＝33.3：33.3：33.3 at%	In：Ga：Zn＝33.3：33.3：33.3 at%	In：Ga：Zn＝33.3：33.3：33.3 at%
		成膜時導入氣體之比率	Ar：H ₂ O＝99：1	Ar：H ₂ O＝99：1	Ar：H ₂ O＝99：1
		膜厚(nm)	200	200	200
		帶隙(eV)	3.75	3.75	3.75
		氫原子濃度(cm ⁻³)	4×10 ²⁰	4×10 ²⁰	4×10 ²⁰
	歐姆電極層	組成	Mo	Mo	Mo
		膜厚(nm)	150	150	150
評價	正向特性：導通電阻(mΩcm ²)		< 1	< 1	< 1
	逆向特性：漏電流(A/cm ²)		5×10 ⁻⁷	2×10 ³	7×10 ⁻¹

[表5]

			實施例16	實施例17	實施例18	實施例19
	基板	材質	ZnO	ZnO	SiC	ZnO
		表面粗度Ra[nm]	10	2	3	39
		結晶性	多晶	單晶	單晶	單晶
		厚度(μm)	250	250	250	250
	接觸電阻 降低層	組成	Ti	Ti	Ti	Ti
		膜厚(nm)	15	15	15	15
	還原抑制 層	組成	Pd	Pd	Pd	Pd
		膜厚(nm)	20	20	20	20
	肖特基電 極層	組成	氧化鈮	氧化鈮	氧化鈮	氧化鈮
		含有金屬元素之功函數(eV)	5.1	5.1	5.1	5.1
		膜厚(nm)	20	20	20	20
	金屬氧化 物半導體 層	金屬組成	In：Ga：Zn＝ 33.3：33.3：33.3 at%	In：Ga：Zn＝ 33.3：33.3：33.3 at%	In：Ga：Zn＝ 33.3：33.3：33.3 at%	In：Ga：Zn＝ 33.3：33.3：33.3 at%
		成膜時導入氣體之比率	Ar：H ₂ O＝99：1	Ar：H ₂ O＝99：1	Ar：H ₂ O＝99：1	Ar：H ₂ O＝99：1
		膜厚(nm)	200	200	200	200
		帶隙(eV)	3.75	3.75	3.75	3.75
		氫原子濃度(cm ⁻³)	4×10 ²⁰	4×10 ²⁰	4×10 ²⁰	4×10 ²⁰
	歐姆電極 層	組成	Mo	Mo	Mo	Mo
		膜厚(nm)	150	150	150	150
評價	正向特性：導通電阻(mΩcm ²)		<1	<1	<1	<1
	逆向特性：漏電流(A/cm ²)		5×10 ⁻⁸	3×10 ⁻⁹	5×10 ⁻⁹	1×10 ⁻¹

[表6]

			實施例20	實施例21	實施例22	實施例23
	基板	材質	石英玻璃	藍寶石基板	聚醯亞胺基板	鈦酸鋰基板
		表面粗度Ra[nm]	1	4	3	15
		結晶性	多晶	單晶	單晶	單晶
		厚度(μm)	250	250	250	300
	接觸電阻 降低層	組成	Ti	Ti	Ti	Ti
		膜厚(nm)	15	15	15	15
	還原抑制 層	組成	Pd	Pd	Pd	Pd
		膜厚(nm)	20	20	20	20
	肖特基電 極層	組成	氧化鈮	氧化鈮	氧化鈮	氧化鈮
		含有金屬元素之功函數(eV)	5.1	5.1	5.1	5.1
		膜厚(nm)	20	20	20	20
	金屬氧化 物半導體 層	金屬組成	In：Ga：Zn＝ 33.3：33.3：33.3 at%	In：Ga：Zn＝ 33.3：33.3：33.3 at%	In：Ga：Zn＝ 33.3：33.3：33.3 at%	In：Ga：Zn＝ 33.3：33.3：33.3 at%
		成膜時導入氣體之比率	Ar：H ₂ O＝99：1	Ar：H ₂ O＝99：1	Ar：H ₂ O＝99：1	Ar：H ₂ O＝99：1
		膜厚(nm)	200	200	200	200
		帶隙(eV)	3.75	3.75	3.75	3.75
		氫原子濃度(cm ⁻³)	4×10 ²⁰	4×10 ²⁰	4×10 ²⁰	4×10 ²⁰
	歐姆電極 層	組成	Mo	Mo	Mo	Mo
		膜厚(nm)	150	150	150	150
評價	正向特性：導通電阻(mΩcm ²)		<1	<1	<1	<1
	逆向特性：漏電流(A/cm ²)		3×10 ⁻⁷	1×10 ⁻⁹	4×10 ⁻⁸	5×10 ⁻⁸

[表7]

元件構成	基板背面電極	材質	實施例24	實施例25	實施例26	實施例27	實施例28	
		膜厚(nm)	Ti	Ti	Ti	Ti	Ti	Ti
	基板	材質	150	150	150	150	150	150
		電阻率(mΩcm)	單晶n-Si	單晶n-Si	單晶n-Si	單晶n-Si	單晶n-Si	單晶n-Si
		厚度(μm)	1	1	1	1	1	1
	接觸電阻降低層	組成	250	250	250	250	250	250
		膜厚(nm)	Ti	Ti	Ti	Ti	Ti	Ti
	還原抑制層	組成	15	15	15	15	15	15
		膜厚(nm)	Pd	Pd	Pd	Pd	Pd	Pd
	肖特基電極層	組成	20	20	20	20	20	20
含有金屬元素之功函數(eV)		氧化鈮	氧化鈮	氧化鈮	氧化鈮	氧化鈮	氧化鈮	
膜厚(nm)		5.1	5.1	5.1	5.1	5.1	5.1	
金屬組成		20	20	20	20	20	20	
成膜時導入氣體之比率		In：Sn：Zn=36.5：15：48.5 at%	In：Sn：Zn=36.5：15：48.5 at%	In：Sn：Zn=36.5：15：48.5 at%	In：Sn：Zn=36.5：15：48.5 at%	In：Sn：Zn=36.5：15：48.5 at%	In：Sn：Zn=36.5：15：48.5 at%	
金屬氧化物半導體層	膜厚(nm)	Ar：H ₂ O=99.5：0.5	Ar：H ₂ O=90：10	Ar：H ₂ O=98：2	Ar：H ₂ O=98：2	Ar：H ₂ O=98：2	Ar：H ₂ O=98：2	
	帶隙(eV)	200	200	200	200	200	200	
	氫原子濃度(cm ⁻³)	3.45	3.54	3.16	4.01	3.40	3.40	
	組成	4×10 ²⁰	8×10 ²⁰	1×10 ²¹	6×10 ²⁰	8×10 ²⁰	8×10 ²⁰	
歐姆電極層	膜厚(nm)	Mo	Mo	Mo	Mo	Mo	Mo	
	膜厚(nm)	150	150	150	150	150	150	
評價	正向特性：導通電阻(mΩcm ²)		<1	<1	<1	<1	<1	
	逆向特性：漏電流(A/cm ²)		4×10 ⁻⁸	2×10 ⁻⁸	2×10 ⁻⁶	4×10 ⁻¹⁰	2×10 ⁻⁸	

[表8]

		實施例29	實施例30	實施例31	實施例32	實施例33
元件構成	基板背面電極	材質	Ti	Ti	Ti	Ti
		膜厚(nm)	150	150	150	150
	基板	材質	單晶n-Si	單晶n-Si	單晶n-Si	單晶n-Si
		電阻率(mΩcm)	1	1	1	1
		厚度(μm)	250	250	250	250
	接觸電阻降低層	組成	Ti	Ti	Ti	Ti
		膜厚(nm)	15	15	15	15
	還原抑制層	組成	Pd	Pd	Pd	Pd
		膜厚(nm)	20	20	20	20
		組成	氧化鈹	氧化鈹	氧化鈹	氧化鈹
	肖特基電極層	含有金屬元素之功函數(eV)	5.1	5.1	5.1	5.1
		膜厚(nm)	20	20	20	20
	金屬氧化物半導體層	金屬組成	In : Ga : Zn = 33.3 : 33.3 : 33.3 at%	In : Ga : Zn = 36.5 : 15 : 48.5 at%	In : Ga : Zn = 33.3 : 33.3 : 33.3 at%	In : Ga : Zn = 33.3 : 33.3 : 33.3 at%
		成膜時導入氣體之比率	Ar : H ₂ O = 98 : 2	Ar : H ₂ O = 98.5 : 1.5	A : O ₂ = 90 : 10	Ar : O ₂ = 80 : 20
		膜厚(nm)	200	200	200	200
		帶隙(eV)	3.78	3.83	3.52	3.70
		氫原子濃度(cm ⁻³)	8×10 ²⁰	5×10 ²¹	5×10 ²⁰	8×10 ¹⁶
	歐姆電極層	組成	Mo	Mo	Mo	Mo
		膜厚(nm)	150	150	150	150
評價	正向特性：導通電阻(mΩcm ²)	<1	<1	<1	<1	<1
	逆向特性：漏電流(A/cm ²)	1×10 ⁻⁹	5×10 ⁻¹⁰	2×10 ⁻⁸	9×10 ⁻¹	1×10 ⁻²

[表9]

			實施例34	實施例35
元件構成	基板背面電極	材質	Ti	Ti
		膜厚(nm)	150	150
	基板	材質	單晶n-Si	單晶n-Si
		電阻率(mΩcm)	1	1
		厚度(μm)	250	250
	接觸電阻降低層	組成	Mo	Ti
		膜厚(nm)	15	15
	還原抑制層	組成	Pd	Pd
		膜厚(nm)	20	20
	肖特基電極層	組成	氧化鈮	氧化鈮
		含有金屬元素之功函數(eV)	5.1	5.1
		膜厚(nm)	20	20
	金屬氧化物半導體層	金屬組成	In：Ga：Zn＝33.3：33.3：33.3 at%	In：Ga：Zn＝33.3：33.3：33.3 at%
		成膜時導入氣體之比率	Ar：H ₂ O＝99：1	Ar：H ₂ O＝99：1
		膜厚(nm)	200	200
		帶隙(eV)	3.75	3.75
		氫原子濃度(cm ⁻³)	4×10 ²⁰	4×10 ²⁰
	歐姆電極層	組成	Mo	Ti
		膜厚(nm)	150	150
評價	正向特性：導通電阻(mΩcm ²)		<1	<1
	逆向特性：漏電流(A/cm ²)		1×10 ⁻⁹	3×10 ⁻⁸

根據表1～9可知，使用本發明之積層體之半導體元件之正向之導通電阻極小。又，可知逆向之漏電流亦充分地少。

[產業上之可利用性]

本發明之積層體能夠使用於功率半導體元件、二極體元件、肖特基能障二極體元件等半導體元件，使用該元件之電子電路能夠使用於電氣機

器、電子機器、電動車輛等。

於上述中詳細說明了若干本發明之實施形態及/或實施例，但業者在不實質性地脫離本發明之新穎之教導及效果的情況下，可容易地對該等作為示例之實施形態及/或實施例施加多種變更。因此，該等多種變更包含於本發明之範圍。

將成為本案之巴黎優先權之基礎之日本申請案說明書之內容全部引用於此。

【符號說明】

2	積層體
3	積層體
8	基板
9	基板
10	導電性基板
11	積層體
12	積層體
13	積層體
14	積層體
15	元件(積層體)
20	接觸電阻降低層
30	還原抑制層
40	肖特基電極層
50	金屬氧化物半導體層
60	歐姆電極層

70	層間絕緣膜
80	Au層

【發明申請專利範圍】

【第1項】

一種積層體，其依序具有基板、還原抑制層、肖特基電極層、及金屬氧化物半導體層，

上述肖特基電極層包含選自Pd、Mo、Pt、Ir、Ru、Ni、W、Cr、Re、Te、Tc、Mn、Os、Fe、Rh及Co中之1種以上之金屬之氧化物，

上述還原抑制層包含選自Pd、Mo、Pt、Ir、Ru、Au、W、Cr、Re、Te、Tc、Mn、Os、Fe、Rh及Co中之1種以上之元素。

【第2項】

如請求項1之積層體，其於上述基板與上述還原抑制層之間進而具有接觸電阻降低層。

【第3項】

如請求項2之積層體，其中上述接觸電阻降低層包含選自Ti、Mo、Ag、In、Al、W、Co及Ni中之1種以上之金屬或其矽化物。

【第4項】

如請求項1之積層體，其中上述肖特基電極層包含功函數為4.4 eV以上之1種以上之元素之氧化物。

【第5項】

如請求項1之積層體，其中上述基板為導電性基板。

【第6項】

如請求項1之積層體，其中上述基板為導電性之矽基板。

【第7項】

如請求項1之積層體，其中上述金屬氧化物半導體層包含選自In、

Sn、Ga、及Zn中之1種以上之元素。

【第8項】

如請求項1之積層體，其中上述金屬氧化物半導體層之氫原子濃度為 $10^{17} \sim 10^{22}$ 個/cm³。

【第9項】

如請求項1之積層體，其中於上述金屬氧化物半導體層上具有歐姆電極層。

【第10項】

如請求項1之積層體，其中上述金屬氧化物半導體層之外緣與上述肖特基電極層之外緣相同或位於上述肖特基電極層之外緣之內側，上述肖特基電極層與上述金屬氧化物半導體層之下表面之整個面相接。

【第11項】

如請求項9之積層體，其中上述歐姆電極層之外緣與上述金屬氧化物半導體層之外緣相同或位於上述金屬氧化物半導體層之外緣之內側。

【第12項】

一種半導體元件，其係使用如請求項1之積層體。

【第13項】

一種肖特基能障二極體，其係使用如請求項12之半導體元件。

【第14項】

一種接面電晶體，其係使用如請求項12之半導體元件。

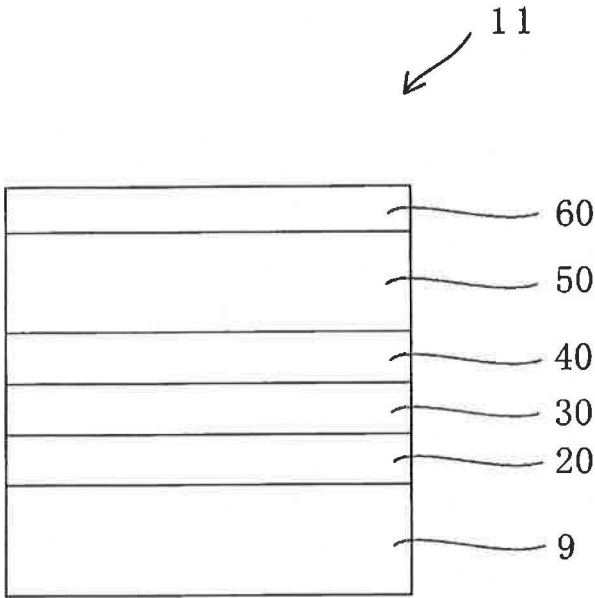
【第15項】

一種電子電路，其係使用如請求項12之半導體元件、如請求項13之肖特基能障二極體、或如請求項14之接面電晶體。

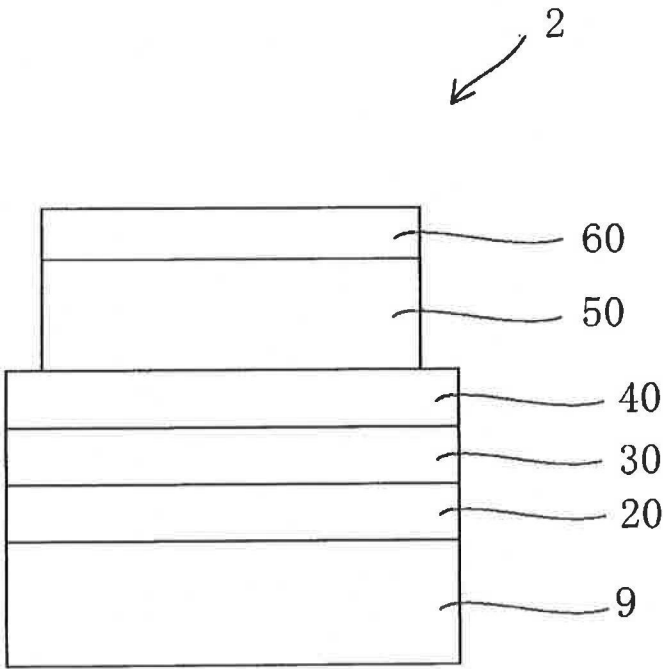
【第16項】

一種電氣機器、電子機器、車輛、或動力機構，其係使用如請求項
15之電子電路。

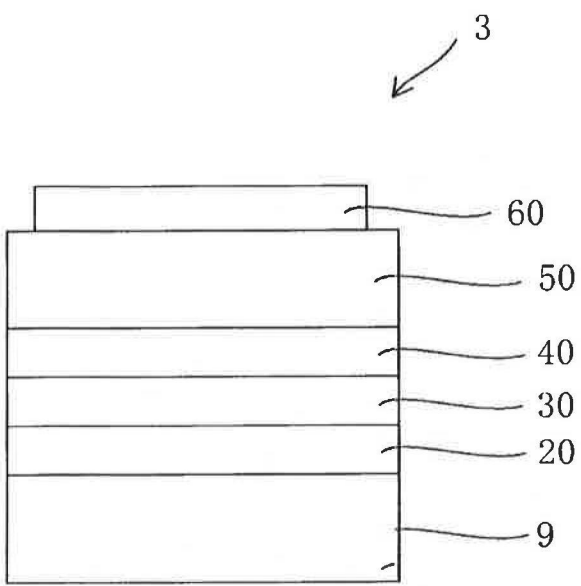
【發明圖式】



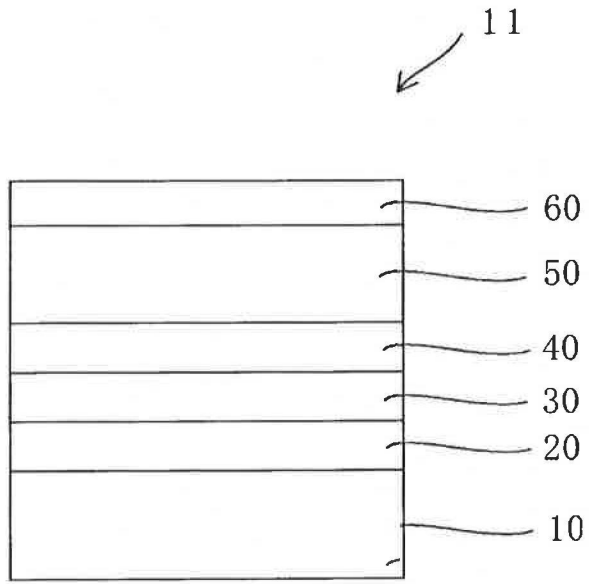
【圖1】



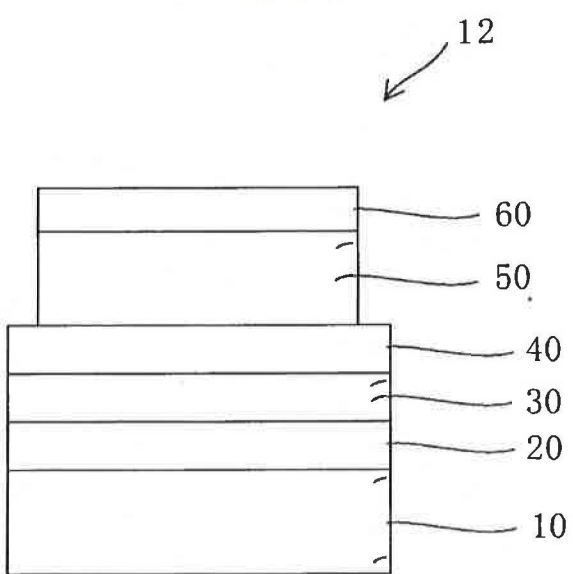
【圖2】



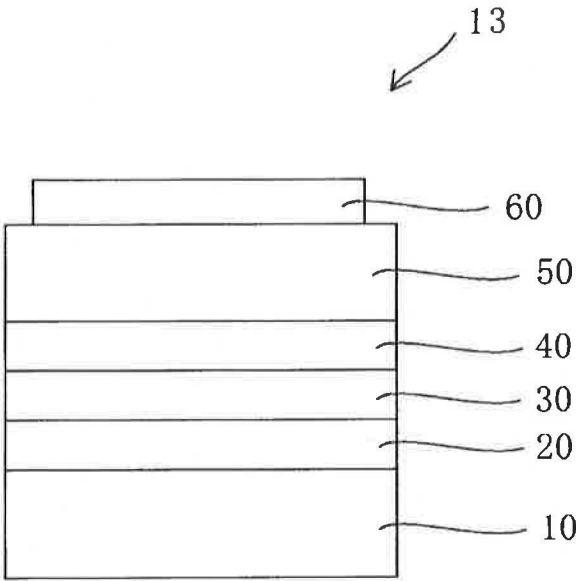
【圖3】



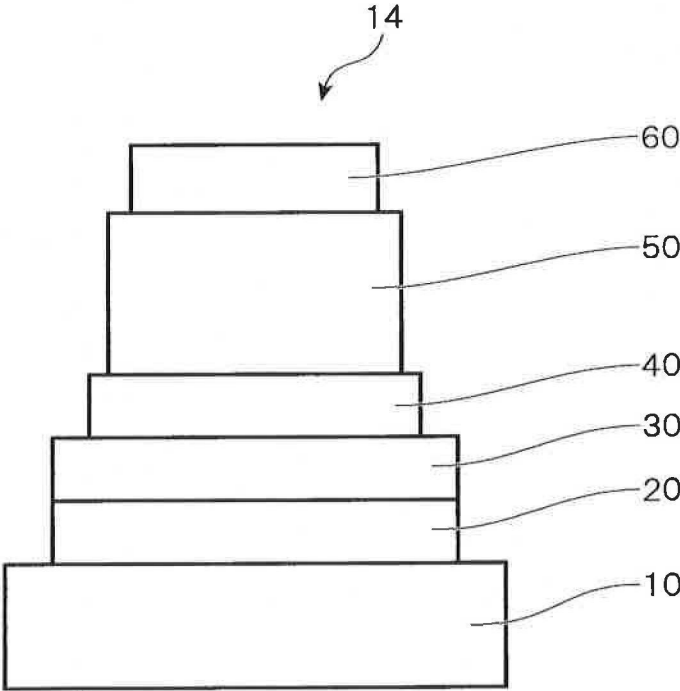
【圖4】



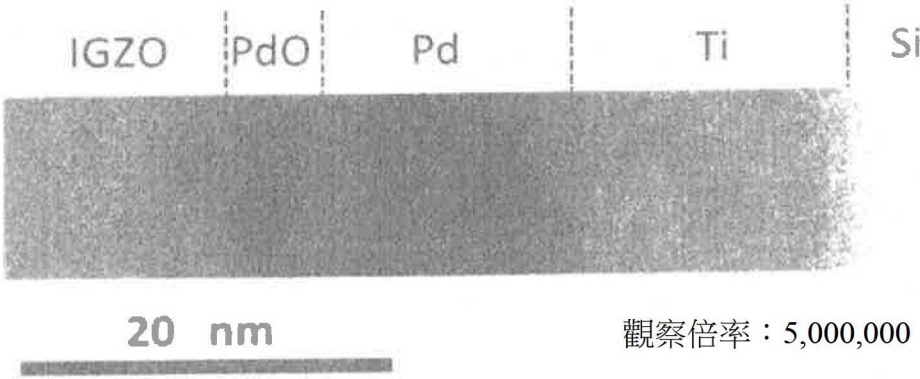
【圖5】



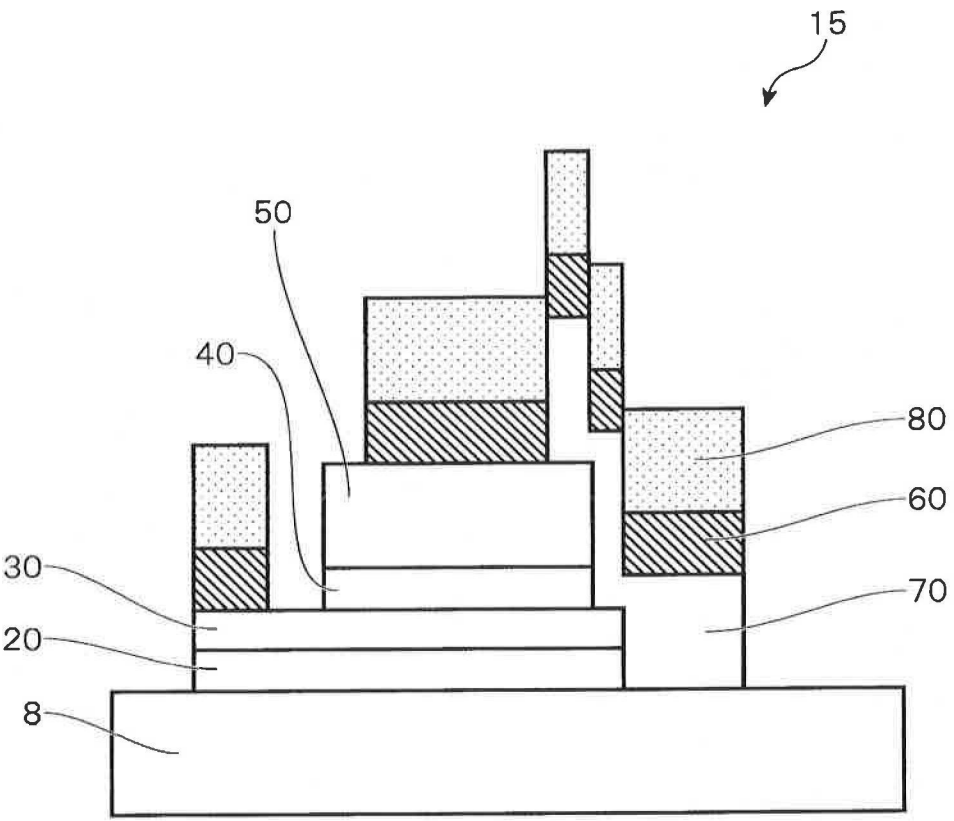
【圖6】



【圖7】



【圖8】



【圖9】