



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I812821 B

(45)公告日：中華民國 112 (2023) 年 08 月 21 日

(21)申請案號：108145274 (22)申請日：中華民國 108 (2019) 年 12 月 11 日

(51)Int. Cl. : **G06F30/392 (2020.01)** **G06F1/32 (2019.01)**

(30)優先權：2018/12/13 南韓 10-2018-0161016
2019/02/28 南韓 10-2019-0024054

(71)申請人：南韓商三星電子股份有限公司(南韓) SAMSUNG ELECTRONICS CO., LTD. (KR)
南韓

(72)發明人：李榮浯 LEE, YOUNG O (KR)；尹斗錫 YOON, DOO SEOK (KR)；金珉修 KIM,
MIN SU (KR)

(74)代理人：林孟閱；盧珮君；陳怡如

(56)參考文獻：

TW	201140279A	TW	201237882A
TW	201612914A	TW	201703430A
CN	103838349A		

審查人員：朱明宗

申請專利範圍項數：20 項 圖式數：16 共 53 頁

(54)名稱

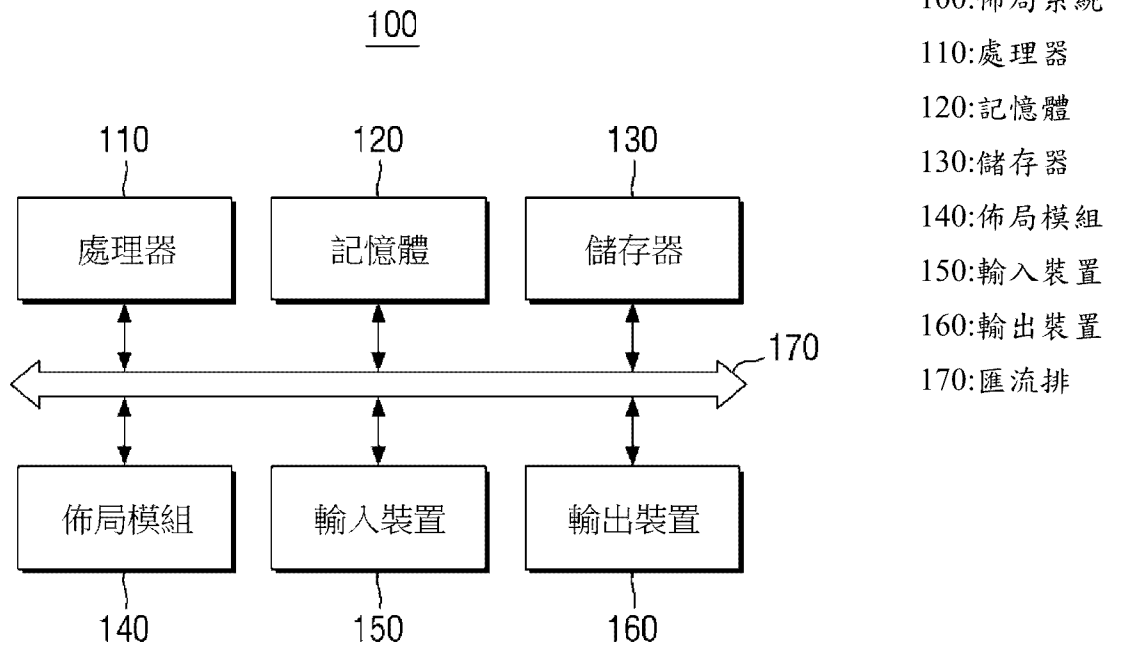
半導體電路及半導體電路佈局系統

(57)摘要

本發明提供一種半導體電路及一種半導體電路佈局系統。所述半導體電路包括時脈反相器，所述時脈反相器對時脈訊號進行反相並輸出反相時脈訊號，其中所述時脈反相器佈局於第二主門鎖主電路與第二從門鎖主電路之間，所述第二主門鎖主電路被配置成分別基於所述時脈訊號及所述反相時脈訊號對第一節點的訊號及第四節點的訊號進行門鎖，所述第二從門鎖主電路被配置成分別基於所述時脈訊號及所述反相時脈訊號對第二節點的訊號及第五節點的訊號進行門鎖。

A semiconductor circuit and a semiconductor circuit layout system are provided. The semiconductor circuit includes a clock inverter which inverts a clock signal and outputs an inverted clock signal where the clock inverter is laid out between a second master latch main circuit configured to latch signals of a first node and a fourth node based on the clock signal and the inverted clock signal, respectively, and a second slave latch main circuit configured to latch signals of a second node and a fifth node based on the clock signal and the inverted clock signal, respectively.

指定代表圖：



【圖1】



公告本

I812821

【發明摘要】

【中文發明名稱】半導體電路及半導體電路佈局系統

【英文發明名稱】SEMICONDUCTOR CIRCUIT AND

SEMICONDUCTOR CIRCUIT LAYOUT SYSTEM

【中文】本發明提供一種半導體電路及一種半導體電路佈局系統。所述半導體電路包括時脈反相器，所述時脈反相器對時脈訊號進行反相並輸出反相時脈訊號，其中所述時脈反相器佈局於第二主閘鎖主電路與第二從閘鎖主電路之間，所述第二主閘鎖主電路被配置成分別基於所述時脈訊號及所述反相時脈訊號對第一節點的訊號及第四節點的訊號進行閘鎖，所述第二從閘鎖主電路被配置成分別基於所述時脈訊號及所述反相時脈訊號對第二節點的訊號及第五節點的訊號進行閘鎖。

【英文】A semiconductor circuit and a semiconductor circuit layout system are provided. The semiconductor circuit includes a clock inverter which inverts a clock signal and outputs an inverted clock signal where the clock inverter is laid out between a second master latch main circuit configured to latch signals of a first node and a fourth node based on the clock signal and the inverted clock signal, respectively, and a second slave latch main circuit configured to latch signals of a second node and a fifth node based on the clock signal and the inverted clock signal, respectively.

【指定代表圖】圖1。

【代表圖之符號簡單說明】

100：佈局系統

110：處理器

120：記憶體

130：儲存器

140：佈局模組

150：輸入裝置

160：輸出裝置

170：匯流排

【特徵化學式】

無

【發明說明書】

【中文發明名稱】半導體電路及半導體電路佈局系統

【英文發明名稱】SEMICONDUCTOR CIRCUIT AND

SEMICONDUCTOR CIRCUIT LAYOUT SYSTEM

[相關申請案的交叉參考]

【0001】 本申請案主張在 2018 年 12 月 13 日在韓國智慧財產局提出申請的韓國專利申請案第 10-2018-0161016 號及在 2019 年 2 月 28 日在韓國智慧財產局提出申請的韓國專利申請案第 10-2019-0024054 號的優先權，所述韓國專利申請案中的每一者的內容全部併入本案供參考。

【技術領域】

【0002】 本揭露的示例性實施例是有關於一種半導體電路及/或一種半導體電路佈局系統。

【先前技術】

【0003】 可減小行動裝置中常常使用的積體電路（integrated circuit，IC）（例如系統晶片（system-on-chip，SoC））的面積以提高行動裝置的生產率。此外，可能期望降低 IC 的功耗。

【發明內容】

【0004】 為降低 IC 的功耗，在一或多個示例性實施例中，可藉由設計半導體電路（例如，標準胞元）的佈局來降低 IC 中所包括的正反器的功耗，進而降低（或作為另一選擇，最小化）與正反器

相關聯的時脈的功耗。

【0005】 本揭露的示例性實施例提供一種半導體電路及/或一種半導體電路佈局系統來降低（或作為另一選擇，最小化）由正反器的時脈消耗的功率。

【0006】 根據本揭露的示例性實施例，提供一種半導體電路，所述半導體電路包括：多個主閘鎖主電路，包括第一主閘鎖主電路及第二主閘鎖主電路，所述第一主閘鎖主電路及所述第二主閘鎖主電路被配置成分別基於時脈訊號及反相時脈訊號對第一節點的訊號及第四節點的訊號進行閘鎖，且將所述第一節點的經閘鎖的所述訊號及所述第四節點的經閘鎖的所述訊號分別傳送至第二節點及第五節點；多個主閘鎖輔助電路，包括第一主閘鎖輔助電路及第二主閘鎖輔助電路，所述第一主閘鎖輔助電路及所述第二主閘鎖輔助電路被配置成將所述第二節點的訊號及所述第五節點的訊號分別回饋至所述第一主閘鎖主電路及所述第二主閘鎖主電路；多個從閘鎖主電路，包括第一從閘鎖主電路及第二從閘鎖主電路，所述第一從閘鎖主電路及所述第二從閘鎖主電路被配置成分別基於所述時脈訊號及所述反相時脈訊號對所述第二節點的訊號及所述第五節點的訊號進行閘鎖，且將所述第二節點的經閘鎖的所述訊號及所述第五節點的經閘鎖的所述訊號分別傳送至第三節點及第六節點；多個從閘鎖輔助電路，包括第一從閘鎖輔助電路及第二從閘鎖輔助電路，所述第一從閘鎖輔助電路及所述第二從閘鎖輔助電路被配置成將所述第三節點的訊號及所述第六節點

的訊號分別回饋至所述第一從閘鎖主電路及所述第二從閘鎖主電路；以及時脈反相器，被配置成對所述時脈訊號進行反相以產生所述反相時脈訊號，所述時脈反相器位於所述第二主閘鎖主電路與所述第二從閘鎖主電路之間。

【0007】 根據本揭露的另一示例性實施例，提供一種半導體電路，所述半導體電路包括：掃描賦能反相器，被配置成對掃描賦能訊號進行反相以產生反相掃描賦能訊號；第一多工器，被配置成基於所述掃描賦能訊號選擇第一位元資料或第一掃描輸入訊號，且將所述第一位元資料或所述第一掃描輸入訊號中所選擇的一者輸出至第一節點；第二多工器，被配置成基於所述掃描賦能訊號選擇第二位元資料或第二掃描輸入訊號中所選擇的一者，且將所述第二位元資料或所述第二掃描輸入訊號中所述所選擇的一者輸出至第四節點；多個主閘鎖電路，包括第一主閘鎖電路及第二主閘鎖電路，所述第一主閘鎖電路及所述第二主閘鎖電路被配置成分別基於時脈訊號及反相時脈訊號對所述第一節點的訊號及所述第四節點的訊號進行閘鎖，且將所述第一節點的經閘鎖的所述訊號及所述第四節點的經閘鎖的所述訊號分別傳送至第二節點及第五節點；多個從閘鎖電路，包括第一從閘鎖電路及第二從閘鎖電路，所述第一從閘鎖電路及所述第二從閘鎖電路被配置成分別基於所述時脈訊號及所述反相時脈訊號對所述第二節點的訊號及所述第五節點的訊號進行閘鎖，且將所述第二節點的經閘鎖的所述訊號及所述第五節點的經閘鎖的所述訊號分別傳送至第三節

點及第六節點；以及時脈反相器，被配置成對所述時脈訊號進行反相以產生所述反相時脈訊號，所述時脈反相器位於所述第二多工器與所述第二主閘鎖電路之間。

【0008】 根據本揭露的再一示例性實施例，提供一種半導體電路佈局系統，所述半導體電路佈局系統包括：儲存裝置，被配置成儲存標準胞元設計；以及處理電路系統，被配置成對所述標準胞元設計進行佈局以產生佈局，使得所述佈局包括：多個主閘鎖主電路，包括第一主閘鎖主電路及第二主閘鎖主電路，所述第一主閘鎖主電路及所述第二主閘鎖主電路被配置成分別基於時脈訊號及反相時脈訊號對第一節點的訊號及第四節點的訊號進行閘鎖，且將所述第一節點的經閘鎖的所述訊號及所述第四節點的經閘鎖的所述訊號分別傳送至第二節點及第五節點；多個主閘鎖輔助電路，包括第一主閘鎖輔助電路及第二主閘鎖輔助電路，所述第一主閘鎖輔助電路及所述第二主閘鎖輔助電路被配置成將所述第二節點的訊號及所述第五節點的訊號分別回饋至所述第一主閘鎖主電路及所述第二主閘鎖主電路；多個從閘鎖主電路，包括第一從閘鎖主電路及第二從閘鎖主電路，所述第一從閘鎖主電路及所述第二從閘鎖主電路被配置成分別基於所述時脈訊號及所述反相時脈訊號對所述第二節點的訊號及所述第五節點的訊號進行閘鎖，且將所述第二節點的經閘鎖的所述訊號及所述第五節點的經閘鎖的所述訊號分別傳送至第三節點及第六節點；多個從閘鎖輔助電路，包括第一從閘鎖輔助電路及第二從閘鎖輔助電路，所述第一

從門鎖輔助電路及所述第二從門鎖輔助電路被配置成將所述第三節點的訊號及所述第六節點的訊號分別回饋至所述第一從門鎖主電路及所述第二從門鎖主電路；以及時脈反相器，被配置成對所述時脈訊號進行反相以產生所述反相時脈訊號，其中所述處理電路系統被配置成將所述時脈反相器佈局成使得所述時脈反相器位於所述第二主門鎖主電路與所述第二從門鎖主電路之間。

【0009】 然而，本揭露的示例性實施例並非受限於本文所述者。藉由參照以下給出的本揭露的詳細說明，本揭露的以上及其他態樣對於本揭露所屬技術中具有通常知識者而言將變得更顯而易見。

【圖式簡單說明】

【0010】 藉由參照附圖詳細闡述本揭露的示例性實施例，本揭露的以上及其他態樣及特徵將變得更顯而易見，在附圖中：

圖 1 是示出根據本揭露示例性實施例的半導體電路佈局系統的方塊圖。

圖 2 至圖 5 是示出根據本揭露示例性實施例的半導體電路的電路圖。

圖 6 至圖 9 是示出根據本揭露各種示例性實施例的半導體電路的佈局圖。

圖 10 至圖 12 是示出根據本揭露各種示例性實施例的半導體電路的佈局圖。

圖 13 至圖 16 是示出根據本揭露各種示例性實施例的半導體

電路的佈局圖。

【實施方式】

【0011】 在下文中，將參照附圖闡述本揭露的各種示例性實施例。

【0012】 圖 1 是用於闡釋根據本揭露示例性實施例的半導體電路佈局系統的方塊圖。

【0013】 參照圖 1，根據本揭露示例性實施例的半導體電路的佈局系統 100 可對半導體電路實行佈局。

【0014】 佈局系統 100 可包括處理器 110、記憶體 120、儲存器 130、佈局模組 140、輸入裝置 150 及輸出裝置 160。此外，處理器 110、記憶體 120、儲存器 130、佈局模組 140、輸入裝置 150 及輸出裝置 160 可經由匯流排 170 進行電性連接，且可與彼此交換資料。然而，本揭露的範圍並非僅限於此，且端視具體實施方式目的而定，佈局系統 100 可被實施成省略處理器 110、記憶體 120、儲存器 130、佈局模組 140、輸入裝置 150 及輸出裝置 160 中的一或多者，或者可被實施成更包括圖 1 中未示出的裝置（例如，顯示裝置）。

【0015】 佈局模組 140 可對本文所述半導體電路實行佈局。佈局模組 140 可以軟體、硬體或軟體與硬體的組合來實施。當以軟體實施時，佈局模組 140 可包括用於對本文所述半導體電路實行佈局的一或多個指令。另一方面，當以硬體實施時，佈局模組 140 可包括例如用於對本文所述半導體電路實行佈局的一或多個程式化電子電路。另一方面，佈局模組 140 的一部分可以軟體實施，

且佈局模組 140 的另一部分可以硬體實施。

【0016】 佈局模組 140 可使用處理器 110 根據所定義的要求（例如，設計規則）來佈局一或多個標準胞元設計。標準胞元設計可儲存於儲存器 130 中。以下將結合圖 6 至圖 16 闡述由佈局模組 140 實行的對半導體電路的佈局。

【0017】 處理器 110 控制佈局系統 100 的整體操作。具體而言，處理器 110 可控制或執行佈局模組 140 以對本文所述半導體電路實行佈局。在本揭露的一些示例性實施例中，處理器 110 可由中央處理單元（central processing unit，CPU）、圖形處理單元（graphic processing unit，GPU）等來實施，但是本揭露的範圍並非僅限於此。

【0018】 舉例而言，在一些示例性實施例中，處理器 110 可使用處理電路系統（例如包括邏輯電路的硬體）、硬體/軟體組合（例如執行軟體的處理器）或其組合來實施。舉例而言，處理電路系統可包括但不限於中央處理單元（CPU）、算術邏輯單元（arithmetic logic unit，ALU）、數位訊號處理器、微電腦、現場可程式化閘陣列（field programmable gate array，FPGA）、系統晶片（SoC）、可程式化邏輯單元、微處理器或應用專用積體電路（application-specific integrated circuit，ASIC）等。

【0019】 如以下更詳細地論述，處理器 110 可被配置成用於實行佈局模組 140 的操作的專用處理器以使得實行佈局模組 140 的功能的處理器 110 在半導體電路中在主門鎖主電路與從門鎖主電路

之間佈局時脈反相器。因此，實行佈局模組 140 的操作的處理器 110 可藉由降低由時脈反相器消耗的功率的量來改善半導體電路的功能。

【0020】 記憶體 120 提供能夠儲存佈局模組 140 對本文所述半導體電路實行佈局所使用的指令、程式代碼、資料等的空間。在本揭露的一些示例性實施例中，記憶體 120 可在揮發性記憶體（例如動態隨機存取記憶體（dynamic random access memory，DRAM）及靜態隨機存取記憶體（static random access memory，SRAM））中實施，但是本揭露的範圍並非僅限於此，且記憶體 120 可在非揮發性記憶體（例如快閃記憶體）中實施。

【0021】 當佈局模組 140 的全部或部分由軟體實施時，儲存器 130 可儲存指令或程式代碼、可儲存佈局模組 140 對本文所述半導體電路執行佈局所需的資料、或者可儲存例如約束條件（例如設計規則）、關於在半導體電路的佈局中使用的各種元件的資料以及佈局相關資料（例如標準胞元資料）。在本揭露的一些示例性實施例中，儲存器 130 可由固態驅動器（solid state drive，SSD）、硬碟驅動器（hard disk drive，HDD）等來實施。然而，本揭露的範圍並非僅限於此，且儲存器 130 可由任何非暫態電腦可讀取媒體來實施。

【0022】 佈局系統 100 可使用輸入裝置 150 自使用者或在佈局系統 100 內部/外部實施的其他裝置接收佈局相關資料，且可使用輸出裝置 160 向使用者或在佈局系統 100 內部/外部實施的其他裝置

傳送佈局相關資料、所儲存資料、結果資料等。

【0023】 圖 2 至圖 5 是用於闡釋根據本揭露示例性實施例的半導體電路的電路圖。

【0024】 參照圖 2，根據本揭露示例性實施例的半導體電路 1 可包括輸入選擇電路 5、10a 及 10b、主閘鎖主電路 20a 及 20b、主閘鎖輔助電路 30a 及 30b、從閘鎖主電路 40a 及 40b、從閘鎖輔助電路 50a 及 50b、輸出驅動器 60a 及 60b 以及時脈反相器 70。

【0025】 應注意，儘管圖 2 示出包括輸入選擇電路 5、10a 及 10b、主閘鎖器 20a、20b、30a 及 30b、從閘鎖器 40a、40b、50a 及 50b、輸出驅動器 60a 及 60b 以及時脈反相器 70 中的所有者的多位元掃描正反器，但是本揭露的範圍並非僅限於此。具體而言，本揭露的半導體電路可包括相較於圖 6 省略了輸入選擇電路 5、10a 及 10b 的簡單的多位元正反器或者相較於圖 6 省略了輸入選擇電路 5、10a 及 10b 以及主閘鎖器 20a、20b、30a 及 30b 的簡單的多位元閘鎖器。

【0026】 輸入選擇電路 5、10a 及 10b 接收用於半導體電路的掃描操作的資料 D0 及 D1 或掃描輸入訊號 SI0 及 SI1，並將資料 D0 及 D1 或掃描輸入訊號 SI0 及 SI1 中的一者提供至節點 N0 及 N1。具體而言，輸入選擇電路 5、10a 及 10b 包括掃描賦能反相器 5 及多工器 10a 及 10b。

【0027】 多工器 10a 根據自掃描賦能反相器 5 提供的反相掃描賦能訊號 SEN 的值選擇第一位元資料 D0 及第一掃描輸入訊號 SI0

中的一者，並將所述所選擇的一者提供至節點 N0。為此，多工器 10a 可包括三態反相器 11a 及 13a。此處，當掃描賦能訊號 SE 為邏輯高且反相掃描賦能訊號 SEN 為邏輯低時，三態反相器 11a 對第一掃描輸入訊號 S10 進行反相並將其輸出至節點 N。另一方面，當掃描賦能訊號 SE 為邏輯低且反相掃描賦能訊號 SEN 為邏輯高時，三態反相器 13a 對第一位元資料 D0 進行反相並將其輸出至節點 N0。

【0028】 此外，多工器 10b 根據自掃描賦能反相器 5 提供的反相掃描賦能訊號 SEN 的值選擇第二位元資料 D1 及第二掃描輸入訊號 S11 中的一者，並將所述所選擇的一者提供至節點 N1。為此，多工器 10b 可包括三態反相器 11b 及 13b。此處，當掃描賦能訊號 SE 為邏輯高且反相掃描賦能訊號 SEN 為邏輯低時，三態反相器 11b 對第二掃描輸入訊號 S11 進行反相並將其輸出至節點 N1。另一方面，當掃描賦能訊號 SE 為邏輯低且反相掃描賦能訊號 SEN 為邏輯高時，三態反相器 13b 對第二位元資料 D1 進行反相並將其輸出至節點 N1。

【0029】 另一方面，時脈反相器 70 接收時脈訊號 CK，並輸出藉由對時脈訊號 CK 進行反相獲得的反相時脈訊號 CKN。時脈訊號 CK 及反相時脈訊號 CKN 被提供至主閘鎖主電路 20a 及 20b 以及從閘鎖主電路 40a 及 40b。

【0030】 主閘鎖主電路 20a 基於時脈訊號 CK 及反相時脈訊號 CKN 對節點 N0 的訊號進行閘鎖，並將所述訊號傳送至節點 SA0。

為此，主門鎖主電路 20a 可包括三態反相器 21a 及 23a。此處，當時脈訊號 CK 為邏輯低且反相時脈訊號 CKN 為邏輯高時，三態反相器 21a 對節點 N0 的訊號進行反相並將所述訊號輸出至節點 SA0。與此不同，當時脈訊號 CK 為邏輯高且反相時脈訊號 CKN 為邏輯低時，三態反相器 21a 可將節點 SA0 自節點 N0 斷開連接。

【0031】 另一方面，主門鎖輔助電路 30a 經由節點 SA0 接收主門鎖主電路 20a 的輸出訊號，並將其輸出訊號回饋至主門鎖主電路 20a。具體而言，主門鎖輔助電路 30a 的回饋反相器 31a 再次對施加至節點 SA0 的三態反相器 21a 的輸出訊號進行反相，進而將欲輸出至節點 SD0 的訊號回饋至主門鎖主電路 20a。此外，當時脈訊號 CK 為邏輯高且反相時脈訊號 CKN 為邏輯低（即，節點 SA0 自節點 N0 斷開連接）時，三態反相器 23a 對自主門鎖輔助電路 30a 提供的訊號進行反相，並將所述訊號輸出至節點 SA0。因此，在時脈訊號 CK 為邏輯高的部分中，來自節點 N0 的被三態反相器 21a 門鎖的訊號維持於相同的值。

【0032】 此外，主門鎖主電路 20b 基於時脈訊號 CK 及反相時脈訊號 CKN 對節點 N1 的訊號進行門鎖，並將所述訊號傳送至節點 SA1。為此，主門鎖主電路 20b 可包括三態反相器 21b 及 23b。此處，當時脈訊號 CK 為邏輯低且反相時脈訊號 CKN 為邏輯高時，三態反相器 21b 對節點 N1 的訊號進行反相並將其輸出至節點 SA1。與此不同，當時脈訊號 CK 為邏輯高且反相時脈訊號 CKN 為邏輯低時，三態反相器 21b 可將節點 SA1 自節點 N1 斷開連接。

【0033】 另一方面，主門鎖輔助電路 30b 經由節點 SA1 接收主門鎖主電路 20b 的輸出訊號，並將其輸出訊號回饋至主門鎖主電路 20b。具體而言，主門鎖輔助電路 30b 的回饋反相器 31b 再次對施加至節點 SA1 的三態反相器 21b 的輸出訊號進行反相，進而將欲輸出至節點 SD1 的訊號回饋至主門鎖主電路 20b。此外，當時脈訊號 CK 為邏輯高且反相時脈訊號 CKN 為邏輯低（即，節點 SA1 自節點 N1 斷開連接）時，三態反相器 23a 對自主門鎖輔助電路 30b 提供的訊號進行反相，並將所述訊號輸出至節點 SA1。因此，在時脈訊號 CK 為邏輯高的部分中，來自節點 N1 的被三態反相器 21b 門鎖的訊號維持於相同的值。

【0034】 接下來，從門鎖主電路 40a 基於時脈訊號 CK 及反相時脈訊號 CKN 對節點 SA0 的訊號進行門鎖，並將所述訊號傳送至節點 SC0。為此，從門鎖主電路 40a 可包括三態反相器 41a 及 43a。此處，當時脈訊號 CK 為邏輯高且反相時脈訊號 CKN 為邏輯低時，三態反相器 41a 對節點 SA0 的訊號進行反相並將所述訊號輸出至節點 SC0。與此不同，當時脈訊號 CK 為邏輯低且反相時脈訊號 CKN 為邏輯高時，三態反相器 41a 可將節點 SC0 自節點 SA0 斷開連接。

【0035】 另一方面，從門鎖輔助電路 50a 經由節點 SC0 接收從門鎖主電路 40a 的輸出訊號，並將其輸出訊號回饋至從門鎖主電路 40a。具體而言，從門鎖輔助電路 50a 再次對提供至節點 SC0 的三態反相器 41a 的輸出訊號進行反相，進而將欲輸出至節點 SB0 的

訊號回饋至從門鎖主電路 40a。此外，當時脈訊號 CK 為邏輯低且反相時脈訊號 CKN 為邏輯高（即，節點 SC0 自節點 SA0 斷開連接）時，三態反相器 43a 對自從門鎖輔助電路 50a 提供的訊號進行反相，並將所述訊號輸出至節點 SC0。因此在時脈訊號 CK 為邏輯低的部分中，來自節點 SA0 的被三態反相器 41a 門鎖的訊號維持於相同的值。

【0036】 此外，從門鎖主電路 40b 基於時脈訊號 CK 及反相時脈訊號 CKN 對節點 SA1 的訊號進行門鎖，並將所述訊號傳送至節點 SC1。為此，從門鎖主電路 40b 可包括三態反相器 41b 及 43b。此處，當時脈訊號 CK 為邏輯高且反相時脈訊號 CKN 為邏輯低時，三態反相器 41b 對節點 SA1 的訊號進行反相，並將所述訊號輸出至節點 SC1。與此不同，當時脈訊號 CK 為邏輯低且反相時脈訊號 CKN 為邏輯高時，三態反相器 41b 可將節點 SC1 自節點 SA1 斷開連接。

【0037】 另一方面，從門鎖輔助電路 50b 經由節點 SC1 接收從門鎖主電路 40b 的輸出訊號，並將其輸出訊號回饋至從門鎖主電路 40b。具體而言，從門鎖輔助電路 50b 再次對提供至節點 SC1 的三態反相器 41b 的輸出訊號進行反相，進而將欲輸出至節點 SB1 的訊號回饋至從門鎖主電路 40b。此外，當時脈訊號 CK 為邏輯低且反相時脈訊號 CKN 為邏輯高（即，節點 SC1 自節點 SA1 斷開連接）時，三態反相器 43b 對自從門鎖輔助電路 50b 提供的訊號進行反相，並將所述訊號輸出至節點 SC1。因此，在時脈訊號 CK 為

邏輯低的部分中，來自節點 SA1 的由三態反相器 41b 門鎖的訊號維持於相同的值。

【0038】 輸出驅動器 60a 經由節點 SC0 接收從門鎖主電路 40a 的輸出訊號，並將輸出訊號作為資料 Q0 輸出至外部。此外，輸出驅動器 60b 經由節點 SC1 接收從門鎖主電路 40b 的輸出訊號，並將輸出訊號作為資料 Q1 輸出至外部。

【0039】 隨後，參照圖 3，根據本揭露示例性實施例的半導體電路 2 可具有重設功能。

【0040】 為此，主門鎖主電路 20a 及 20b 可包括電晶體 25a 及 25b，電晶體 25a 及 25b 被重設訊號 R 閘控以分別向三態反相器 23a 及 23b 提供電源電壓 VDD。此外，主門鎖輔助電路 30a 及 30b 可包括電晶體 33a 及 33b，電晶體 33a 及 33b 被重設訊號 R 閘控以分別向節點 SA0 及 SA1 提供接地電壓 VSS。從門鎖輔助電路 50a 及 50b 可包括邏輯閘，所述邏輯閘分別接收重設訊號 R 及節點 SC0 及 SC1 的訊號作為輸入。

【0041】 接下來，參照圖 4，根據本揭露示例性實施例的半導體電路 3 的時脈反相器 70 可包括彼此串聯連接的時脈反相器 71 與 73。

【0042】 接下來，參照圖 5，根據本揭露實施例的半導體電路 4 的時脈反相器 70 可包括彼此並聯連接的時脈反相器 71 與 73。

【0043】 在半導體電路 1、2、3 及 4 中，主門鎖主電路 20a 及 20b 以及從門鎖主電路 40a 及 40b 具有時脈訊號 CK 及反相時脈訊號 CKN 作為輸入。此外，輸入選擇電路 5、10a 及 10b、主門鎖輔助

電路 30a 及 30b、從門鎖輔助電路 50a 及 50b 以及輸出驅動器 60a 及 60b 可不接收時脈訊號 CK 及反相時脈訊號 CKN 作為輸入。

【0044】 如下所述，示例性實施例揭露了藉由相對於主門鎖主電路 20a 及 20b 以及從門鎖主電路 40a 及 40b 在半導體電路 1、2、3、4 的佈局中設定時脈反相器 70 的位置來降低由時脈消耗的功率的量，時脈反相器 70 提供時脈訊號 CK 或反相時脈訊號 CKN。

【0045】 圖 6 至圖 9 是示出根據本揭露各種示例性實施例的半導體電路的佈局圖。

【0046】 參照圖 6，根據本揭露實施例的佈局 L01 包括掃描賦能反相器 5、多工器 10a 及 10b、主門鎖主電路 20a 及 20b、主門鎖輔助電路 30a 及 30b、從門鎖主電路 40a 及 40b、從門鎖輔助電路 50a 及 50b、輸出驅動器 60a 及 60b 以及時脈反相器 70。

【0047】 具體而言，掃描賦能反相器 5、多工器 10a、主門鎖主電路 20a、主門鎖輔助電路 30a、從門鎖主電路 40a、從門鎖輔助電路 50a 及輸出驅動器 60a 在佈局 L01 中排列於同一列（例如，第一列）中。此外，主門鎖輔助電路 30b、多工器 10b、主門鎖主電路 20b、時脈反相器 70、從門鎖主電路 40b、從門鎖輔助電路 50b 及輸出驅動器 60b 排列於同一列（例如，第二列）中。此外，佈局 L01 可包括電源軌條 VDD1、VSS 及 VDD2。

【0048】 亦即，在本示例性實施例中，時脈反相器 70 可佈局成排列於與掃描賦能反相器 5 不同的列中。

【0049】 另外，在本示例性實施例中，時脈反相器 70 可佈局成排

列於與掃描賦能反相器 5 不同的行中。

【0050】 另外，時脈反相器 70 可佈局成排列於主門鎖主電路 20b 與從門鎖主電路 40b 之間。在此種情形中，主門鎖輔助電路 30b 可佈局成排列於第二列的第一行中，亦即，主門鎖主電路 20b 可佈局成排列於主門鎖輔助電路 30b 與時脈反相器 70 之間。

【0051】 在此種情形中，主門鎖主電路 20a 可佈局成排列於掃描賦能反相器 5 與第一主門鎖輔助電路 30a 之間。另一方面，主門鎖輔助電路 30b 可佈局成與掃描賦能反相器 5 排列於同一行中。

【0052】 另一方面，多工器 10b 可佈局成排列於主門鎖輔助電路 30b 與第二主門鎖主電路 20b 之間，且多工器 10a 可佈局成排列於掃描賦能反相器 5 與主門鎖主電路 20a 之間。

【0053】 如此一來，藉由佈局用於提供時脈訊號 CK 或反相時脈訊號 CKN 的時脈反相器 70、用於接收時脈訊號 CK 及反相時脈訊號 CKN 的輸入的主門鎖主電路 20a 及 20b 以及從門鎖主電路 40a 及 40b 之間的路徑的短的長度，可降低由時脈消耗的功率。

【0054】 另一方面，與圖 6 所示情形不同，時脈反相器 70 可佈局成排列於區 A 的另一位置處。亦即，時脈反相器 70 可在第一列中佈局成排列於主門鎖主電路 20a 與從門鎖主電路 40a 之間。在此種情形中，主門鎖輔助電路 30a 可佈局成排列於第一列的第一行中，且掃描賦能反相器 5 可佈局成排列於第二列的第一行中。

【0055】 參照圖 7，根據本揭露示例性實施例的佈局 L02 包括掃描賦能反相器 5、多工器 10a 至 10d、主門鎖主電路 20a 至 20d、主

門鎖輔助電路 30a 至 30d、從門鎖主電路 40a 至 40d、從門鎖輔助電路 50a 至 50d、輸出驅動器 60a 至 60d 及時脈反相器 70。

【0056】 具體而言，掃描賦能反相器 5、多工器 10a、主門鎖主電路 20a、主門鎖輔助電路 30a、從門鎖主電路 40a、從門鎖輔助電路 50a 及輸出驅動器 60a 排列於同一列（例如，佈局 L02 中的除了與電源軌條 VDD1 至 VDD3、VSS1 及 VSS2 相關的列之外的第一列）中。此外，多用途電路 80、多工器 10b、主門鎖主電路 20b、主門鎖輔助電路 30b、從門鎖主電路 40b、從門鎖輔助電路 50b 及輸出驅動器 60b 排列於第二列中。此外，主門鎖輔助電路 30c、多工器 10c、主門鎖主電路 20c、時脈反相器 70、從門鎖主電路 40c、從門鎖輔助電路 50c 及輸出驅動器 60c 排列於第三列中。此外，多用途電路 82、多工器 10d、主門鎖主電路 20d、主門鎖輔助電路 30d、從門鎖主電路 40d、從門鎖輔助電路 50d 及輸出驅動器 60d 排列於第四列中。

【0057】 如此一來，藉由佈局用於提供時脈訊號 CK 或反相時脈訊號 CKN 的時脈反相器 70 與用於接收時脈訊號 CK 及反相時脈訊號 CKN 的輸入的主門鎖主電路 20a 至 20d 及從門鎖主電路 40a 至 40d 之間的路徑的短的長度，可降低由時脈消耗的功率。

【0058】 另一方面，與圖 7 所示情形不同，時脈反相器 70 可佈局成排列於區 B 的另一位置處。亦即，時脈反相器 70 可佈局成排列於第一列、第二列或第四列的主門鎖主電路 20a、20b 及 20d 與從門鎖主電路 40a、40b 及 40d 之間的任何一個位置處。

【0059】 參照圖 8，與圖 7 所示佈局 L02 不同，根據本揭露示例性實施例的佈局 L03 可被排列成使得時脈反相器 71 及 73 位於兩個列中。亦即，時脈反相器 71 可佈局成排列於主門鎖主電路 20b 與從門鎖主電路 40b 之間，且時脈反相器 73 可佈局成排列於主門鎖主電路 20c 與從門鎖主電路 40c 之間。

【0060】 在此種情形中，主門鎖主電路 20b 可排列於主門鎖輔助電路 30b 與時脈反相器 71 之間，且主門鎖主電路 20b 可排列成位於第二列的第一行中。

【0061】 此外，主門鎖主電路 20c 可排列於主門鎖輔助電路 30c 與時脈反相器 73 之間，且主門鎖主電路 20c 可排列成位於第三列的第一行中。

【0062】 如此一來，藉由佈局用於提供時脈訊號 CK 或反相時脈訊號 CKN 的時脈反相器 71 及 73 與用於接收時脈訊號 CK 及反相時脈訊號 CKN 的輸入的主門鎖主電路 20a 至 20d 及從門鎖主電路 40a 至 40d 之間的路徑的短的長度，可降低由時脈消耗的功率。

【0063】 另一方面，與圖 8 所示情形不同，時脈反相器 71 及 73 可佈局成排列於區 C 的另一位置處。

【0064】 參照圖 9，與圖 7 所示佈局 L02 不同，根據本揭露示例性實施例的佈局 L04 可將多工器 10a 至 10d 設置成位於每一列的第一行中。

【0065】 此外，主門鎖輔助電路 30c 被排列成緊鄰於主門鎖主電路 20c 的一側，且時脈反相器 70 可被佈局成緊鄰於主門鎖主電路

20c 的另一側排列。

【0066】 在此種情形中，舉例而言，為實施不提供掃描功能的非掃描正反器，可省略與每一列的第一行對應的多工器 10a 至 10d 以及與第一列的第二行對應的掃描賦能反相器 5。

【0067】 如此一來，藉由佈局用於提供時脈訊號 CK 或反相時脈訊號 CKN 的時脈反相器 70 與用於接收時脈訊號 CK 及反相時脈訊號 CKN 的輸入的主門鎖主電路 20a 至 20d 及從門鎖主電路 40a 至 40d 之間的路徑的短的長度，可降低由時脈消耗的功率。

【0068】 另一方面，與圖 9 所示情形不同，時脈反相器 70 可佈局成排列於區 D 的另一位置處。亦即，時脈反相器 70 可佈局成位於第一列、第二列或第四列的主門鎖主電路 20a、20b 及 20c 與從門鎖主電路 40a、40b 及 40c 之間的任何位置處。

【0069】 圖 10 至圖 12 是示出根據本揭露各種示例性實施例的半導體電路的佈局圖。

【0070】 參照圖 10，根據本揭露示例性實施例的佈局 L05 包括掃描賦能反相器 5、多工器 10a 及 10b、主門鎖電路 20a、30a、20b 及 30b、從門鎖電路 40a、50a、40b 及 50b、輸出驅動器 60a 及 60b 以及時脈反相器 70。

【0071】 具體而言，多工器 10a、掃描賦能反相器 5、主門鎖電路 20a 及 30a、從門鎖電路 40a 及 50a 以及輸出驅動器 60a 排列於同一列（例如，佈局 L01 中的除了電源軌條 VDD1、VSS 及 VDD2 之外的第一列）中。此外，多工器 10b、時脈反相器 70、主門鎖

電路 20b 及 30b、從門鎖電路 40b 及 50b 以及輸出驅動器 60b 排列於第二列中。

【0072】 亦即，在本示例性實施例中，時脈反相器 70 可佈局成排列於與掃描賦能反相器 5 不同的列中。

【0073】 此外，在本實施例中，時脈反相器 70 可佈局成與掃描賦能反相器 5 排列於同一行中。

【0074】 另外，時脈反相器 70 可佈局成排列於多工器 10b 與主門鎖電路 20b 及 30b 之間。

【0075】 在此種情形中，掃描賦能反相器 5 可佈局成排列於多工器 10a 與主門鎖電路 20a 及 30a 之間。

【0076】 如此一來，藉由佈局用於提供時脈訊號 CK 或反相時脈訊號 CKN 的時脈反相器 70 與用於接收時脈訊號 CK 及反相時脈訊號 CKN 的輸入的主門鎖主電路 20a 及 20b 以及從門鎖主電路 40a 及 40b 之間的路徑的短的長度，可降低由時脈消耗的功率。

【0077】 另一方面，與圖 10 所示情形不同，時脈反相器 70 可佈局成排列於區 E 的另一位置處。亦即，時脈反相器 70 可佈局成排列於多工器 10a 與第一列的主門鎖電路 20a 及 20b 之間。

【0078】 參照圖 11，根據本揭露示例性實施例的佈局 L06 包括掃描賦能反相器 5、多工器 10a 至 10d、主門鎖電路 20a 至 20d 及 30a 至 30d、從門鎖電路 40a 至 40d、50a 至 50d、輸出驅動器 60a 至 60d 以及時脈反相器 70。

【0079】 具體而言，多工器 10a、掃描賦能反相器 5、主門鎖電路

20a 及 30a、從門鎖電路 40a 及 50a 以及輸出驅動器 60a 排列於同一列（例如，佈局 L02 中的除了電源軌條 VDD1 至 VDD3、VSS1 及 VSS2 之外的第一列）中。此外，多工器 10b、多用途電路 80、主門鎖電路 20b 及 30b、從門鎖電路 40b 及 50b 以及輸出驅動器 60b 排列於第二列中。此外，多工器 10c、時脈反相器 70、主門鎖電路 20c 及 30c、從門鎖電路 40c 及 50c 以及輸出驅動器 60c 排列於第三列中。此外，多工器 10d、多用途電路 82、主門鎖電路 20d 及 30d、從門鎖電路 40d 及 50d 以及輸出驅動器 60d 排列於第四列中。

【0080】 如此一來，藉由佈局用於提供時脈訊號 CK 或反相時脈訊號 CKN 的時脈反相器 70 與用於接收時脈訊號 CK 及反相時脈訊號 CKN 的輸入的主門鎖主電路 20a 至 20d 及從門鎖主電路 40a 至 40d 之間的路徑的短的長度，可降低由時脈消耗的功率。

【0081】 另一方面，與圖 11 所示情形不同，時脈反相器 70 可佈局成排列於區 F 的另一位置處。亦即，時脈反相器 70 可佈局成排列於第一列、第二列或第四列的多工器 10a、10b 及 10d 與主門鎖電路 20a、20b 及 20d 之間的任何位置處。

【0082】 參照圖 12，根據本揭露示例性實施例的佈局 L07 與圖 11 所示佈局 L06 的不同之處在於時脈反相器 71 及 73 可排列於兩個列中。亦即，時脈反相器 71 可佈局成排列於多工器 10c 與主門鎖電路 20c 及 30c 之間，且時脈反相器 73 可佈局成排列於多工器 10d 與主門鎖電路 20d 及 30d 之間。

【0083】 如此一來，藉由佈局用於提供時脈訊號 CK 或反相時脈訊號 CKN 的時脈反相器 71 及 73 與用於接收時脈訊號 CK 及反相時脈訊號 CKN 的輸入的主閘鎖主電路 20a 至 20d 及從閘鎖主電路 40a 至 40d 之間的路徑的短的長度，可降低由時脈消耗的功率。

【0084】 另一方面，與圖 8 所示情形不同，時脈反相器 71 及 73 可佈局成排列於區 G 的另一位置處。

【0085】 另外，如在時脈反相器 71 及 73 中，兩個掃描賦能反相器 5 及 7 可排列於兩個列中。

【0086】 圖 13 至圖 16 是用於闡釋根據本揭露各種示例性實施例的半導體電路的佈局圖。

【0087】 參照圖 13，主閘鎖輔助電路 30a、多工器 10a、主閘鎖主電路 20a、時脈反相器 70、從閘鎖電路 40a 及 50a 以及輸出驅動器 60a 在佈局 L08 中排列於一個列中，其中擴散中斷部 DB1 及 DB2 環繞時脈反相器 70，此乃因當使用鰭型場效電晶體（Fin Field-Effect Transistor，finfet）實施半導體電路時，時脈反相器 70 可使用兩個鰭而其他裝置僅使用一個鰭。由此，擴散中斷部 DB1 及 DB2 將時脈反相器 70 電隔離。

【0088】 圖 14 是更詳細地示出圖 13 所示時脈反相器 70 的佈局 L09。在佈局 L09 中，時脈反相器 70 包括位於周圍的主閘鎖主電路 20a 與從閘鎖電路 40a 及 50a 之間的 SDB1（單擴散中斷部）、SDB2 及被配置成連接時脈接觸窗及閘極線 GL1 的金屬 710。

【0089】 包括 SDB1 及 SDB2 的原因在於當使用鰭型場效電晶體實

施半導體電路時，主閘鎖主電路 20a 及從閘鎖電路 40a 及 50a 僅使用一個鰭，但是時脈反相器 70 使用兩個鰭，且因此需要電晶體之間的隔離。亦即，圖 13 及圖 14 所示時脈反相器 70 自周圍的主閘鎖主電路 20a 及從閘鎖電路 40a 及 50a 電性斷開連接，且在具有大的垂直寬度的另一主動區上實施。

【0090】 時脈反相器 70 一般而言被設計成具有較主閘鎖主電路 20a 及從閘鎖電路 40a 及 50a 高的驅動能力，且可藉由鰭型場效電晶體製程中主動鰭的數目來調整電晶體的電流驅動能力。然而，當使用較周圍的主閘鎖主電路 20a 及從閘鎖電路 40a 及 50a 多的鰭來增加時脈反相器 70 的驅動能力時，由於 SDB 插入引起面積增大，因此生產良率可降低。

【0091】 為解決此種問題，可慮及在實施時脈反相器 70 時僅使用一個鰭而同時增加時脈反相器的並聯連接的數目的方式。

【0092】 亦即，參照圖 15，在根據本揭露示例性實施例的佈局 L010 中，主閘鎖輔助電路 30a、多工器 10a、主閘鎖主電路 20a、時脈反相器 70、從閘鎖電路 40a 及 50a 以及輸出驅動器 60a 排列於一個列中，且主閘鎖輔助電路 30a、多工器 10a、主閘鎖主電路 20a、時脈反相器 70、從閘鎖電路 40a 及 50a 以及輸出驅動器 60a 中的所有者僅使用一個鰭。

【0093】 圖 16 是更詳細地示出圖 15 所示時脈反相器 70 的佈局 L011。在佈局 L011 中，時脈反相器 70 在周圍的主閘鎖主電路 20a 與從閘鎖電路 40a 及 50a 之間不包括 SDB1 及 SDB2 且包括被配置

成連接時脈接觸窗、閘極線 GL1 及閘極線 GL2 的金屬 710。相反，為增加並聯連接的數目，時脈反相器 70 被佈局成另外使用閘極線 GL2。

【0094】 因此，時脈反相器 70 可佈局成與主閘鎖主電路 20a 及從閘鎖主電路 40a 共享成一體地形成的單個主動區 ACT1 及 ACT2。

【0095】 如上所述，時脈反相器 70 可佈局成使得鱗的數目與主閘鎖主電路 20a 的鱗的數目及從閘鎖主電路 40a 的鱗的數目相同。

【0096】 綜上所述，熟習此項技術者應理解，在實質上不背離本揭露的原理的條件下，可對所揭露的示例性實施例作出諸多變型及修改。因此，所揭露的本揭露的示例性實施例僅用於一般性及說明性意義，而非出於限制目的。

【符號說明】

【0097】

- 1、2、3、4：半導體電路
- 5：輸入選擇電路/掃描賦能反相器
- 7：掃描賦能反相器
- 10a、10b：輸入選擇電路/多工器
- 10c、10d：多工器
- 11a、11b、13a、13b、21a、21b、23a、23b、41a、41b、43a、43b：三態反相器
- 20a：主閘鎖主電路/主閘鎖器/主閘鎖電路
- 20b：主閘鎖主電路/主閘鎖器/第二主閘鎖主電路/主閘鎖電路

20c、20d：主門鎖主電路/主門鎖電路

25a、25b、33a、33b：電晶體

30a：主門鎖輔助電路/主門鎖器/第一主門鎖輔助電路/主門鎖
電路

30b：主門鎖輔助電路/主門鎖器/主門鎖電路

30c、30d：主門鎖輔助電路/主門鎖電路

31a、31b：回饋反相器

40a、40b：從門鎖主電路/從門鎖器/從門鎖電路

40c、40d：從門鎖主電路/從門鎖電路

50a、50b：從門鎖輔助電路/從門鎖器/從門鎖電路

50c、50d：從門鎖輔助電路/從門鎖電路

60a、60b、60c、60d：輸出驅動器

70、71、73：時脈反相器

80、82：多用途電路

100：佈局系統

110：處理器

120：記憶體

130：儲存器

140：佈局模組

150：輸入裝置

160：輸出裝置

170：匯流排

710：金屬

A、B、C、D、E、F、G：區

ACT1、ACT2：主動區

CK：時脈訊號

CKN：反相時脈訊號

D0：資料/第一位元資料

D1：資料/第二位元資料

DB1、DB2：擴散中斷部

GL1、GL2：閘極線

L01、L02、L03、L04、L05、L06、L07、L08、L09、L010、

L011：佈局

N0、N1、SA0、SA1、SB0、SB1、SC0、SC1、SD0、SD1：

節點

Q0、Q1：資料

R：重設訊號

SDB1、SDB2：單擴散中斷部

SE：掃描賦能訊號

SEN：反相掃描賦能訊號

SI0：掃描輸入訊號/第一掃描輸入訊號

SI1：掃描輸入訊號/第二掃描輸入訊號

VDD：電源電壓

VDD1、VDD2、VDD3、VSS1、VSS2：電源軌條

VSS：接地電壓/電源軌條

【發明申請專利範圍】

【第1項】 一種半導體電路，包括：

多個主閘鎖主電路，包括第一主閘鎖主電路及第二主閘鎖主電路，所述第一主閘鎖主電路及所述第二主閘鎖主電路被配置成分別基於時脈訊號及反相時脈訊號對第一節點的訊號及第四節點的訊號進行閘鎖，且將經閘鎖的所述第一節點的所述訊號及所述第四節點的所述訊號分別傳送至第二節點及第五節點；

多個主閘鎖輔助電路，包括第一主閘鎖輔助電路及第二主閘鎖輔助電路，所述第一主閘鎖輔助電路及所述第二主閘鎖輔助電路被配置成將所述第二節點的訊號及所述第五節點的訊號分別回饋至所述第一主閘鎖主電路及所述第二主閘鎖主電路；

多個從閘鎖主電路，包括第一從閘鎖主電路及第二從閘鎖主電路，所述第一從閘鎖主電路及所述第二從閘鎖主電路被配置成分別基於所述時脈訊號及所述反相時脈訊號對所述第二節點的訊號及所述第五節點的訊號進行閘鎖，且將經閘鎖的所述第二節點的所述訊號及所述第五節點的所述訊號分別傳送至第三節點及第六節點；

多個從閘鎖輔助電路，包括第一從閘鎖輔助電路及第二從閘鎖輔助電路，所述第一從閘鎖輔助電路及所述第二從閘鎖輔助電路被配置成將所述第三節點的訊號及所述第六節點的訊號分別回饋至所述第一從閘鎖主電路及所述第二從閘鎖主電路；以及

時脈反相器，被配置成對所述時脈訊號進行反相以產生所述

反相時脈訊號，所述時脈反相器位於所述第二主閘鎖主電路與所述第二從閘鎖主電路之間。

【第2項】如申請專利範圍第1項所述的半導體電路，其中所述第二主閘鎖主電路位於所述第二主閘鎖輔助電路與所述時脈反相器之間。

【第3項】如申請專利範圍第2項所述的半導體電路，更包括：

掃描賦能反相器，被配置成對掃描賦能訊號進行反相以產生反相掃描賦能訊號；

第一多工器，被配置成基於所述掃描賦能訊號選擇第一位元資料或第一掃描輸入訊號；以及

第二多工器，被配置成基於所述掃描賦能訊號選擇第二位元資料或第二掃描輸入訊號，其中

所述時脈反相器位於與所述掃描賦能反相器不同的列中。

【第4項】如申請專利範圍第3項所述的半導體電路，其中所述時脈反相器位於與所述掃描賦能反相器不同的行中。

【第5項】如申請專利範圍第3項所述的半導體電路，其中在與所述半導體電路相關聯的佈局的列中，所述第一主閘鎖主電路位於所述掃描賦能反相器與所述第一主閘鎖輔助電路之間。

【第6項】如申請專利範圍第3項所述的半導體電路，其中所述第二主閘鎖輔助電路與所述掃描賦能反相器位於同一行中。

【第7項】如申請專利範圍第3項所述的半導體電路，其中在與所述半導體電路相關聯的佈局的列中，所述第二多工器位於所述第

二主閘鎖輔助電路與所述第二主閘鎖主電路之間。

【第8項】如申請專利範圍第3項所述的半導體電路，其中在與所述半導體電路相關聯的佈局的列中，所述第一多工器位於所述掃描賦能反相器與所述第一主閘鎖主電路之間。

【第9項】如申請專利範圍第1項所述的半導體電路，其中所述時脈反相器包括：

第一時脈反相器與第二時脈反相器，彼此串聯連接或並聯連接。

【第10項】如申請專利範圍第9項所述的半導體電路，其中

所述多個主閘鎖主電路更包括第三主閘鎖主電路，所述第三主閘鎖主電路被配置成基於所述時脈訊號及所述反相時脈訊號對第七節點的訊號進行閘鎖，且將經閘鎖的所述第七節點的經鎖存的所述訊號傳送至第八節點；

所述多個主閘鎖輔助電路更包括第三主閘鎖輔助電路，所述第三主閘鎖輔助電路被配置成將所述第八節點的訊號回饋至所述第三主閘鎖主電路；

所述多個從閘鎖主電路更包括第三從閘鎖主電路，所述第三從閘鎖主電路被配置成基於所述時脈訊號及所述反相時脈訊號對所述第八節點的所述訊號進行閘鎖，且將經閘鎖的所述第八節點的所述訊號傳送至第九節點；且

所述多個從閘鎖輔助電路更包括第三從閘鎖輔助電路，所述第三從閘鎖輔助電路被配置成將所述第九節點的訊號回饋至所述

第三從門鎖主電路，其中

所述第一時脈反相器位於所述第二主門鎖主電路與所述第二從門鎖主電路之間，且

所述第二時脈反相器位於所述第三主門鎖主電路與所述第三從門鎖主電路之間。

【第11項】 如申請專利範圍第 10 項所述的半導體電路，其中

所述第二主門鎖主電路位於所述第二主門鎖輔助電路與所述第一時脈反相器之間，且

所述第三主門鎖主電路位於所述第三主門鎖輔助電路與所述第二時脈反相器之間。

【第12項】 如申請專利範圍第 1 項所述的半導體電路，其中所述時脈反相器被配置成與所述第二主門鎖主電路及所述第二從門鎖主電路共享成一體地形成的單個主動區。

【第13項】 如申請專利範圍第 12 項所述的半導體電路，其中所述時脈反相器被佈局成使得與所述時脈反相器相關聯的鱗的數目及與所述第二主門鎖主電路相關聯的鱗的數目及與所述第二從門鎖主電路相關聯的鱗的數目中的每一者相同。

【第14項】 一種半導體電路，包括：

掃描賦能反相器，被配置成對掃描賦能訊號進行反相以產生反相掃描賦能訊號；

第一多工器，被配置成基於所述掃描賦能訊號選擇第一位元資料或第一掃描輸入訊號，且將所述第一位元資料或所述第一掃

描輸入訊號中所選擇的一者輸出至第一節點；

第二多工器，被配置成基於所述掃描賦能訊號選擇第二位元資料或第二掃描輸入訊號中所選擇的一者，且將所述第二位元資料或所述第二掃描輸入訊號中所述所選擇的一者輸出至第四節點；

多個主閘鎖電路，包括第一主閘鎖電路及第二主閘鎖電路，所述第一主閘鎖電路及所述第二主閘鎖電路被配置成分別基於時脈訊號及反相時脈訊號對所述第一節點的訊號及所述第四節點的訊號進行閘鎖，且將經閘鎖的所述第一節點的所述訊號及所述第四節點的所述訊號分別傳送至第二節點及第五節點；

多個從閘鎖電路，包括第一從閘鎖電路及第二從閘鎖電路，所述第一從閘鎖電路及所述第二從閘鎖電路被配置成分別基於所述時脈訊號及所述反相時脈訊號對所述第二節點的訊號及所述第五節點的訊號進行閘鎖，且將經閘鎖的所述第二節點的所述訊號及所述第五節點的所述訊號分別傳送至第三節點及第六節點；以及

時脈反相器，被配置成對所述時脈訊號進行反相以產生所述反相時脈訊號，所述時脈反相器位於所述第二多工器與所述第二主閘鎖電路之間。

【第15項】 如申請專利範圍第14項所述的半導體電路，其中所述掃描賦能反相器位於所述第一多工器與所述第一主閘鎖電路之間。

【第16項】 如申請專利範圍第 14 項所述的半導體電路，其中所述時脈反相器位於與所述掃描賦能反相器不同的列中。

【第17項】 如申請專利範圍第 16 項所述的半導體電路，其中所述時脈反相器與所述掃描賦能反相器位於同一行中。

【第18項】 如申請專利範圍第 14 項所述的半導體電路，其中所述時脈反相器包括：

第一時脈反相器與第二時脈反相器，彼此串聯連接或並聯連接。

【第19項】 如申請專利範圍第 18 項所述的半導體電路，更包括：

第三多工器，被配置成基於所述掃描賦能訊號選擇第三位元資料或第三掃描輸入訊號中所選擇的一者，且將所述第三位元資料或所述第三掃描輸入訊號中所述所選擇的一者輸出至第七節點，且其中

所述多個主閘鎖電路更包括第三主閘鎖電路，所述第三主閘鎖電路被配置成基於所述時脈訊號及所述反相時脈訊號對所述第七節點的訊號進行閘鎖，且將經閘鎖的所述第七節點的所述訊號傳送至第八節點，

所述多個從閘鎖電路更包括第三從閘鎖電路，所述第三從閘鎖電路被配置成基於所述時脈訊號及所述反相時脈訊號對所述第八節點的訊號進行閘鎖，且將經閘鎖的所述第八節點的所述訊號傳送至第九節點，

所述第一時脈反相器位於所述第二多工器與所述第二主閘鎖

電路之間，且

所述第二時脈反相器位於所述第三多工器與所述第三主閘鎖電路之間。

【第20項】一種半導體電路佈局系統，包括：

儲存裝置，被配置成儲存標準胞元設計；以及

處理電路系統，被配置成對所述標準胞元設計進行佈局以產生佈局，使得所述佈局包括：

多個主閘鎖主電路，包括第一主閘鎖主電路及第二主閘鎖主電路，所述第一主閘鎖主電路及所述第二主閘鎖主電路被配置成分別基於時脈訊號及反相時脈訊號對第一節點的訊號及第四節點的訊號進行閘鎖，且將經閘鎖的所述第一節點的所述訊號及所述第四節點的所述訊號分別傳送至第二節點及第五節點；

多個主閘鎖輔助電路，包括第一主閘鎖輔助電路及第二主閘鎖輔助電路，所述第一主閘鎖輔助電路及所述第二主閘鎖輔助電路被配置成將所述第二節點的訊號及所述第五節點的訊號分別回饋至所述第一主閘鎖主電路及所述第二主閘鎖主電路；

多個從閘鎖主電路，包括第一從閘鎖主電路及第二從閘鎖主電路，所述第一從閘鎖主電路及所述第二從閘鎖主電路被配置成分別基於所述時脈訊號及所述反相時脈訊號對所述第二節點的訊號及所述第五節點的訊號進行閘鎖，且將經閘鎖的所

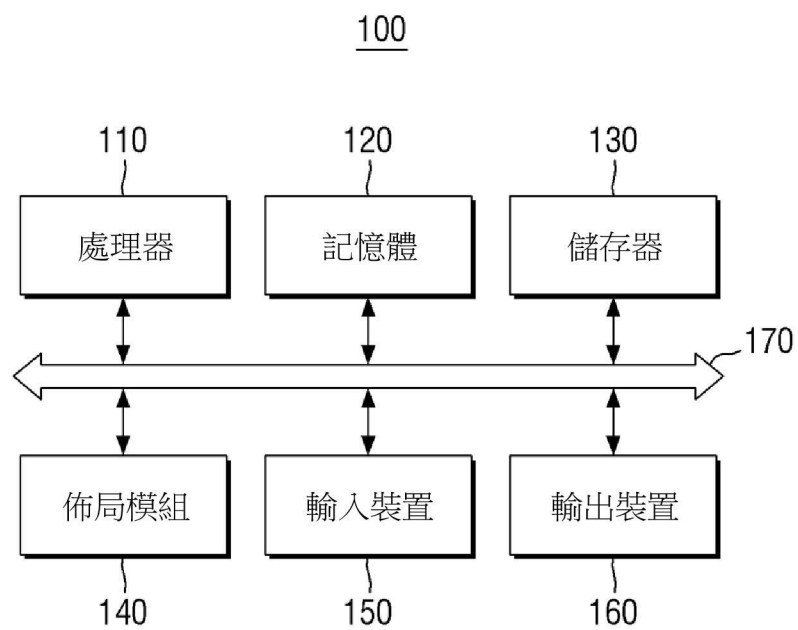
述第二節點的所述訊號及所述第五節點的所述訊號分別傳送至第三節點及第六節點；

多個從門鎖輔助電路，包括第一從門鎖輔助電路及第二從門鎖輔助電路，所述第一從門鎖輔助電路及所述第二從門鎖輔助電路被配置成將所述第三節點的訊號及所述第六節點的訊號分別回饋至所述第一從門鎖主電路及所述第二從門鎖主電路；以及

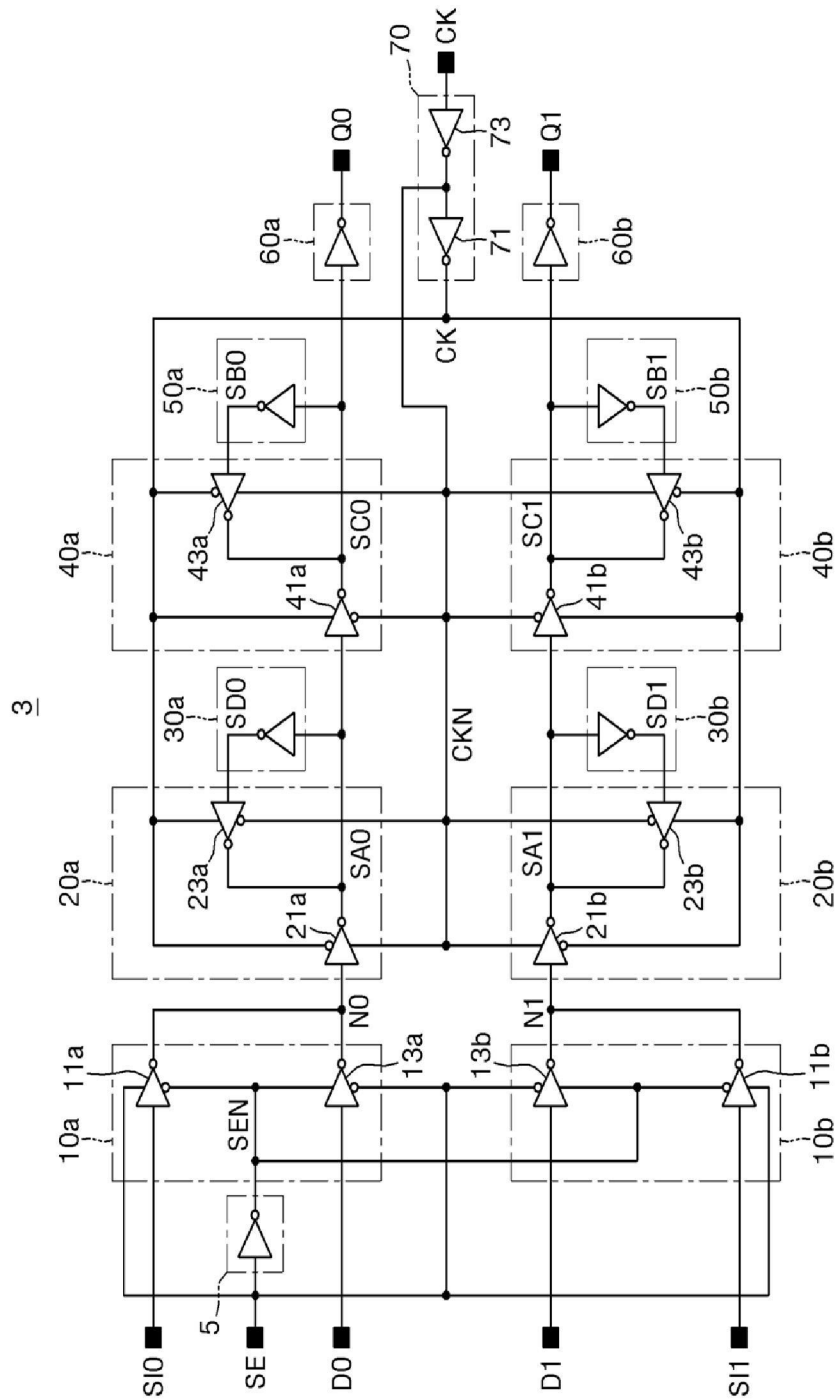
時脈反相器，被配置成對所述時脈訊號進行反相以產生所述反相時脈訊號，其中

所述處理電路系統被配置成將所述時脈反相器佈局成使得所述時脈反相器位於所述第二主門鎖主電路與所述第二從門鎖主電路之間。

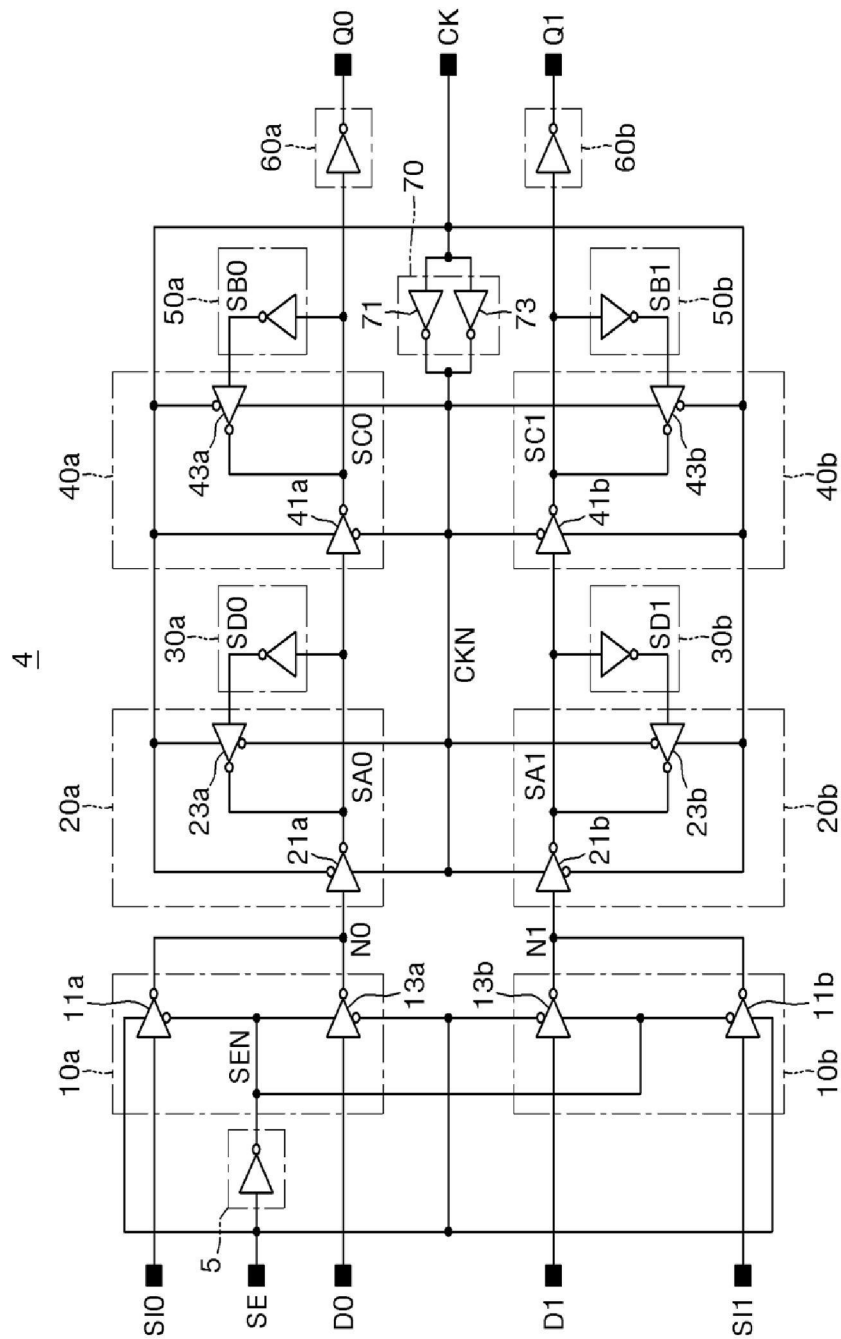
【發明圖式】



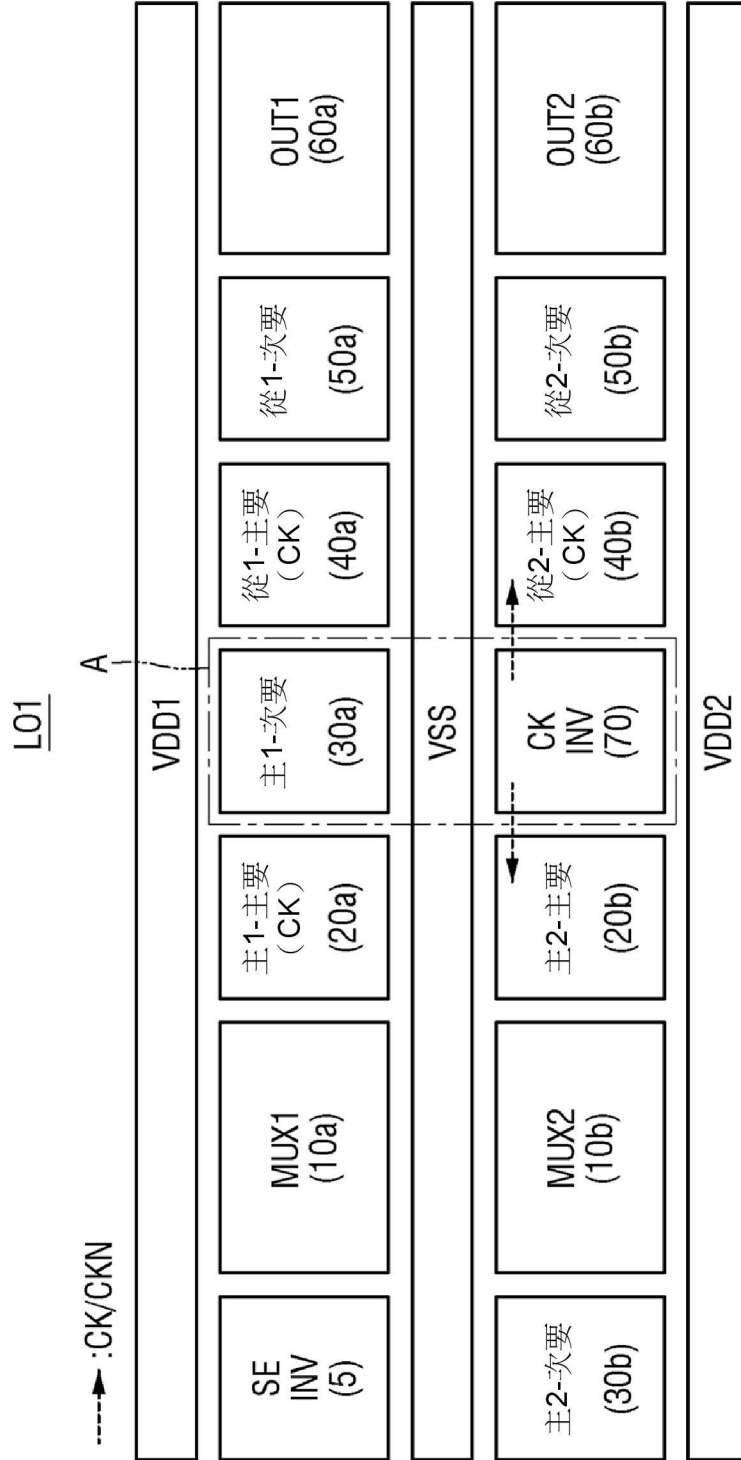
【圖1】



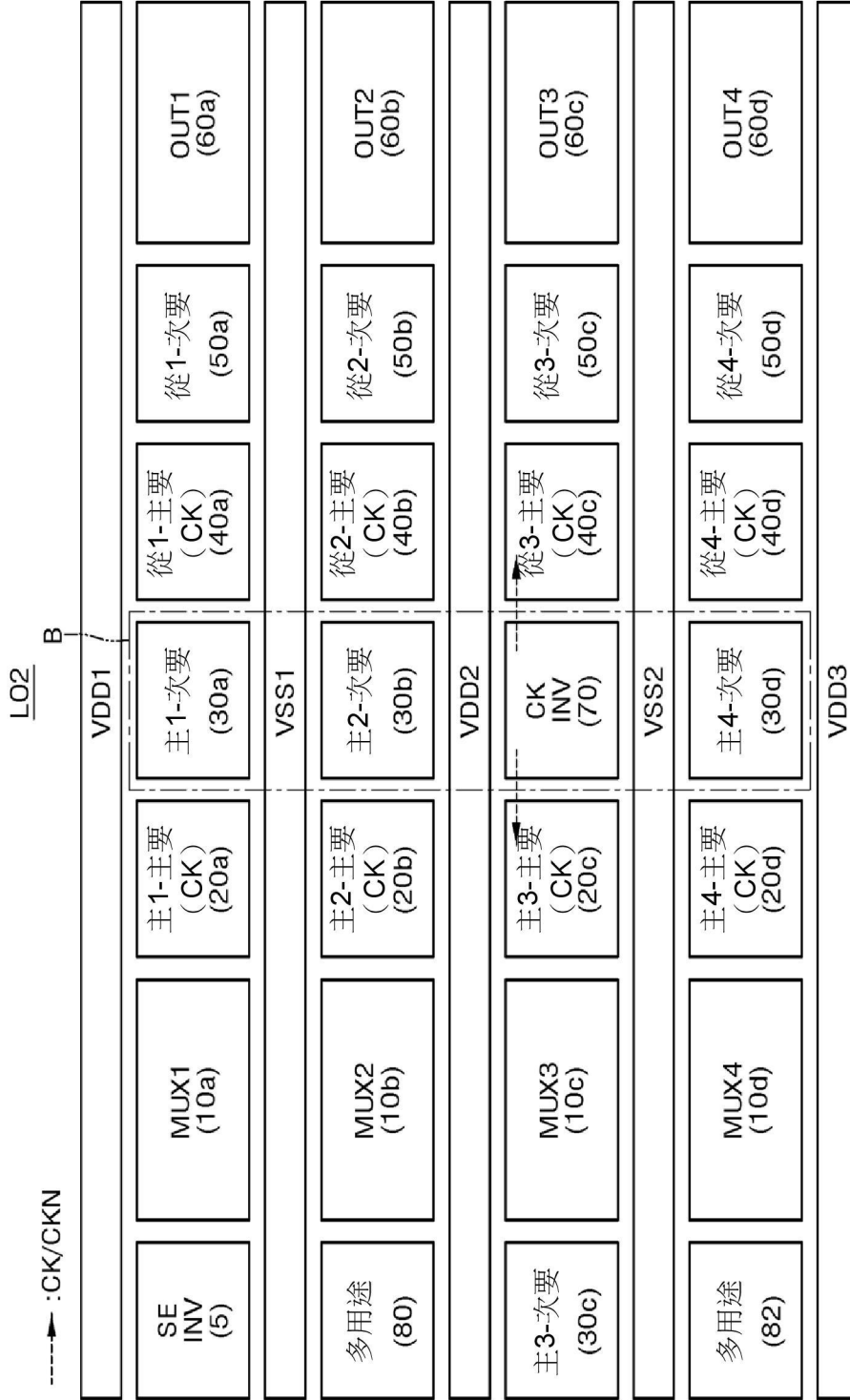
【圖4】



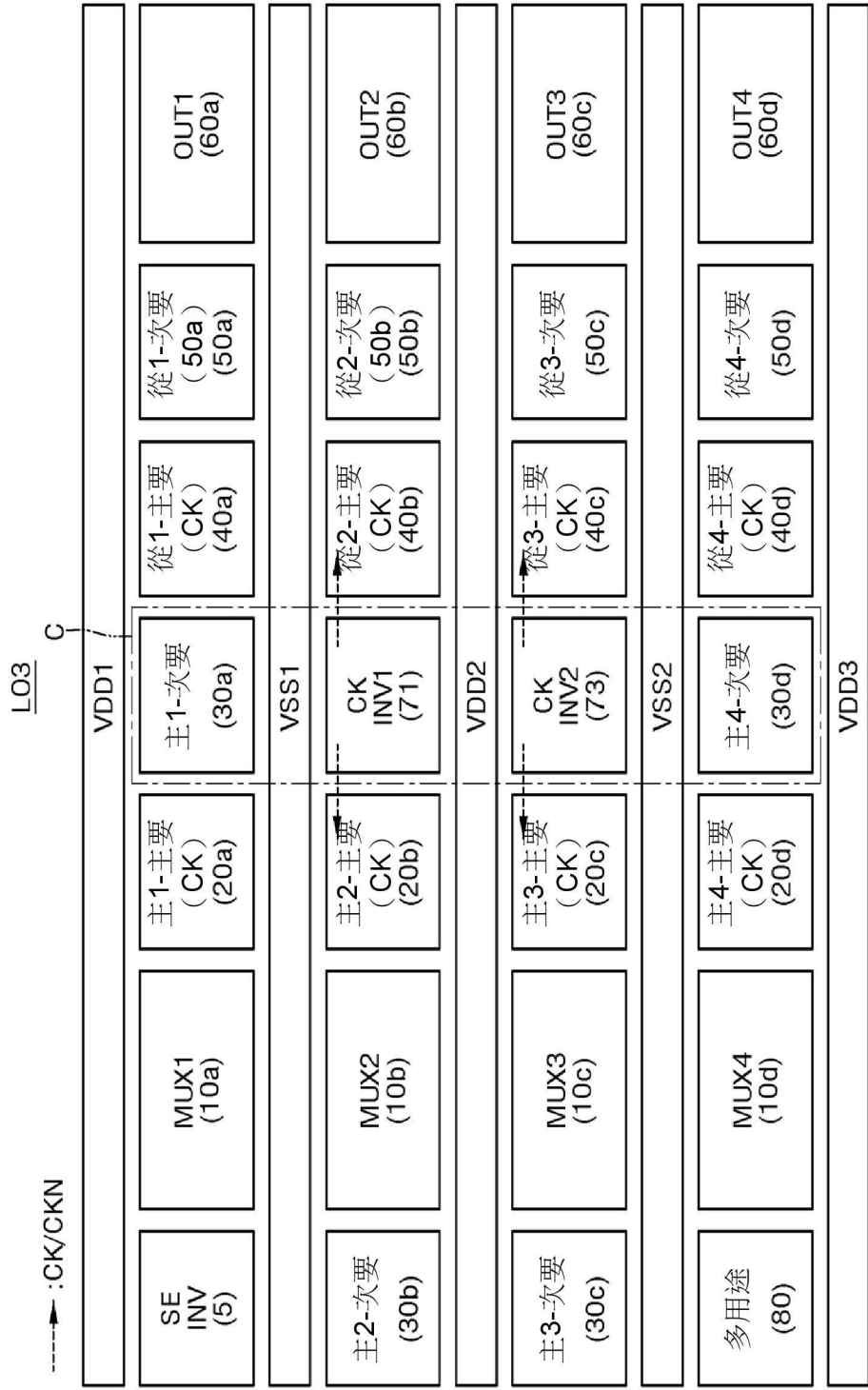
【圖5】



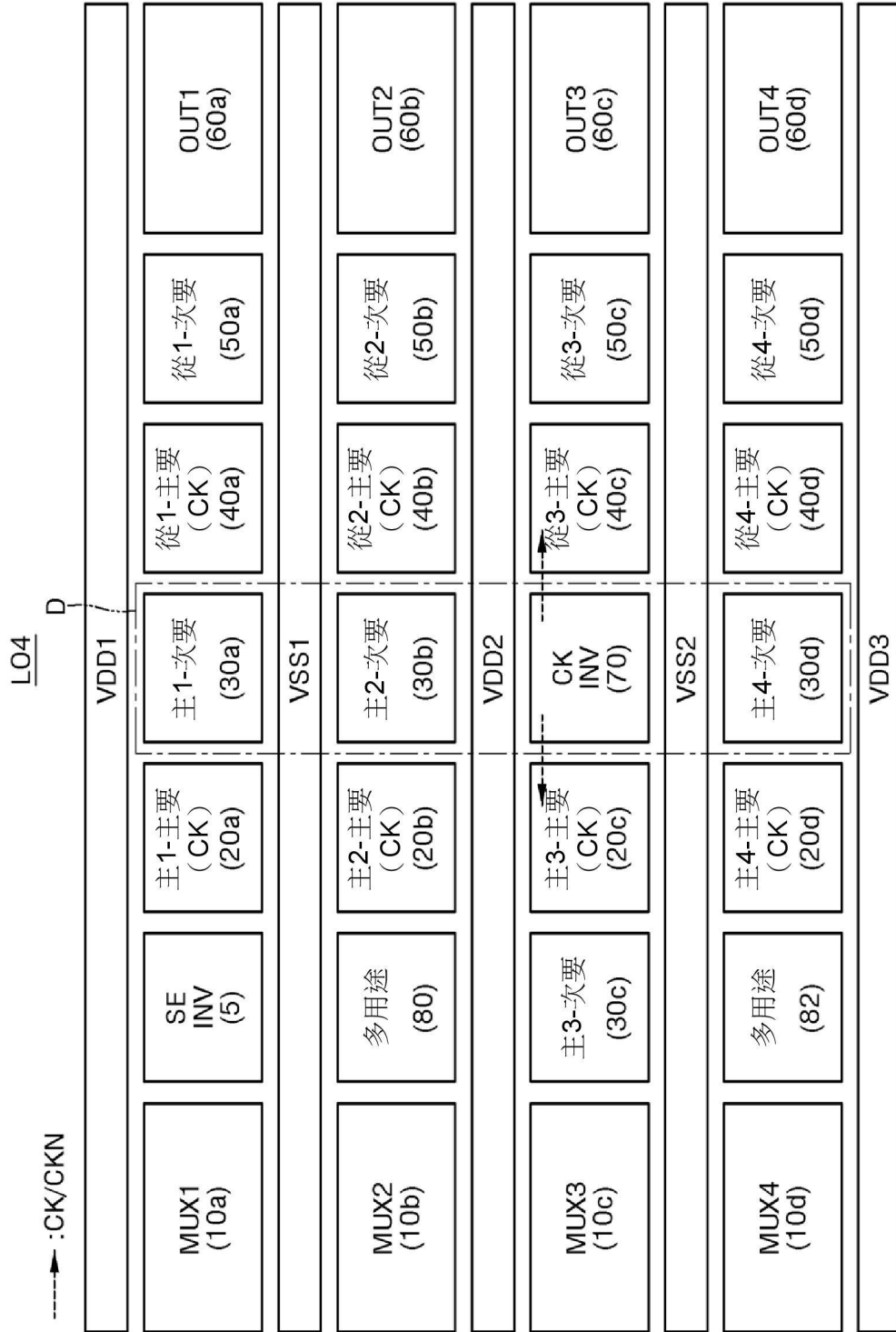
【圖6】



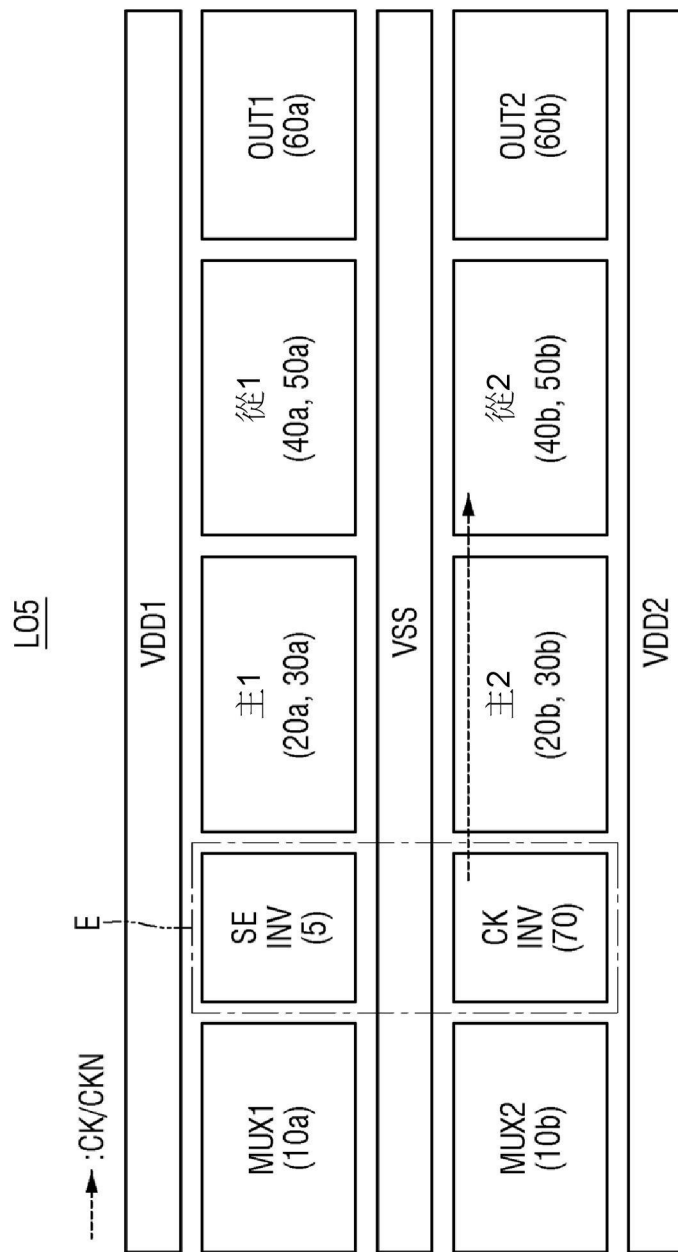
【圖7】



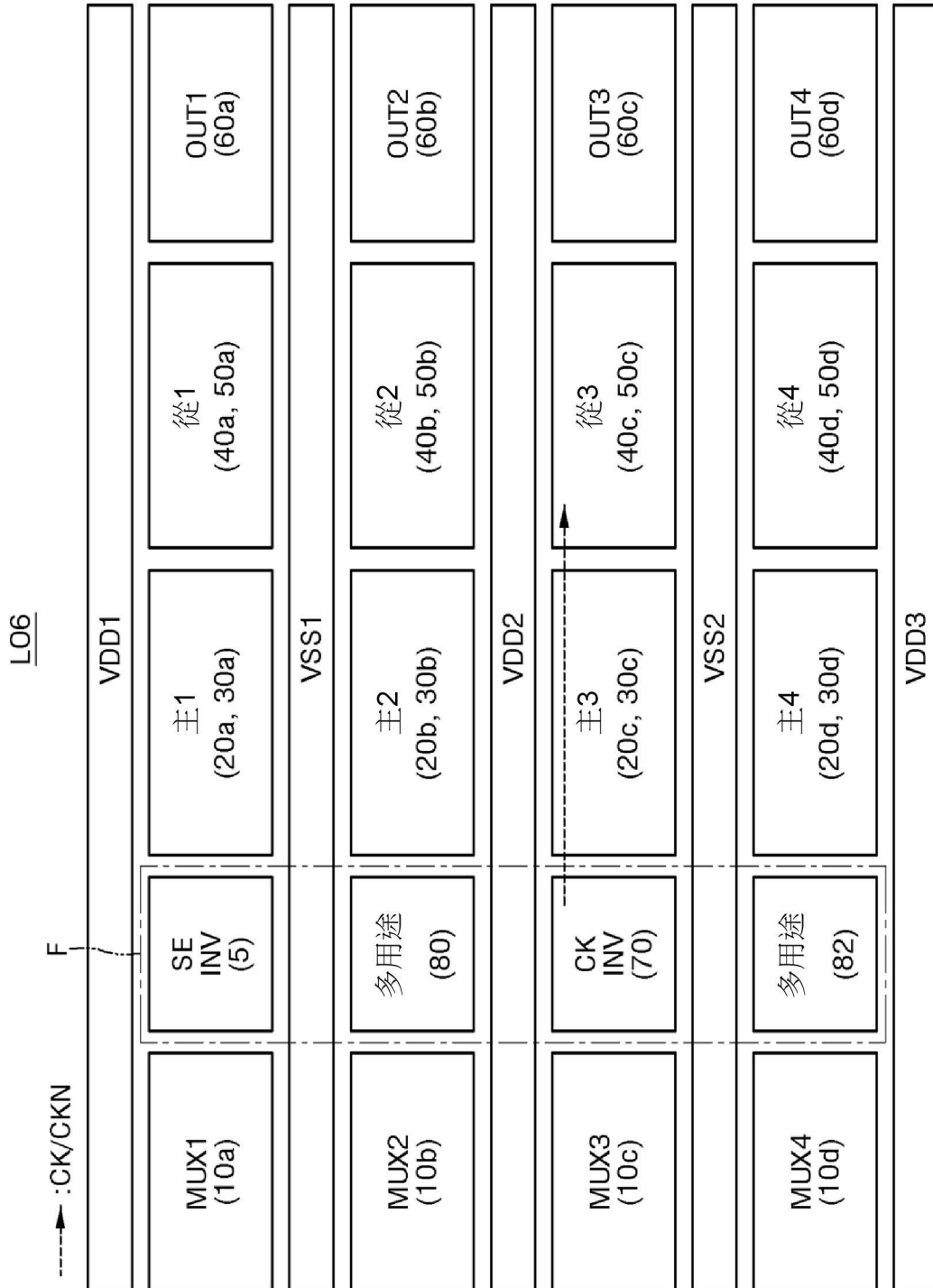
【圖8】



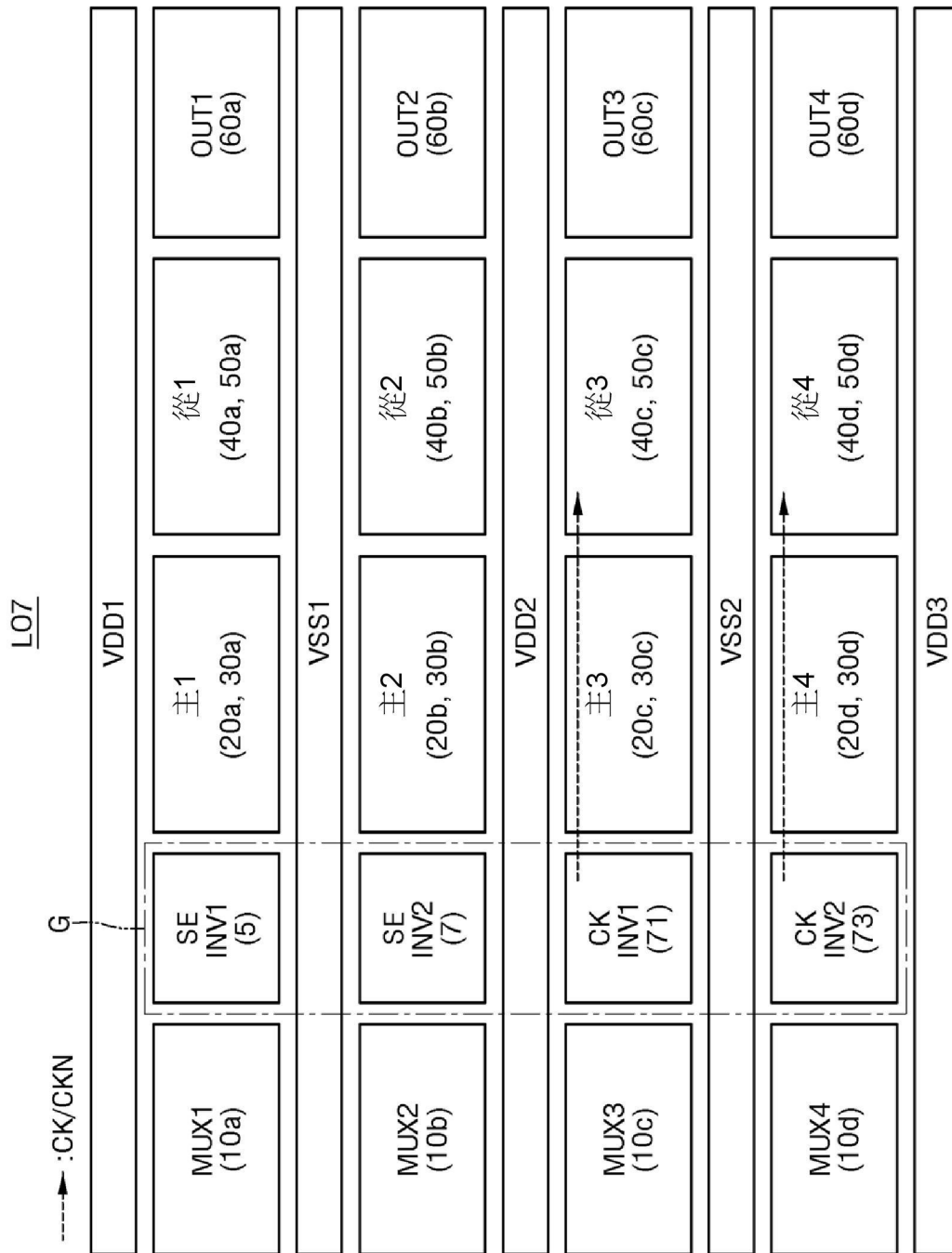
【圖9】



【圖10】

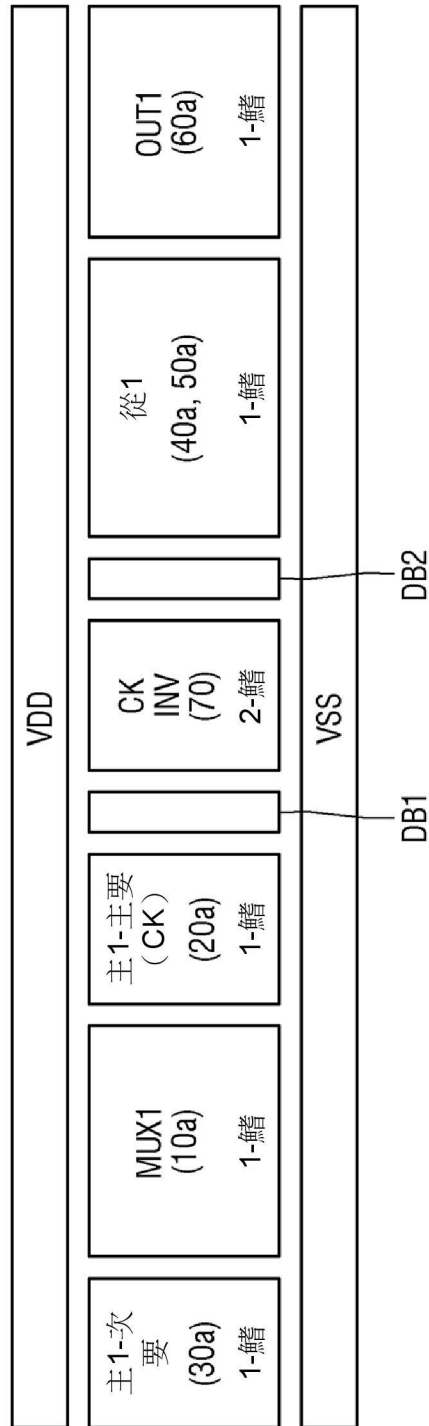


【圖11】

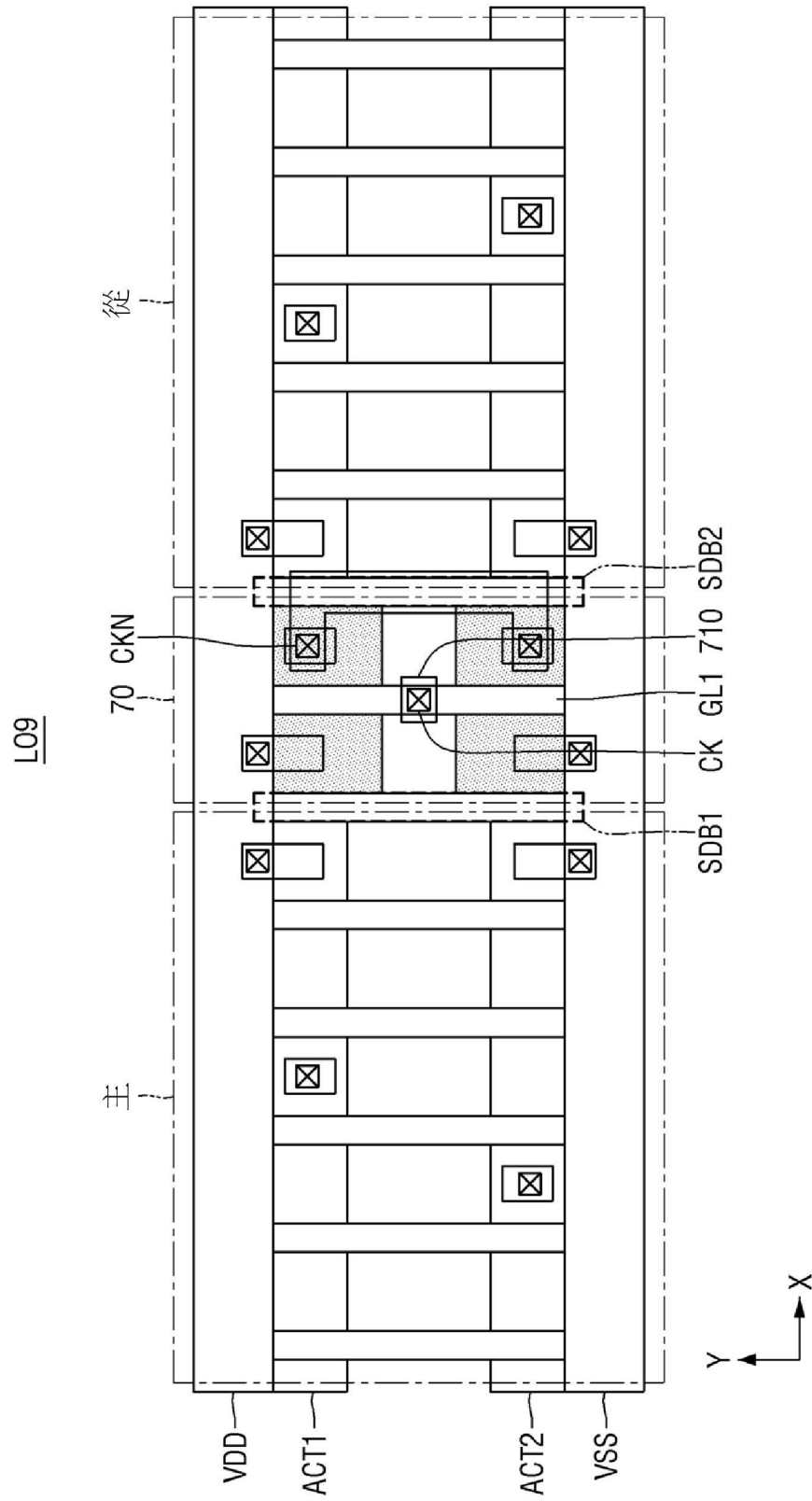


【圖12】

L08

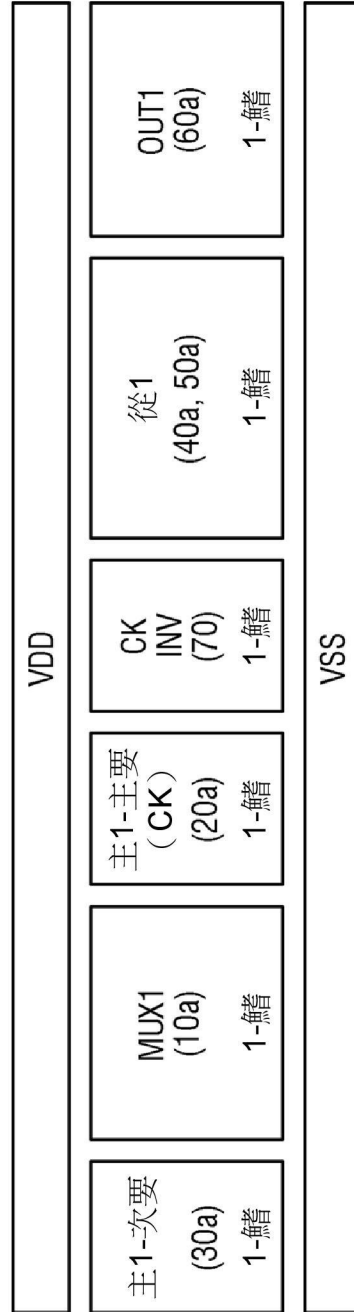


【圖13】

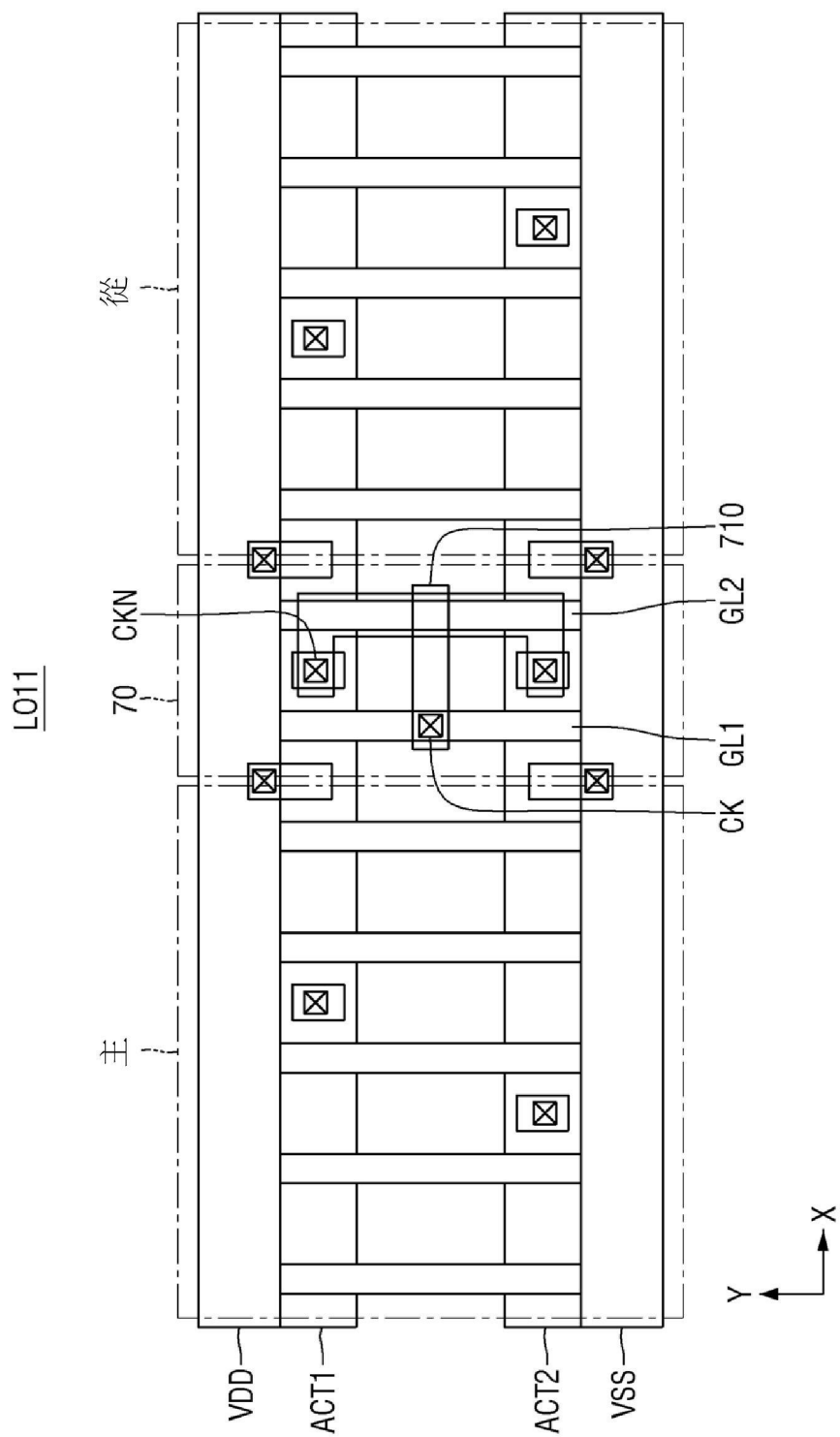


【圖14】

L010



【圖15】



【圖16】