



(12) 发明专利申请

(10) 申请公布号 CN 102820325 A

(43) 申请公布日 2012. 12. 12

(21) 申请号 201210324418. 9

(22) 申请日 2012. 09. 05

(71) 申请人 电子科技大学

地址 610054 四川省成都市建设北路二段 4 号

(72) 发明人 杜江峰 赵子奇 尹江龙 张新川  
马坤华 罗谦 于奇

(74) 专利代理机构 北京世誉鑫诚专利代理事务  
所(普通合伙) 11368

代理人 孙国栋

(51) Int. Cl.

H01L 29/40(2006. 01)

H01L 29/778(2006. 01)

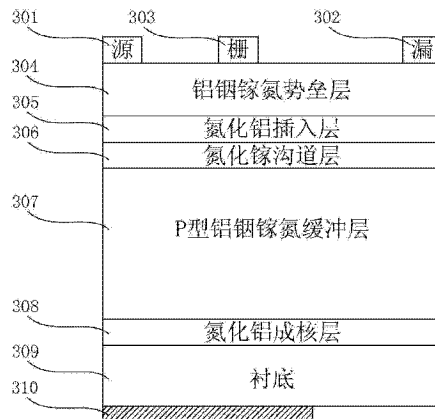
权利要求书 1 页 说明书 6 页 附图 4 页

(54) 发明名称

一种具有背电极结构的氮化镓基异质结场效应晶体管

(57) 摘要

本发明公开了一种具有背电极结构的氮化镓基异质结场效应晶体管, 从下至上依次主要由衬底, 氮化铝成核层, P 型铝镓氮缓冲层, 氮化镓沟道层, 氮化铝插入层及铝镓氮势垒层组成, 在势垒层上形成有源极、漏极和栅极, 源极及漏极与势垒层形成欧姆接触, 栅极与势垒层形成肖特基接触, 该氮化镓基异质结场效应晶体管还包括与衬底接触的背电极。本发明中的背电极通过调制器件缓冲层电势分布, 增大二维电子气沟道与 P 型铝镓氮缓冲层之间的电势差, 使沟道二维电子气与缓冲层内 P 型杂质达到完全耗尽, 从而使器件沟道电场分布更加均匀, 提升器件的击穿电压。



1. 一种具有背电极结构的氮化镓基异质结场效应晶体管, 从下至上依次主要由衬底(309), 氮化铝(AIN)成核层(308), P型缓冲层(307), 氮化镓(GaN)沟道层(306), 氮化铝(AIN)插入层(305)及势垒层(304)组成, 在势垒层(304)上形成有源极(301)、漏极(302)和栅极(303), 源极(301)及漏极(302)与势垒层(304)形成欧姆接触, 栅极(303)与势垒层(304)形成肖特基接触, 其特征在于: 还包括与衬底(309)接触的背电极(310)。

2. 根据权利要求1所述的一种具有背电极结构的氮化镓基异质结场效应晶体管, 其特征在于: 所述的P型缓冲层(307)为P型 $Al_xIn_yGa_zN$ 缓冲层。

3. 根据权利要求2所述的一种具有背电极结构的氮化镓基异质结场效应晶体管, 其特征在于: 所述的势垒层(304)为 $Al_xIn_yGa_zN$ 势垒层。

4. 根据权利要求2或3所述的一种具有背电极结构的氮化镓基异质结场效应晶体管, 其特征在于: 所述的P型 $Al_xIn_yGa_zN$ 缓冲层与 $Al_xIn_yGa_zN$ 势垒层中,  $x+y+z=1, 0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq z \leq 1$ 。

5. 根据权利要求4所述的一种具有背电极结构的氮化镓基异质结场效应晶体管, 其特征在于: 所述的背电极(310)由金属或半导体材料制作而成。

6. 根据权利要求5所述的一种具有背电极结构的氮化镓基异质结场效应晶体管, 其特征在于: 所述的背电极(310)与源极(301)、漏极(302)或栅极(303)连接。

7. 根据权利要求5所述的一种具有背电极结构的氮化镓基异质结场效应晶体管, 其特征在于: 所述的背电极(310)单独偏置, 其偏置电压介于栅极(303)电压与漏极(302)电压之间。

8. 根据权利要求6或7所述的一种具有背电极结构的氮化镓基异质结场效应晶体管, 其特征在于: 所述衬底(309)的厚度为0到100  $\mu m$ 。

9. 根据权利要求8所述的一种具有背电极结构的氮化镓基异质结场效应晶体管, 其特征在于: 在所述P型 $Al_xIn_yGa_zN$ 缓冲层中,  $N_p T_{buf}$ 的值介于0到 $2n_s$ , 其中 $N_p$ 为P型 $Al_xIn_yGa_zN$ 缓冲层掺杂体密度,  $T_{buf}$ 为P型 $Al_xIn_yGa_zN$ 缓冲层厚度,  $n_s$ 为沟道二维电子气面密度。

10. 根据权利要求9所述的一种具有背电极结构的氮化镓基异质结场效应晶体管, 其特征在于: 所述背电极(310)长度介于0与L之间, L为器件有源区长度。

## 一种具有背电极结构的氮化镓基异质结场效应晶体管

### 技术领域

[0001] 本发明涉及半导体器件领域,具体是指一种具有背电极结构的氮化镓(GaN)基异质结场效应晶体管。

### 背景技术

[0002] 氮化镓(GaN)基异质结场效应晶体管具有禁带宽度大、临界击穿电场高、电子饱和速度高、导热性能好、抗辐射和良好的化学稳定性等优异特性,同时氮化镓(GaN)材料可以与铝镓氮(AlGaN)等材料形成具有高浓度和高迁移率的二维电子气异质结沟道,因此特别适用于高压、大功率和高温应用,是电力电子应用最具潜力的晶体管之一。

[0003] 图1为现有技术普通GaN HFET结构示意图,主要包括衬底,氮化铝(AlN)成核层,氮化镓(GaN)缓冲层,氮化铝(AlN)插入层,铝镓氮(AlGaN)势垒层以及铝镓氮(AlGaN)势垒层上形成的源极、漏极和栅极,其中源极和漏极与铝镓氮(AlGaN)势垒层形成欧姆接触,栅极与铝镓氮(AlGaN)势垒层形成肖特基接触。但是对于普通GaN HFET而言,当器件承受耐压时,由于栅极和漏极之间沟道二维电子气不能够完全耗尽,使得沟道电场主要集中在栅极边缘(如图6中所示),导致器件在较低的漏极电压下便被击穿。同时从源极注入的电子可以经过GaN缓冲层到达漏极,形成漏电通道,过大的缓冲层泄漏电流同样会导致器件提前击穿,无法充分发挥GaN材料的高耐压优势,从而限制GaN HFET在高压方面的应用。

[0004] 在本发明提出以前,为了使栅极与漏极之间电场分布更加均匀,抑制缓冲层泄漏电流,提高器件击穿电压,通常使用以下方法:

[0005] 使用场板技术[D.Visalli et al., "Limitations of Field Plate Effect Due to the Silicon Substrate in AlGaN/GaN/AlGaN DHFETs", IEEE Trans. Electron Devices, Vol. 57, No.12, p. 3333-3339 (3060)].场板结构可以有效地耗尽其下的沟道二维电子气,扩展栅极与漏极之间的二维电子耗尽区域,使栅漏之间的电场分布更加均匀,从而达到提高击穿电压的目的。但场板结构依然无法完全耗尽栅极与漏极之间的沟道二维电子气,同时无法抑制缓冲层泄漏电流,不能充分发挥GaN材料的耐压优势,并且场板结构会引入额外的栅源或栅漏电容,降低器件频率特性。

[0006] 在缓冲层内掺入碳、铁等杂质[Eldad Bahat-Treidel et al., "AlGaN/GaN/GaN:C Back-Barrier HFETs With Breakdown Voltage of Over 1kV and Low  $R_{ON} \times A$ ", Trans. on Electron Devices, Vol. 57, No.11, p. 3050-3058 (3060)].碳、铁等杂质会在GaN缓冲层内引入深能级电子陷阱,俘获从源极注入的电子,增大缓冲层电阻,同时被电子占据的陷阱有助于耗尽沟道中二维电子气,使器件沟道电场分布更加均匀。但是该技术不能完全耗尽沟道中的二维电子气,无法充分发挥GaN材料的耐压优势,同时碳、铁等杂质引入的深能级陷阱会导致诸如导通电阻增大、输出电流下降、电流崩塌效应和反应速度下降等负面影响。

[0007] 使用表面电场降低(RESURF)技术,在缓冲层内引入P型杂质[S.Karmalkar et al., "RESURF AlGaN/GaN HFET for High Voltage Power Switching", IEEE Electron

Device Letters, Vol. 22, No. 8, p. 373-375 (2001).]。带有 RESURF 结构的 GaN HFET 结构如图 2 所示,主要包括衬底,氮化铝(AIN)成核层,P 型氮化镓(GaN)缓冲层,氮化镓(GaN)沟道层,氮化铝(AIN)插入层,铝镓氮(AlGa<sub>x</sub>N)势垒层以及铝镓氮(AlGa<sub>x</sub>N)势垒层上形成的源极、漏极和栅极。缓冲层中引入 P 型杂质后,二维电子气沟道和 P 型缓冲层之间形成一个 p-n 结。当器件处于反向偏置承受耐压时,由于栅级与漏极之间的 p-n 结被反向偏置,二维电子气沟道与 P 型缓冲层将会相互耗尽,沟道中二维电子气耗尽区扩展,使得沟道电场分布更加均匀,从而提高器件击穿电压。同时耗尽的 P 型 GaN 缓冲层可以有效地抑制缓冲层泄漏电流,进一步提升器件击穿电压。但对于图 2 所示的普通 RESURF GaN HFET,当器件处于反向偏置时,二维电子气沟道和 P 型缓冲层之间的反向偏置电压不足以使沟道二维电子气和 P 型缓冲层完全耗尽,从而无法达到 GaN 材料的耐压极限。

### 发明内容

[0008] 本发明所要解决的技术问题是提供一种具有背电极结构的氮化镓基异质结场效应晶体管,通过引入与衬底接触的背电极,调整器件缓冲层电势分布,使器件沟道电场分布更加均匀,提升器件击穿电压。

[0009] 本发明的目的通过下述技术方案实现:一种具有背电极结构的氮化镓基异质结场效应晶体管,从下至上依次主要由衬底,氮化铝(AIN)成核层,P 型缓冲层,氮化镓(GaN)沟道层,氮化铝(AIN)插入层及势垒层组成,在势垒层上形成有源极、漏极和栅极,源极及漏极与势垒层形成欧姆接触,栅极与势垒层形成肖特基接触,为了提升器件击穿电压,该氮化镓基异质结场效应晶体管还包括与衬底接触的背电极。

[0010] 所述的 P 型缓冲层为 P 型 Al<sub>x</sub>In<sub>y</sub>Ga<sub>z</sub>N 缓冲层;所述的势垒层为 Al<sub>x</sub>In<sub>y</sub>Ga<sub>z</sub>N 势垒层。

[0011] 所述的 P 型 Al<sub>x</sub>In<sub>y</sub>Ga<sub>z</sub>N 缓冲层与 Al<sub>x</sub>In<sub>y</sub>Ga<sub>z</sub>N 势垒层中,  $x+y+z=1, 0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq z \leq 1$ 。

[0012] 所述的背电极由金属或半导体材料制作而成。

[0013] 背电极的连接方式有两种:一种是背电极与源极、漏极或栅极连接;另一种是背电极单独偏置,其偏置电压介于栅极电压与漏极电压之间。

[0014] 衬底厚度为 0 到 100 μm,氮化铝(AIN)成核层的厚度为 10nm 到 3 μm,所述 P 型掺杂 Al<sub>x</sub>In<sub>y</sub>Ga<sub>z</sub>N 缓冲层厚度为 0.5 μm 到 8 μm,所述氮化镓(GaN)沟道层厚度为 10nm 到 3 μm,所述氮化铝(AIN)插入层厚度为 1nm 到 10nm,所述 Al<sub>x</sub>In<sub>y</sub>Ga<sub>z</sub>N 势垒层厚度为 1nm 到 100nm。

[0015] 在所述 P 型 Al<sub>x</sub>In<sub>y</sub>Ga<sub>z</sub>N 缓冲层中,  $N_p T_{buf}$  的值介于 0 到  $2n_s$ , 其中  $N_p$  为 P 型 Al<sub>x</sub>In<sub>y</sub>Ga<sub>z</sub>N 缓冲层掺杂体密度,  $T_{buf}$  为 P 型 Al<sub>x</sub>In<sub>y</sub>Ga<sub>z</sub>N 缓冲层厚度,  $n_s$  为沟道二维电子气面密度。

[0016] 所述背电极长度介于 0 与 L 之间, L 为器件有源区长度。

[0017] 虽然上述发明内容是以 GaN HFET 为例进行说明,但是所提出的结构同样适用于其他半导体材料构成的多种 HFET 结构。

[0018] 本发明与现有技术相比,具有如下的优点和有益效果:

[0019] 本发明通过引入背电极,调整器件缓冲层电势分布,增大反向偏置时二维电子气沟道和 P 型缓冲层之间的电势差,使器件沟道二维电子气和 P 型缓冲层达到完全耗尽,从而使器件沟道电场分布更加均匀,提升器件击穿电压;同时完全耗尽的 P 型缓冲层可以更加有效地抑制缓冲层泄漏电流,进一步提升器件击穿电压。

## 附图说明

[0020] 图 1 是现有技术 GaN HFET 结构示意图。

[0021] 图 2 是现有技术 RESURF GaN HFET 结构。

[0022] 图 3 是本发明提供的 GaN HFET 结构示意图。

[0023] 图 4 是本发明提供的 GaN HFET 与现有技术 GaN HFET 截止状态下漏极泄漏电流比较。

[0024] 图 5 是本发明提供的 GaN HFET 与现有技术 RESURF GaN HFET 截止状态下二维电子气沟道与 P 型缓冲层之间的电势差分布比较。

[0025] 图 6 是本发明提供的 GaN HFET 与现有技术 GaN HFET 截止状态下沟道电场分布比较。

[0026] 其中,图中附图标记对应的零部件名称为:

[0027] 301—源极,302—漏极,303—栅极,304—势垒层,305—氮化铝(AIN)插入层,306—氮化镓(GaN)沟道层,307—P型缓冲层,308—氮化铝(AIN)成核层,309—衬底,310—背电极。

## 具体实施方式

[0028] 下面结合实施例对本发明作进一步地详细说明,但本发明的实施方式不限于此。

## 实施例

[0029] 图 1 是现有技术 GaN HFET 结构示意图,主要包括衬底,氮化铝(AIN)成核层,氮化镓(GaN)缓冲层,氮化铝(AIN)插入层,铝镓氮(AlGa<sub>N</sub>)势垒层以及铝镓氮(AlGa<sub>N</sub>)势垒层上形成的源极、漏极和栅极,其中源极和漏极与铝镓氮(AlGa<sub>N</sub>)势垒层形成欧姆接触,栅极与铝镓氮(AlGa<sub>N</sub>)势垒层形成肖特基接触。

[0030] 图 2 是现有技术 RESURF GaN HFET 结构,主要包括衬底,氮化铝(AIN)成核层,P型氮化镓(GaN)缓冲层,氮化镓(GaN)沟道层,氮化铝(AIN)插入层,铝镓氮(AlGa<sub>N</sub>)势垒层以及铝镓氮(AlGa<sub>N</sub>)势垒层上形成的源极、漏极和栅极,其中源极和漏极与势垒层形成欧姆接触,栅极与势垒层形成肖特基接触。

[0031] 图 3 是本发明提供的 GaN HFET 结构示意图,主要包括衬底 309 (衬底厚度为 0 到 100 μm),氮化铝(AIN)成核层 308,P型缓冲层 307 (P型 Al<sub>x</sub>In<sub>y</sub>Ga<sub>z</sub>N 缓冲层),氮化镓(GaN)沟道层 306,氮化铝(AIN)插入层 305,势垒层 304 (Al<sub>x</sub>In<sub>y</sub>Ga<sub>z</sub>N 势垒层)以及势垒层 304 (Al<sub>x</sub>In<sub>y</sub>Ga<sub>z</sub>N 势垒层)上形成的源极 301、漏极 302 和栅极 303,其中源极 301 和漏极 302 与 Al<sub>x</sub>In<sub>y</sub>Ga<sub>z</sub>N 势垒层形成欧姆接触,栅极 303 与 Al<sub>x</sub>In<sub>y</sub>Ga<sub>z</sub>N 势垒层形成肖特基接触,它还包括与衬底 309 相连的背电极 310,背电极 310 由金属或半导体材料制作,其连接方式可以是与源极 301、漏极 302 或栅极 303 连接,也可以是单独偏置的,此时其偏置电压介于栅极 303 电压与漏极 302 电压之间;背电极 310 长度介于 0 与 L 之间,L 为器件有源区长度。

[0032] P型缓冲层 307 为 P型 Al<sub>x</sub>In<sub>y</sub>Ga<sub>z</sub>N 缓冲层;势垒层 304 为 Al<sub>x</sub>In<sub>y</sub>Ga<sub>z</sub>N 势垒层。

[0033] P型 Al<sub>x</sub>In<sub>y</sub>Ga<sub>z</sub>N 缓冲层与 Al<sub>x</sub>In<sub>y</sub>Ga<sub>z</sub>N 势垒层中,  $x+y+z=1, 0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq z \leq 1$ 。

[0034] 在 P 型  $\text{Al}_x\text{In}_y\text{Ga}_z\text{N}$  缓冲层中,  $N_p T_{\text{buf}}$  的值介于 0 到  $2n_s$ , 其中  $N_p$  为 P 型  $\text{Al}_x\text{In}_y\text{Ga}_z\text{N}$  缓冲层掺杂体密度,  $T_{\text{buf}}$  为 P 型  $\text{Al}_x\text{In}_y\text{Ga}_z\text{N}$  缓冲层厚度,  $n_s$  为沟道二维电子气面密度。

[0035] 在本发明的 GaN HFET 中, 最易于说明本发明意图的例子是图 3 所示的带有背电极 310 的 GaN HFET 与已有普通 GaN HFET (图 1) 和普通 RESURF GaN HFET (图 2) 对比; 器件结构参数由表 1 给出。图 4 是本发明提供的 GaN HFET 与已有技术 GaN HFET 截止状态下漏极 302 泄漏电流比较; 器件击穿电压定义为截止状态下漏极 302 电流达到  $1\text{mA}/\text{mm}$  时, 漏极 302 所施加的偏置电压。如图 4 所示为截止状态下, 不同 GaN HFET 结构漏极 302 泄漏电流比较, 其中 3 条曲线从右至左分别为本发明提供的带有背电极 310 的 GaN HFET 漏极 302 泄漏电流、普通 RESURF GaN HFET 漏极泄漏电流和普通 GaN HFET 漏极泄漏电流。从图中可以看出, 与普通 GaN HFET 和普通 RESURF GaN HFET 相比, 背电极 310 的引入有效降低了器件的泄漏电流, 提升了器件的击穿电压。

[0036] 表 1 器件仿真结构参数

[0037]

器件参数	普通 GaN HFET	普通 RESURF GaN HFET	带有背电极的 RESURF GaN HFET
栅长	1.4 $\mu\text{m}$	1.4 $\mu\text{m}$	1.4 $\mu\text{m}$
栅漏间距	6 $\mu\text{m}$	6 $\mu\text{m}$	6 $\mu\text{m}$
栅源间距	1 $\mu\text{m}$	1 $\mu\text{m}$	1 $\mu\text{m}$
势垒层材料	$\text{Al}_{0.23}\text{Ga}_{0.77}\text{N}$	$\text{Al}_{0.23}\text{Ga}_{0.77}\text{N}$	$\text{Al}_{0.23}\text{Ga}_{0.77}\text{N}$
缓冲层材料	GaN	GaN	GaN
衬底材料	$\text{Al}_2\text{O}_3$	$\text{Al}_2\text{O}_3$	—
衬底厚度	0.1 $\mu\text{m}$	0.1 $\mu\text{m}$	0
AlN 成核层厚度	100nm	100nm	100nm
GaN 缓冲层厚度	2 $\mu\text{m}$	2 $\mu\text{m}$	2 $\mu\text{m}$
GaN 沟道层厚度	—	30nm	30nm
AlN 插入厚度	1nm	1nm	1nm
AlGaIn 势垒层厚度	15nm	15nm	15nm
沟道二维电子气浓度	$7.3 \times 10^{12} \text{cm}^{-2}$	$7.3 \times 10^{12} \text{cm}^{-2}$	$7.3 \times 10^{12} \text{cm}^{-2}$
GaN 缓冲层掺杂浓度	0	$3.7 \times 10^{16} \text{cm}^{-3}$	$3.7 \times 10^{16} \text{cm}^{-3}$
背电极长度	—	—	5.4 $\mu\text{m}$
击穿电压	100V	1030V	1806V

[0038] 为了验证本发明所提供的背电极 310 对器件缓冲层电势的调制作用, 分别对如图 2 和图 3 所示的 GaN HFET 在击穿时二维电子气沟道与 P 型缓冲层之间的电势差分布进行了仿真, 结果如图 5 所示, 图中直线为实施例中沟道二维电子气与 P 型缓冲层完全耗尽时所需的电势差, 图中灰色框为实施例中源极 301, 栅极 303 和漏极 302 的对应位置。通过求解泊

松方程,得到欲使沟道二维电子气与P型缓冲层完全耗尽所需电势差( $V_{FD}$ )可由公式(1)计算得出。

$$[0039] \quad V_{FD} = \frac{qn_s T_c}{\epsilon_c} + \frac{qN_p T_{buf}^2}{2\epsilon_b} \quad (1)$$

[0040] 其中q为单位电子电量,  $n_s$  为沟道二维电子气面密度,  $T_c$  为氮化镓(GaN)沟道层厚度,  $\epsilon_c$  为氮化镓(GaN)沟道层介电常数,  $N_p$  为P型缓冲层掺杂浓度,  $T_{buf}$  为P型缓冲层厚度,  $\epsilon_b$  为P型缓冲层介电常数。对于表1给出的器件参数,欲使沟道二维电子气与P型缓冲层完全耗尽所需电势差( $V_{FD}$ )约为146V(如图5中直线所示)。由图5可以看出,对于普通RESURF GaN HFET,二维电子气沟道与P型缓冲层之间的电势差不足以使沟道二维电子气和P型缓冲层完全耗尽,因此也就无法充分发挥GaN器件的耐压优势。而本发明所提供的背电极310结构通过调整器件缓冲层电势分布,增大了栅极303与漏极302之间二维电子气沟道与P型缓冲层307之间的电势差,使器件在截止状态下沟道二维电子气和P型缓冲层307完全耗尽,沟道电场分布更加均匀,从而提升器件的击穿电压。

[0041] 为进一步验证背电极310结构对器件击穿电压的影响,分别对图1、图2和图3三种器件结构在击穿电压下的沟道电场分布进行了仿真,结果如图6所示。对于普通GaN HFET,较大的缓冲层泄漏电流导致器件在较低的电压下便被击穿,使其沟道电场远小于GaN材料的临界电场,同时由于栅极303和漏极302之间的沟道二维电子气不能完全耗尽,致使沟道电场主要集中在栅极303附近,不能充分发挥GaN材料的耐压优势。对于普通RESURF GaN HFET,缓冲层内P型杂质的引入抑制了器件缓冲层泄漏电流,使器件击穿电压得到了一定的提升。但是由于二维电子气沟道和P型缓冲层307之间的反向偏置电压不足以使沟道二维电子气和P型缓冲层307完全耗尽,虽然其沟道电场分布比普通GaN HFET更加均匀,但两个电场峰值之间的电场比较低(如图6所示),也不能充分发挥GaN材料的耐压优势。对于本发明提供的带有背电极310的GaN HFET,通过背电极310的引入调制器件缓冲层内的电势分布,增大了二维电子气沟道和P型缓冲层307之间的反向偏置电压,使二维电子气沟道和P型缓冲层307可以完全耗尽,栅极303与漏极302之间的电场分布更加均匀,有效地提升了器件的击穿电压。

[0042] 虽然上述实施例子是以氮化镓基异质结场效应晶体管(GaN HFET)为例进行说明的,但是所提出结构适用于各种其他半导体材料构成的多种结构晶体管。

[0043] 以上所述,仅是本发明的较佳实施例,并非对本发明做任何形式上的限制,凡是依据本/发明的技术实质对以上实施例所作的任何简单修改、等同变化,均落入本发明的保护范围之内。



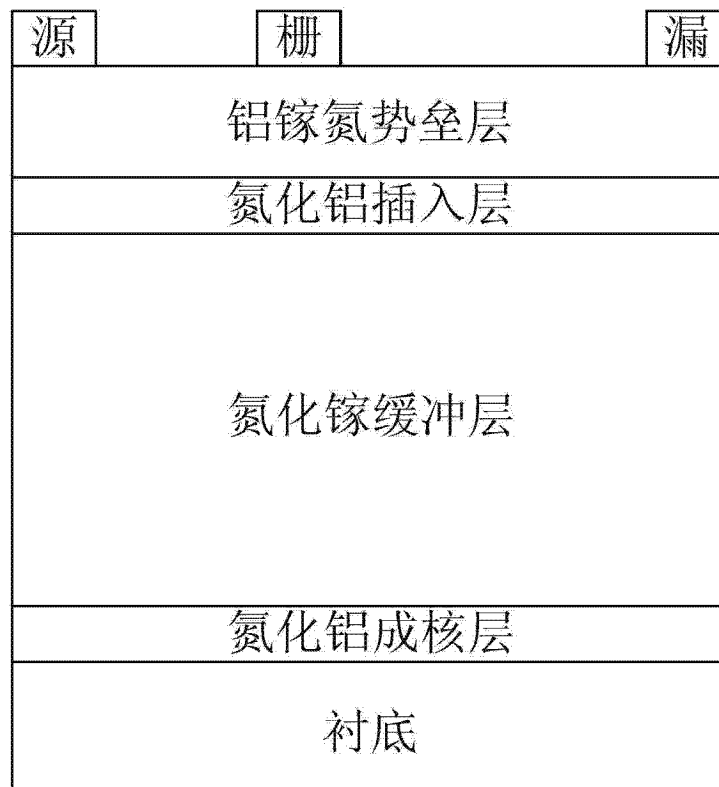


图 1

源	栅	漏
铝镓氮势垒层		
氮化铝插入层		
氮化镓沟道层		
P型氮化镓缓冲层		
氮化铝成核层		
衬底		

图 2

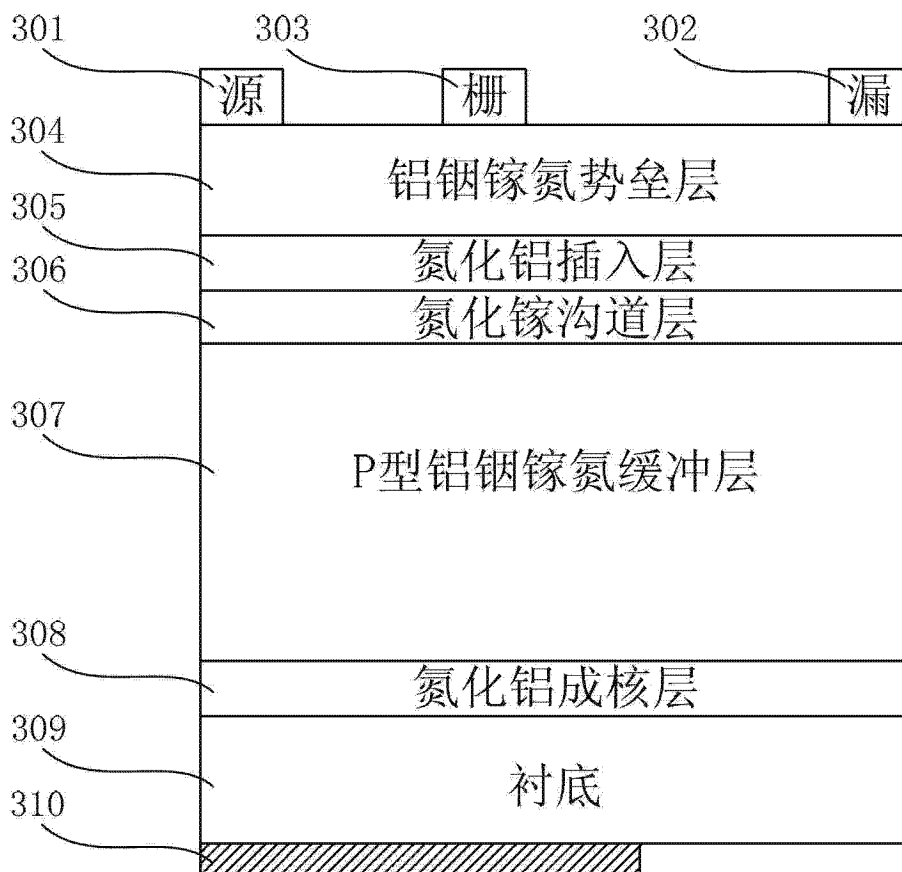


图 3

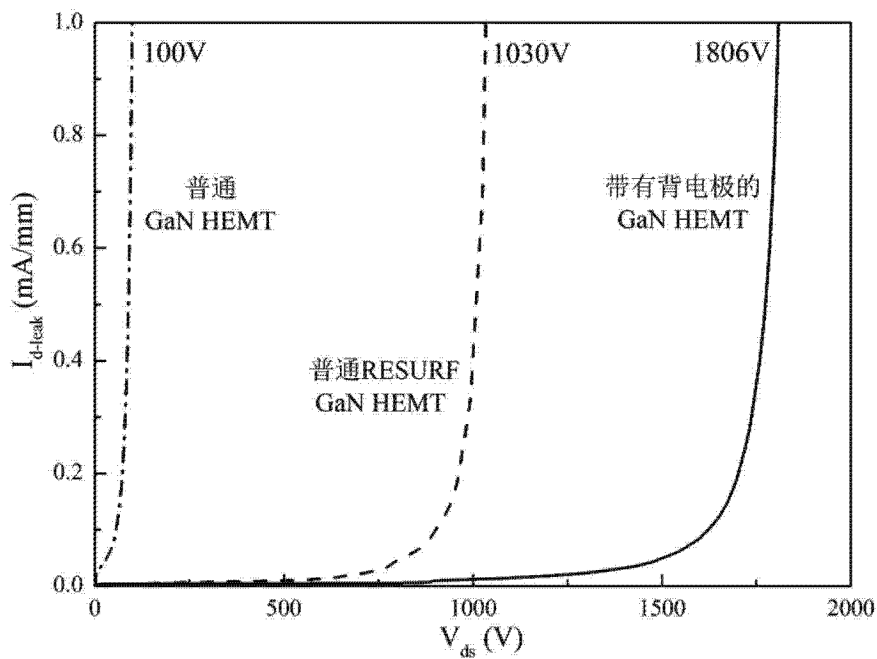


图 4

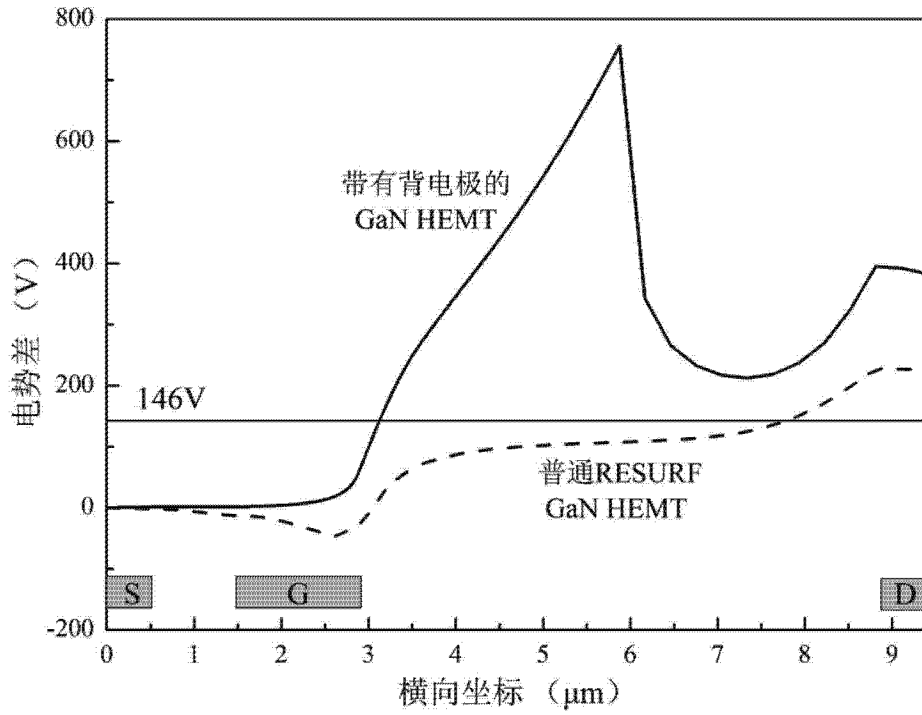


图 5

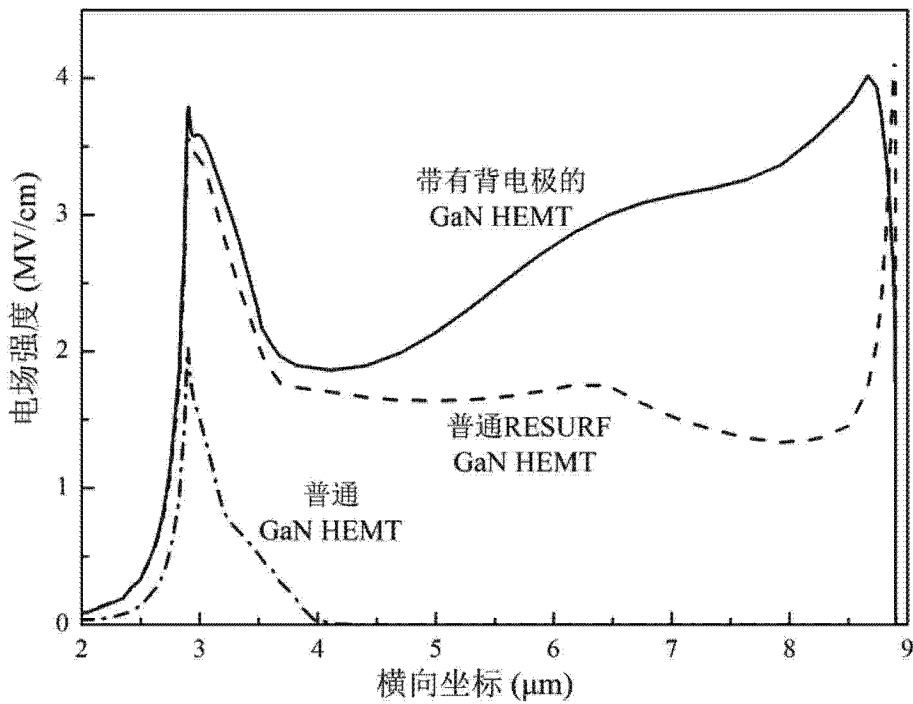


图 6