



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I794834 B

(45)公告日：中華民國 112 (2023) 年 03 月 01 日

(21)申請案號：110121763

(22)申請日：中華民國 107 (2018) 年 05 月 30 日

(51)Int. Cl.：

*H03K5/08 (2006.01)**H01L21/8239(2006.01)**H01L21/8242(2006.01)**H01L21/8244(2006.01)**H01L27/105 (2006.01)**H01L27/108 (2006.01)**H01L27/11 (2006.01)**H01L29/786 (2006.01)**H02M3/07 (2006.01)*

(30)優先權：2017/05/31 日本

2017-107964

(71)申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：松壽隆德 MATSUZAKI, TAKANORI (JP)；加藤清 KATO, KIYOSHI (JP)

(74)代理人：林怡芳；童啓哲

(56)參考文獻：

TW I382669B

TW 200908545A

US 6452448B1

US 9391598B2

US 2016/0126909A1

審查人員：蘇齊賢

申請專利範圍項數：13 項 圖式數：26 共 82 頁

(54)名稱

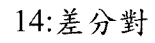
比較電路、半導體裝置、電子元件及電子裝置

(57)摘要

本發明提供一種能夠直接輸入所比較的負電壓的比較電路。比較電路包括第一輸入端子、第二輸入端子、第一輸出端子以及差分對。對負電壓與負參考電壓進行比較，從第一輸出端子輸出對應於比較結果的第一輸出電壓。第一輸入端子被輸入負電壓，第二輸入端子被輸入正參考電壓。以進行比較的方式設定正參考電壓。差分對包括分別包括背閘極的第一 n 通道電晶體及第二 n 通道電晶體。第一輸入端子與第一 n 通道電晶體的背閘極電連接，第二輸入端子與第二 n 通道電晶體的閘極電連接。

Provided is a comparison circuit to which a negative voltage to be compared can be input directly. The comparison circuit includes a first input terminal, a second input terminal, a first output terminal, and a differential pair. The comparison circuit compares a negative voltage and a negative reference voltage and outputs a first output voltage from the first output terminal in response to the comparison result. The negative voltage is input to the first input terminal. A positive reference voltage is input to the second input terminal. The positive reference voltage is determined so that comparison is performed. The differential pair includes a first n-channel transistor and a second n-channel transistor each having a gate and a backgate. The first input terminal is electrically connected to the backgate of the first n-channel transistor. The second input terminal is electrically connected to the gate of the second n-channel transistor.

符號簡單說明：



18: 負載電路

INN、INP、OCM:端子

MO11、MO12:電晶體

【圖1B】



I794834

【發明摘要】

【中文發明名稱】 比較電路、半導體裝置、電子元件及電子裝置

【英文發明名稱】 COMPARISON CIRCUIT, SEMICONDUCTOR DEVICE,
ELECTRONIC COMPONENT, AND ELECTRONIC DEVICE

【中文】

本發明提供一種能夠直接輸入所比較的負電壓的比較電路。比較電路包括第一輸入端子、第二輸入端子、第一輸出端子以及差分對。對負電壓與負參考電壓進行比較，從第一輸出端子輸出對應於比較結果的第一輸出電壓。第一輸入端子被輸入負電壓，第二輸入端子被輸入正參考電壓。以進行比較的方式設定正參考電壓。差分對包括分別包括背閘極的第一n通道電晶體及第二n通道電晶體。第一輸入端子與第一n通道電晶體的背閘極電連接，第二輸入端子與第二n通道電晶體的閘極電連接。

【英文】

Provided is a comparison circuit to which a negative voltage to be compared can be input directly. The comparison circuit includes a first input terminal, a second input terminal, a first output terminal, and a differential pair. The comparison circuit compares a negative voltage and a negative reference voltage and outputs a first output voltage from the first output terminal in response to the comparison result. The negative voltage is input to the first input terminal. A positive reference voltage is input to the second input

terminal. The positive reference voltage is determined so that comparison is performed. The differential pair includes a first n-channel transistor and a second n-channel transistor each having a gate and a backgate. The first input terminal is electrically connected to the backgate of the first n-channel transistor. The second input terminal is electrically connected to the gate of the second n-channel transistor.

【指定代表圖】 圖1B

【代表圖之符號簡單說明】

14：差分對

17：電流源

18：負載電路

X11、X12、X13：節點

INN、INP、OCM：端子

Rd1、Rd2：負載

MO11、MO12：電晶體

【特徵化學式】無

【發明說明書】

【中文發明名稱】 比較電路、半導體裝置、電子元件及電子裝置

【英文發明名稱】 COMPARISON CIRCUIT, SEMICONDUCTOR DEVICE,
ELECTRONIC COMPONENT, AND ELECTRONIC DEVICE

【技術領域】

【0001】 本申請的說明書、圖式以及申請專利範圍（以下稱為本說明書等）所公開的本發明的一個實施方式係關於一種半導體裝置、其工作方法、其使用方法以及其製造方法等。注意，本發明的一個實施方式不侷限於所例示出的技術領域。

【先前技術】

【0002】 已知使用負電壓的半導體裝置。例如，為了降低臨界值洩漏電流，將負電壓用於n通道MOS電晶體的基板偏置電壓，將正電壓用於p通道MOS電晶體的基板偏置電壓（例如，專利文獻1）。在快閃記憶體中，根據工作使用負電壓（例如，專利文獻2）。

【0003】 負電壓可以利用電荷泵電路生成。專利文獻2及3公開了用來高精度地生成負電壓的技術。在專利文獻2及3中，將從電荷泵電路輸出的負電壓轉換為正電壓，由比較電路檢測該正電壓與正的參考電壓之差，根據檢測結果控制電荷泵電路的工作。

【0004】 此外，在本說明書等中，將接地電壓（GND）視為0V，以接地電壓為基準定義正電壓、負電壓。

【0005】 已知其通道形成區域包含金屬氧化物的電晶體（以下，有時也稱為“氧化物半導體電晶體”或“OS電晶體”）。藉由OS電晶體與Si電晶體的混合型CMOS製程製造各種半導體裝置（例如，非專利文獻1）。如非專利文獻1所示，OS電晶體能夠在Si電晶體上層疊地設置。

【0006】 Si電晶體能夠藉由引入雜質控制臨界電壓（以下，有時也稱為 V_t ）。然而，用於控制OS電晶體的臨界電壓的可靠技術尚未確立。於是，藉由在OS電晶體中設置第一閘極電極（也稱為閘極或前閘極）以及第二閘極電極（也稱為背閘極）控制第二閘極電極的電壓來控制OS電晶體的臨界電壓（例如，參照專利文獻4）。OS電晶體由於是n通道電晶體，所以藉由對第二閘極電極輸入負電壓，臨界電壓向正一側漂移。

【0007】

[專利文獻1]日本專利申請公開第平11-191611號公報

[專利文獻2]日本專利申請公開第平7-231647號公報

[專利文獻3]日本專利申請公開第平11-150230號公報

[專利文獻4]日本專利申請公開第2012-69932號公報

【0008】

[非專利文獻1]T.Onuki et al. , “Embedded Memory and ARM Cortex-M0 Core Using 60-nm C-Axis Aligned Crystalline Indium-Gallium-Zinc Oxide FET Integrated with 65-nm Si CMOS ,” Symp.VLSI Circuits Dig.Tech.Papers , Jun.2016 , pp.124-125.

【發明內容】

【0009】 本發明的一個實施方式的目的是：提供一種能夠直接輸入所

比較的負電壓的比較電路；能夠生成高精度的負電壓；以及降低功耗等。

【0010】 本發明的一個實施方式不需要實現所有上述目的。多個目的的記載不妨礙彼此目的的存在。上述列舉的目的以外的目的可從本說明書等的記載自然得知，而有可能成為本發明的一個實施方式的目的。

【0011】 (1) 本發明的一個實施方式是包括第一輸入端子、第二輸入端子、第一輸出端子以及差分輸入電路的比較電路。比較電路對負電壓與負參考電壓進行比較，從第一輸出端子輸出對應於比較結果的第一輸出電壓。第一輸入端子被輸入負電壓，第二輸入端子被輸入正參考電壓，以進行比較的方式設定正參考電壓。差分輸入電路包括由第一n通道電晶體及第二n通道電晶體構成的差分對，第一n通道電晶體及第二n通道電晶體包括閘極及背閘極，第一n通道電晶體的閘極被輸入第一偏置電壓，第一n通道電晶體的背閘極與第一輸入端子電連接，第二n通道電晶體的閘極與第二輸入端子電連接，第二n通道電晶體的背閘極被輸入第二偏置電壓。

【0012】 (2) 在上述方式(1)中，第一n通道電晶體及第二n通道電晶體的通道形成區域包含金屬氧化物。

【0013】 (3) 根據上述方式(1)或(2)的比較電路是動態比較電路，在差分輸入電路中包括電連接於差分對的門鎖電路。

【0014】 (4) 本發明的一個實施方式是一種半導體裝置，包括：降壓型電荷泵電路；驅動電路；以及根據上述方式(1)至(3)中任一項的比較電路。降壓型電荷泵的輸出端子與比較電路的第一輸入端子電連接。第一輸出電壓從比較電路輸入至驅動電路。驅動電路根據第一輸出電壓生成驅動降壓型電荷泵的時脈信號。

【0015】 藉由本發明的一個實施方式，可以提供一種能夠直接輸入所比較的負電壓的比較電路。此外，能夠生成高精度的負電壓。另外，能夠

降低功耗等。

【0016】 本發明的一個實施方式不需要具有所有上述效果。多個效果的記載並不妨礙其他效果的存在。在本發明的一個實施方式中，上述之外的目的、效果及新穎的特徵可從本說明書中的描述及圖式自然得知。

【圖式簡單說明】

【0017】

在圖式中：

圖1A及圖1B示出比較電路的結構實例的電路圖，圖1C是示意性地示出OS電晶體的汲極電流-閘極電壓特性的圖；

圖2是示出比較電路的結構實例的電路圖；

圖3A及圖3B是示出比較電路的結構實例的電路圖；

圖4A至圖4C是示出比較電路的結構實例的電路圖；

圖5是示出比較電路的結構實例的電路圖；

圖6是示出負電壓供應裝置的結構實例的方塊圖；

圖7是示出電荷泵電路的結構實例的電路圖；

圖8A至圖8C是示出電荷泵電路的結構實例的電路圖；

圖9A是示出負電壓保持電路的結構實例的電路圖，圖9B是驅動電路的真值表；

圖10是示出負電壓供應裝置的工作實例的時序圖；

圖11是示出負電壓供應裝置的結構實例的方塊圖；

圖12是示出負電壓保持電路的結構實例的電路圖；

圖13A及圖13B是示出負電壓保持電路的結構實例的電路圖；

圖14A是示出記憶體裝置的結構實例的方塊圖，圖14B是示出記憶單元的結構實例的電路圖；

圖15A至圖15F是示出記憶單元的結構實例的電路圖；

圖16A是示出記憶單元的結構實例的電路圖，圖16B是示出記憶單元的工作實例的時序圖；

圖17A是示出記憶單元的結構實例的電路圖，圖17B是示出記憶單元的工作實例的時序圖；

圖18是示出微控制器單元的結構實例的方塊圖；

圖19是示出正反器的結構實例的電路圖；

圖20是示出FPGA的結構實例的方塊圖；

圖21A是示出佈線開關的結構實例的電路圖，圖21B是示出組態記憶體的結構實例的電路圖；

圖22A是示出攝像裝置的結構實例的方塊圖，圖22B是示出像素的結構實例的電路圖；

圖23A及圖23B是示出電子構件的結構實例的立體示意圖；

圖24A至圖24D是示出電子裝置的結構實例的圖；

圖25是示出電子構件的電路部的疊層結構實例的剖面圖；

圖26A及圖26B是示出OS電晶體的結構實例的剖面圖。

【實施方式】

【0018】 以下說明本發明的實施方式。注意，本發明的一個實施方式
第5頁，共 51 頁(發明說明書)

不侷限於以下說明，所屬技術領域的通常知識者可以很容易地理解一個事實，就是本發明在不脫離其精神及其範圍的條件下，其方式及詳細內容可以被變換為各種各樣的形式。因此，本發明的一個實施方式不應該被解釋為僅侷限在以下所示的實施方式所記載的內容中。

【0019】 以下示出的多個實施方式可以適當地組合。另外，當在一個實施方式中示出多個結構實例（也包括製造方法實例、工作方法實例及使用方法實例等）時，可以適當地組合該多個結構實例，也可以適當地組合其他實施方式中所記載的一個或多個結構實例。

【0020】 在本說明書等中，有時為了避免組件的混淆而附上“第一”、“第二”、“第三”等序數詞，在此情況下，該序數詞不是為了在數目方面上或者在順序方面上進行限定而附上的。

【0021】 在圖式中，有時對同一要素、具有相同功能的要素、同一材料的要素或者同時形成的要素等賦予同一元件符號，並且有時省略重複說明。

【0022】 當使用同一符號表示多個組件時，尤其是當需要將它們區別開來時，有時對該符號附上“_1”、“_2”、“[n]”、“[m, n]”等用來區別的符號。

【0023】 在本說明書中，例如，有時將電源電壓VDD簡稱為電壓VDD或VDD等。這同樣適用於其它組件（例如，信號、電壓、電路、元件、電極及佈線等）。

【0024】 在圖式中，為便於清楚地說明，有時誇大表示大小、層的厚度及區域等。因此，本發明並不一定限定於上述尺寸。在圖式中，示意性地示出理想的例子，而不侷限於圖式所示的形狀或數值等。例如，可以包括因雜訊或定時偏差等所引起的信號、電壓或電流的不均勻等。

【0025】 在本說明書中，為了方便起見，有時使用“上”、“下”等表示

配置的詞句以參照圖式說明組件的位置關係。另外，組件的位置關係根據描述各組件的方向適當地變化。因此，不侷限於本說明書中所說明的詞句，根據情況可以適當地改換詞句。

【0026】 電晶體包括閘極、源極以及汲極這三個端子。閘極被用作控制電晶體的導通狀態的控制端子。在用作源極或汲極的兩個輸入輸出端子中，根據電晶體的類型或者供應到各端子的電位位準將一個端子用作源極而將另一個端子用作汲極。因此，在本說明書等中，“源極”和“汲極”可以互相調換。另外，在本說明書等中，有時將閘極以外的兩個端子稱為第一端子及第二端子。

【0027】 節點可以根據電路結構或裝置結構等換稱為端子、佈線、電極、導電層、導電體或雜質區域等。另外，端子、佈線等也可以換稱為節點。

【0028】 在本說明書等中，“膜”和“層”可以根據情形或狀況相互調換。例如，有時可以將“導電層”調換為“導電膜”。例如，有時可以將“絕緣膜”調換為“絕緣層”。

【0029】 在本說明書等中，半導體裝置是指利用半導體特性的裝置以及包括半導體元件（電晶體、二極體等）的電路及包括該電路的裝置等。另外，半導體裝置是指能夠利用半導體特性而工作的所有裝置。例如，積體電路或具備積體電路的晶片是半導體裝置的一個例子。另外，記憶體裝置、顯示裝置、發光裝置、照明設備以及電子裝置等有時本身是半導體裝置，或者有時包括半導體裝置。

【0030】 實施方式1

在本實施方式中，對能夠直接輸入所比較的負電壓的比較電路及包括該比較電路的半導體裝置進行說明。

【0031】 <<比較電路>>

這裡，對使用差動放大電路的比較電路的結構實例進行說明。

【0032】 圖1A示出比較電路的一個例子。圖1A所示的比較電路10包括端子INN、INP、OCM。端子INN是反相輸入端子，端子INP是非反相輸入端子，端子OCM是輸出端子。

【0033】 比較電路10被輸入電壓Vdda、Vssa。電壓Vdda是高位準一側電源電壓。電壓Vssa是低位準一側電源電壓，例如，可以為0V（GND：接地電壓）。

【0034】 比較電路10具有對負電壓Vnin與負參考電壓Vnref進行比較且從端子OCM輸出對應於比較結果的電壓Vcmp的功能。負電壓Vnin被輸入到端子INP。端子INN被輸入正參考電壓Vpref代替負參考電壓Vnref。正參考電壓Vpref相當於被轉換為正電壓的負參考電壓Vnref。以比較電路10能夠執行上述比較的方式設定正參考電壓Vpref的大小。

【0035】 圖1B示出比較電路10的電路結構實例。比較電路10由差動電路構成，並包括差分對14、電流源17以及負載電路18。

【0036】 差分對14由電晶體MO11、MO12構成。電晶體MO11、MO12是包括背閘極的OS電晶體。在電晶體MO11中，背閘極與端子INP電連接，閘極被輸入電壓Vdda。在電晶體MO12中，閘極與端子INN電連接，背閘極被輸入電壓Vssa。

【0037】 這裡，將電晶體MO11、MO12與負載電路18的連接節點分別稱為節點X11、X12，將電晶體MO11與電晶體MO12的連接節點稱為節點X13。電流源17對節點X13供應電流Iss。負載電路18對節點X11、X12分別供應負載Rd1、Rd2。

【0038】 注意，在沒有特別說明的情況下，在圖式中，包括背閘極的

n通道電晶體是OS電晶體。p通道電晶體及沒有背閘極的n通道電晶體都是Si電晶體。

【0039】 節點X12、X11的電壓取決於電晶體MO11的汲極電流(I_{mo1})與電晶體MO12的汲極電流(I_{mo2})的差分。在圖1B的實例中，由於端子OCM與節點X12電連接，所以在 I_{mo1} 比 I_{mo2} 大時，電壓 V_{cmp} 成為高位準(“H”)，在 I_{mo1} 比 I_{mo2} 小時，電壓 V_{cmp} 成為低位準(“L”)。

【0040】 (正參考電壓 V_{pref} 的設定實例)

流過差分對14的電流 I_{mo1} 與電流 I_{mo2} 的差分可以換算成端子INP與端子INN間的電壓差。因此，可以根據電壓差來設定正參考電壓 V_{pref} 。明確而言，在端子INP的電壓為 V_{nref} 、電晶體MO11的閘極電壓為 V_{dda} 且電晶體MO12的背閘極電壓為 V_{ssa} 的情況下，估算 I_{mo1} 與 I_{mo2} 的差分為0安培時的端子INP與端子INN的電壓差。可以根據估算的電壓差設定正參考電壓 V_{pref} 的值。

【0041】 藉由如此設定正參考電壓 V_{pref} ，在 V_{nin} 比 V_{nref} 大時，端子OCM輸出“H”的電壓 V_{cmp} ，在 V_{nin} 比 V_{nref} 小時，端子OCM輸出“L”的電壓 V_{cmp} 。

【0042】 參照圖1C說明比較電路10的工作原理。圖1C是示意性地示出電晶體MO11的 I_d - V_g (汲極電流-閘極電壓)特性的圖。曲線9A是 V_{nin} 比 V_{nref} 大時的 I_d - V_g 曲線，曲線9B是 V_{nin} 比 V_{nref} 小時的 I_d - V_g 曲線。

【0043】 在 $V_{nin} > V_{nref}$ 時， $I_{mo1} > I_{mo2}$ ，所以電壓 V_{cmp} 為“H”。

【0044】 背閘極電壓降低使電晶體MO11的 V_t 向正一側漂移。也就是說，負電壓 V_{nin} 的降低使電流 I_{mo1} 變小。在 $V_{nin} < V_{nref}$ 時， $I_{mo1} < I_{mo2}$ ，所以電壓 V_{cmp} 為“L”。

【0045】 接著，對幾個差分對的變形例進行說明。在圖1A的實例中，

電壓Vdda、Vssa用於差分對14的偏置電壓，但是偏置電壓不侷限於該例子。藉由作為差分對14的偏置電壓使用電壓Vdda、Vssa，可以減少在比較電路10中使用的電壓的種類。

【0046】 或者，在電晶體MO12中，背閘極也可以與端子INP電連接，閘極也可以被輸入電壓Vssa等偏置電壓。

【0047】 圖2所示的比較電路11包括差分對15代替差分對14。差分對15由電晶體MO13、MO14構成。端子INN與電晶體MO13的閘極電連接，端子INP與電晶體MO14的閘極電連接。電晶體MO13的背閘極被輸入偏置電壓（這裡，Vdda）。電晶體MO14的背閘極被輸入偏置電壓（這裡，Vssa）。

【0048】 在電晶體MO14中，背閘極也可以與端子INP電連接，閘極也可以被輸入偏置電壓（例如，Vssa等）。

【0049】 比較電路10不具有複雜的電路結構，能夠直接輸入所比較的負電壓。藉由將負的參考電壓置換成正的參考電壓，比較電路10的輸入電壓除了所比較的負電壓（Vnin）以外為0V或正電壓，所以可以使比較電路10的工作穩定化。比較電路11也是同樣的。

【0050】 <比較電路20至25>

接著，具體地示出幾個比較電路的電路結構實例。

【0051】 圖3A所示的比較電路20包括端子INN、INP、OCM、差分輸入電路30以及輸出電路40。

【0052】 差分輸入電路30由一級差動放大電路構成，並包括差分對34以及電晶體MN1、MP1、MP2。

【0053】 差分對34的電路結構與差分對14相同，由電晶體MO1、MO2構成。這裡，將電晶體MO1與電晶體MP1的連接節點稱為節點X1，將電晶體MO2與電晶體MP2的連接節點稱為節點X2。

【0054】 端子INP與電晶體MO1的背閘極電連接，端子INN與電晶體MO2的閘極電連接。電晶體MO1的閘極被輸入電壓Vdda，電晶體MO2的背閘極被輸入電壓Vssa。

【0055】 電晶體MN1構成電流源。電晶體MN1的閘極被輸入電壓Vb1。電壓Vb1為正電壓。

【0056】 電流鏡電路由電晶體MP1、MP2構成。負載電路由電流鏡電路構成。負載電路可以由被二極體連接的電晶體MP1及電晶體MP2構成。或者，可以設置兩個電阻元件代替電晶體MP1、MP2。

【0057】 輸出電路40與節點X2電連接。輸出電路40中設置有二級CMOS反相器電路。CMOS反相器電路由Si電晶體構成。

【0058】 圖3B所示的比較電路21是比較電路20的變形例。輸出電路41由一級CMOS反相器電路構成，CMOS反相器電路的輸入節點與節點X1電連接。

【0059】 圖4A所示的比較電路22是比較電路20的變形例。比較電路22的輸出電路42由二級源極隨耦電路構成。圖4B所示的比較電路23是比較電路22的變形例。比較電路23的輸出電路43由一級源極隨耦電路構成，源極隨耦電路的輸入節點與節點X1電連接。

【0060】 圖4C所示的比較電路24是比較電路21的變形例，並包括差分輸入電路31。差分輸入電路31是差分輸入電路30的變形例，設置有電晶體MO3代替電晶體MN1。在電晶體MO3中，閘極被輸入電壓Vb1，背閘極與閘極電連接。注意，在電晶體MO3中，背閘極可以被輸入偏置電壓（例如，電壓Vssa），也可以使背閘極與汲極電連接。

【0061】 上述比較電路20至24在 $V_{nin} > V_{nref}$ 時輸出“H”的電壓Vcmp，在 $V_{nin} < V_{nref}$ 時，輸出“L”的電壓Vcmp。根據輸出電路的電路結構

等適當地改變 V_{nin} 與 V_{nref} 之間的大小關係與電壓 V_{cmp} 的電壓位準之間的關係。

【0062】 在比較電路20中，可以使電晶體MO1的閘極與端子INP電連接，電晶體MO1的背閘極可以被輸入偏置電壓（例如， V_{dda} ）。此外，可以使電晶體MO2的背閘極與端子INN電連接，電晶體MO2的閘極可以被輸入偏置電壓（例如， V_{ssa} ）。比較電路21至24也同樣。

【0063】 <<動態比較電路>>

參照圖5說明動態比較電路的結構實例。圖5所示的比較電路25包括差分輸入電路32、輸出電路45以及端子INN、INP、OCM、OCMB。比較電路25被輸入電壓 V_{dda} 、 V_{ssa} 以及時脈信號CLK（以下，稱為信號CLK）。

【0064】 比較電路25對負電壓 V_{nin} 與負參考電壓 V_{nref} 進行比較並從端子OCM、OCMB輸出對應於比較結果的電壓 V_{cmp} 、 V_{cmpB} 。端子INN被輸入負電壓 V_{nin} ，端子INP被輸入正參考電壓 V_{pref} 。正參考電壓 V_{pref} 的設定方法與上述比較電路10相同。

【0065】 圖式中的電流 I_{mo5} 、 I_{mo6} 分別表示電晶體MO5、MO6的汲極電流。

【0066】 比較電路25可以將所比較的負電壓（ V_{nin} ）輸入到端子INN，所使用的電壓為0V以下。

【0067】 差分輸入電路32包括電晶體MO5、MO6、MN5、MN6、MN7、MP5、MP6、MP7、MP8。

【0068】 差分輸入電路32的差分對的電路結構與差分對34相同，並由電晶體MO5、MO6構成。電晶體MN7構成電流源。電晶體MN7的閘極被輸入信號CLK。

【0069】 這裡，將電晶體MN5與電晶體MP5的連接節點稱為節點

X5，將電晶體MN6與電晶體MP6的連接節點稱為節點X6。電晶體MN5、MP5、MN6、MP6構成閂鎖電路。閂鎖電路根據電流 I_{mo5} 、 I_{mo6} 的大小關係設定節點X5、X6的電壓位準。

【0070】 電晶體MP7、MP8是重設電晶體。電晶體MP7、MP8的開啟/關閉由信號CLK控制。在電晶體MP7、MP8開啟時，節點X5、X6的電壓固定為Vdda（“H”）。

【0071】 輸出電路45包括反相器電路38、39。反相器電路38、39的輸入端子分別與節點X5、X6電連接，反相器電路38、39的輸出端子分別與端子OCM、OCMB電連接。

【0072】 在信號CLK為“L”時，比較電路25進行預充電工作。由於電晶體MP7、MP8處於開啟狀態，節點X5、X6固定為“H”，所以端子OCM、OCMB固定為“L”。

【0073】 在信號CLK為“H”時，比較電路25進行評價工作。藉由使電流 I_{mo5} 與電流 I_{mo6} 之間產生差分，構成閂鎖電路的兩個反相器電路的驅動能力間產生差異，節點X5、X6間產生電壓差。

【0074】 在 V_{nin} 比 V_{nref} 大時，電流 I_{mo5} 比電流 I_{mo6} 大。因此，節點X5的電壓比節點X6的電壓低，端子OCM及OCMB分別成為“H”及“L”。另一方面，在 V_{nin} 比 V_{nref} 小時，電流 I_{mo5} 比電流 I_{mo6} 小。因此，節點X5的電壓比節點X6的電壓高，端子OCM及OCMB分別成為“L”及“H”。

【0075】 在圖3A所示的比較電路20中，藉由由包括背閘極的兩個OS電晶體構成差分對，可以將電壓 V_{ssa} 設定為接地電壓。因此，不需要對電晶體MN1的源極輸入負電壓。

【0076】 在n通道Si電晶體的源極輸入負電壓時，對p型井與源極區域之間的寄生二極體（pn接合二極體）施加正向偏置電壓。因此，大電流從

基板倒流到源極區域。為了防止大電流的倒流，通常使用由n型井圍繞n通道電晶體的三井結構（例如，參照專利文獻3的圖3b、參照圖6）。然而，當n通道電晶體具有三井結構時，導致面積的增加。

【0077】 由於可以在不使用三井結構的n通道Si電晶體的情況下構成比較電路20，所以可以縮小比較電路20的電路面積。比較電路21至25也同樣。

【0078】 如上所述，在本實施方式的比較電路中，藉由由包括背閘極的兩個n通道電晶體構成差分對，可以直接輸入所比較的負電壓、使用將負的參考電壓轉換為正電壓參考電壓並將低位準一側電源電壓設定為0V（接地電壓），而無需具有複雜的電路結構。因此，本實施方式的比較電路可以實現負電壓與負參考電壓的高精度的比較以及穩定的工作。

【0079】 實施方式2

在本實施方式中，對包括實施方式1的比較電路的半導體裝置進行說明。作為一個例子，說明用來對半導體裝置供應負電壓的裝置。

【0080】 <<負電壓供應裝置100>>

圖6是負電壓供應裝置的結構實例的方塊圖。圖6所示的負電壓供應裝置100在其內部產生負電壓，並將所產生的負電壓從多個電源端子輸出。負電壓供應裝置100包括控制電路111、電荷泵電路112、偏置電壓產生電路114、輸出電壓調整部120以及多個端子OB。端子OB是負電壓用輸出端子。作為一個例子，端子OB的數量為4，但是不侷限於此。

【0081】 為了區別4個端子OB，使用[1]至[4]的用來區別的元件符號。在需要指定多個端子OB中的任一個時，將其記載為端子OB[1]等。在記載為端子OB時，指任意端子OB。其他組件也同樣。

【0082】 負電壓供應裝置100被輸入電壓Vdda、Vddd、GND、正參考

電壓V_{pref}、時脈信號CK1以及信號WAKE。此外，電壓GND為0V（接地電壓），且被用作負電壓供應裝置100的低位準一側電源電壓。電壓V_{ddd}為高位準一側電源電壓，且比電壓V_{dda}小。電壓V_{ddd}用於控制電路111中。

【0083】 <控制電路111>

信號WAKE被用作負電壓供應裝置100的賦能信號。根據信號WAKE，控制電路111控制電荷泵電路112及輸出電壓調整部120。這裡，控制電路111具有閘控時脈緩衝器的功能。控制電路111根據信號WAKE從時脈信號CK1生成閘控時脈信號GCK1（以下，稱為時脈信號GCK1）。時脈信號CK1的低位準電壓為GND，高位準電壓為V_{dda}。

【0084】 時脈信號GCK1輸入到電荷泵電路112以及輸出電壓調整部120。

【0085】 <電荷泵電路112>

電荷泵電路112被用作負電壓產生電路。圖7示出電荷泵電路112的電路結構實例。這裡，是四級降壓型電荷泵電路。電荷泵電路112包括端子IN_{cp}、OUT_{cp}、2個反相器電路、4個OS電晶體以及4個電容器。在時脈信號GCK1處於活動狀態時，電荷泵電路112從輸入到端子IN_{cp}的電壓GND產生負電壓V_{cp}，將其從端子OUT_{cp}輸出。

【0086】 在圖7的例子中，端子IN_{cp}與端子OUT_{cp}之間的電荷傳送路徑中設置有4個電晶體，但是電晶體的個數不侷限於此。此外，設置在電荷傳送路徑中的電晶體不侷限於OS電晶體。圖8A至圖8C示出能夠應用於電荷泵電路112的降壓型電荷泵電路的其他例子。

【0087】 圖8A所示的電荷泵電路113A包括2個反相器電路、4個n通道Si電晶體以及4個電容器。圖8B所示的電荷泵電路113B包括3個n通道Si電晶體以及1個OS電晶體。圖8C所示的電荷泵電路113C包括2個反相器電路、4

個p通道Si電晶體以及4個電容器。

【0088】 <偏置電壓產生電路114>

偏置電壓產生電路114產生電壓Vb1。電壓Vb1輸入到輸出電壓調整部120。此外，也可以從外部輸入電壓Vb1而不設置偏置電壓產生電路114。

【0089】 <輸出電壓調整部120>

設置輸出電壓調整部120以從各端子OB穩定地輸出負電壓。輸出電壓調整部120包括4個負電壓保持電路122。負電壓保持電路122包括電荷泵電路123、驅動電路127以及監視電路128。負電壓保持電路122[j]（j為1至4的整數）控制端子OB[j]的輸出電壓。圖9A示出負電壓保持電路122的電路結構實例。

【0090】 <負電壓保持電路122>

電荷泵電路123包括電晶體MO21、MO22以及電容器C21、C22。電荷泵電路123對電壓Vcp進行降壓且產生電壓Vob。電壓Vob由電容器C22保持。電壓Vob成為端子OB的輸出電壓。

【0091】 電容器C22的電容較佳為比電容器C21的電容大。例如，電容器C22的電容為電容器C21的電容的2倍以上且10倍以下。可以根據電容器C21所需要的電容值，由電晶體MO21的寄生電容或電晶體MO21與佈線之間的寄生電容等構成電容器C21。

【0092】 由於金屬氧化物半導體的能帶間隙為2.5eV以上，所以OS電晶體具有極小的關態電流（off-state current）。作為一個例子，可以將源極與汲極間的電壓為3.5V且室溫（25°C）下的每通道寬度為1μm的關態電流設定為低於 1×10^{-20} A，較佳為低於 1×10^{-22} A，更佳為低於 1×10^{-24} A。就是說，汲極電流的開關比可以為20位數以上且150位數以下。

【0093】 金屬氧化物半導體是能隙大、電子不容易被激發且電洞的有

效質量大的半導體。因此，OS電晶體與Si電晶體相比不容易發生突崩潰（avalanche breakdown）等。藉由抑制起因於突崩潰的熱載子劣化等，OS電晶體的源極與汲極間的絕緣耐壓比Si電晶體高。

【0094】 作為應用於通道形成區域的金屬氧化物，有Zn氧化物、Zn-Sn氧化物、Ga-Sn氧化物、In-Ga氧化物、In-Zn氧化物、In-M-Zn氧化物（M是Ti、Ga、Y、Zr、La、Ce、Nd、Sn或Hf）等。此外，包含銦和鋅的氧化物也可以還包含選自鋁、鎳、鈮、銅、鈇、鉍、硼、矽、鈦、鐵、鎳、鋇、鋳、鉬、鐳、鈾、鈾、鎢和鎂等中的一種或多種。

【0095】由於電晶體MO22的閘極被施加負電壓，藉由使背閘極與閘極電連接可以有效地降低電晶體MO22的截止電流。這是因為藉由使電晶體MO22的背閘極與閘極電連接，可以使電晶體MO22的臨界電壓向正一側漂移。此外，截止電流是指電晶體的閘極與源極間電壓為0V時的汲極電流。

【0096】 因此，在電晶體MO21、MO22是包括背閘極的OS電晶體時有助於長時間穩定地供應負電壓。

【0097】由於可以將OS電晶體層疊於Si電晶體上，所以在電晶體MO21、MO22是OS電晶體時有助於負電壓供應裝置100的小型化。

【0098】監視電路128監視端子OB的電壓Vob。監視電路128由使用差動放大電路的比較電路構成。圖9A所示的比較電路是比較電路20（參照圖3A）的變形例，輸出電路由1個CMOS反相器電路構成。

【0099】 端子INP與端子OB電連接，端子INN被輸入正參考電壓Vpref。端子OCM與驅動電路127的輸入端子電連接。信號MON是端子OCM的輸出。

【0100】這裡，將負電壓供應裝置100的輸出電壓設定為負電壓VBG。監視電路128以負電壓VBG為基準與電壓Vob進行比較。以能夠在監

視電路128中進行該比較的方式設定正參考電壓 V_{pref} 的值。

【0101】這裡，監視電路128監視電壓 V_{ob} 的下降。因此，在電壓 V_{ob} 比負電壓 V_{BG} 高時，監視電路128輸出“L”的信號MON，而在電壓 V_{ob} 比負電壓 V_{BG} 低時，監視電路128輸出“H”的信號MON。

【0102】也可以根據多個監視電路128間的特性（例如，偏置電壓等）的偏差，準備多個正參考電壓。例如，將不同值的兩種正參考電壓 V_{pref1} 、 V_{pref2} 輸入負電壓供應裝置100。監視電路128[1]、128[2]被輸入正參考電壓 V_{pref1} ，監視電路128[3]、128[4]被輸入正參考電壓 V_{pref2} 。

【0103】驅動電路127進行信號MON及時脈信號GCK1的邏輯運算，生成用來驅動電荷泵電路123的時脈信號GCK2。驅動電路127可以具有如下電路結構：在信號MON為“L”時，時脈信號GCK2變為活動狀態；在其他情況下，時脈信號GCK2為非活動狀態。圖9B示出驅動電路127的真值表的一個例子。

【0104】 <<工作實例>>

參照圖10對負電壓供應裝置100的工作實例進行說明。圖10是示出負電壓供應裝置100的工作實例的時序圖。 t_0 等表示時刻。這裡，在時刻 t_0 ，電荷泵電路112的輸出電壓 V_{cp} 、端子OB[1]至OB[4]的電壓 $V_{ob}[1]$ 至 $V_{ob}[4]$ 為0V（GND）。

【0105】圖10中的期間 T_{c1} 是負電壓供應裝置100的工作的1循環期間。信號WAKE具有負電壓供應裝置100的晶片賦能信號的功能。在信號WAKE為“H”的期間，負電壓供應裝置100處於活動狀態。

【0106】在信號WAKE為“H”的期間，由於從控制電路111輸出的時脈信號GCK1處於活動狀態，所以電荷泵電路112進行降壓工作。這裡，在時刻 t_0 至時刻 t_1 之間電荷泵電路112的輸出電壓 V_{cp} 在負電壓 V_{BG} 處飽和。

【0107】 在時刻 t_0 ，由於電壓 $V_{ob}[1]$ 為GND，從監視電路128[1]輸出“L”的信號MON[1]。信號MON[2]至MON[4]也是“L”。因此，驅動電路127[1]至127[4]分別輸出活動狀態的時脈信號GCK2[1]至GCK2[4]。

【0108】 由於電荷泵電路123[1]進行降壓工作，所以電壓 $V_{ob}[1]$ 下降。電荷泵電路123[2]至123[4]也進行降壓工作。

【0109】 由於構成電荷泵電路123[1]至123[4]的電晶體MO21、MO22的電特性（例如，臨界電壓）有偏差，電荷泵電路123[1]至123[4]的電流驅動能力之間產生差異。因此，端子OB[1]至OB[4]到達負電壓VBG的時序不同。在本實施方式中，藉由以監視電路128[1]至128[4]獨立地監視端子OB[1]至OB[4]的電壓，可以抑制端子OB[1]至OB[4]的到達電壓（resulting voltage）的偏差，由此可以使這些電壓與負電壓VBG大致相同。

【0110】 例如，說明負電壓保持電路122[1]。監視電路128[1]在檢測出電壓 $V_{ob}[1]$ 到達負電壓VBG時，將“H”的信號MON[1]輸出到驅動電路127[1]。根據“H”的信號MON[1]，驅動電路127[1]將時脈信號GCK2固定為“H”。由此，電荷泵電路123[1]的降壓工作停止，將電壓 $V_{ob}[1]$ 大致設定為負電壓VBG。

【0111】 由於電晶體MO22[1]是具有極小關態電流的OS電晶體，所以即使時脈信號GCK2處於非活動狀態，也可以在電容器C22[1]中長時間保持負電壓VBG。

【0112】 負電壓保持電路122[2]至122[4]也同樣地工作，電壓 $V_{ob}[2]$ 至 $V_{ob}[4]$ 大致設定為負電壓VBG。

【0113】 在時刻 t_1 至時刻 t_2 的期間，由於信號WAKE為“L”，所以負電壓供應裝置100處於非活動狀態。於是，藉由進行時脈閘控以使時脈信號CK1固定為“L”來降低負電壓供應裝置100的待機功率。

【0114】 由於負電壓保持電路122具有優異的保持特性，可以延長信號WAKE為“L”的期間。因此，在該期間，能夠進行停止對負電壓供應裝置100供應電源電壓（ V_{ddd} 、 V_{dda} ）的電源閘控。藉由進行電源閘控，可以進一步降低負電壓供應裝置100的功耗。

【0115】 圖10示出在信號WAKE為“L”的期間進行電源閘控的例子。在時刻 t_2 ，電壓 V_{ddd} 、 V_{dda} 的供應開始。當信號WAKE變為“H”，時脈信號CK1變為活動狀態。在時刻 t_2 至時刻 t_3 的期間，負電壓供應裝置100的工作與時刻 t_0 至時刻 t_1 的期間的工作相同。圖10示出在時刻 t_1 至時刻 t_3 之間電壓 $V_{ob}[1]$ 至 $V_{ob}[4]$ 不超過負電壓VBG的情況。當監視電路128[1]至128[4]變為活動狀態時，端子OCM[1]至OCM[4]從“L”變為“H”。因此，電荷泵電路123[1]至123[4]為待機狀態。

【0116】 由於負電壓保持電路122具有控制端子OB的降壓的功能以及保持端子OB的電壓的功能，所以可以在長時間穩定地從端子OB輸出所設定的負電壓。

【0117】 <<負電壓供應裝置101>>

參照圖11、圖12、圖13A及圖13B說明負電壓供應裝置的其他結構實例。本結構實例是將動態比較電路用於負電壓監視電路的實例。

【0118】 圖11所示的負電壓供應裝置101包括控制電路141、電荷泵電路142、分頻電路143、輸出電壓調整部150以及4個端子OB。輸出電壓調整部150包括4個負電壓保持電路152。

【0119】 負電壓供應裝置101被輸入電壓 V_{dda} 、 V_{ddd} 、GND、正參考電壓 V_{pref} 、時脈信號CK1以及信號WAKE。

【0120】 控制電路141具有與控制電路111相同的功能。控制電路141根據信號WAKE生成時脈信號GCK1。

【0121】電荷泵電路142的電路結構與電荷泵電路112相同（參照圖7）。電荷泵電路142根據時脈信號GCK1進行降壓工作，輸出電壓 V_{cp} 。

【0122】分頻電路143使時脈信號GCK1分頻而生成時脈信號GCK3。時脈信號GCK3輸入到4個負電壓保持電路152。

【0123】圖12示出負電壓保持電路152的電路結構實例。負電壓保持電路152包括電荷泵電路153、驅動電路154以及監視電路155。

【0124】電荷泵電路153的電路結構與電荷泵電路123相同，並包括電晶體MO25、MO26、電容器C25、C26。

【0125】驅動電路154具有與驅動電路127相同的功能（參照圖9B）。驅動電路154進行信號MON與時脈信號GCK3的邏輯運算，並生成用來驅動電荷泵電路153的時脈信號GCK4。當信號MON為“L”時，時脈信號GCK4處於活動狀態，在其他情況下，時脈信號GCK4處於非活動狀態。

【0126】監視電路155由比較電路25（參照圖5）構成。監視電路155被輸入時脈信號GCK3。端子INP與端子OB電連接，端子INN被輸入正參考電壓 V_{pref} 。端子OCMB與驅動電路154的輸入端子電連接。

【0127】這裡，監視電路155監視電壓 V_{ob} 的下降。於是，在電壓 V_{ob} 大於負電壓 V_{BG} 時，監視電路155輸出“L”的信號MON，在電壓 V_{ob} 小於負電壓 V_{BG} 時，監視電路155輸出“H”的信號MON。

【0128】負電壓供應裝置101與負電壓供應裝置100同樣地工作（參照圖10）。負電壓供應裝置101與負電壓供應裝置100相比可以降低信號WAKE為“H”的期間的功耗（所謂動態功耗）。

【0129】在信號WAKE為“H”的期間，無論時脈信號GCK2如何，電流一直流過負電壓供應裝置100的監視電路128。相對於此，監視電路155在時脈信號GCK3為“L”的期間，端子OCMB被固定為“L”。因此，可以使監視電

路155的消耗電流比監視電路128的消耗電流低。

【0130】 藉由對每個端子OB設置監視電路155，可以從各端子OB穩定地輸出負電壓，另一方面，端子OB的個數越多對監視電路155的消耗電流的影響越大。因此，藉由降低監視電路155的消耗電流，對負電壓供應裝置101整體的動態功耗的降低是有效的。

【0131】 為了降低動態功耗，使時脈信號低速化。當使時脈信號GCK1低速化時，電壓Vcp到達負電壓VBG需要時間。也就是說，信號WAKE為“H”的時間變長。於是，藉由僅使時脈信號GCK3低速化，可以高效地降低負電壓供應裝置101的動態功耗。

【0132】 <監視電路的其他結構實例>

由於監視電路155由動態比較電路構成，在流過構成差分對的2個OS電晶體的電流相同時，端子OCM的信號MON有可能變得不穩定。接著，參照圖13A及圖13B說明信號MON的穩定化對策。

【0133】 圖13A示出根據信號MON切換動態比較電路的正參考電壓的例子。圖13B示出根據信號MON控制動態比較電路的差分輸入電路的電源供應的例子。

【0134】 （監視電路161）

圖13A所示的監視電路161包括比較電路171、閘鎖電路173以及選擇電路175。

【0135】 比較電路171由比較電路25構成。比較電路171的差分對由電晶體MO7、MO8構成。電流Imo7、Imo8是電晶體MO7、MO8的汲極電流。

【0136】 與時脈信號GCK3的上升同步，閘鎖電路173的資料被比較電路171的輸出更新。閘鎖電路173的輸出信號是信號MON。例如，閘鎖電路173可以由延遲正反器電路（DFF）構成。

【0137】 選擇電路175從正參考電壓 V_{pref} 和電壓GND選擇輸入到比較電路171的端子INN的電壓。選擇電路175被輸入信號MON以及信號WAKE。信號WAKE具有選擇電路175的重設信號(RESET)的功能。此外，作為重設信號也可以使用與信號WAKE不同的信號。

【0138】 以下說明監視電路161的工作實例。在信號WAKE從“L”變為“H”時，選擇電路175被重設而對端子INN供應正參考電壓 V_{pref} 。在時脈信號GCK3處於活動狀態的期間，比較電路171對端子OB的電壓 V_{ob} 與負電壓VBG進行比較。在電壓 V_{ob} 高於負電壓VBG時，信號MON為“L”。在信號MON為“L”時，選擇電路175對端子INN輸入正參考電壓 V_{pref} 。

【0139】 當電壓 V_{ob} 降低至負電壓VBG以下，時脈信號GCK3為“H”時的端子OCMB輸出“H”的信號。此時，當電流 I_{mo7} 變為與電流 I_{mo8} 相等時，端子OCMB的輸出有可能振盪。當選擇電路175檢測出規定次數（1次或多次）信號MON的上升時，對端子INN供應電壓GND。由此，電流 I_{mo8} 降低，電流 I_{mo7} 與電流 I_{mo8} 之間產生差異，端子OCMB的輸出穩定。在時脈信號GCK3為“H”時，端子OCMB可以穩定地輸出“H”的信號。

【0140】 這裡，對端子INN輸入電壓GND，但是不侷限於電壓GND。只要在信號MON為“H”時電流 I_{mo7} 與電流 I_{mo8} 之間產生差異即可，所以也可以對端子INN輸入低於電壓 V_{pref} 的正電壓。使用電壓GND不會增加要使用的電壓的種類。

【0141】 （監視電路162）

圖13B所示的監視電路162包括比較電路172以及選擇電路177。比較電路172由比較電路25構成。與監視電路161同樣，也可以在監視電路162中設置門鎖電路173。

【0142】 選擇電路177控制對比較電路172的差分輸入電路172A供應

高位準一側電源電壓。選擇電路177被輸入信號MON、WAKE。信號WAKE具有選擇電路177的重設信號的功能。作為重設信號，也可以使用與信號WAKE不同的信號。

【0143】 在信號WAKE從“L”變為“H”時，選擇電路177被重設而對差分輸入電路172A輸入電壓Vdda。在時脈信號GCK3處於活動狀態的期間，比較電路172對端子OB的電壓Vob與負電壓VBG進行比較。當選擇電路177檢測出規定次數（1次或多次）信號MON的上升時，對差分輸入電路172A供應電壓GND。由此，由於差分輸入電路172A的2個反相器電路處於非活動狀態，所以比較電路172的輸出不振盪。

【0144】 根據本實施方式的負電壓供應裝置適用於各種半導體裝置的負電壓電源電路。作為將本負電壓供應裝置用於電源電路的半導體裝置，例如有基板偏置電壓為負電壓的各種半導體裝置（例如，DRAM、影像感測器）、以負電壓驅動的半導體裝置（例如，快閃記憶體等記憶體裝置）以及具備包括背閘極的OS電晶體的半導體裝置等。在實施方式3中示出包括本負電壓供應裝置的半導體裝置的結構實例。

【0145】 實施方式3

<<記憶體裝置>>

這裡，作為使用OS電晶體的半導體裝置，說明資料保持部由OS電晶體構成的記憶體裝置。

【0146】 圖14A所示的記憶體裝置200包括負電壓供應裝置210、控制電路215、記憶單元陣列220以及週邊電路221。週邊電路221中設置有行電路223、列電路224以及輸入輸出電路225。

【0147】 記憶單元陣列220包括記憶單元230、讀出字線RWL、寫入字線WWL、讀出位元線RBL、寫入位元線WBL、源極線SL以及佈線BGL。

此外，讀出字線RWL及寫入字線WWL有時分別稱為字線RWL及字線WWL。有時也將讀出位元線RBL及寫入位元線WBL分別稱為位元線RBL及位元線WBL。

【0148】 控制電路215對整個記憶體裝置200進行總控制，進行資料WDA的寫入及資料RDA的讀出。控制電路215對來自外部的指令信號（例如，晶片賦能信號、寫入賦能信號等）進行處理，且生成週邊電路221的控制信號。

【0149】 負電壓供應裝置210由實施方式2的負電壓供應裝置構成。負電壓供應裝置210包括N個（N為2以上的整數）的端子OB[1]至OB[N]。端子OB[1]至OB[N]輸出負電壓Vbg1。記憶單元陣列220被分割成N個區塊。各區塊的佈線BGL與端子OB電連接。

【0150】 行電路223具有選擇所存取的行的功能。例如，行電路223包括行解碼器以及字線驅動器。列電路224具有使位元線WBL、RBL預充電的功能、對位元線WBL寫入資料的功能、放大位元線RBL的資料的功能以及從位元線RBL讀出資料的功能等。輸入輸出電路225具有保持寫入資料的功能以及保持讀出資料的功能等。

【0151】 週邊電路221的結構根據記憶單元陣列220的結構、讀出方法以及寫入方法等適當地改變。

【0152】 <記憶單元230>

圖14B示出記憶單元230的電路結構實例。這裡，記憶單元230是2電晶體型（2T）增益單元。記憶單元230包括電晶體MW1、MR1以及電容器CS1。電晶體MW1是寫入電晶體，電晶體MR1是讀出電晶體。電晶體MW1、MR1的背閘極與佈線BGL電連接。

【0153】 藉由由OS電晶體構成讀出電晶體，記憶單元230在保持資料

時不消耗電力。因此，記憶單元230是能夠在長時間保持資料的低功耗記憶單元，記憶體裝置200也可以被用作非揮發性記憶體裝置。OS電晶體以及電容器可以層疊在Si電晶體上。因此，可以將記憶單元陣列220層疊在週邊電路221上，由此可以提高記憶單元陣列220的積體度。

【0154】 參照圖15A至圖15F說明記憶單元的其他結構實例。

【0155】 <記憶單元231至235>

圖15A所示的記憶單元231是3T型增益單元，並包括電晶體MW2、MR2、MS2以及電容器CS2。電晶體MW2、MR2、MS2分別是寫入電晶體、讀出電晶體以及選擇電晶體。電晶體MW2、MR2、MS2的背閘極與佈線BGL電連接。記憶單元231與字線RWL、WWL、位元線RBL、WBL、電容線CDL、電源線PL2電連接。例如，電容線CDL、電源線PL2被輸入電壓GND（低位準一側電源電壓）。

【0156】 圖15B以及圖15C示出2T型增益單元的其他結構實例。在圖15B所示的記憶單元232中讀出電晶體由n通道Si電晶體構成。在圖15C所示的記憶單元233中讀出電晶體由p通道Si電晶體構成。

【0157】 圖15D以及圖15E示出3T型增益單元的其他結構實例。在圖15D所示的記憶單元234中，讀出電晶體、選擇電晶體由n通道Si電晶體構成。在圖15E所示的記憶單元235中，讀出電晶體、選擇電晶體由p通道Si電晶體構成。在圖15E的實例中，電源線PL2被輸入電壓Vddd（高位準一側電源電壓）。

【0158】 在上述增益單元中，也可以設置兼用作讀出位元線RBL及寫入位元線WBL的位元線。

【0159】 <記憶單元236>

圖15F示出1T1C（電容）型記憶單元的實例。圖15F所示的記憶單元236

與字線WL、位元線BL、電容線CDL、佈線BGL電連接。記憶單元236包括電晶體MW3以及電容器CS3。電晶體MW3的背閘極與佈線BGL電連接。

【0160】 <記憶單元237>

圖16A所示的記憶單元237包括記憶單元240以及備份電路241。記憶單元240具有與標準6T型SRAM單元相同的電路結構。

【0161】 備份電路241是用來備份記憶單元240的節點Q、Qb的資料的電路，並由2個1T1C型單元構成。節點SN1、SN2是保持節點。包括電晶體MW5以及電容器CS5的增益單元備份節點Q的資料。包括電晶體MW6以及電容器CS6的增益單元備份節點Qb的資料。

【0162】 由於電晶體MW5、MW6是OS電晶體，所以可以對記憶單元240層疊備份電路241。因此，可以減少設置備份電路241時的記憶單元237的附加面積，而可以使附加面積為0。

【0163】 記憶單元240與電源線V_VDM、V_VSM、字線WL、位元線對（BL、BLB）電連接。電源線V_VDM、V_VSM分別是用於Vddd、GND的電源線。備份電路241與佈線OGL、BGL、電源線PL3電連接。電源線PL3被輸入電壓GND。

【0164】 記憶單元237在正常狀態下作為SRAM單元工作。參照圖16B說明記憶單元237的工作實例。當記憶單元237不進行存儲一定時間以上時，停止對電源線V_VDM、V_VSM供應電壓Vddd、GND。在停止電壓Vddd的供應之前，對備份電路241寫入節點Q、Qb的資料。在圖16B中，t1、t2等表示時刻。

【0165】 （正常工作）

在時刻t1之前，記憶單元237處於正常工作狀態（寫入狀態或讀出狀態）。記憶單元237與單埠SRAM同樣地工作。在此，在時刻t1，節點Q、

Qb、SN1以及SN2分別為“H”、“L”、“L”以及“H”。

【0166】（備份）

在t1佈線OGL被輸入“H”。由此，開始備份工作，電晶體MW5、MW6開啟。節點SN1的電壓從GND上升至Vddd，節點SN2的電壓從Vddd降低至GND。在t2佈線OGL變為“L”，備份工作結束。節點SN1及節點SN2分別被寫入t1的節點Q及節點Qb的資料。

【0167】（電源閘控）

在t2，開始電源閘控。電源線V_VDM線的電壓從Vddd降低至GND。在電源線V_VDM與電源線V_VSM之間的電壓差變小時，記憶單元240變為非活動狀態。記憶單元240的資料消失，但是備份電路241保持資料。這裡，在電源閘控的期間，使位元線BL、BLB處於浮動狀態。

【0168】（恢復）

恢復工作是指根據備份電路241所保持的資料對記憶單元240的資料進行恢復的工作。在恢復工作中，記憶單元240被用作檢測節點Q及Qb的資料的感測放大器。

【0169】 首先，進行節點Q、Qb的重設工作。在t3，將位元線對（BL、BLB）的電壓預充電到電壓Vpr2。並且，由於字線WL處於選擇狀態，所以電源線V_VDM線、V_VSM線被預充電至電壓Vpr2，節點Q、Qb的電壓被固定為Vpr2。

【0170】 在t4，在佈線OGL變為“H”時，電晶體MW5、MW6開啟。電容器CS5的電荷被分配至節點Q和節點SN1，電容器CS6的電荷被分配至節點Qb和節點SN2，節點Q與節點Qb之間產生電壓差。

【0171】 在t5，再次開始電壓VDM、GND的供應。在記憶單元240變為活性狀態時，增大節點Q與節點Qb之間的電壓差。最終，節點Q、SN1的

電壓變為V_{ddd}，節點Q_b、SN2的電壓變為GND。也就是說，節點Q及Q_b的狀態分別恢復到t₁的狀態（“H”及“L”）。

【0172】 <記憶單元238>

圖17A所示的記憶單元238是記憶單元237的變形例，並包括備份電路242代替備份電路241。備份電路242由1個1T1C型記憶單元構成，並包括節點SN3、電晶體MW7以及電容器CS7。

【0173】 圖17B是示出記憶單元238的工作實例的時序圖。記憶單元238與記憶單元237同樣地工作。圖17B的說明援用圖16B的說明。

【0174】 雖然備份電路242只對節點Q進行了備份，但是可以利用節點SN3的保持資料對節點Q、Q_b的資料進行恢復。這是因為節點Q、Q_b的電壓已預先被預充電到V_{pr2}，所以藉由使用一個電容器CS7的電荷可以在節點Q與節點Q_b之間產生電位差。

【0175】 在本說明書等中，有時將在記憶單元等的資料保持部設置OS電晶體的記憶體裝置稱為「OS-記憶體裝置」。OS-記憶體裝置例如有“DOSRAM（註冊商標）”、“NOSRAM（註冊商標）”以及“OS-SRAM”等。

【0176】 “DOSRAM”是“Dynamic Oxide Semiconductor RAM（動態氧化物半導體隨機存取記憶體）”的簡稱，是指包括1T1C型的記憶單元（參照圖15F）的RAM。“NOSRAM”是“Nonvolatile Oxide Semiconductor RAM（非揮發性氧化物半導體隨機存取記憶體）”的簡稱，是指包括增益單元（參照圖14A、圖15A至圖15D）的RAM。“OS-SRAM”是指包括組裝有備份電路的SRAM單元（參照圖16A、圖17A）的RAM。

【0177】 接著，作為半導體裝置的一個例子說明處理裝置。在此，例示出MCU（微控制器單元）及FPGA。

【0178】 圖18所示的MCU250是能夠進行時脈閘控及電源閘控的半

導體裝置。

【0179】 MCU250被輸入電壓Vddd、Vdda、GND。MCU250包括電源管理單元(PMU) 260、負電壓供應裝置261、匯流排262、功率開關264、265、LS(位準轉換器)及緩衝電路267、處理器核心270(以下,稱為核心270)以及記憶體裝置280。PMU260、核心270以及記憶體裝置280藉由匯流排262進行資料等的傳輸。

【0180】 為了減少半導體裝置的功耗,藉由利用電源閘控或時脈閘控來停止不需要工作的電路。正反器是在很多情況下包括在半導體裝置中的順序電路(保持狀態的記憶體電路)之一。因此,藉由減少正反器的功耗,可以減少組裝有正反器的半導體裝置的功耗。在一般的正反器中,若停止供電所保持的狀態(資料)則會消失,由此為了對半導體裝置進行電源閘控,需要備份正反器的狀態。

【0181】 核心270包括多個正反器271。正反器271設置在核心270的各種暫存器中。正反器271包括備份電路272及掃描正反器273。換言之,正反器271為具備備份電路的掃描正反器。

【0182】 為了在時脈閘控及電源閘控時備份正反器271的資料,在正反器271中設置備份電路272。備份電路272設置有具有背閘極的多個OS電晶體。當備份電路272具有不包括Si電晶體的電路結構時,可以層疊於包括Si電晶體的邏輯單元上。圖19示出正反器271的電路結構實例。

【0183】 掃描正反器273包括節點D1、Q1、SD、SE、RT、CK10以及時脈緩衝電路273A。

【0184】 節點D1是資料輸入節點,節點Q1是資料輸出節點,節點SD是掃描測試資料的輸入節點。節點SE是信號SCE的輸入節點。節點CK10是時脈信號GCLK10的輸入節點。時脈信號GCLK10被輸入到時脈緩衝電路

272A。掃描正反器273的類比開關分別電連接於時脈緩衝電路273A的節點CK11、CKB11。節點RT是重設信號的輸入節點。

【0185】 掃描正反器273在信號SCE為“L”時被輸入節點D1的資料，在信號SCE為“H”時被輸入節點SD。

【0186】 掃描正反器273的電路結構不侷限於圖19所示的電路結構。可以使用在標準的電路庫中準備的掃描正反器。

【0187】 備份電路272包括節點SD_IN、SN11、電晶體MO11至MO13、電容器C11以及節點SN11。電晶體MO11、MO13的開啟/關閉被信號BKH控制，電晶體MO12的開啟/關閉被信號RCH控制。電晶體MO11至MO13的背閘極與CPU核心330中的佈線BGL2電連接。佈線BGL1被輸入負電壓Vbg2。

【0188】 節點SD_IN是掃描測試資料的輸入節點，並電連接於其他掃描正反器273的節點Q1。節點SN11是備份電路340的保持節點。

【0189】 由於OS電晶體的關態電流極小的特徵，因此可以抑制節點SN11的電壓下降。因為OS電晶體在保持資料時幾乎不耗電，所以備份電路272具有可以長時間保持資料的非揮發性。因此，在CPU核心330處於電源閘控狀態的期間，備份電路340可以保持資料。

【0190】 記憶體裝置280包括控制電路281、週邊電路282以及記憶單元陣列283。作為記憶體裝置280可以使用上述OS-記憶體裝置。

【0191】 作為負電壓供應裝置261使用實施方式2的負電壓供應裝置。負電壓供應裝置261從電壓GND產生負電壓Vbg1、Vbg2。負電壓供應裝置261包括用來輸出Vbg1的多個端子OB1以及用來輸出Vb2的多個端子OB2。負電壓Vbg1被輸入到記憶體裝置280，負電壓Vbg2被輸入到核心270。

【0192】 MCU250從外部接收時脈信號和中斷要求信號等。外部時脈

信號被輸入到PMU260，中斷要求信號被輸入到PMU260和核心270。

【0193】 PMU260具有控制時脈閘控及電源閘控的功能。PMU260從外部時脈信號生成閘控時脈信號GCK10（以下，稱為時脈信號GCLK10）。時脈信號GCLK10被輸入到核心270及記憶體裝置280。此外，PMU260生成各種控制信號。控制信號包括功率開關264、265的控制信號、備份電路272的控制信號及掃描正反器273的控制信號（例如，重設信號）等。

【0194】 備份電路272的控制信號輸入到LS及緩衝電路267。LS及緩衝電路267具有轉換控制信號的位準的功能並保持該信號的功能。LS及緩衝電路267所保持的控制信號被輸入到備份電路272。

【0195】 功率開關264控制向核心270供應電壓Vddd。功率開關265控制向記憶體裝置280供應電壓Vddd、Vdda。在核心270包括多個電源域的情況下，設置對應於各電源域的功率開關作為功率開關264即可。上述情況同樣適用於功率開關265。除了電壓Vddd、Vdda之外，根據電路結構將多個正電壓輸入到記憶體裝置280。作為輸入到記憶體裝置280的正電壓，有位元線的預充電用電壓、資料讀出用參考電壓等。

【0196】 信號SLEEP從核心270輸出到PMU260。信號SLEEP為用來使核心270轉換到休眠模式（待機模式）的觸發信號。PMU260在接收信號SLEEP時將用來從活動模式轉換到休眠模式的控制信號輸出到所控制的功能電路。可以藉由輸入中斷要求信號進行活動模式至休眠模式的轉換。

【0197】 首先，為了使核心270從活動模式轉換到休眠模式，PMU260停止向核心270供應時脈信號。接著，將掃描正反器273的資料寫入備份電路272。明確而言，對備份電路272在規定的時脈循環期間輸入“H”的信號BKH。

【0198】 例如，藉由輸入中斷要求信號，執行用來將核心270從休眠

模式恢復到活動模式的處理。PMU260根據中斷要求信號將用來從休眠模式轉換到活動模式的控制信號輸出到所控制的功能電路。PMU260控制電源開關264及電源開關265，以開始向核心270及記憶體裝置280供應電位。接著，將備份電路272所保持的資料恢復到掃描正反器273。明確而言，在規定的時脈循環期間對備份電路272輸入“H”的信號BCH，且對掃描正反器273輸入“H”的信號SE。最後，開始向核心270及記憶體裝置280供應時脈信號GCLK10。

【0199】 PMU260以與核心270同樣的方式對記憶體裝置280進行時脈閘控及電源閘控。

【0200】 另外，也可以在PMU260中設置用來計量時間的計時器電路，根據計時器電路的計量時間進行核心270及記憶體裝置280的電源閘控。

【0201】 <<FPGA>>

圖20示出FPGA的一個例子。圖20所示的FPGA400包括負電壓供應裝置405、邏輯陣列410、輸入輸出部(I/O)411以及週邊電路。也可以在FPGA400中組裝1個或多個上述OS-記憶體裝置。

【0202】 I/O411是邏輯陣列410的輸入輸出介面。週邊電路包括用來驅動邏輯陣列410及I/O411的功能電路。例如，週邊電路包括時脈生成器412、組態控制器413、上下文控制器414、行驅動器415以及列驅動器416。FPGA400被輸入電壓Vddd、Vdda、GND。

【0203】 作為負電壓供應裝置405使用實施方式2的負電壓供應裝置。負電壓供應裝置405從電壓GND產生負電壓Vbg4。負電壓供應裝置405包括多個負電壓Vbg4用的端子OB。FPGA400在組態資料的保持部設置有OS電晶體。OS電晶體的背閘極被輸入負電壓Vbg4。

【0204】 邏輯陣列410包括佈線開關陣列(RSA)421以及邏輯元件

(LE) 425。這裡，LE425為4輸入1輸出的邏輯電路。RSA421包括多個佈線開關(RS: Routing Switch) 422。各RS422控制兩個LE425間的連接。此外，配置在同一個列上的多個LE425也可以彼此連接以構成暫存器鏈。

【0205】 LE425包括多個組態記憶體(CFM) 426。LE425的電路結構由儲存在CFM426中的組態資料決定。CFM426為能夠儲存多個組態資料組的對應於多上下文的組態記憶體。RS422也具備對應於多上下文的記憶體，LE425之間的連接結構由儲存在RS422中的組態資料決定。

【0206】 FPGA400藉由切換所載入的組態資料組，可以迅速改變電路結構。組態資料組的切換由上下文控制器414進行。行驅動器415及列驅動器416是用來驅動RS422及CFM426的電路。組態控制器413具有控制行驅動器415及列驅動器416的功能。

【0207】 這裡，對上下文數為2的邏輯陣列410的電路結構實例進行說明。在此，將兩個上下文稱為“CNTXT0”和“CNTXT1”。將用來選擇CNTXT0的上下文信號稱為“ctx[0]”並將用來選擇CNTXT1的上下文信號稱為“ctx[1]”。

【0208】 <佈線開關(RS)>

RSA421包括多個RS422。圖21A示出RS422的結構實例。RS422為可程式佈線開關，端子IN2與LE425的輸出端子電連接，端子OUT2與其他的LE425的輸入端子電連接。在RS422中，兩個開關電路423(以下，稱為“SW423”)在端子IN2與端子OUT2之間並聯電連接。注意，在上下文數大於2的情況下，可以在端子IN2與端子OUT之間將與上下文數相同數量的SW423並聯電連接。

【0209】 SW423具有與3T型增益單元相同的電路結構。SW423的OS電晶體的背閘極與佈線BGL2電連接。佈線BGL2被輸入負電壓Vbg4。

【0210】 SW423[0]及SW423[1]與共同位元線BL連接。位元線BL被列驅動器416寫入組態資料。SW423[i] (i為0或1) 與字線WL[i]、佈線CXL[i]電連接。佈線CXL[i]是用於上下文信號的佈線。在CNTXT0被選擇時，SW423[0]的選擇電晶體根據ctx[0]開啟，SW423[1]的選擇電晶體由ctx[1]關閉。在CNTXT1被選擇時，2個選擇電晶體的開啟狀態相反。

【0211】 <組態記憶體 (CFM)>

圖21B示出CFM426的結構實例。CFM426包括2個記憶單元428以及2個電晶體ME。

【0212】 記憶單元428[0]、428[1]與共同位元線對 (BL、BLB) 電連接。位元線BL被寫入組態資料，位元線BLB被寫入組態資料的反相資料。記憶單元428[i]與字線WL[i]、佈線CXL[i]電連接。電晶體ME[i]控制端子OUT3與記憶單元428[i]的輸出端子之間的導通狀態。

【0213】 記憶單元428[i]由2個增益單元構成。2個增益單元的一方儲存位元線BL的資料，另一方儲存位元線BLB的資料。記憶單元428[i]的OS電晶體的背閘極與佈線BGL4電連接。

【0214】 當選擇CNTXT0時，電晶體ME[0]根據ctx[0]開啟，儲存在記憶單元428[0]中的組態資料從端子OUT3輸出。當選擇CNTXT1時，電晶體ME11[1]根據ctx[1]開啟，儲存在記憶單元428[1]中的組態資料被輸出。

【0215】 <<攝像裝置>>

這裡，作為半導體裝置的一個例子，說明攝像裝置。圖22A所示的攝像裝置440包括負電壓供應裝置441、控制電路442、像素陣列443以及週邊電路444。週邊電路444包括行驅動器445以及列驅動器446。像素陣列443包括被配置為矩陣狀的多個像素448。像素448為攝像裝置，具有將光轉換為電荷的功能及儲存電荷的功能等。

【0216】 攝像裝置440被輸入電壓Vddd、Vdda、GND。作為負電壓供應裝置441使用實施方式2的負電壓供應裝置。負電壓供應裝置441從電壓GND產生負電壓Vbg5。負電壓供應裝置441包括1個或多個負電壓Vbg5用的端子OB。

【0217】 圖22B示出像素448的一個例子。像素448包括光電二極體PD1、電晶體MI1至MI4、電容器C40以及節點FN40。節點FN40為資料保持節點。電容器C40為用來保持節點FN40的電壓的儲存電容器。電晶體MI1被稱為重設電晶體。電晶體MI1具有對節點FN40的電壓進行重設的功能。電晶體MI2被稱為控制曝光工作的曝光電晶體。電晶體MI2為控制節點FN40與光電二極體PD1的導通狀態的傳輸電晶體。由於可以使用電晶體MI2控制曝光工作的時序，因此可以以全局快門方式進行攝像。電晶體MI3被稱為放大電晶體。電晶體MI3具有生成對應於節點FN40的電壓的通態電流(on-state current)的功能。電晶體MI4被稱為選擇電晶體。電晶體MI4為控制電晶體MI3與像素448的輸出端子之間的導通狀態的傳輸電晶體。

【0218】 電晶體MI1、MI2的背閘極與佈線BGL5電連接。佈線BGL5被輸入負電壓Vbg5。由此，由於可以降低電晶體MI1、MI2的截止電流，所以可以進一步抑制節點FN40的電壓的變動，由此可以進行高精度的攝像。

【0219】 作為光電二極體PD1可以使用形成在矽基板中的pn接面或pin接面二極體元件或使用非單晶矽膜（非晶矽膜、微晶矽膜）的pin型二極體元件等。注意，在像素448中作為光電轉換元件使用光電二極體，但是也可以使用其他的光電轉換元件。例如，也可以使用二極體連接的電晶體。此外，也可以使用矽、鍺、硒等形成利用光電效果的可變電阻等。另外，也可以採用利用所謂的突崩倍增(avalanche multiplication)現象的包含硒的光電轉換元件。在該光電轉換元件中，可以得到相對於入射光量的電子

放大量大的高靈敏度感測器。作為硒類材料，可以使用非晶硒或結晶硒。例如，藉由在形成非晶硒之後進行加熱處理，可以得到結晶硒。藉由使結晶硒的粒徑小於像素間距，可以降低各像素448之間的特性偏差。

【0220】 <<電子構件>>

接著，參照圖23A及圖23B說明組裝有上述半導體裝置的電子構件。

【0221】 圖23A所示的電子構件7000是封裝的IC晶片，並包括引線及電路部。雖然在圖23A中作為電子構件7000的封裝採用QFP（Quad Flat Package：四面扁平封裝），但是封裝的方式不侷限於此。

【0222】 電子構件7000例如安裝於印刷電路板7002。藉由在印刷電路板7002上組合多個這樣的IC晶片並使其彼此電連接，由此完成安裝有電子構件的基板（安裝基板7004）。

【0223】 電子構件7000的電路部具有疊層結構。電路部至少設置有三種層7031至7033。層7031包括由Si晶圓形成的Si電晶體。層7032包括OS電晶體，層7033包括電容器。也可以在層7031與層7032之間設置層7033。

【0224】 圖23B是電子構件7400的示意圖。電子構件7400是相機模組，並包括影像感測器晶片7451。影像感測器晶片7451中設置有攝像裝置440（參照圖22A）。影像感測器晶片7451至少設置有層7031至7034。層7034包括光電轉換元件。

【0225】 電子構件7400包括固定影像感測器晶片7451的封裝基板7411、透鏡蓋7421以及透鏡7435等。在圖23B中為了示出電子構件7400的內部結構，省略透鏡蓋7421及透鏡7435的一部分。

【0226】 封裝基板7411與影像感測器晶片7451之間設置有信號處理電路等，電子構件7400具有SiP（System in package：系統封裝）的結構。

【0227】 連接盤（land）7441與電極焊盤（pad）7461電連接。電極焊

盤7461藉由線7471與影像感測器晶片7451或IC晶片7490電連接。也可以在IC晶片7490中設置上述OS-記憶體裝置。

【0228】 <<電子裝置>>

接著，參照圖24A至圖24D說明具備上述電子構件的電子裝置的幾種方式。

【0229】 圖24A示出平板資訊終端的結構實例。圖24A所示的資訊終端2010包括外殼2011、顯示部2012、照度感測器2013、照相機2015以及操作按鈕2016。外殼2011中組裝有記憶體裝置及處理裝置等，可以將電子構件7000用於這些裝置。還可以將電子構件7000用於顯示部2012的控制器等。將電子構件7440用於照相機2015。

【0230】 顯示部2012由組裝有觸控感測器的顯示系統構成。藉由使用觸控筆2017（或電子筆）、手指等對顯示部2012進行觸摸操作，可以操作資訊終端2010。資訊終端2010具有音訊通話、利用照相機2015的視頻通話、電子郵件、筆記本、上網、音樂播放等功能。

【0231】 圖24B示出PC（個人電腦）的結構實例。圖24B所示的PC2030包括外殼2031、顯示部2032、照度感測器2034、照相機2035以及鍵盤2036。鍵盤2036也可以具有從外殼3031可裝卸的結構。在外殼2031安裝有鍵盤2036的狀態下，PC2030可以被用作筆記本PC。從外殼2031裝卸鍵盤2036的狀態下，PC3030可以被用作平板PC。

【0232】 外殼3011中組裝有記憶體裝置、處理裝置、顯示部2032的控制器等，作為這些裝置使用電子構件7000。在照相機2035中使用電子構件7440。

【0233】 圖24C所示的機器人2100包括照度感測器2101、麥克風2102、上部照相機2103、揚聲器2104、顯示部2105、下部照相機2106、障

礙物感測器2107、移動機構2108、處理裝置2110以及記憶體裝置2111。

【0234】 在處理裝置2110、記憶體裝置2111、顯示部2105的控制器等中可以使用上述電子構件7000。在上部照相機2103、下部照相機2106中使用電子構件7440。

【0235】 在顯示部2105上顯示各種資訊。機器人2100可以在顯示部2105上顯示使用者所使用的資訊。顯示部2105也可以安裝有觸控面板。

【0236】 藉由使用麥克風2102及揚聲器2104，使用者可以用聲音與機器人2100進行交流。

【0237】 上部照相機2103及下部照相機2106拍攝機器人2100的周圍。例如，根據上部照相機2103拍攝的使用者的資訊，選擇機器人2100從揚聲器2104發出的聲音。

【0238】 機器人2100可以使用移動機構2108進行移動。利用障礙物感測器2107可以判斷機器人2100的移動方向上是否有障礙物。機器人2100可以使用上部照相機2103、下部照相機2106以及障礙物感測器2107識別周圍的環境，可以安全獨立地移動。

【0239】 圖24D所示的飛行物2120包括處理裝置2121、記憶體裝置2122、照相機2123以及螺旋槳2124。在處理裝置2121、記憶體裝置2122等中使用電子構件7000。照相機2123中組裝有電子構件7400。

【0240】 圖24D所示的汽車2140具備紅外線雷達、毫米波雷達及雷射雷達等各種感測器。汽車2140分析照相機2141所拍攝的影像來判斷周圍狀況諸如護欄2150或行人的有無等，由此可以進行自動駕駛。照相機2141中組裝有電子構件7400。此外，汽車2140的電子電路（例如，處理裝置、記憶體裝置）組裝有上述電子構件7000。

【0241】 <<電子構件的電路部>>

這裡，參照圖25說明上述電子構件7000的電路部的疊層結構。在圖25中，作為一個例子示出記憶單元237（參照圖16A）的剖面結構。在圖25中，代表性地示出電晶體MW5、電容器CS5以及電晶體MT5。電晶體MT5是與位元線BL電連接的由單晶矽晶圓5500形成的傳送電晶體。此外，圖25是用來說明IC晶片的疊層結構實例的剖面圖，而不是沿著特定的切斷線切斷IC晶片的剖面圖。

【0242】電晶體MT5設置在層7031中，電晶體MW5設置在層7032中，電容器CS5設置在層7033中。層7031與層7032之間設置有多個佈線層。佈線層中設置有字線WL等。電晶體MW5的結構與後面說明的OS電晶體5003（參照圖26B）相同。

【0243】<<OS電晶體的結構實例>>

接著，參照圖26A及圖26B說明OS電晶體的結構實例。圖26A及圖26B的左側示出OS電晶體的通道長度方向的剖面結構，右側示出OS電晶體的通道寬度方向的剖面結構。

【0244】圖26A所示的OS電晶體5001形成在絕緣表面上。在此，OS電晶體5001形成在絕緣層5021上。OS電晶體5001被絕緣層5028及5029覆蓋。OS電晶體5001包括絕緣層5022至5027、5030至5032、金屬氧化物層5011至5013以及導電層5050至5054。

【0245】圖式中的絕緣層、金屬氧化物層、導電體等可以為單層或疊層。在製造這些層時，可以使用濺射法、分子束磊晶法（MBE法）、脈衝雷射燒蝕法（PLA法）、化學氣相沉積法（CVD法）、原子層沉積法（ALD法）等各種成膜方法。CVD法包括電漿CVD法、熱CVD法及有機金屬CVD法等。

【0246】將金屬氧化物層5011至5013總稱為氧化物層5010。如圖26A

所示，氧化物層5010包括依次層疊有金屬氧化物層5011、金屬氧化物層5012及金屬氧化物層5013的部分。在OS電晶體5001開啟時，通道主要形成在氧化物層5010的金屬氧化物層5012中。

【0247】 OS電晶體5001的閘極電極由導電層5050構成，用作源極電極或汲極電極的一對電極由導電層5051、5052構成。導電層5050至5052被作為障壁層的絕緣層5030至5032覆蓋。背閘極電極由導電層5053和導電層5054的疊層構成。

【0248】 閘極一側的閘極絕緣層由絕緣層5027構成，背閘極一側的閘極絕緣層由絕緣層5024至5026的疊層構成。絕緣層5028是層間絕緣層。絕緣層5029是障壁層。

【0249】 金屬氧化物層5013覆蓋包括金屬氧化物層5011、5012以及導電層5051、5052的疊層體。絕緣層5027覆蓋金屬氧化物層5013。導電層5051、5052具有隔著金屬氧化物層5013及絕緣層5027與導電層5050重疊的區域。

【0250】 作為用於導電層5050至5054的導電材料，有如下材料：以摻雜有磷等雜質元素的多晶矽為代表的半導體；鎳矽化物等矽化物；鉬、鈦、鉭、鎢、鋁、銅、鉻、釹、銦等金屬或以上述金屬為成分的金屬氮化物（氮化鉬、氮化鈦、氮化鉬、氮化鎢）等。此外，也可以使用銦錫氧化物、包含氧化鎢的銦氧化物、包含氧化鎢的銦鋅氧化物、包含氧化鈦的銦氧化物、包含氧化鈦的銦錫氧化物、銦鋅氧化物、添加有氧化矽的銦錫氧化物等導電材料。

【0251】 例如，導電層5050為氮化鉬或鉬的單層。或者，在導電層5050為兩層結構或三層結構時，可以採用如下組合：（鋁、鈦）；（氮化鈦、鈦）；（氮化鈦、鎢）；（氮化鉬、鎢）；（氮化鎢、鎢）；（鈦、鋁、

鈦)；(氮化鈦、鋁、鈦)；(氮化鈦、鋁、氮化鈦)。其中前者設置在絕緣層5027一側。

【0252】導電層5051及導電層5052具有相同的層結構。例如，在導電層5051為單層時，可以使用鋁、鈦、鉻、鎳、銅、鈮、銦、鉍、銀、鉕或鎢等的金屬或以這些金屬為主要成分的合金。在導電層5051為兩層結構或三層結構時，可以採用如下組合：（鈦、鋁）；（鎢、鋁）；（鎢、銅）；（銅-鎂-鋁合金、銅）；（鈦、銅）；（鈦或氮化鈦、鋁或銅、鈦或氮化鈦）；（鉍或氮化鉍、鋁或銅、鉍或氮化鉍）。其中前者設置在絕緣層5027一側。

【0253】 例如，較佳的是，導電層5053為對氫具有阻擋性的導電層（例如，氮化鈮層），導電層5054為其導電率比導電層5053高的導電層（例如，鎢層）。藉由採用該結構，導電層5053和導電層5054的疊層具有佈線的功能以及抑制氫擴散到氧化物層5010的功能。

【0254】 作為用於絕緣層5021至5032的絕緣材料，有如下材料：氮化鋁、氧化鋁、氮氧化鋁、氧氮化鋁、氧化鎂、氮化矽、氧化矽、氮氧化矽、氧氮化矽、氧化鎵、氧化鍺、氧化釔、氧化鋯、氧化釷、氧化鈦、氧化鈮、氧化鉭、矽酸鋁等。絕緣層5021至5032由包括這些絕緣材料的單層或疊層構成。構成絕緣層5021至5032的層可以包含多種絕緣材料。

【0255】 在本說明書等中，氧氮化物是指氧含量大於氮含量的化合物，氮氧化物是指氮含量大於氧含量的化合物。

【0256】在OS電晶體5001中，氧化物層5010較佳為被對氧和氫具有阻擋性的絕緣層（以下稱為障壁層）包圍。藉由採用該結構，可以抑制氧從氧化物層5010釋放出並可以抑制氫侵入到氧化物層5010，由此可以提高OS電晶體5001的可靠性及電特性。

【0257】 例如，絕緣層5029被用作障壁層，絕緣層5021、5022、5024

中的至少一個被用作障壁層。障壁層可以使用氧化鋁、氧氮化鋁、氧化鎵、氧氮化鎵、氧化鉍、氧氮化鉍、氧化鉛、氧氮化鉛、氮化矽等的材料形成。另外，還可以在氧化物層5010和導電層5050之間設置障壁層。或者，也可以設置對氧和氮具有阻擋性的金屬氧化物層作為金屬氧化物層5013。

【0258】絕緣層5030較佳為防止導電層5050的氧化的障壁層。當絕緣層5030對氧具有阻擋性時，可以抑制從絕緣層5028等脫離的氧使導電層5050氧化。例如，作為絕緣層5030可以使用氧化鋁等金屬氧化物。

【0259】圖26A示出氧化物層5010為三層結構的例子，但是不侷限於此。氧化物層5010例如可以為沒有金屬氧化物層5011或金屬氧化物層5013的兩層結構，也可以由金屬氧化物層5011和金屬氧化物層5012中的任一個層構成。另外，氧化物層5010也可以由四層以上的金屬氧化物層構成。

【0260】圖26B所示的OS電晶體5003的與OS電晶體5001不同之處是閘極電極、氧化物層的結構。

【0261】OS電晶體5003的閘極電極（5050）被絕緣層5033、5034覆蓋。OS電晶體5003包括由金屬氧化物層5011和金屬氧化物層5012構成的氧化物層5009。金屬氧化物層5011中設置有低電阻區域5011a、5011b，金屬氧化物層5012中設置有低電阻區域5012a、5012b，而代替導電層5051、5052。藉由向氧化物層5009選擇性地添加雜質元素（例如，氮、氧），可以形成低電阻區域5011a、5011b、5012a及5012b。

【0262】當向金屬氧化物層添加雜質元素時，氧空位形成在添加雜質元素的區域中，雜質元素侵入氧空位而載子密度增高，由此添加區域被低電阻化。

【0263】<<金屬氧化物>>

OS電晶體的通道形成區域較佳為CAC-OS（cloud-aligned composite

metal oxide semiconductor)。

【0264】 CAC-OS在材料的一部分中具有導電性的功能，在材料的另一部分中具有絕緣性的功能，作為材料的整體具有半導體的功能。在將CAC-OS或CAC-metal oxide用於電晶體的活性層的情況下，導電性的功能是使被用作載子的電子（或電洞）流過的功能，絕緣性的功能是不使被用作載子的電子流過的功能。藉由導電性的功能和絕緣性的功能的互補作用，可以使CAC-OS具有開關功能（開啟/關閉的功能）。藉由在CAC-OS中使各功能分離，可以最大限度地提高各功能。

【0265】 CAC-OS包括導電性區域及絕緣性區域。導電性區域具有上述導電性的功能，絕緣性區域具有上述絕緣性的功能。在材料中，導電性區域和絕緣性區域有時以奈米粒子級分離。另外，導電性區域和絕緣性區域有時在材料中不均勻地分佈。有時導電性區域被觀察為其邊緣模糊且以雲狀連接。

【0266】 在CAC-OS中，有時導電性區域及絕緣性區域以0.5nm以上且10nm以下，較佳為0.5nm以上且3nm以下的尺寸分散在材料中。

【0267】 此外，CAC-OS由具有不同能帶間隙的成分構成。例如，CAC-OS由具有起因於絕緣性區域的寬隙的成分及具有起因於導電性區域的窄隙的成分構成。在該結構中，當使載子流過時，載子主要在具有窄隙的成分中流過。此外，具有窄隙的成分與具有寬隙的成分互補作用，與具有窄隙的成分聯動地在具有寬隙的成分中載子流過。因此，藉由將上述CAC-OS用於電晶體的通道形成區域，可以實現具有高電流驅動力及高場效移動率的OS電晶體。

【0268】 此外，金屬氧化物半導體根據其結晶性被分為單晶金屬氧化物半導體和非單晶金屬氧化物半導體。作為非單晶金屬氧化物半導體，有

CAAC-OS (c-axis-aligned crystalline metal oxide semiconductor)、多晶金屬氧化物半導體、nc-OS (nanocrystalline metal oxide semiconductor) 及 a-like OS (amorphous-like metal oxide semiconductor) 等。

【0269】 OS電晶體的通道形成區域較佳為包括CAAC-OS、nc-OS等具有結晶部的金屬氧化物。

【0270】 CAAC-OS具有c軸配向性，其多個奈米晶在a-b面方向上連結而結晶結構具有畸變。畸變是指在多個奈米晶連結的區域中晶格排列一致的區域與其他晶格排列一致的區域之間的晶格排列的方向變化的部分。

【0271】 在nc-OS中，微小的區域(例如1nm以上且10nm以下的區域，特別是1nm以上且3nm以下的區域)中的原子排列具有週期性。nc-OS在不同的奈米晶之間觀察不到結晶定向的規律性。因此，在膜整體中觀察不到配向性。所以，有時nc-OS在某些分析方法中與a-like OS或非晶氧化物半導體沒有差別。

【0272】 a-like OS是具有介於nc-OS與非晶金屬氧化物半導體之間的結構的金屬氧化物半導體。a-like OS包含空洞或低密度區域。a-like OS的結晶性比nc-OS及CAAC-OS的結晶性低。

【0273】 在本說明書等中，CAC表示金屬氧化物半導體的功能或材料，CAAC表示金屬氧化物半導體的結晶結構。

【符號說明】

【0274】

9A、9B：曲線

10、11、20、21、22、23、24、25、171、172：比較電路

14、15、34：差分對

17：電流源

18：負載電路

30、31、32、33、172A：差分輸入電路

35、40、41、42、43、45：輸出電路

38、39：反相器電路

100、101：負電壓供應裝置

111、141：控制電路

112、117A、117B、117C、123、142、153：電荷泵電路

114：偏置電壓產生電路

120、150：輸出電壓調整部

122、152：負電壓保持電路

127、154：驅動電路

128、155、161、162：監視電路

143：分頻電路

171、172：比較電路

173：門鎖電路

175、177：選擇電路

200、211、280：記憶體裝置

210、261：負電壓供應裝置

215、281：控制電路

220、283：記憶單元陣列

221、282：週邊電路

223：行電路

224：列電路

225：輸入輸出電路

230、231、232、233、234、235、236、237、238、240：記憶單元

241、242、272：備份電路

250：微控制器單元（MCU）

260：電源管理單元（PMU）

262：匯流排

264、265：功率開關

265：功率開關

267：位準轉換器（LS）及緩衝電路

270：處理器核心

271：正反器

272A、273：時脈緩衝電路

273：掃描正反器

330：CPU核心

340：備份電路

400：FPGA

405：負電壓供應裝置

410：邏輯陣列

411：輸入輸出部（I/O）

412：時脈生成器

- 413：組態控制器
- 414：上下文控制器
- 415：行驅動器
- 416：列驅動器
- 421：佈線開關陣列（RSA）
- 422：佈線開關（RS）
- 423：開關電路（SW）
- 425：邏輯元件（LE）
- 426：組態記憶體（CFM）
- 428：記憶單元
- 440：攝像裝置
- 441：負電壓供應裝置
- 442：控制電路
- 443：像素陣列
- 444：週邊電路
- 445：行驅動器
- 446：列驅動器
- 448：像素
- 2010：資訊終端
- 2011、2031、3011、3031：外殼
- 2012、2032、2105：顯示部
- 2013、2034、2101：照度感測器

2015、2035、2123、2141：照相機

2016：操作按鈕

2017：觸控筆

2030、3030：PC

2036：鍵盤

2100：機器人

2102：麥克風

2103：上部照相機

2104：揚聲器

2106：下部照相機

2107：障礙物感測器

2108：移動機構

2110、2121：處理裝置

2111、2122：記憶體裝置

2120：飛行物

2121：處理裝置

2124：螺旋槳

2140、2980：汽車

2150：護欄

5001、5003：OS電晶體

5009、5010：氧化物層

5011、5012、5013：金屬氧化物層

第49頁，共 51 頁(發明說明書)

5011a、5011b、5012a、5012b：低電阻區域

5021、5022、5024、5027、5028、5029、5030、5033、5034：絕緣層

5050、5051、5052、5053、5054：導電層

5500：單晶矽晶圓、

7400：電子構件

7411：封裝基板

7421：透鏡蓋

7435：透鏡

7440：電子構件

7441：連接盤

7451：影像感測器晶片

7461：電極焊盤

7471：線

7490：IC晶片

BGL、BGL1、BGL2、BGL4、BGL5、CXL、OGL：佈線

BL、BLB：位元線

CK10、CK11、D1、FN40、Q、Qb、Q1、RT、SD、SD_IN、SE、SN1、

SN2、SN3、SN11、X1、X2、X5、X6、X11、X12、X13：節點

CDL：電容線

C11、C21、C22、C25、C40、CS1、CS3、CS5、CS6、CS7：電容器

IN2、INN、INP、IN_cp、OB、OB1、OB2、OCM、OCMB、OUT2、OUT_cp、

OUT3：端子

MI1、MI2、MI3、MI4、MN1、MN5、MN6、MN7、MO1、MO2、MO3、
MO5、MO7、MO11、MO12、MO13、MO14、MO21、MO22、MO25、
MP1、MP2、MP5、MP6、MP7、MR1、MT5、MW1、MW2、MW3、MW5、
MW6、MW7：電晶體
PL2、PL3、V_VDM、V_VSM：電源線
RBL：讀出位元線
RWL：讀出字線
Rd1、Rd2：負載
SL：源極線
WBL：寫入位元線
WL：字線
WWL：寫入字線

【生物材料寄存】

【0275】 無

【發明申請專利範圍】

【請求項1】 一種半導體裝置，包括：

包括第一 n 通道電晶體及第二 n 通道電晶體的差分對的差分輸入電路；

第一輸入端子；

第二輸入端子；以及

第一輸出端子，

其中，該半導體裝置對負電壓與負參考電壓進行比較，並輸出對應於比較結果的第一輸出電壓，

該第一 n 通道電晶體及該第二 n 通道電晶體中的每一個都包括閘極及背閘極，

第一偏置電壓被輸入到該第一 n 通道電晶體的該閘極和該背閘極中的一個，該第一輸入端子與該第一 n 通道電晶體的該閘極和該背閘極中的另一個電連接，

並且，該第一偏置電壓是比較電路的高位準一側電源電壓。

【請求項2】 一種半導體裝置，包括：

包括第一 n 通道電晶體及第二 n 通道電晶體的差分對的差分輸入電路；

其中，該半導體裝置對負電壓與負參考電壓進行比較，並輸出對應於比較結果的第一輸出電壓，

並且，該第一 n 通道電晶體的通道形成區域及該第二 n 通道電晶體的通道形成區域包含金屬氧化物。

【請求項3】 一種半導體裝置，包括：

包括第一 n 通道電晶體及第二 n 通道電晶體的差分對的差分輸入電路，

其中，該半導體裝置對負電壓與負參考電壓進行比較，並輸出對應於比較結果的第一輸出電壓，

該半導體裝置是動態比較電路，

該差分輸入電路包括電連接於該差分對的門鎖電路，

其中，該負電壓被輸入到第一輸入端子，

正參考電壓被輸入到第二輸入端子，

確定該正參考電壓以進行比較，

該正參考電壓被輸入到該第二 n 通道電晶體的背閘極，

並且，第二偏置電壓被輸入到該第二 n 通道電晶體的閘極。

【請求項4】 如請求項 2 之半導體裝置，還包括：

第一輸入端子；

第二輸入端子； 以及

第一輸出端子，

其中，該第一 n 通道電晶體及該第二 n 通道電晶體都包括閘極及背閘極，

第一偏置電壓被輸入到該第一 n 通道電晶體的該閘極和該背閘極中的一個，

並且，該第一輸入端子與該第一 n 通道電晶體的該閘極和該背閘極中的另一個電連接。

【請求項5】 如請求項 4 之半導體裝置，其中該第二輸入端子與該第二 n 通道電晶體的該閘極和該背閘極中的一個電連接。

【請求項6】 如請求項 5 之半導體裝置，其中第二偏置電壓被輸入到該第二 n 通道電晶體的該閘極和該背閘極中的另一個。

【請求項7】 如請求項 2 之半導體裝置，其中該負電壓被輸入到第一輸入端子，

正參考電壓被輸入到第二輸入端子，

並且，確定該正參考電壓以進行比較。

【請求項8】 如請求項 4 之半導體裝置，其中該第一偏置電壓被輸入到該第一 n 通道電晶體的該背閘極，

並且，該負電壓被輸入到該第一 n 通道電晶體的該閘極。

【請求項9】 如請求項 7 之半導體裝置，其中該正參考電壓被輸入到該第二 n 通道電晶體的背閘極，

並且，第二偏置電壓被輸入到該第二 n 通道電晶體的閘極。

【請求項10】 如請求項 4 之半導體裝置，其中該第一偏置電壓是比較電路的高位準一側電源電壓。

【請求項11】 如請求項 9 之半導體裝置，其中該第二偏置電壓是比較電路的低位準一側電源電壓。

【請求項12】 一種電子裝置，包括：

如請求項 2 之半導體裝置；

電荷泵電路；以及

驅動電路，

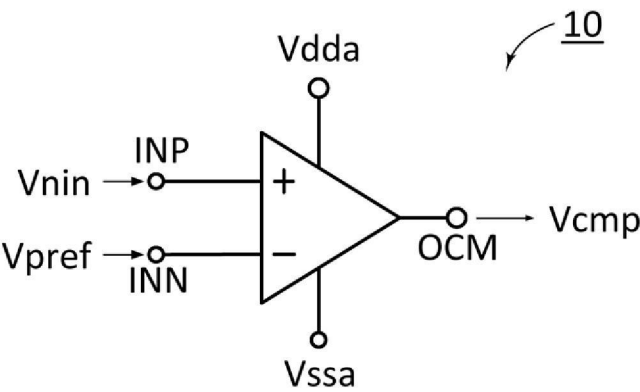
其中，該電荷泵電路的輸出端子與該半導體裝置的第一輸入端子電連接，

該第一輸出電壓從該半導體裝置被輸入到該驅動電路，

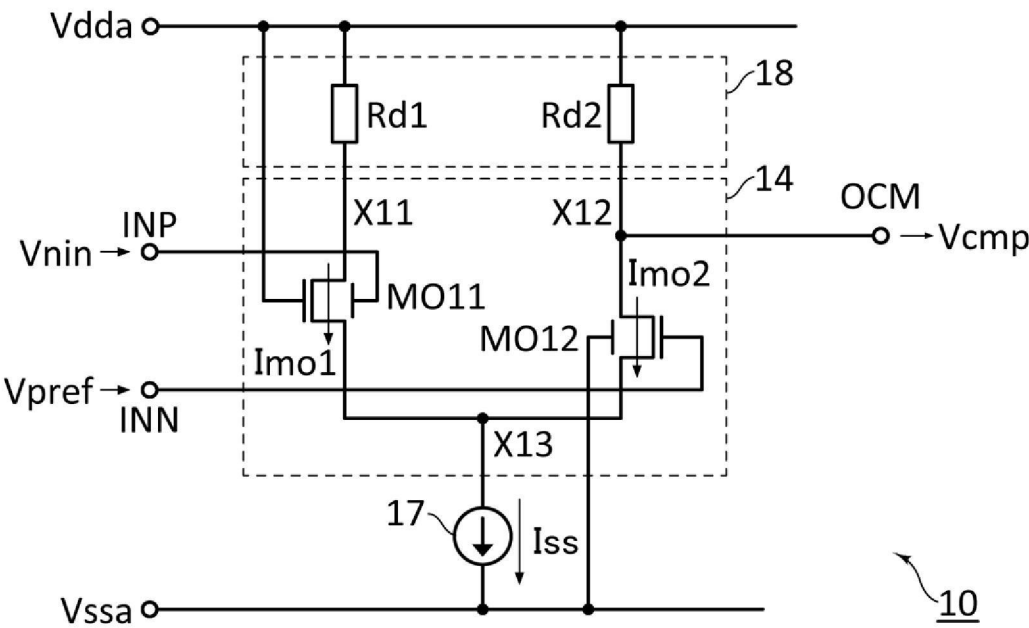
並且，該驅動電路根據該第一輸出電壓生成用來驅動該電荷泵電路的時脈信號。

【請求項13】 如請求項 12 之電子裝置，其中該電荷泵電路的電荷傳送路徑中設置有串聯電連接的多個 n 通道電晶體，
並且，該多個 n 通道電晶體都包括電連接於閘極的背閘極。

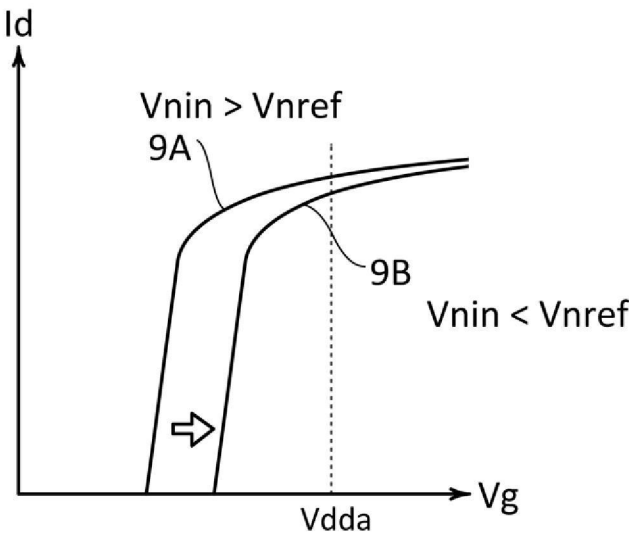
【發明圖式】



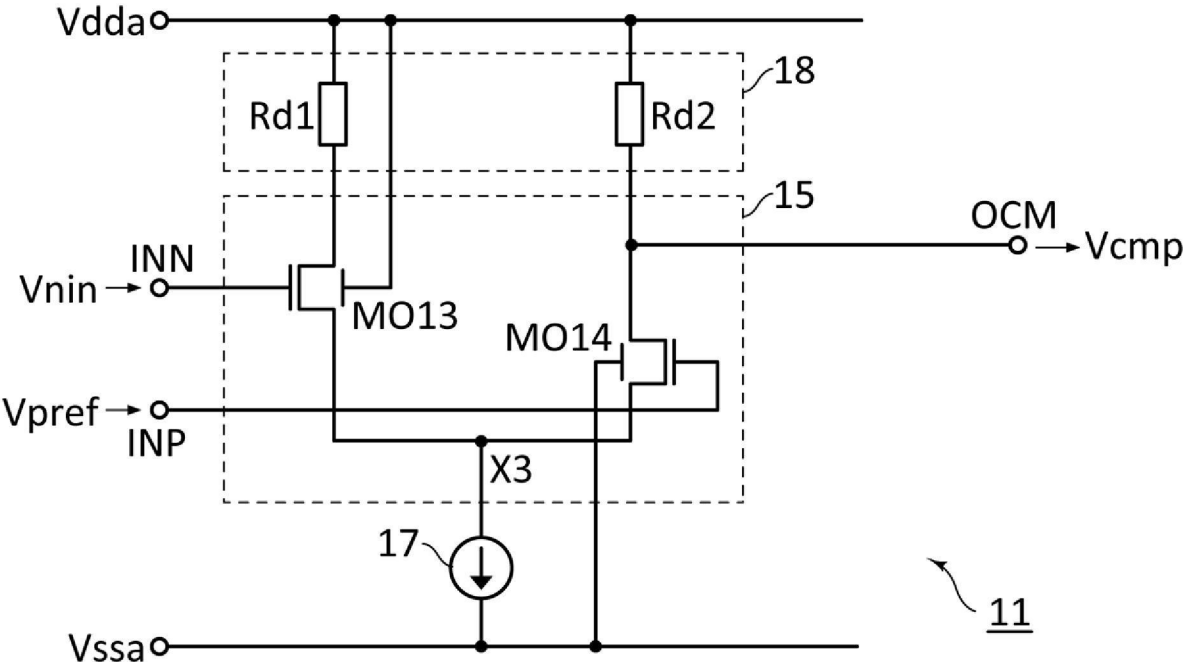
【圖1A】



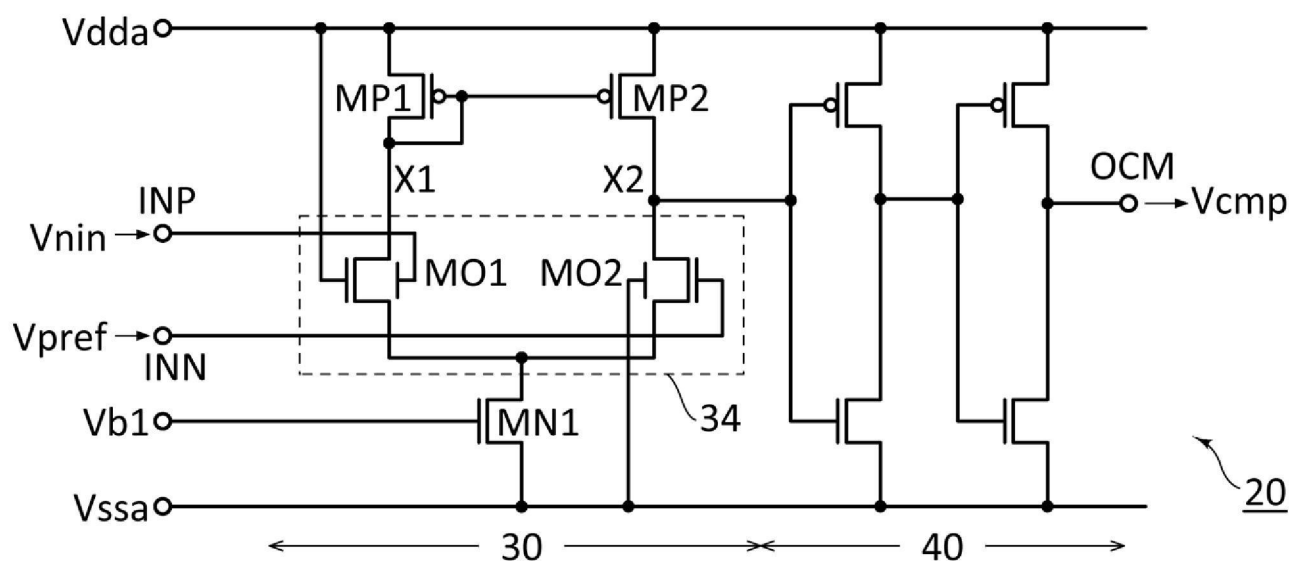
【圖1B】



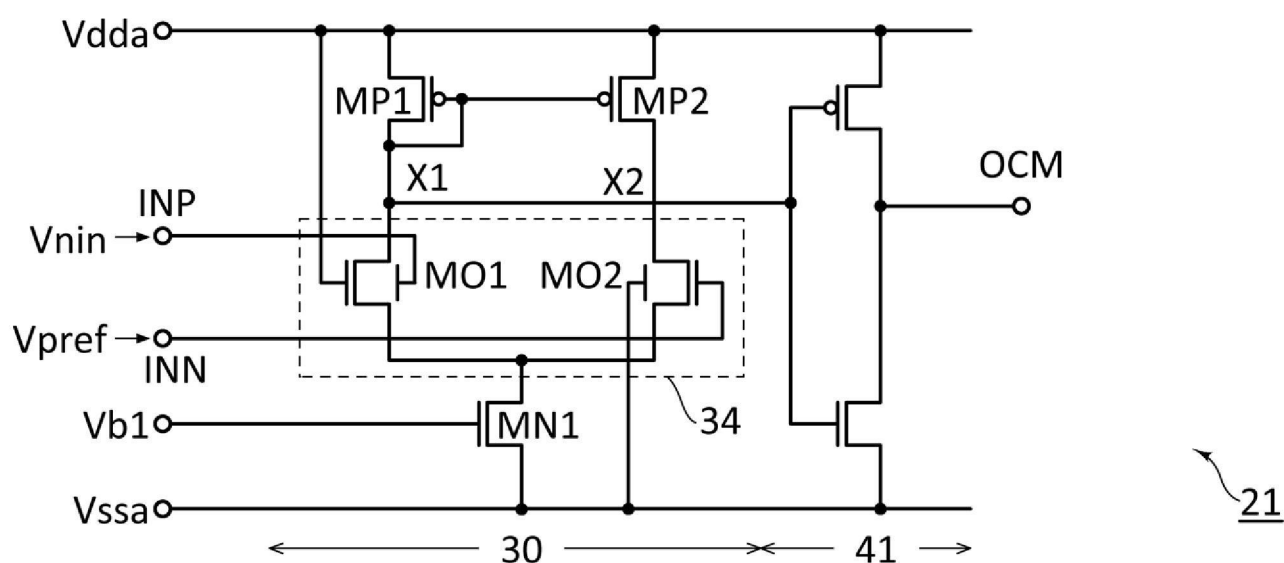
【圖1C】



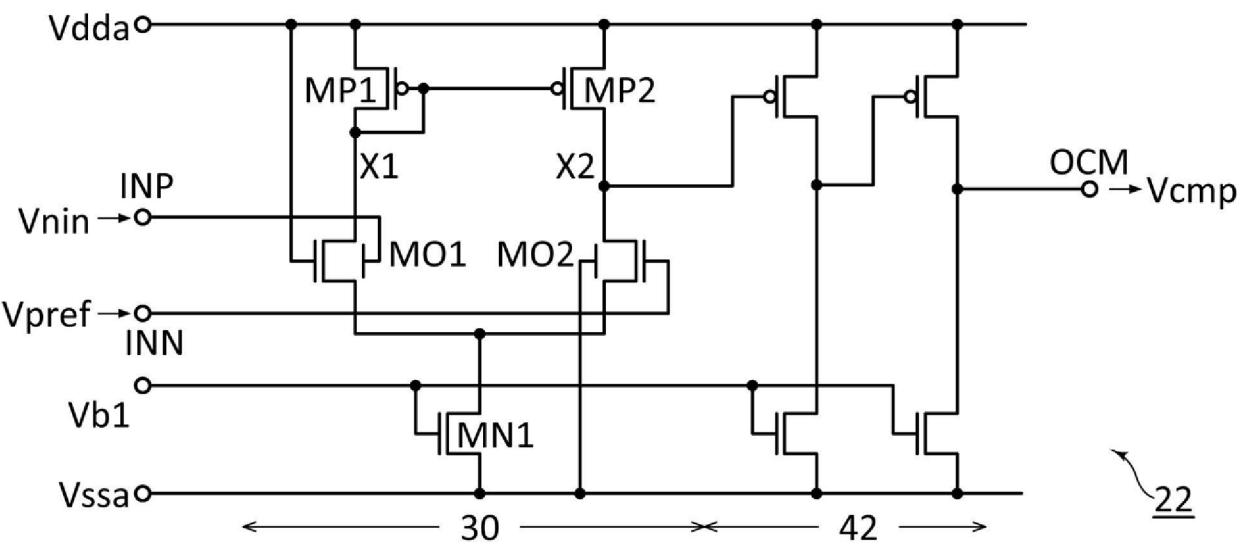
【圖2】



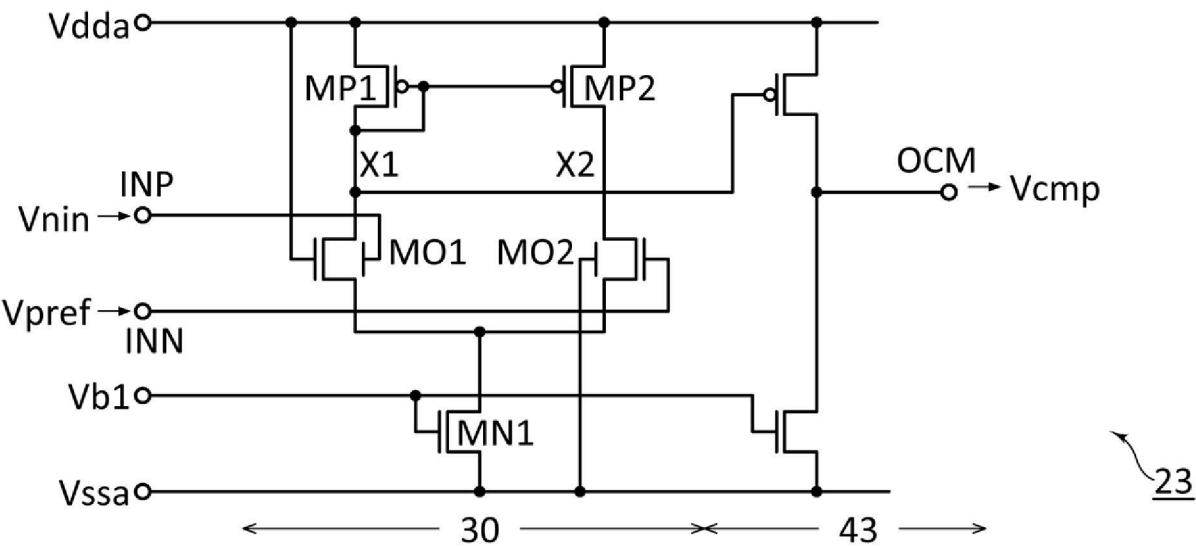
【圖3A】



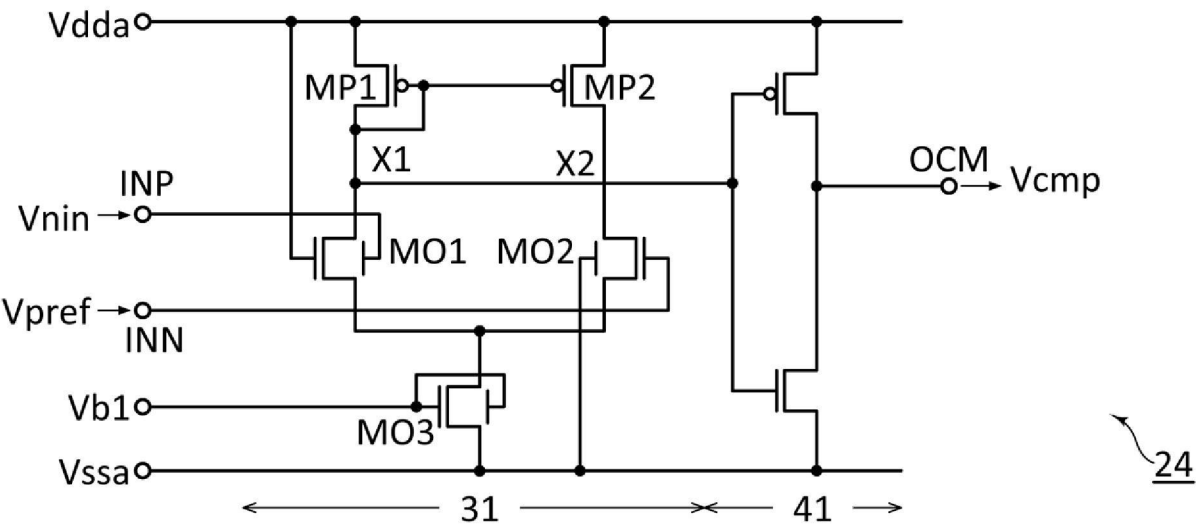
【圖3B】



【圖4A】

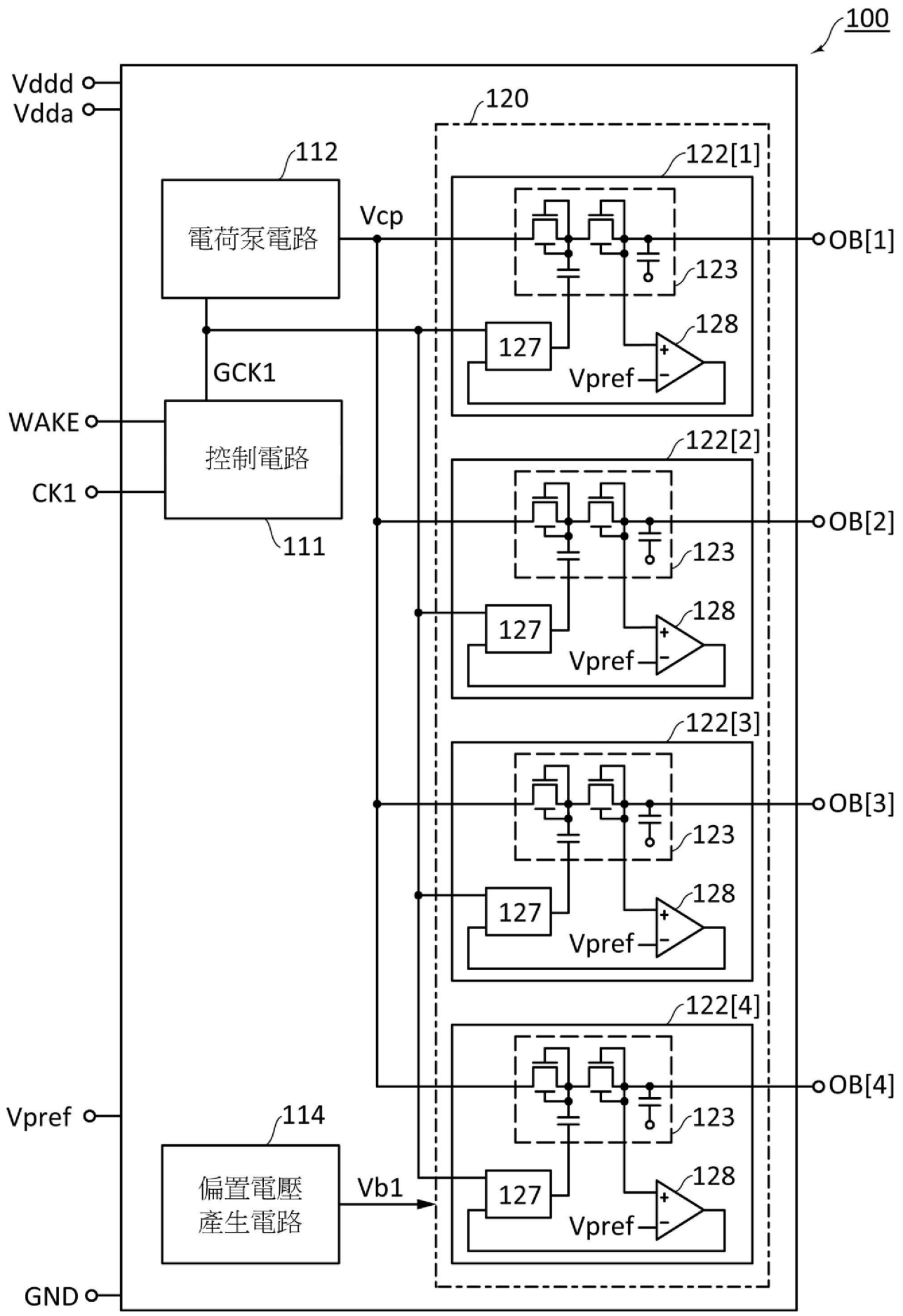


【圖4B】

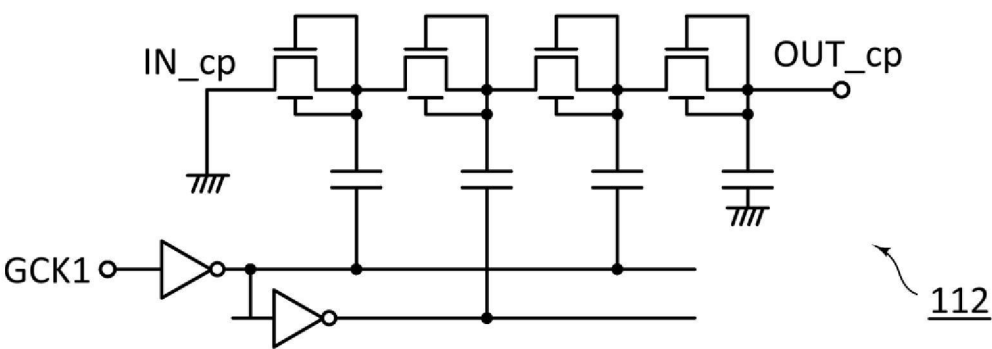


【圖4C】

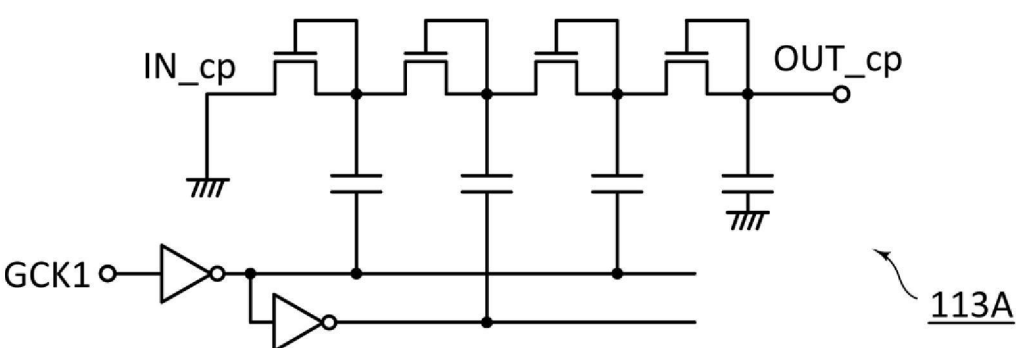




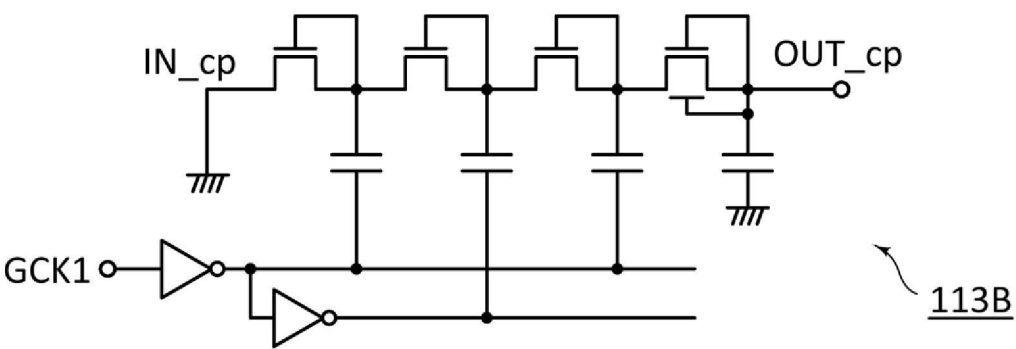
【圖6】



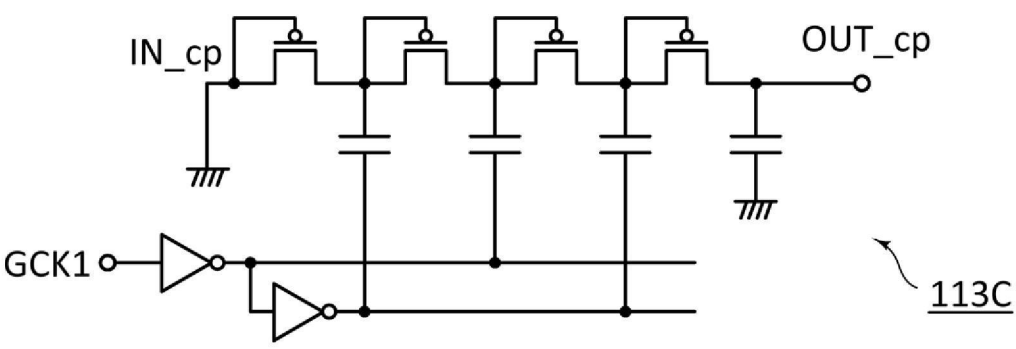
【圖7】



【圖8A】



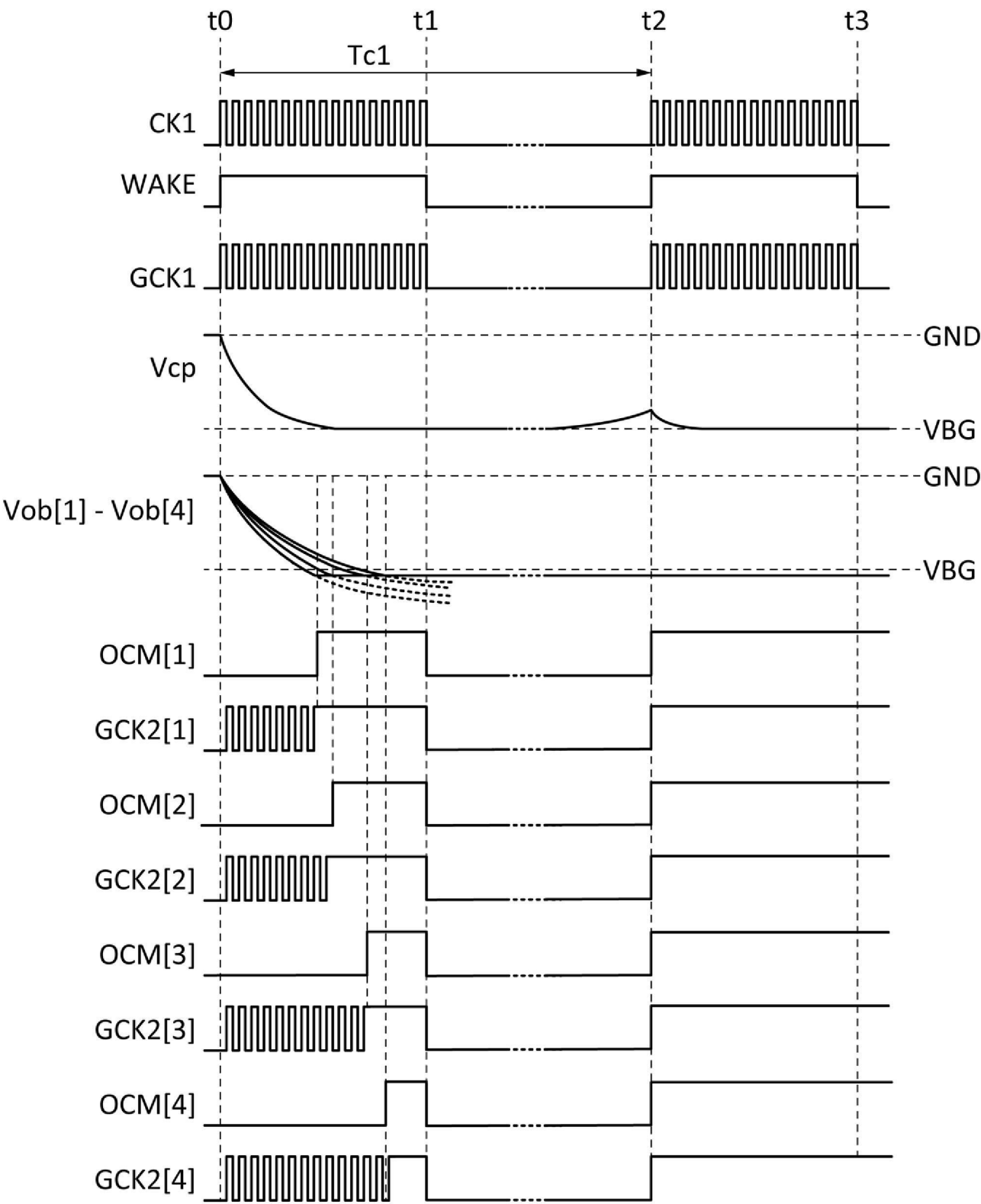
【圖8B】



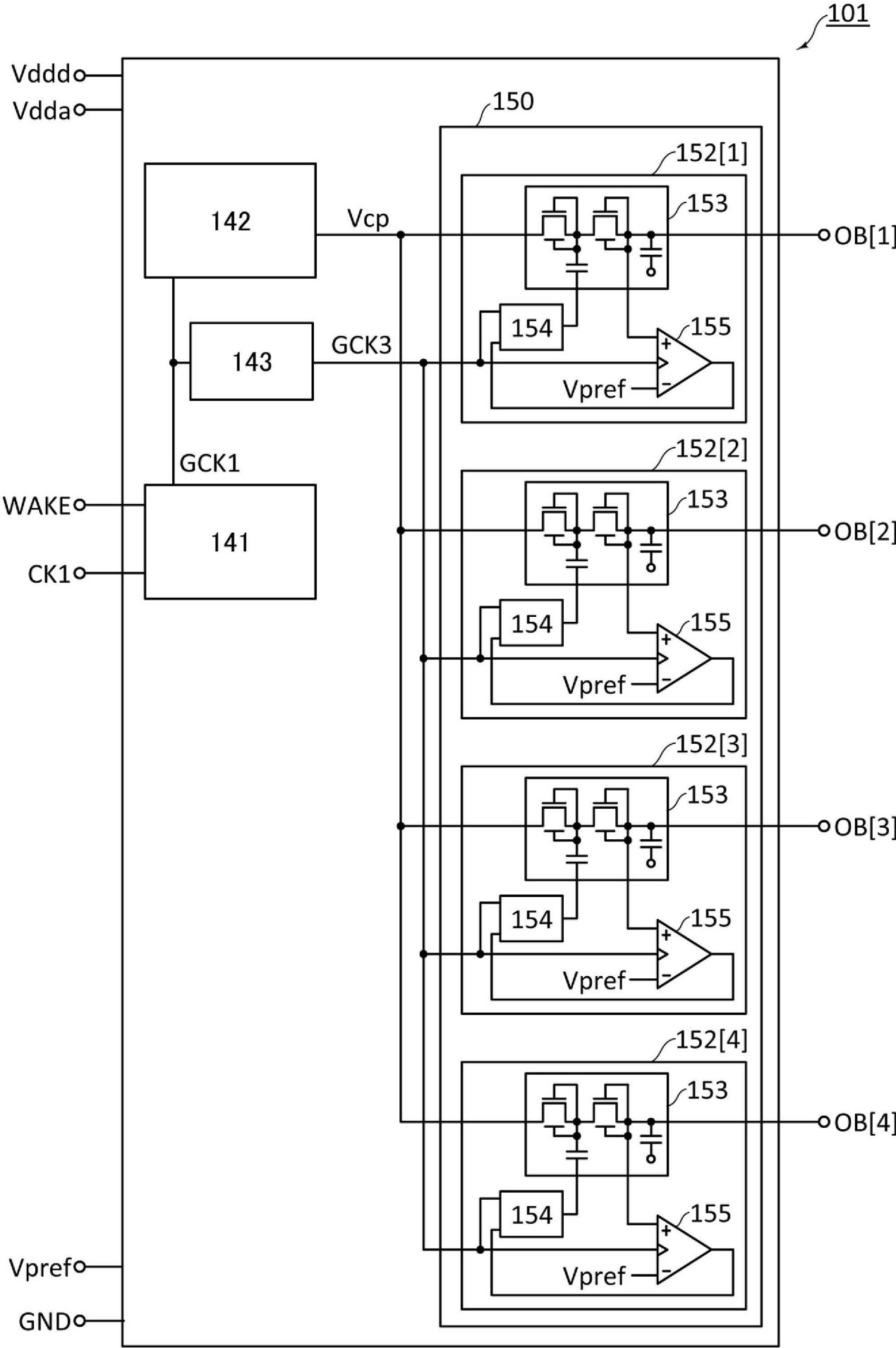
【圖8C】



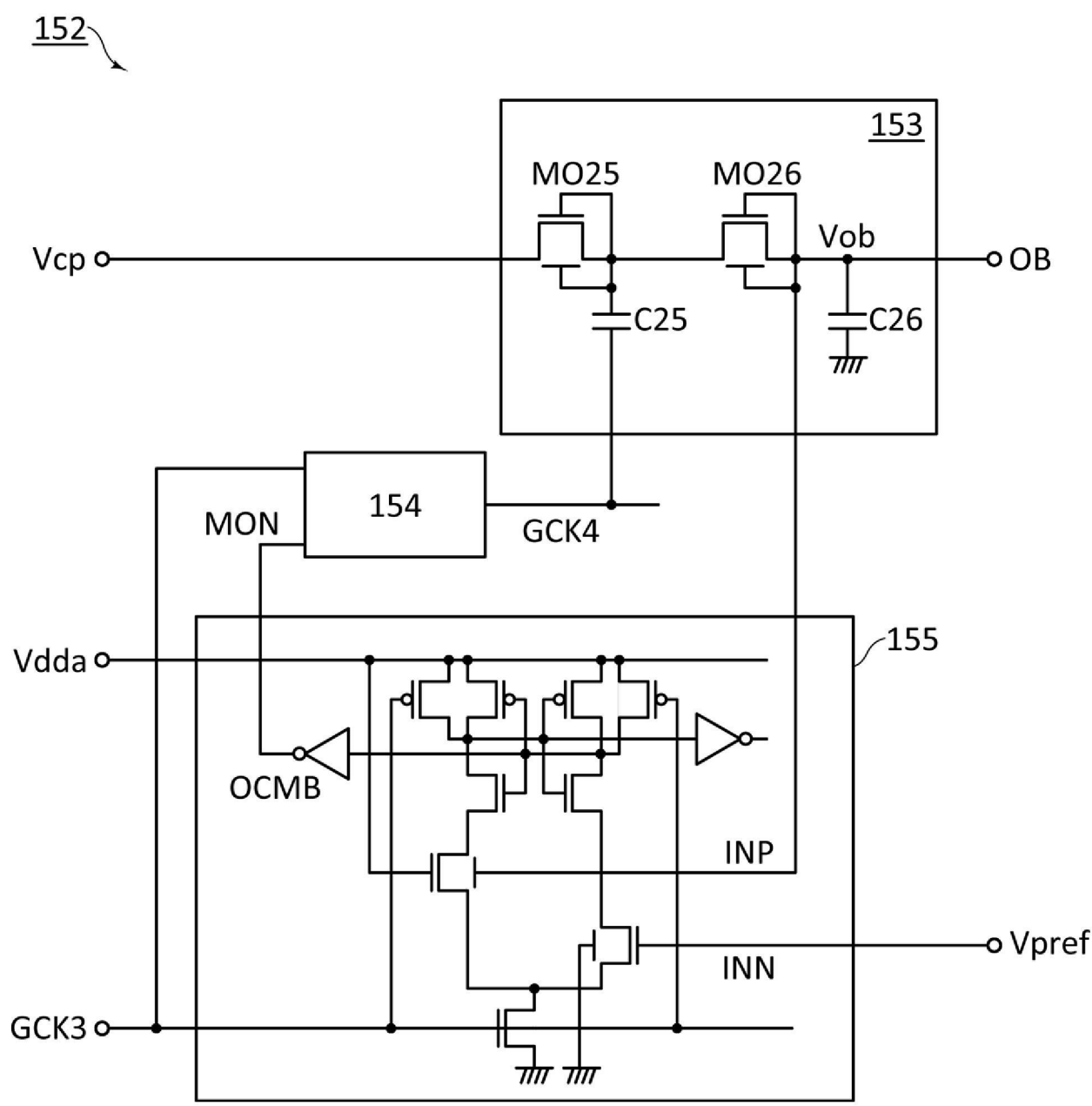
【圖9B】



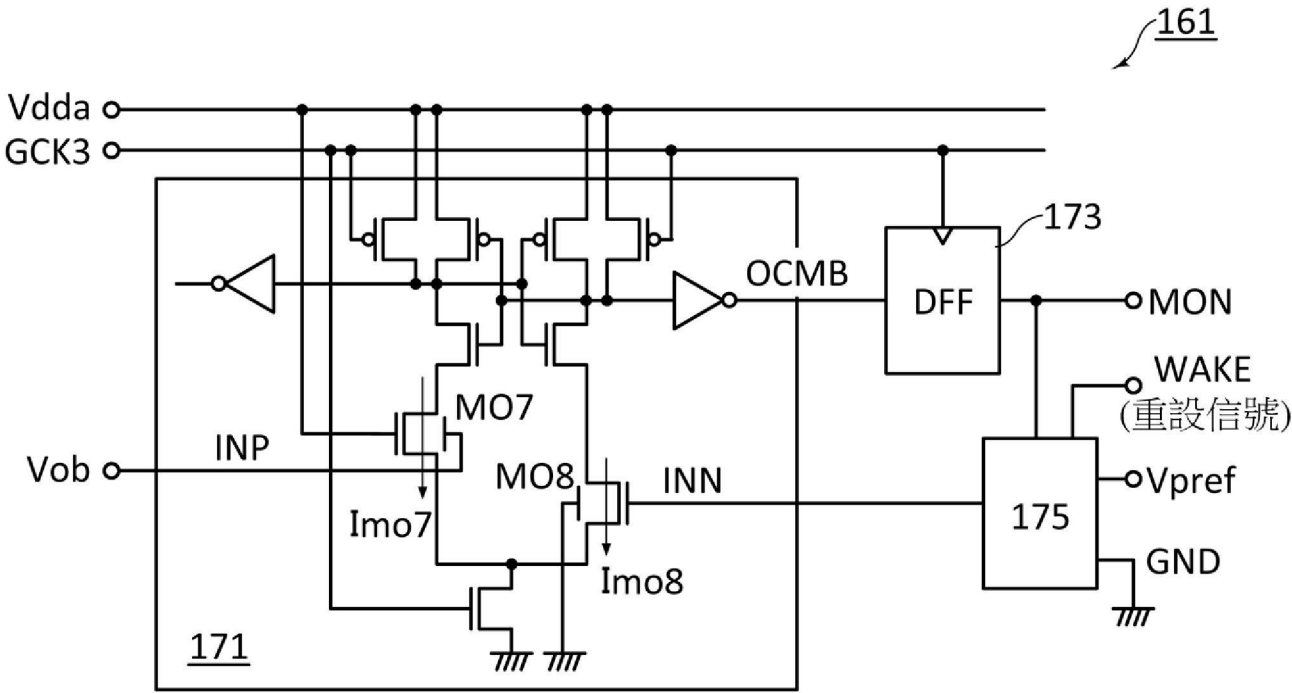
【圖10】



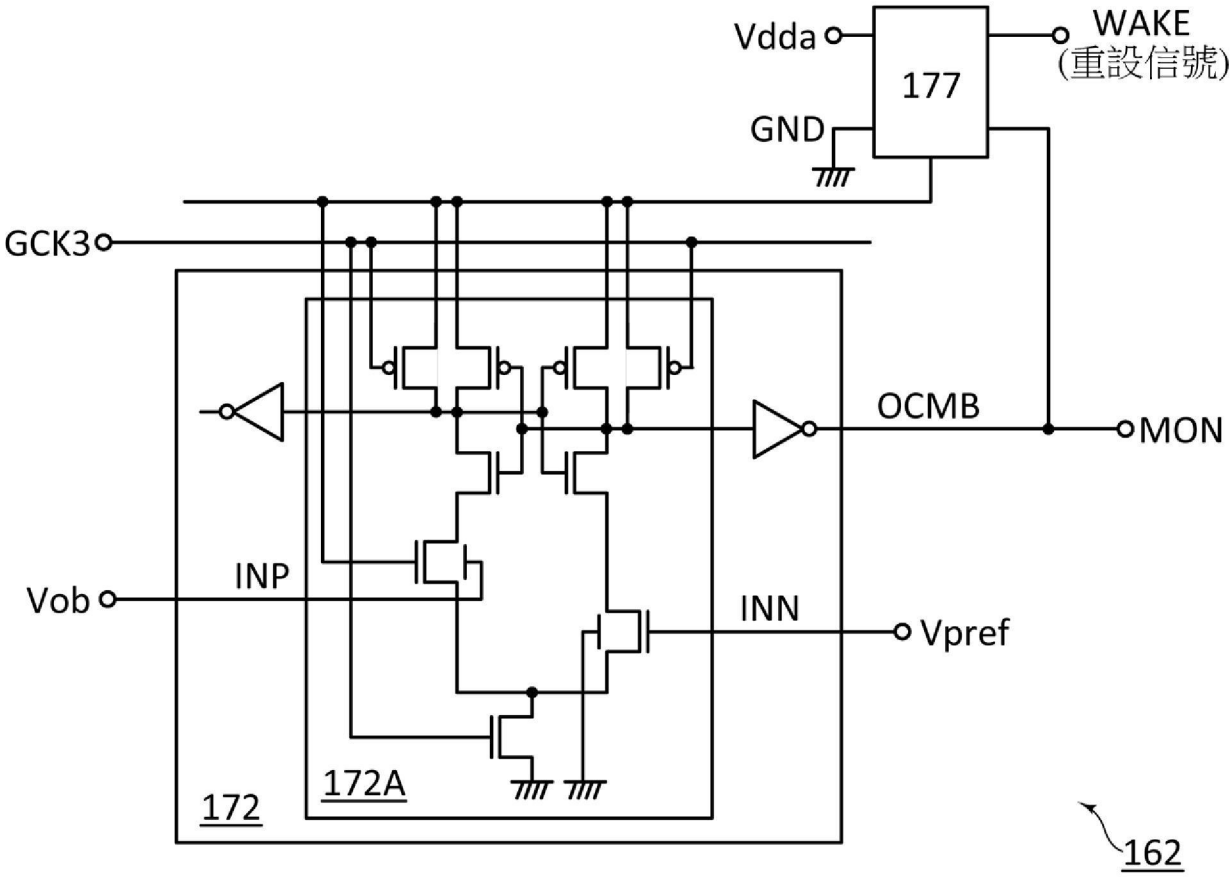
【圖11】



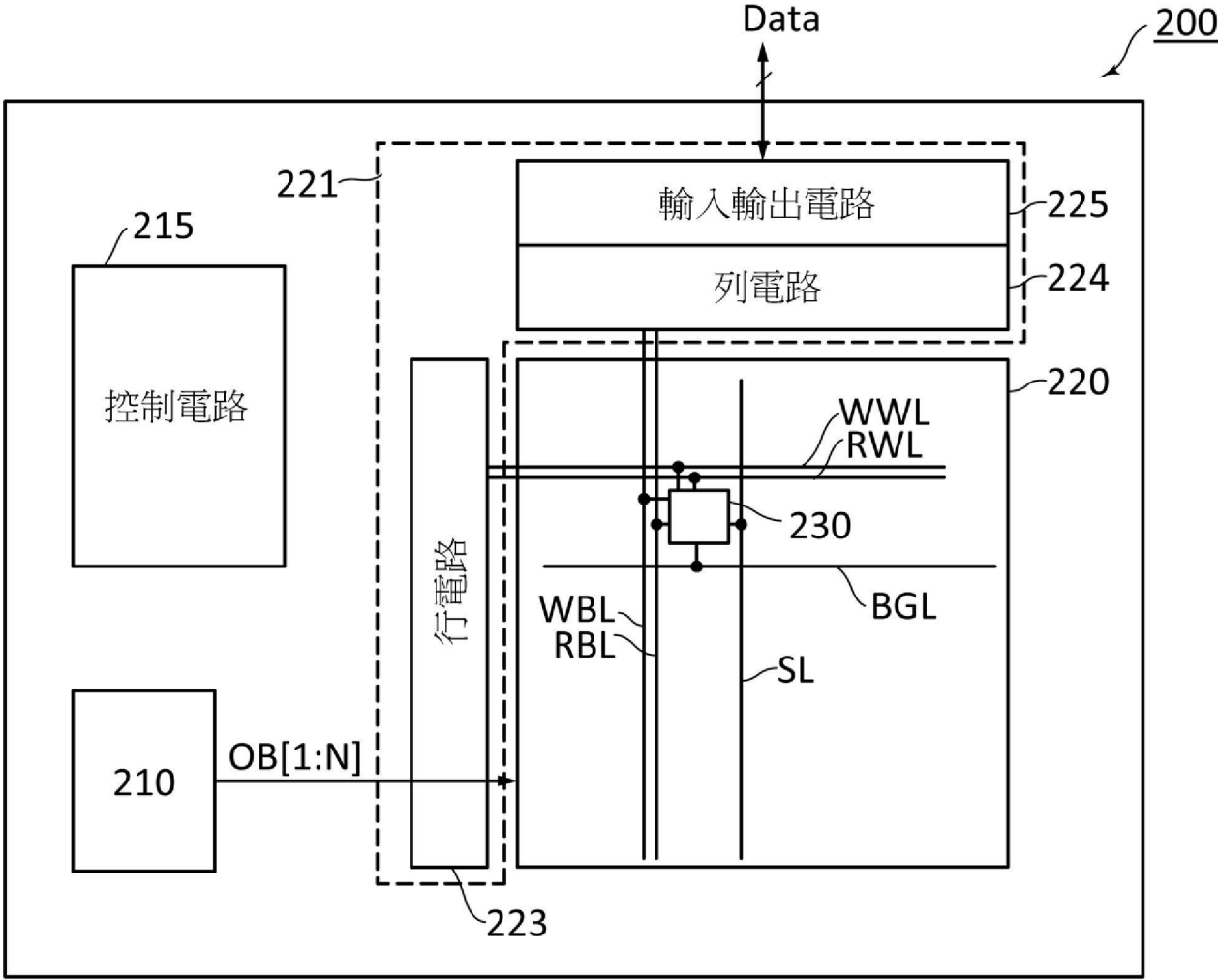
【圖12】



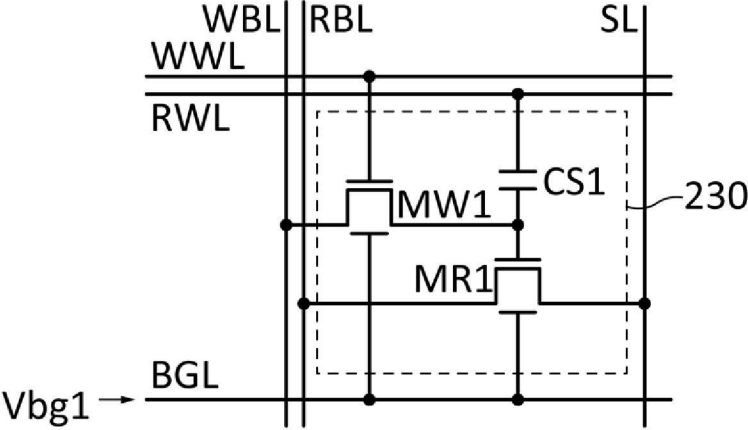
【圖13A】



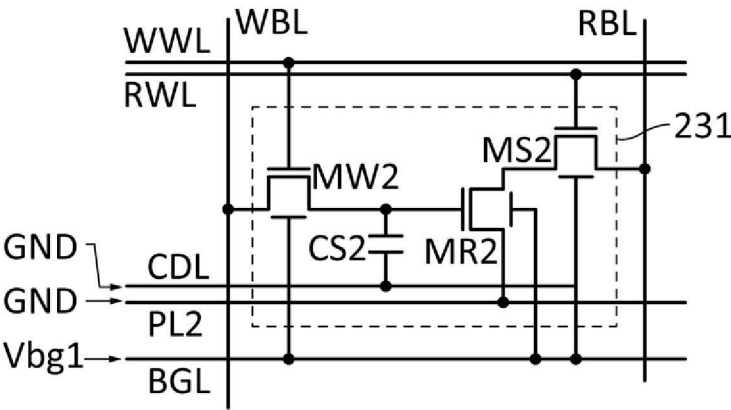
【圖13B】



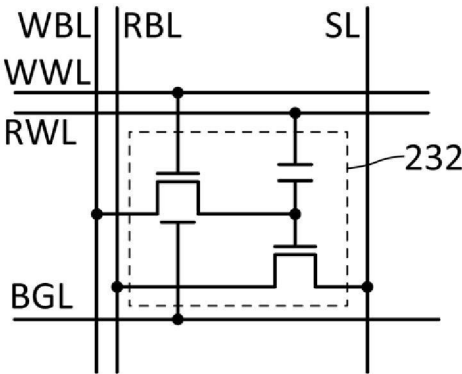
【圖14A】



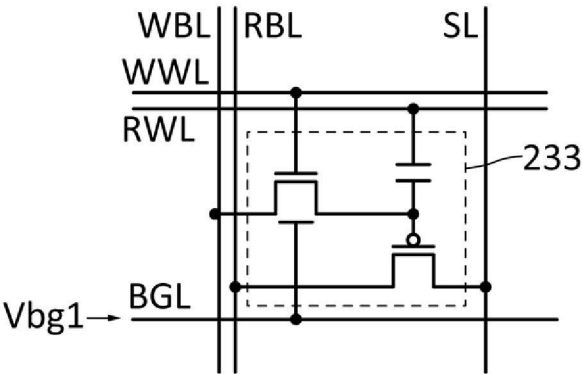
【圖14B】



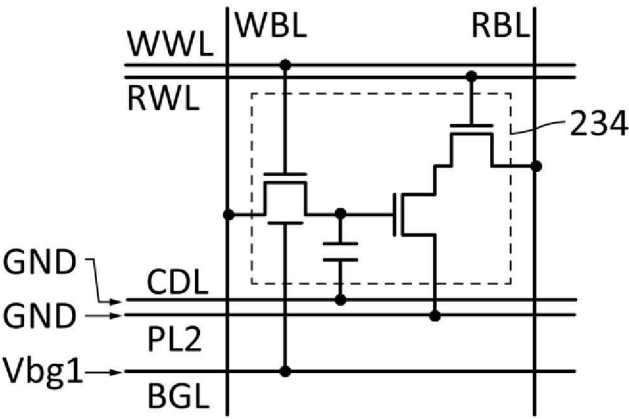
【圖15A】



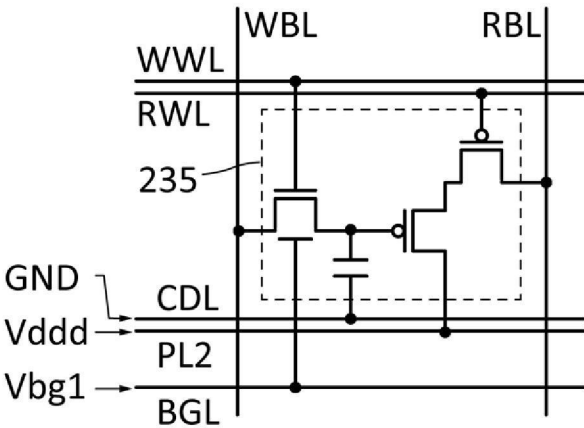
【圖15B】



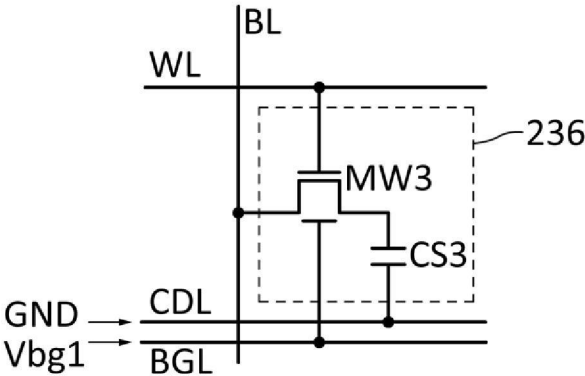
【圖15C】



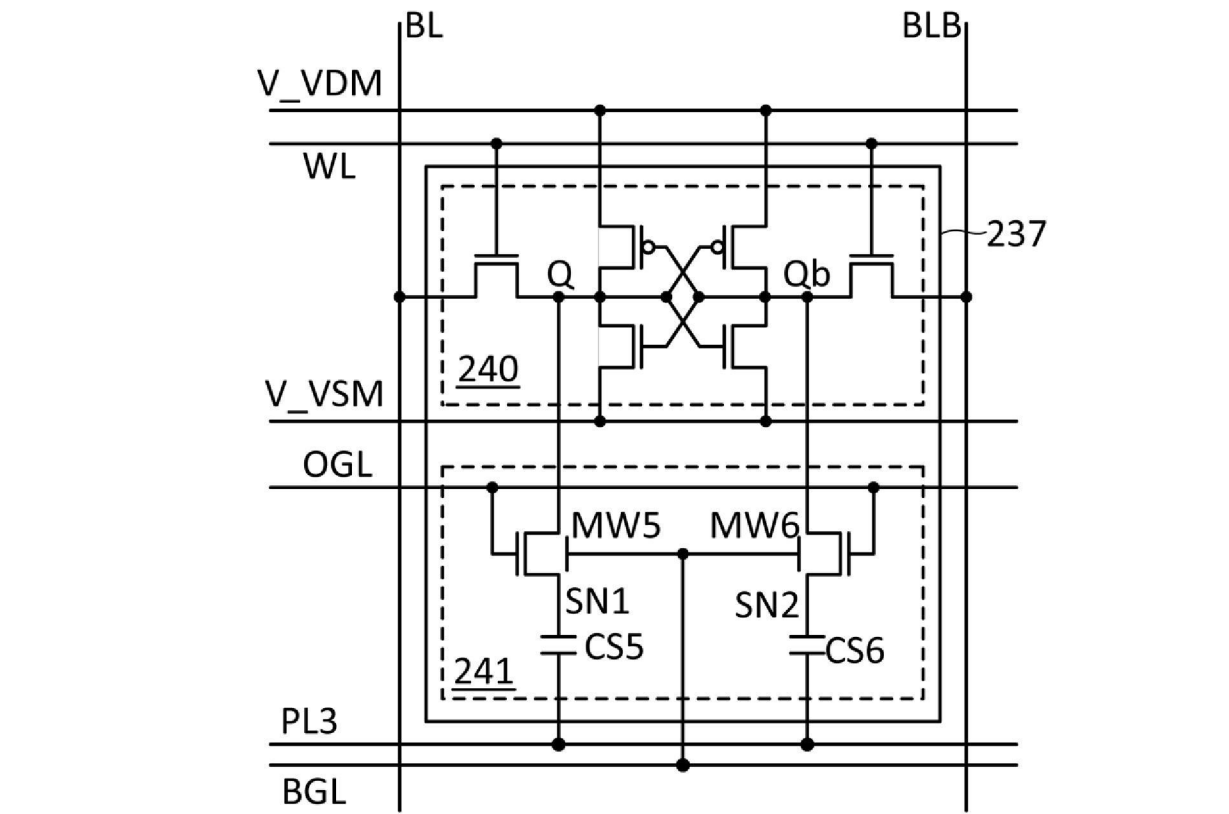
【圖15D】



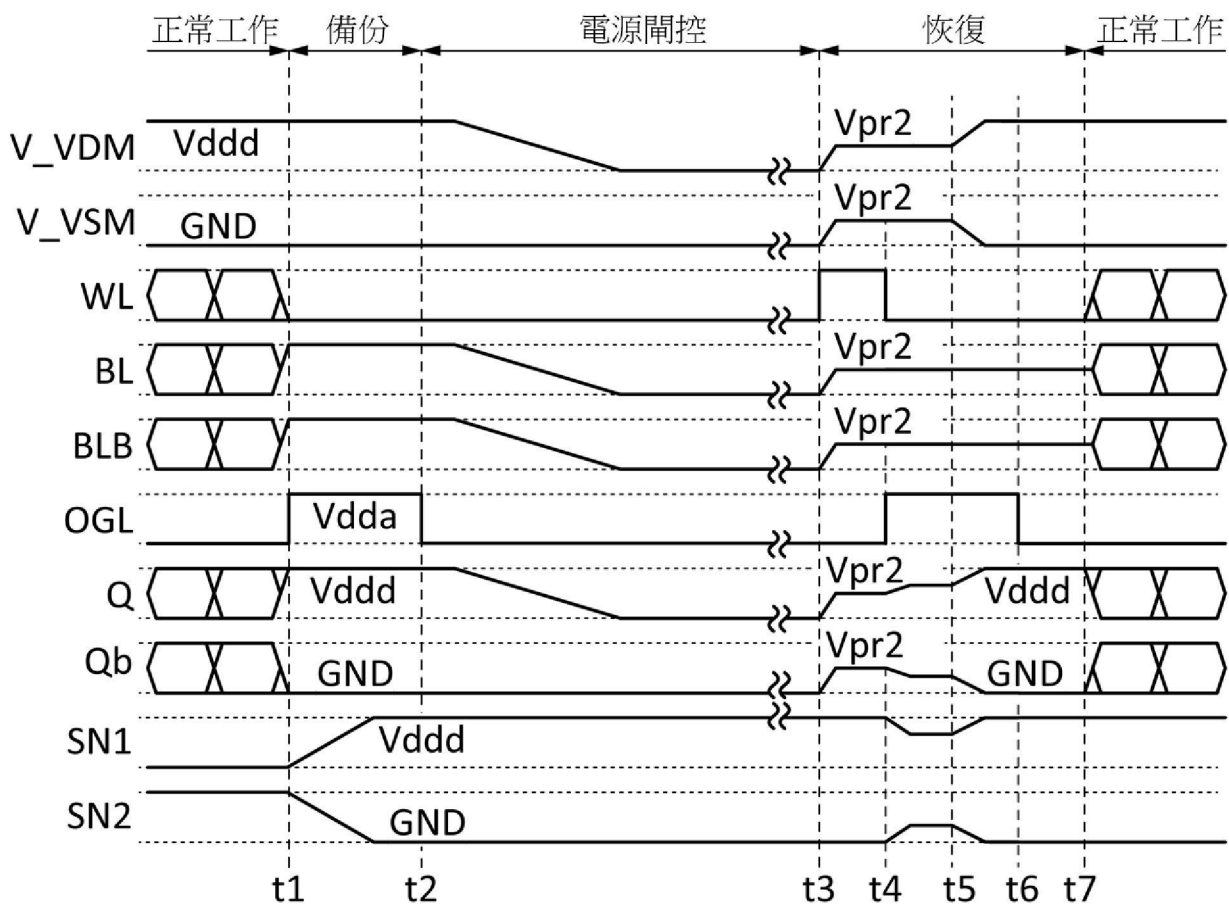
【圖15E】



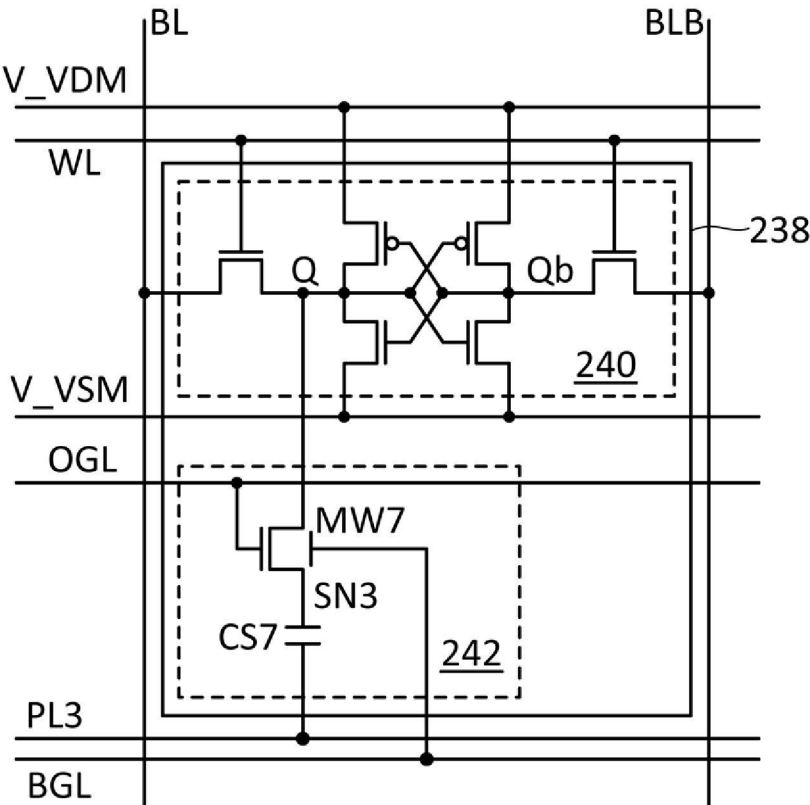
【圖15F】



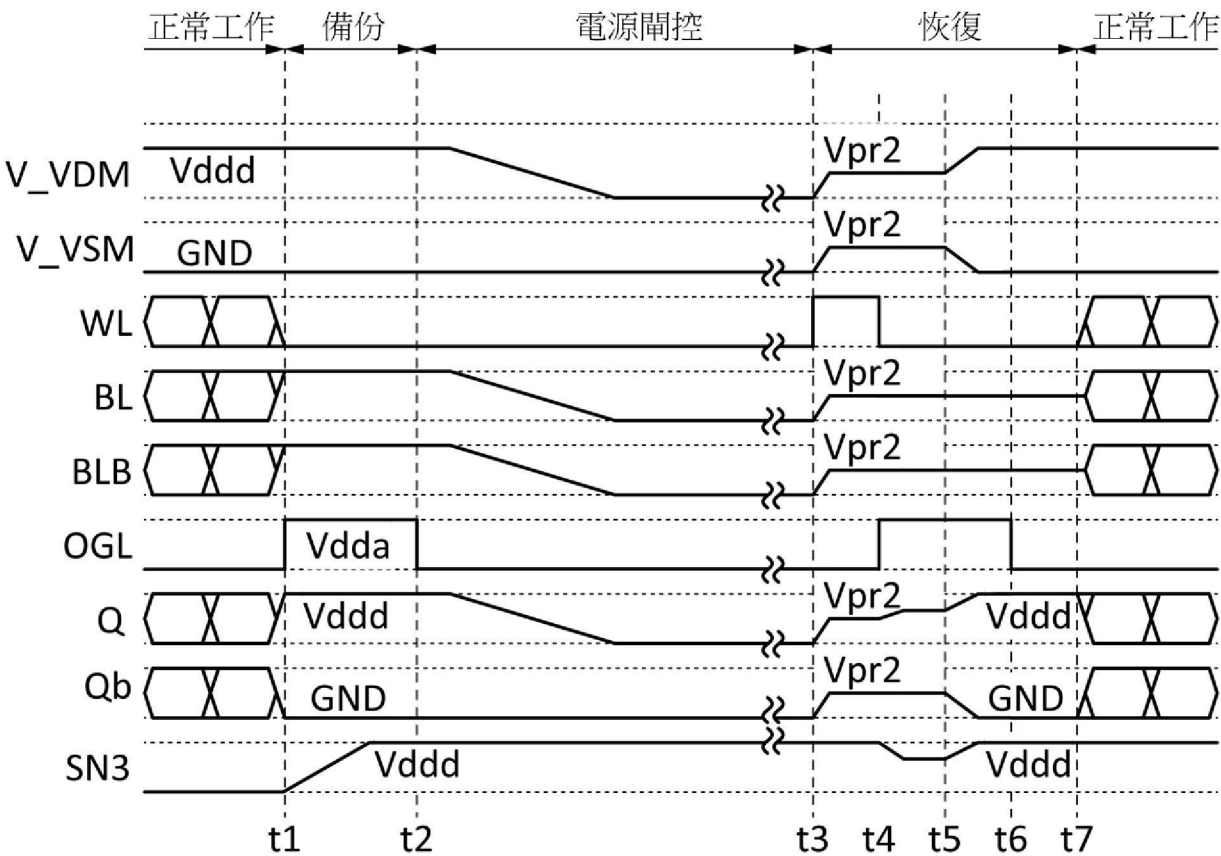
【圖16A】



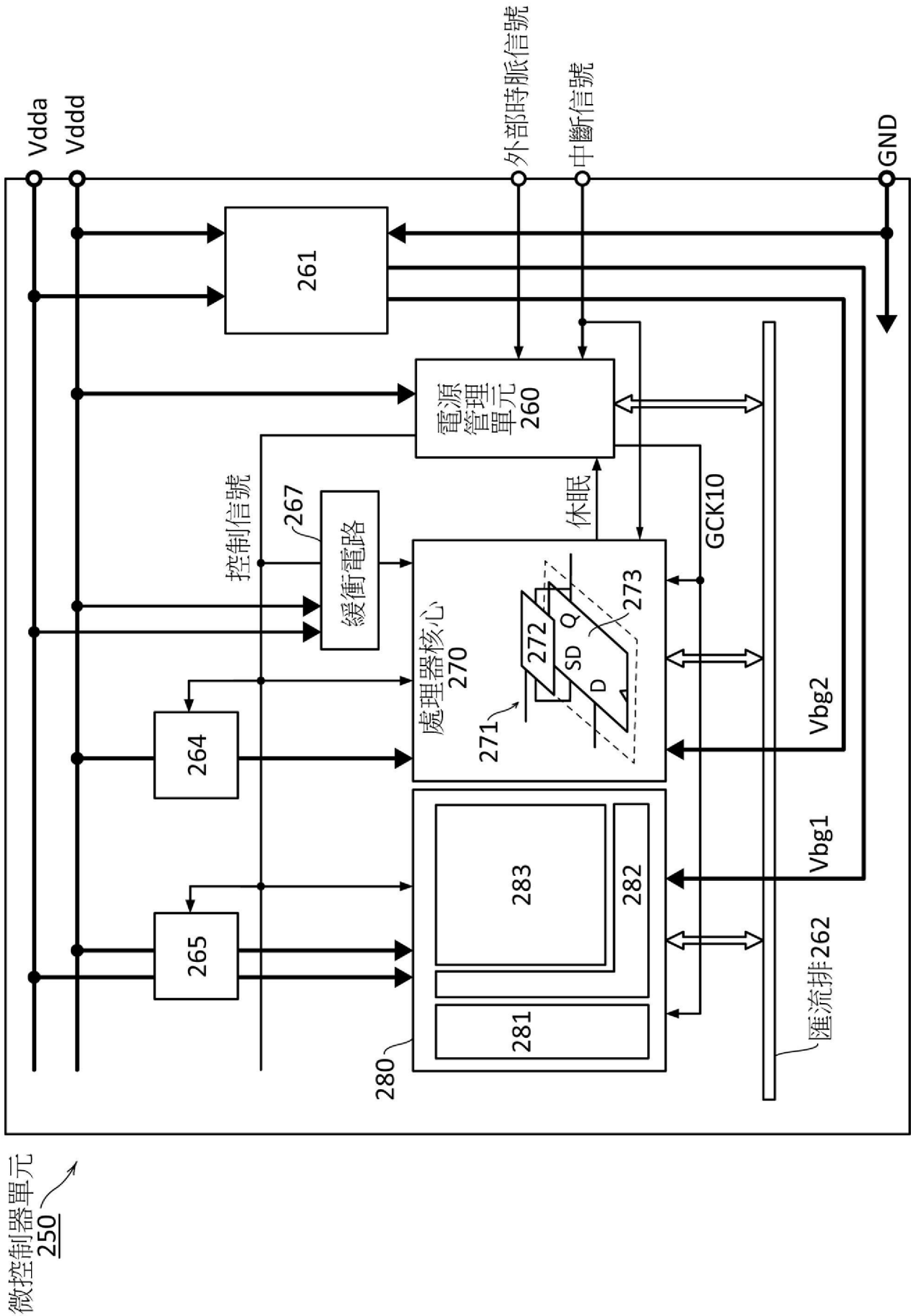
【圖16B】



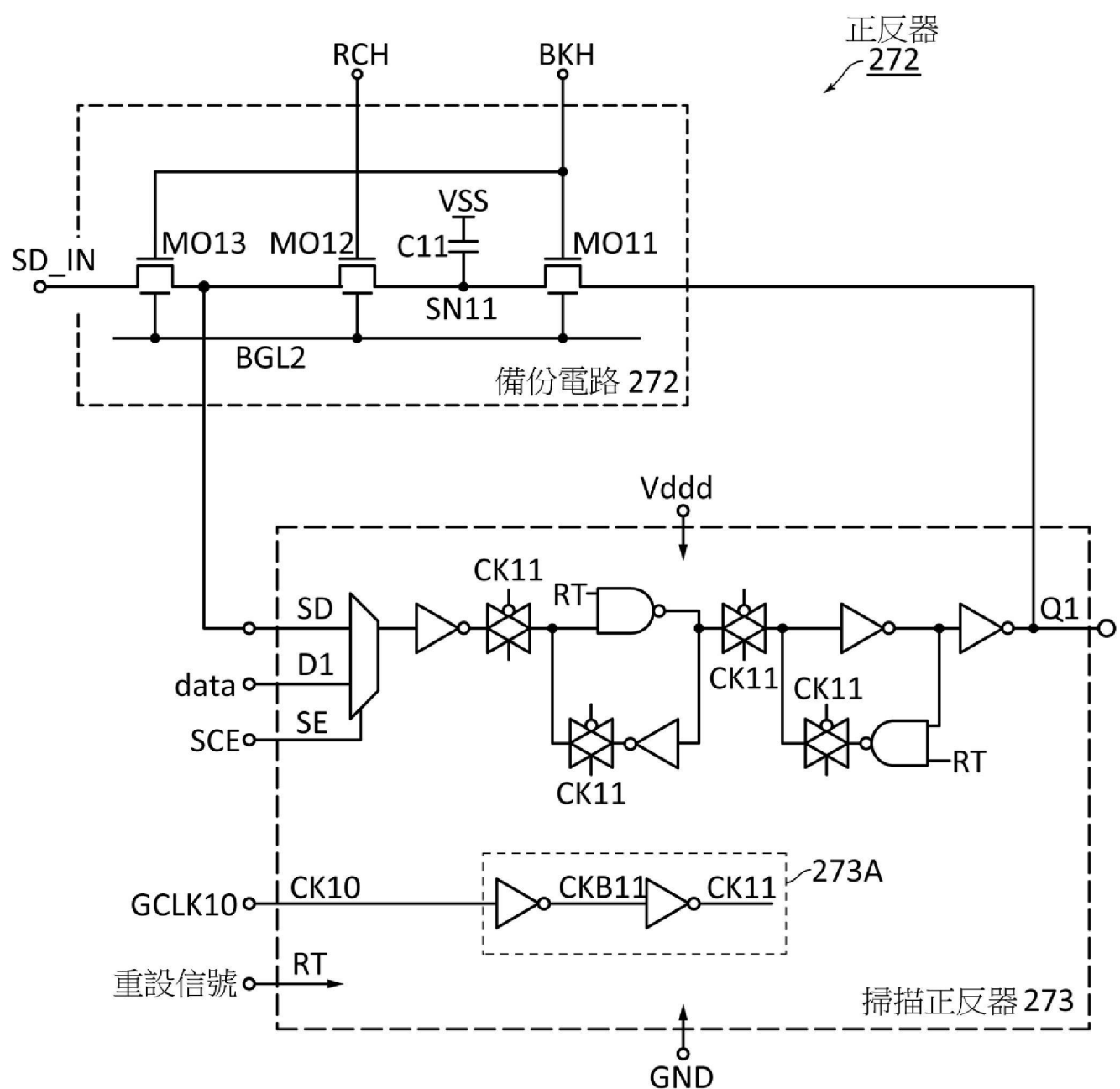
【圖17A】



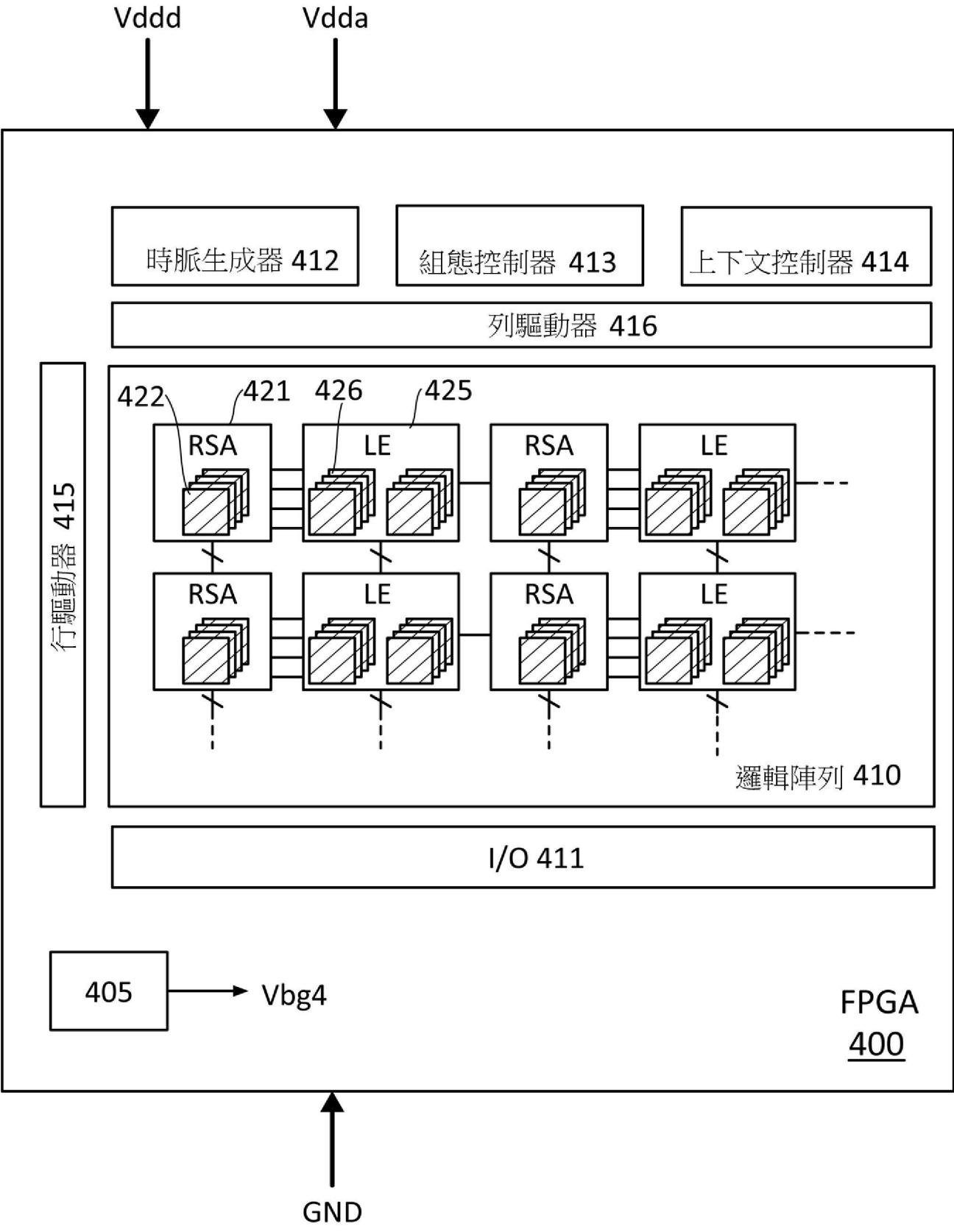
【圖17B】



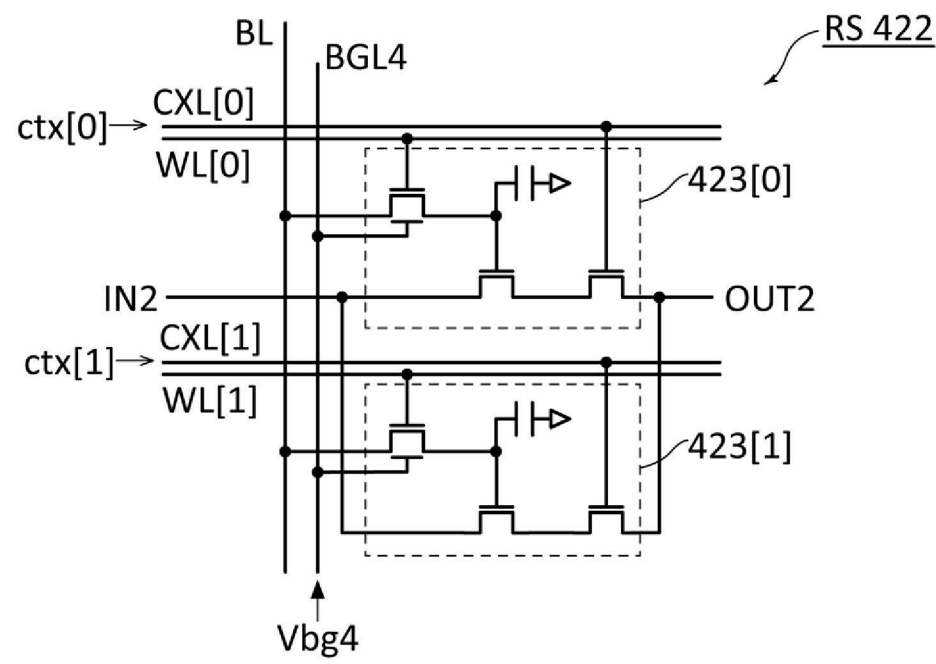
【圖18】



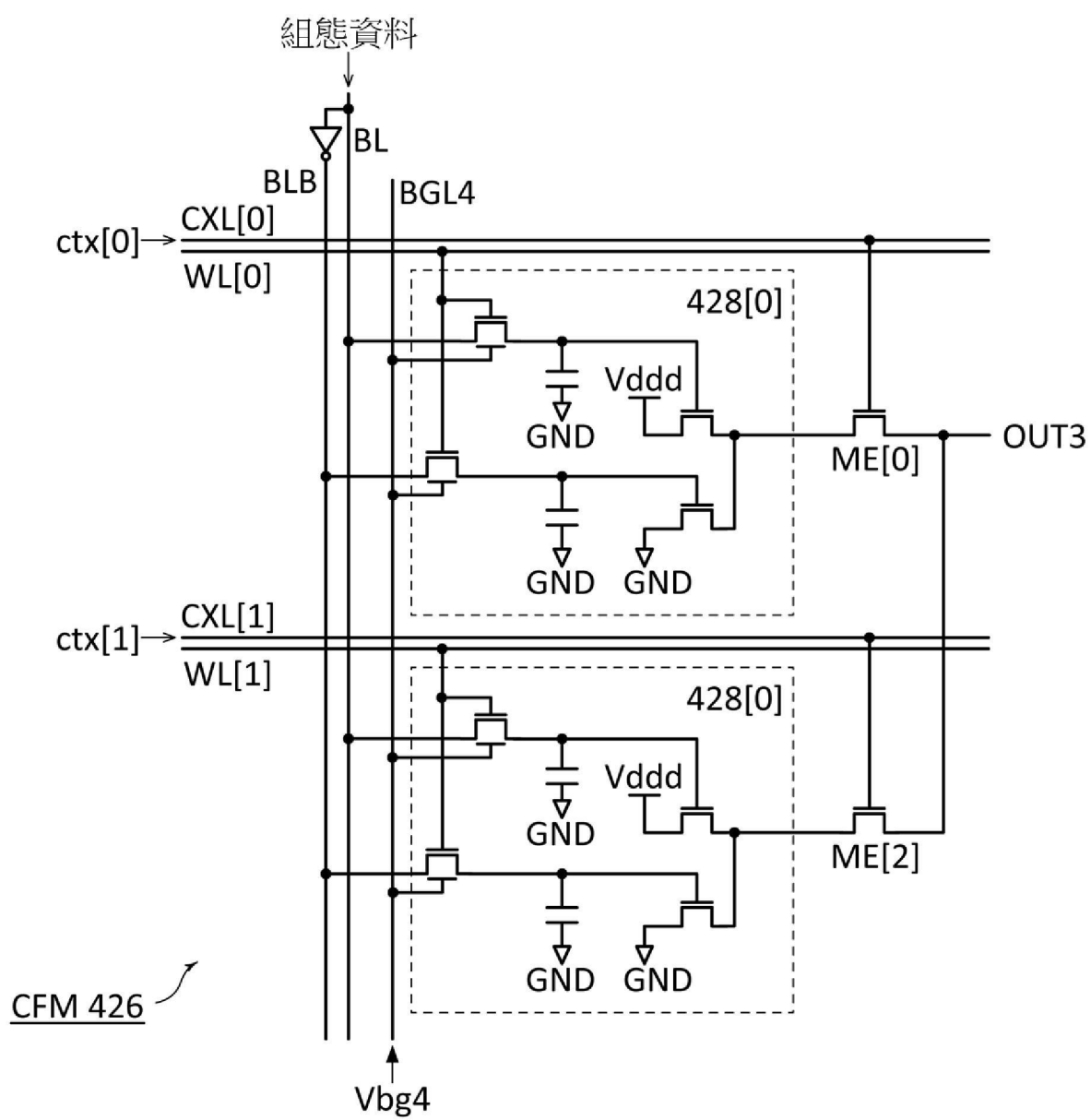
【圖19】



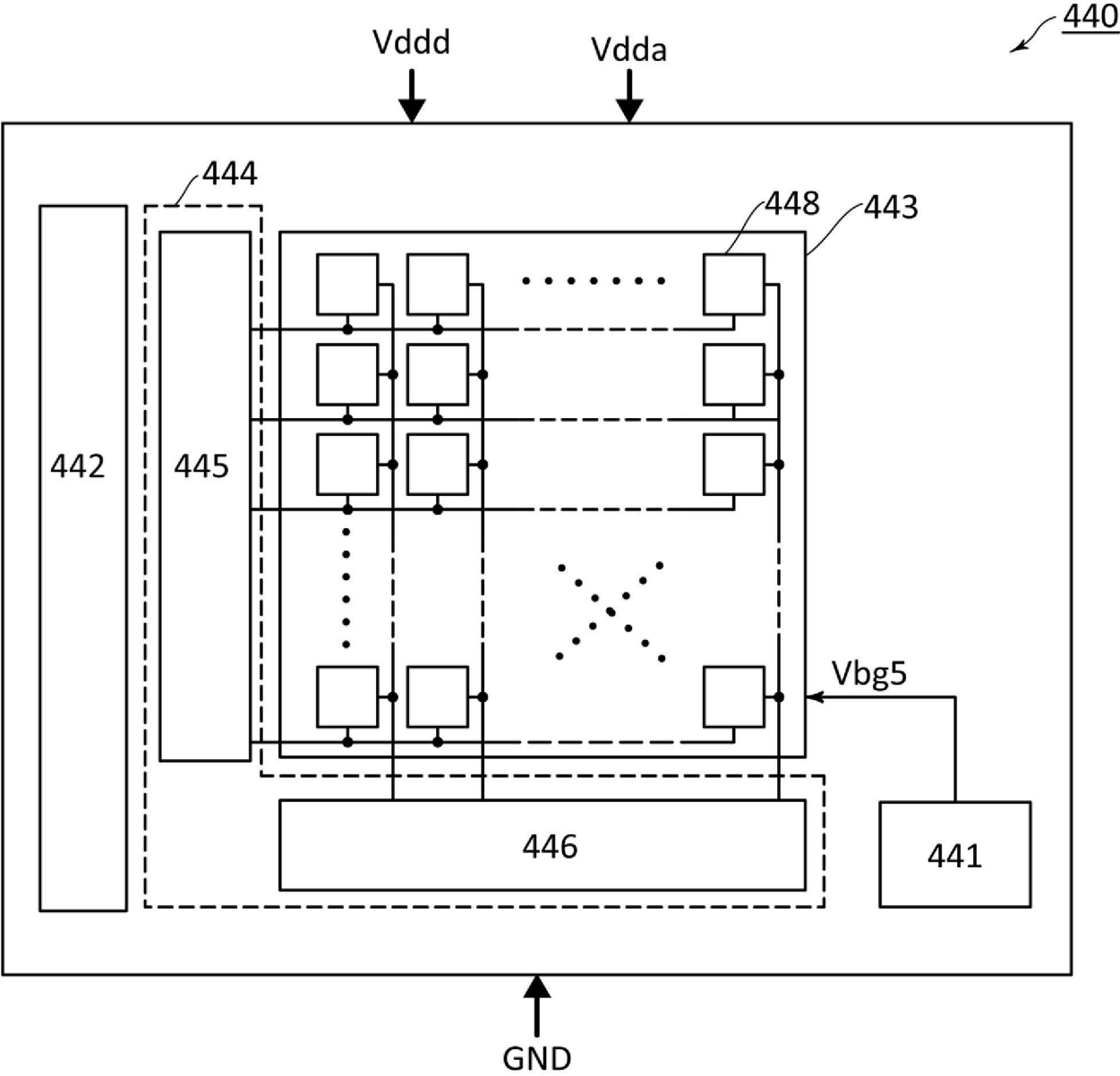
【圖20】



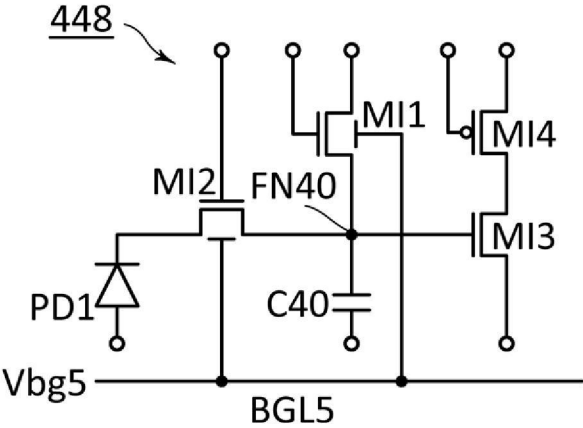
【圖21A】



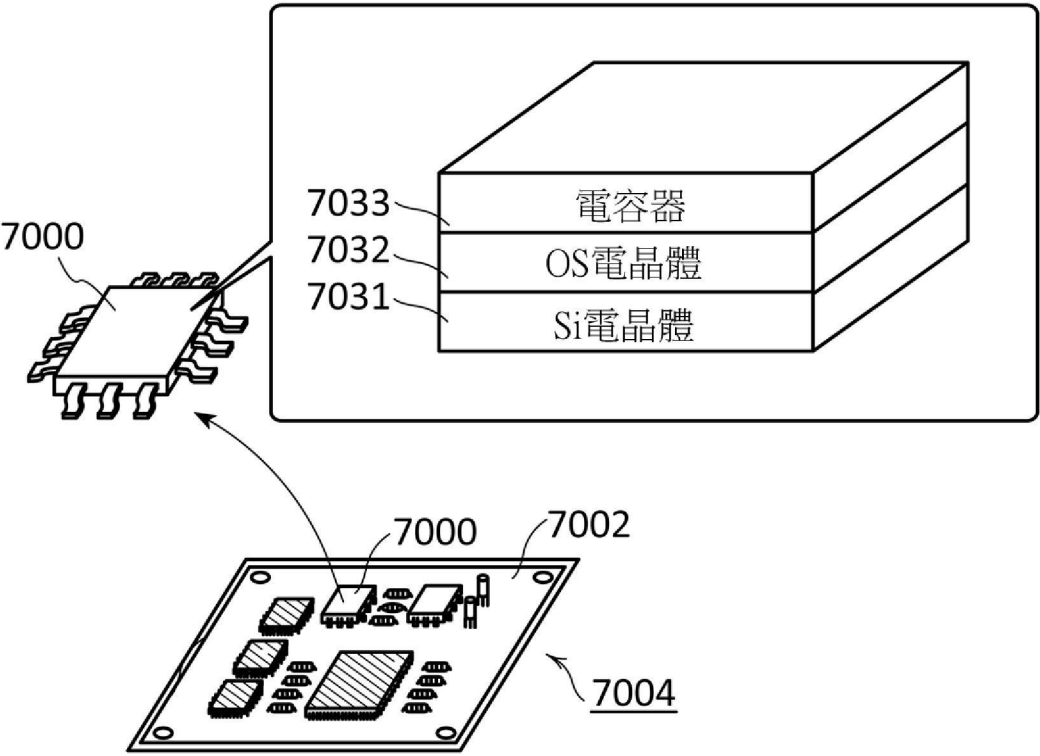
【圖21B】



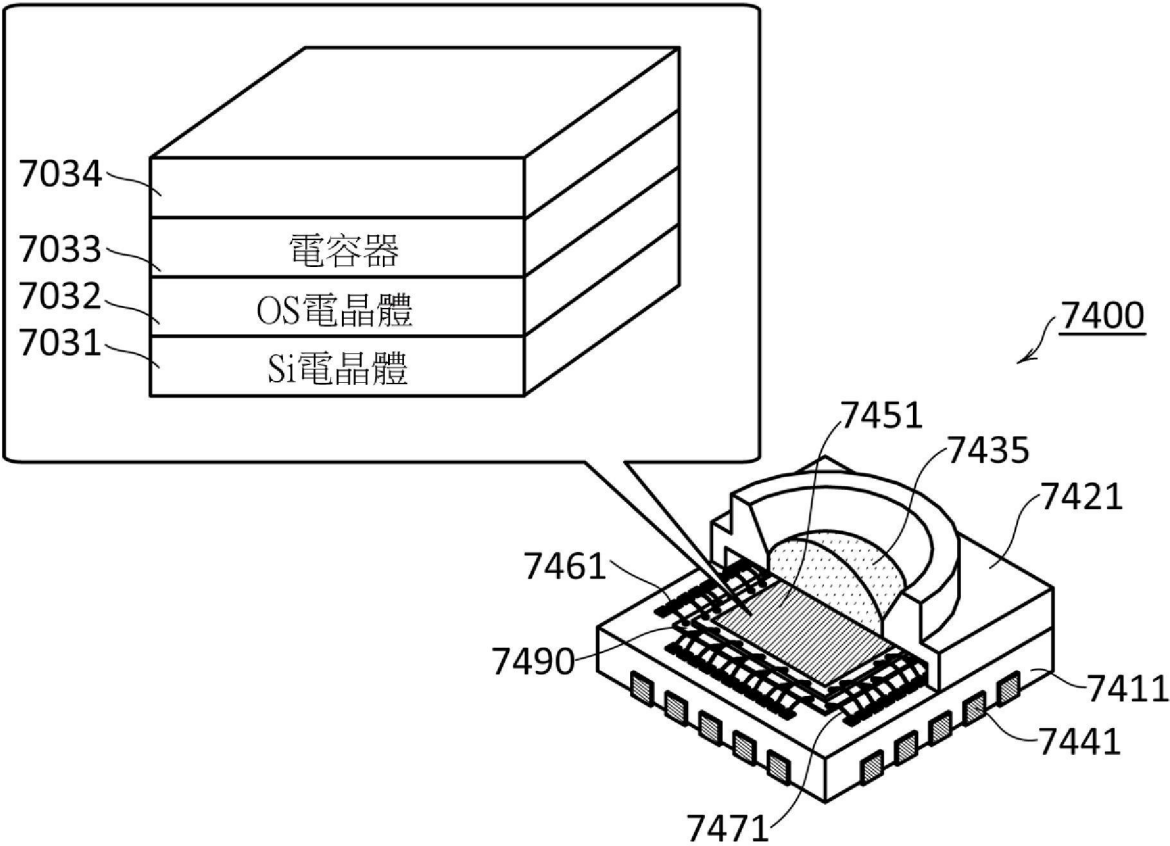
【圖22A】



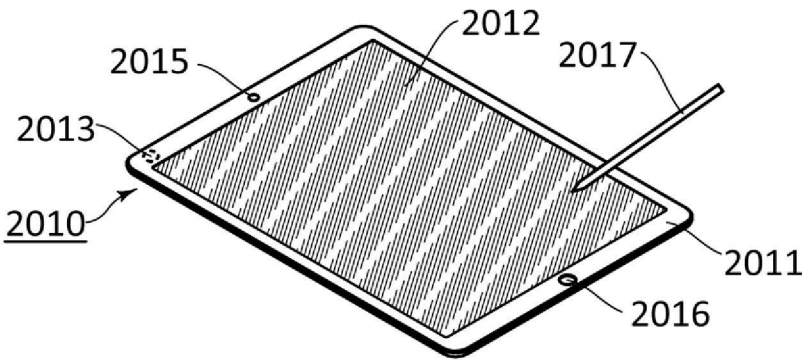
【圖22B】



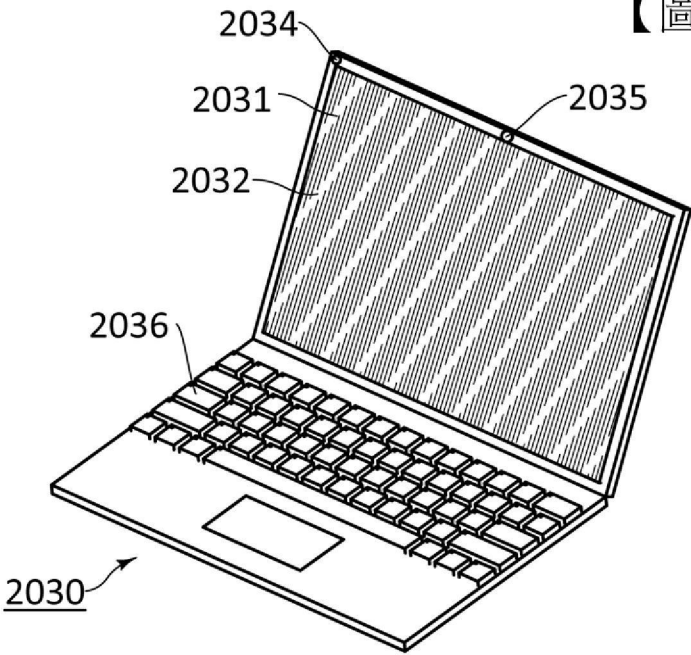
【圖23A】



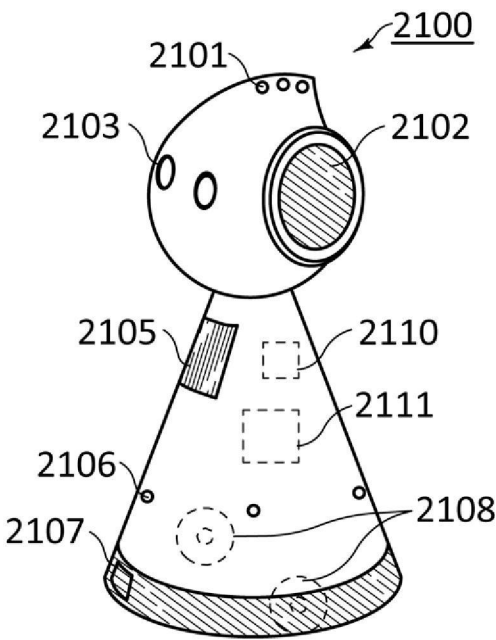
【圖23B】



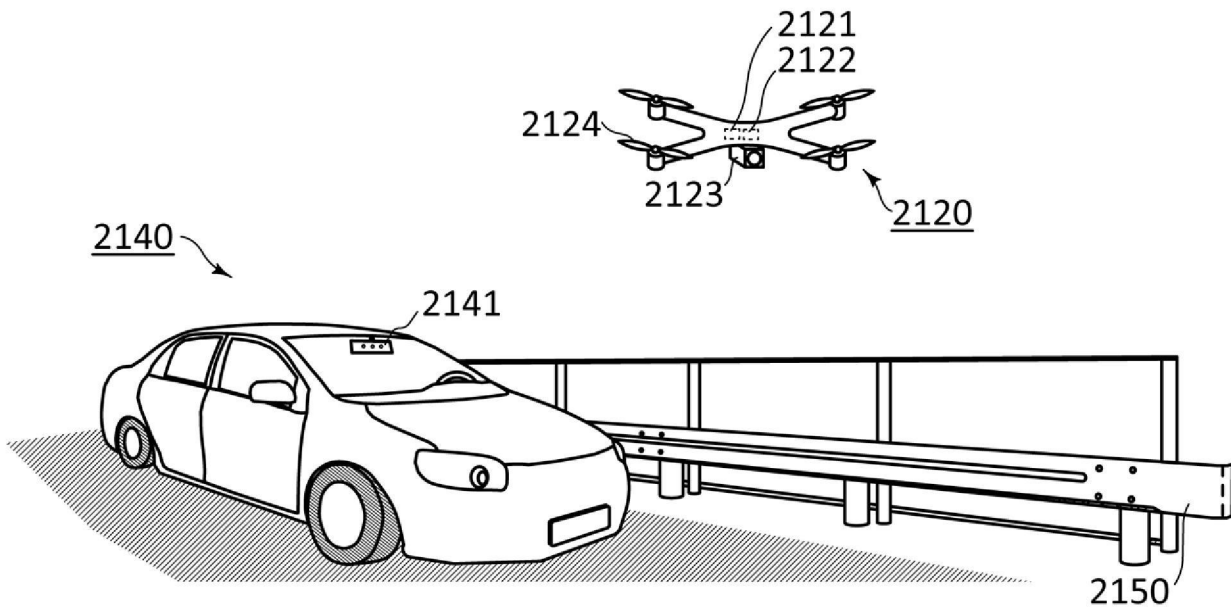
【圖24A】



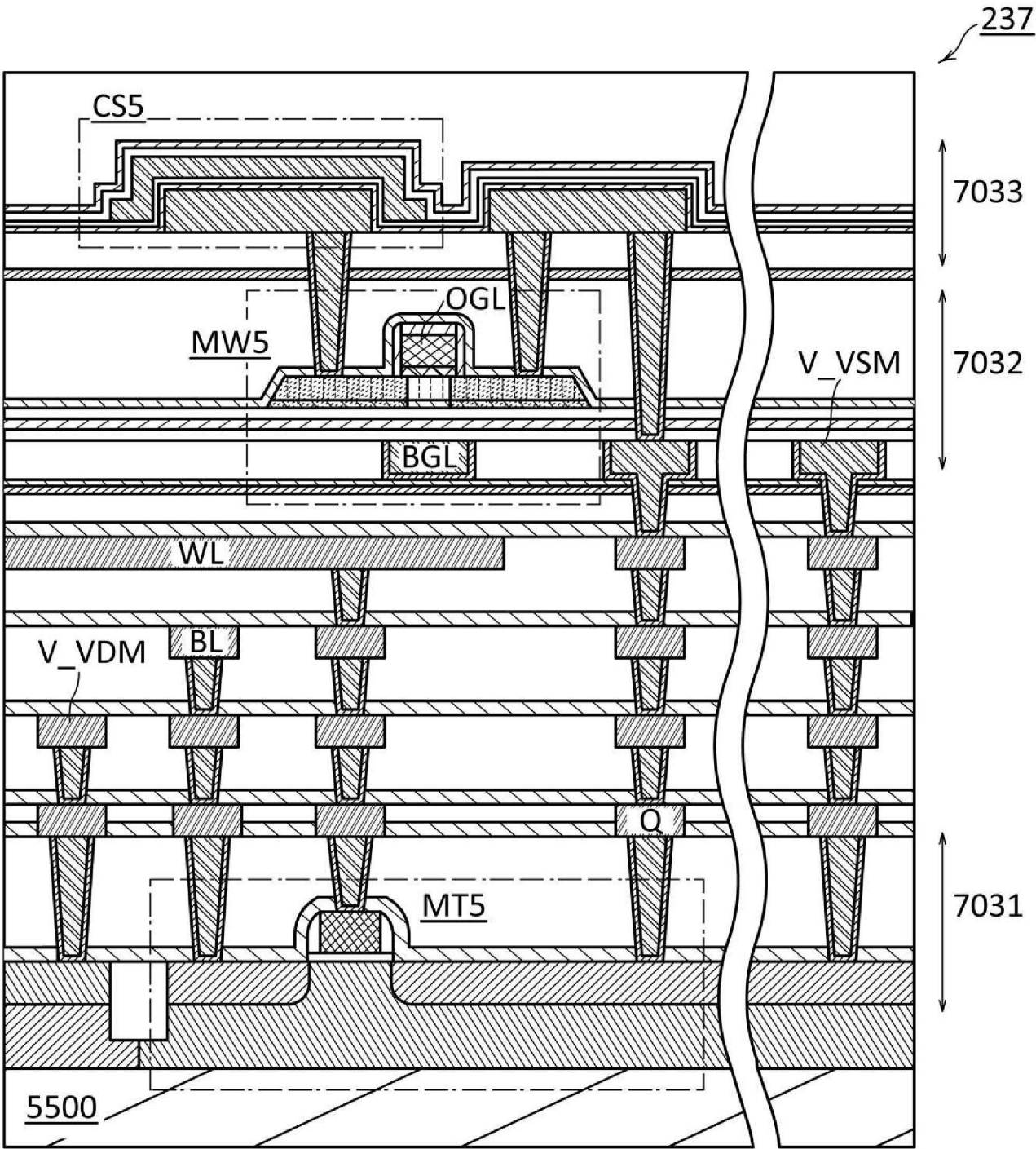
【圖24B】



【圖24C】

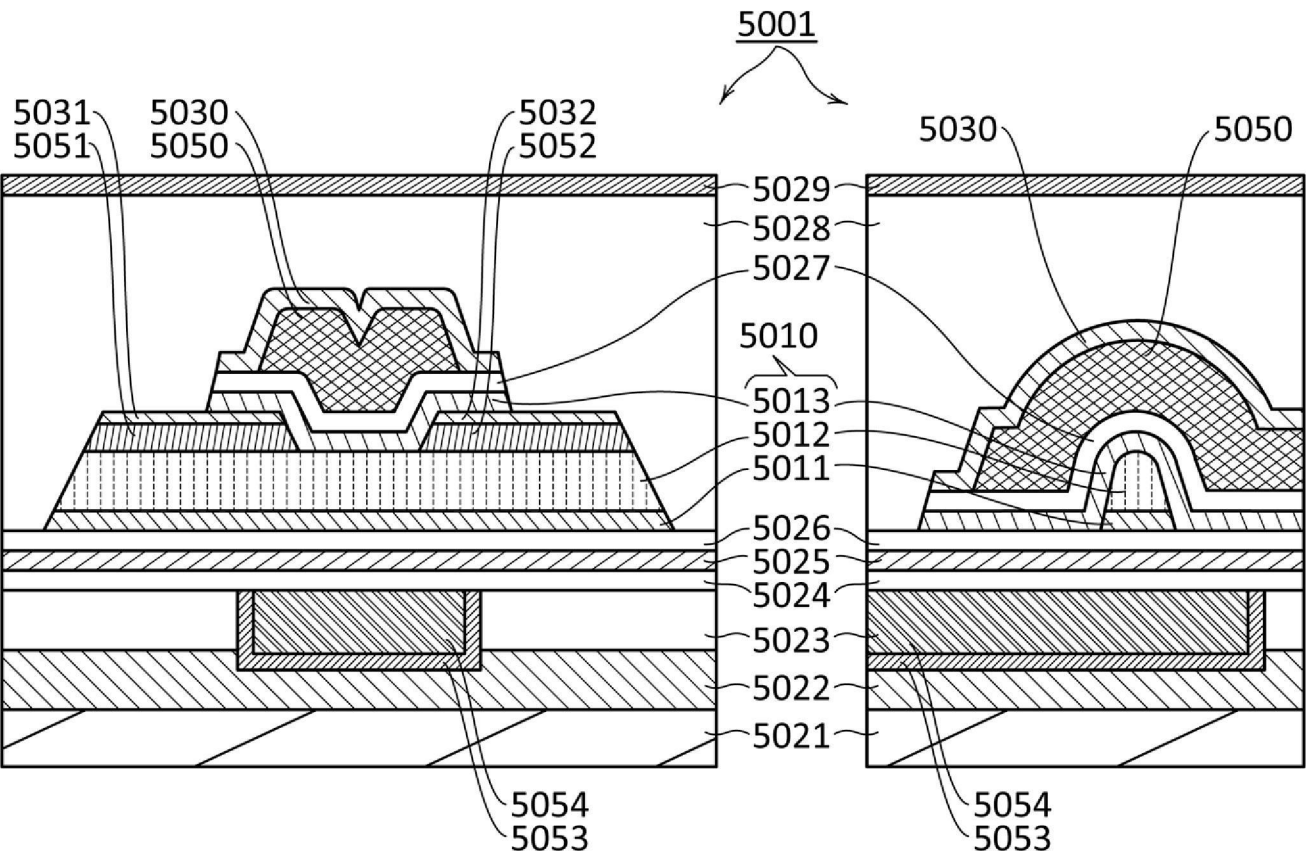


【圖24D】

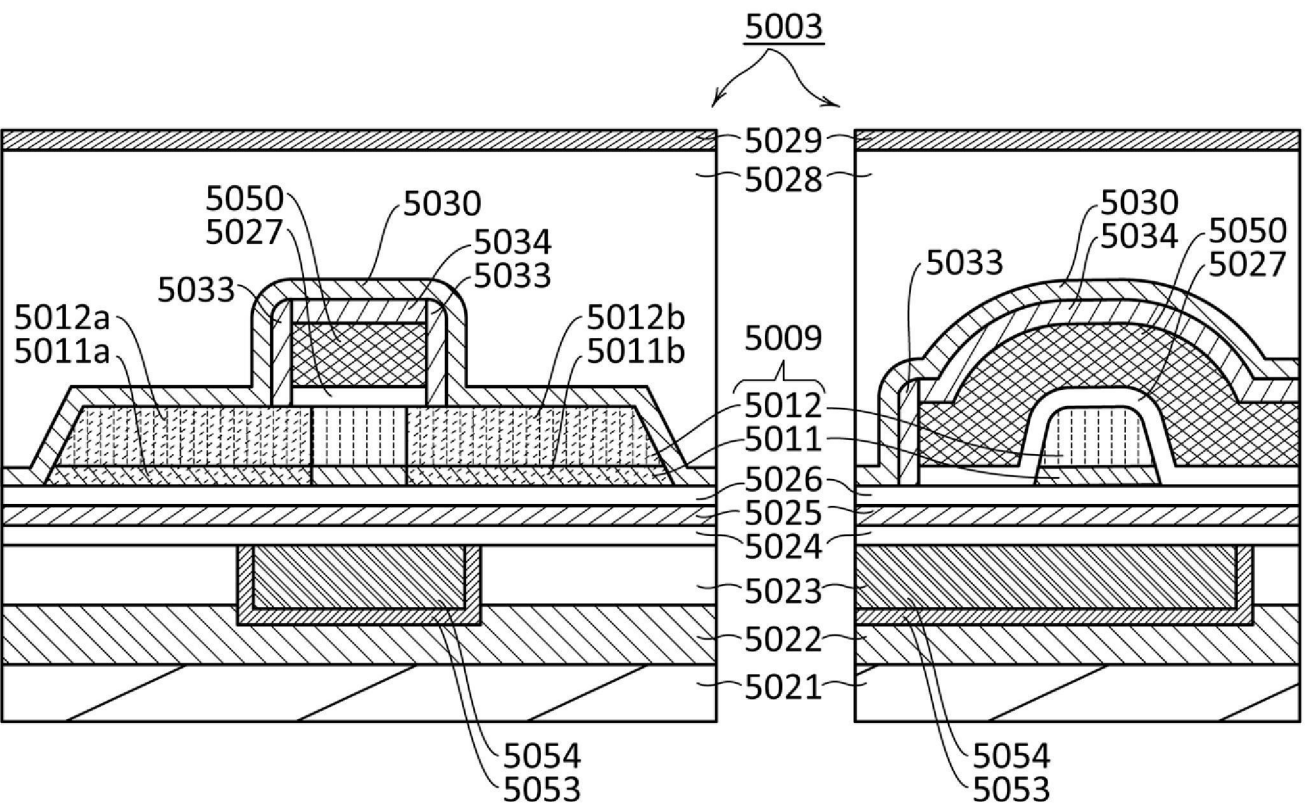


- 金屬氧化物層
- 絕緣層
- 導電層

【圖25】



【圖26A】



【圖26B】