



(12) 发明专利

(10) 授权公告号 CN 1809894 B

(45) 授权公告日 2011.12.28

(21) 申请号 200480016966.9

(22) 申请日 2004.06.10

(30) 优先权数据

03101770.0 2003.06.17 EP

(85) PCT申请进入国家阶段日

2005.12.16

(86) PCT申请的申请数据

PCT/IB2004/050882 2004.06.10

(87) PCT申请的公布数据

W02004/112047 EN 2004.12.23

(73) 专利权人 艾普契科技有限公司

地址 美国特拉华州

(72) 发明人 R·库彭斯 A·M·H·迪特维格

(74) 专利代理机构 中科专利商标代理有限责任

公司 11021

代理人 王波波

(51) Int. Cl.

G11C 14/00 (2006.01)

(56) 对比文件

US 6285586 B1, 2001.09.04, 全文.

US 5602776 A, 1997.02.11, 说明书第5栏第14行至第29行及图1.

US 4527255 A, 1985.07.02, 说明书第3栏第65行至第9栏第43行及图1和2.

审查员 吴士芬

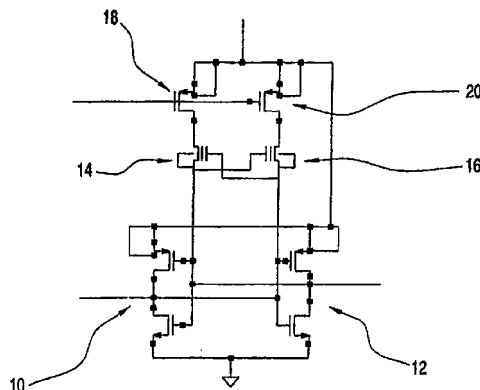
权利要求书 1 页 说明书 5 页 附图 3 页

(54) 发明名称

非易失性静态存储器单元

(57) 摘要

一个静态存储器单元包括一对交叉耦合的倒相器 (10, 12), 所述倒相器由非易失性存储器元件 (14, 16) 来“屏蔽”, 以使得被写入所述静态存储器的数据不仅能被存储在所述非易失性单元中, 也能在以后被再调用。用相反的数据编程所述非易失性单元 (14, 16), 以便提高检索处理的鲁棒性, 并且所述非易失性单元被交叉耦合到所述静态存储器单元的内部节点 (A, B), 其中一个非易失性单元 (14) 的控制栅极连接到节点 B, 其源极连接到节点 A, 另一个非易失性元件 (16) 的控制栅极连接到节点 A, 其源极连接到节点 B。每个非易失性元件 (14, 16) 的漏极经由对应的 pMOS 晶体管 (18, 20) 连接到程序提供装置。



1. 一种单个集成电路包装中的存储器设备,包括:

- 一个静态存储器装置 (10,12),至少包括与读数据线和 / 或写数据线通信连接的第一和第二互补的存储节点 (A, B);

- 与所述静态存储器装置 (10,12) 相关联的至少一个非易失性存储器装置 (14,16),用于将存储在其中的数据写入到所述静态存储器装置 (10,12);所述非易失性存储器装置包括第一非易失性元件 (14) 和第二非易失性元件 (16),该第一非易失性元件 (14) 的控制栅极连接到所述第一存储节点 (B),其源极连接到所述第二存储节点 (A),该第二非易失性元件 (16) 的控制栅极连接到所述第二存储节点 (A),其源极连接到所述第一存储节点 (B);以及

至少两个对应的晶体管,其中每个非易失性元件 (14,16) 的漏极通过所述对应的晶体管 (18,20) 之一连接到电源装置 (VDP),

其特征在于,所述对应的晶体管被安排成在该存储器设备作为静态存储器被访问和写入的模式期间将所述第一和第二非易失性元件的漏极与所述电源装置隔离开。

2. 如权利要求 1 所述的存储器设备,其中所述第一和第二非易失性元件 (14,16) 包括嵌入式闪存元件或者嵌入式 EEPROM 元件。

3. 如权利要求 1 或 2 所述的存储器设备,其中所述第一和第二非易失性元件 (14,16) 包括双多晶浮动栅类型的存储器单元或者单多晶浮动栅类型的存储器单元。

4. 如权利要求 1 所述的存储器设备,其中所述第一和第二非易失性元件 (14,16) 包括可以借助于电荷沟道效应来编程和擦写的器件。

5. 如权利要求 1、2 或 4 所述的存储器设备,其中以相反的数据对所述第一和第二非易失性元件 (14,16) 进行编程。

6. 如权利要求 3 所述的存储器设备,其中以相反的数据对所述第一和第二非易失性元件 (14,16) 进行编程。

7. 如权利要求 1 所述的存储器设备,其中所述静态存储器装置包括一对交叉耦合的倒相器 (10,12)。

8. 如权利要求 1 所述的存储器设备,其中提供一个或多个对应的选择晶体管 (22),所述节点 (A, B) 通过所述选择晶体管与所述读数据线和 / 或写数据线通信耦合。

9. 如权利要求 1 所述的存储器设备,包括一个或多个隔离晶体管 (24),所述隔离晶体管 (24) 用于在编程期间将外围电路与存储器元件隔离。

10. 一种包括如权利要求 1 到 9 中的任一条所述的存储器设备的可再配置的可编程逻辑器件。

11. 一种包括如权利要求 1 到 10 中的任一条所述的存储器设备的现场可编程门阵列。

非易失性静态存储器单元

技术领域

[0001] 本发明涉及一种例如用在芯片上系统 (SoC) 设计中的非易失性静态存储器单元, 所述芯片上系统包括需要在加电时重新配置的可重新配置的系统。

[0002] 背景技术

[0003] 诸如现场可编程门阵列 (FPGA) 之类的可编程逻辑器件是一种可编程的集成电路, 其允许电路用户使用软件控制来定制该电路将执行的逻辑功能。先前由小尺度、中等尺度和大尺度集成的集成电路执行的逻辑功能可以替代地由可编程逻辑器件来执行。当一个典型的可编程逻辑器件由集成电路制造商供应时, 它还不能执行任何特定功能, 用户借助于由可编程逻辑器件制造商提供的软件可以对所述可编程逻辑器件进行编程, 以便执行用户应用所需的特定功能。所述可编程逻辑器件于是可以在由用户设计的更大的系统中起作用, 正如采用专用逻辑芯片那样。

[0004] 一个典型的可编程逻辑器件包括一个逻辑单元阵列, 所述逻辑单元可以被单独编程以及可以被任意彼此互连以便提供内部输入和输出信号, 从而允许执行高度复杂的组合逻辑功能和时序逻辑功能。在可编程逻辑器件中, 通过设置诸如存储器单元之类的可编程元件的状态来实现程序。这些存储器单元可以用诸如静态随机存取存储器 (SRAM) 之类的易失性存储器来实现, 或者可以用诸如 EPROM 或者 EEPROM 之类的非易失性存储器来实现, 所述易失性存储器在终止向系统供电时失去其编程状态, 而所述非易失性存储器在终止供电时保留其内容。

[0005] 通常优选地将易失性存储器用于上述用途。然而, 如果所使用的可编程元件是易失性存储器, 则必须在系统加电时对存储器单元进行再配置, 以便将可编程逻辑器件恢复成想要的编程状态。在已知安排中, 该再配置步骤是通过将配置状态保存在一个外部非易失性存储器设备中而实现的, 该存储器设备将在断电后仍然保存所述可编程逻辑器件配置。然后, 当恢复向系统供电时, 将各存储器单元的配置状态从非易失性外部存储器设备串行加载到可编程逻辑器件, 这一过程很耗时间。

[0006] 此外, 对可编程逻辑器件进行再配置的所述方法迫使系统设计者引入附加的控制逻辑, 所述控制逻辑专用于在每次系统加电时从外部存储器设备串行加载配置数据。此外, 每当改变可编程逻辑器件的配置时, 必须将一个新的外部非易失性存储器设备插入系统中, 这使得系统设计改变起来较为麻烦并且随着实施越来越多的设计改变而增加系统的成本。

[0007] 因此, 总体来说, 芯片上系统 (SoC) 设计往往基于具有分布式存储器块的可再配置的体系结构。这可以利用嵌入式现场可编程门阵列 (FPGA) 之类的结构来实现。其核心可以是一个非常适合于存储用于重定向开关的数据的 SRAM 之类的单元。在恢复对此类系统供电之后, 在断电后, 必须从一个外部非易失性介质 (例如闪速存储器) 或者从一个板上非易失性 (可编程) 存储器 (例如闪速存储器或 ROM) 恢复初始数据。在后一种情况下, 只能在利用闪速存储器选项的工艺中制造所述 SoC。恢复所述数据所需的时间将构成系统启动时间的一大部分。一般来说, 逐字节地读取非易失性数据并将其存储在 SRAM 单元中对于

每个字节可能花费约 100nsec 的时间。

[0008] 美国专利号 5,696,455 描述了一种在单个集成电路包装内的可再配置的可编程逻辑器件,它保存自身的编程状态而不使用外部存储器设备。一个非易失性存储器元件和一个易失性存储器元件(例如 SRAM 单元)共同形成一个在可编程逻辑器件内的单个管芯上的配置存储器单元。每个非易失性存储器单元与一个易失性存储器单元相关联,并且即使在终止对系统供电之后仍然存储该相关联的易失性存储器单元的编程状态。随后在系统加电时,每个非易失性存储器单元自动恢复其相关联的易失性存储器单元的配置状态,从而不需要用来存储所配置的可编程逻辑器件状态的外部存储器设备。

[0009] 美国专利号 4,527,255 公开了一种具有一对充当易失性存储位置的交叉耦合的同极性场效应晶体管(FET)的存储器单元,所述同极性场效应晶体管耦合到一对充当非易失性存储位置的交叉耦合的浮动栅 FET。所述浮动栅 FET 的漏极通过一对被实现为 FET 的限流元件连接到 V_{DD} ,所述限流元件的栅极和源极共同连接到相关联的浮动栅 FET 的漏极。

发明内容

[0010] 我们已经设想了一种改进的安排。

[0011] 根据本发明,在单个集成电路包装中提供了一种存储器设备,包括:

[0012] - 一个静态存储器装置,至少包括与读数据线和 / 或写数据线通信连接的第一和第二互补的存储节点;以及

[0013] - 与所述静态存储器装置相关联的至少一个非易失性存储器装置,用于将存储在其中的数据写入到所述静态存储器装置;所述非易失性存储器装置包括第一非易失性元件和第二非易失性元件,该第一非易失性元件的控制栅极连接到第一节点,其源极连接到第二节点,该第二非易失性元件的控制栅极连接到第二节点,其源极连接到第一节点;以及至少两个对应的晶体管,其中每个非易失性元件的漏极通过所述对应的晶体管之一连接到电源,其特征在于,所述对应的晶体管被安排成在该存储器设备作为静态存储器被访问和写入的模式期间将所述第一和第二非易失性元件的漏极与所述电源装置隔离开。

[0014] 以上述方式将这种非易失性添加到静态存储器装置可以将数据恢复时间限制到一个较短周期,例如少于 100nsec。此外,这样做增加了设备灵活性,因为可以将中间状态存储在非易失性存储器中并且可以随时恢复,而与在静态存储器装置中写入了什么无关。此外,可以首先(在应用中)试验用于对开关进行重定向的数据,以及随后将其存储在非易失性存储器装置中。在其它应用中,本发明的存储器设备可以被用于取代具有较小电池备份装置的传统 SRAM 存储器。

[0015] 所要求保护的设备适用于例如具有嵌入式闪存或者 EEPROM 选项的逻辑处理中,可以通过 Fowler Nordheim 隧道效应对其进行编程和擦写。本发明的设备可以利用经过很少修改或者不经修改的所述工艺来实现。可以将双多晶闪存或者 EEPROM 工艺选项中的浮动栅单元用于对数据进行非易失性存储,或者也可以使用单多晶浮动栅类型的存储器单元。此外,对于该应用可以适配其它的非易失性存储器单元概念(诸如 SONOS 器件),可以通过电荷的隧道效应对其进行编程和擦写。

[0016] 在一个优选实施例中,以相反的数据对交叉耦合的非易失性存储器元件进行编程,所述静态存储器装置优选地包括一对交叉耦合的倒相器。有利地,第一非易失性元件的

控制栅极连接到第一节点并且其源极连接到第二节点,第二非易失性元件的控制栅极连接到第二节点并且其源极连接到第一节点。在一个优选实施例中,每个非易失性元件的漏极优选地通过对应的晶体管连接到电源装置。

[0017] 可以提供一个或多个对应的选择晶体管,所述节点借助于所述选择晶体管通信耦合到所述读数据线和 / 或写数据线。还可以提供一个或多个隔离晶体管。

[0018] 本发明扩展到一种诸如现场可编程门阵列的可再配置的可编程逻辑器件,其包括上面限定的存储器设备。

[0019] 参照下面描述的各实施例,本发明的这些和其它方面将变得显而易见。

附图说明

[0020] 下面将参照附图以举例的方式描述本发明的各实施例,其中:

[0021] 图 1 是说明被配置为静态存储器功能的交叉耦合的倒相器的示意图;

[0022] 图 2A 和 2B 是分别表示 EEPROM 闪速存储器元件的电路符号;

[0023] 图 3 是说明根据本发明第一示例性实施例的非易失性静态存储器单元的示意电路图;

[0024] 图 4 是说明根据本发明第二示例性实施例的具有 EEPROM 元件的非易失性锁存器的示意电路图,其在现场可编程门阵列中操作为开关存储器;

[0025] 图 5 是说明根据本发明第三示例性实施例的具有 EEPROM 元件的非易失性锁存器的示意电路图,其在现场可编程门阵列中操作为数据存储器;以及

[0026] 图 6 是说明根据本发明第四示例性实施例的非易失性静态存储器的示意电路图。

具体实施方式

[0027] 参照附图 1, FPGA 中的 SRAM 存储器单元或者查找表 (LUT) 和配置存储器的存储功能通常利用一对交叉耦合的倒相器 10、12 来实现。取决于具体应用,两个内部节点 A 和 B 通过一个或多个选择晶体管连接到通常与其它设备公用的读数据线和 / 或写数据线。

[0028] 对于配置存储器来说,可以将交叉耦合的倒相器 10、12 的输出直接耦合到配置开关。一旦将数据写入这样一个单元中,所述数据就保持可用知道提供了新的数据,或者只要连接了电源电压就保持可用。在设备加电之后,该设备中的数据处于未定义状态,并且需要被重载。如上所述,根据现有技术,可以对用于 FPGA 的数据进行外部存储,或者可以将其存储在嵌入式非易失性存储器中(例如闪存或者 EEPROM)。由于必须逐字地对数据进行读写,所需该数据恢复过程比较耗时。

[0029] 根据本发明的一个示例性实施例,向所述交叉耦合的倒相器安排添加非易失性存储器元件具有这样的效果:将其升级为非易失性存储器,并且保持对每个存储器元件进行快速静态写入的能力,从而允许在一个较短周期内与静态存储器中的临时数据无关地对当前数据进行非易失性存储,该数据可以在之后阶段被再调用。

[0030] 参照附图 2,其中示意性地说明了基于晶体管浮动栅上的电荷存储的非易失性存储元件的两个不同配置。所示的两种类型都可用为逻辑处理的工艺选项。借助于通过隧道氧化物的 Fowler Nordheim 隧道效应而存储或去除浮动栅上的电荷。在 EEPROM(图 2A) 的情况下,该隧道区位于浮动栅晶体管的漏极区中,而对于闪存(图 2B) 来说,浮动栅设备的

栅极氧化物也是隧道氧化物。为了允许整个栅极氧化物区域上的隧道效应,以三阱工艺来制作这些设备,并且在这种情况下,每个浮动栅晶体管的 p 阱连接到其源极。这样做允许在不具有擦写功能的闪存中修改数据,正如在经典闪存或 EEPROM 单元中那样。

[0031] 向控制栅极 (C) 施加高电压 ($> 10V$) 同时将漏极 (D) 和源极 (S) 保持在接地电平可以使得在浮动栅和漏极 (对于 EEPROM) 或沟道 (对于闪存) 之间的隧道氧化物上产生一个充足的电压,以便允许电子通过隧道流向浮动栅。存储在浮动栅处的该负电荷使得存储器晶体管的阈值电压增加,并且在普通偏置条件下使得该设备较不导通 (或者甚至不导通)。将所述高电压倒相将去除浮动栅处的电子,并在浮动栅上留下正电荷,这使得该设备的阈值电压减小,并且使得该设备更为导通。也有可能以一个负阈值电压结束程序周期,在这种情况下,即使控制栅极与源极之间的电压为 $0V$,存储器晶体管仍然能够导通一个电流。

[0032] 根据本发明的一个示例性实施例,图 1 的静态存储器单元可以用非易失性存储器元件来“屏蔽”,以使得被写入该静态单元的数据不仅能被存储在非易失性存储器装置中,也能在以后被再调用。

[0033] 图 3 说明了使用闪存单元 14、16 的本发明的一种示例性实现方式,所述闪存单元 14、16 如图 2B 所示。在这种情况下,用相反的数据编程的两个非易失性单元 14、16 被用于提高检索处理的鲁棒性。交叉耦合的倒相器 10、12 分别由晶体管 MN1、MP3 和 MN0、MP2 形成。所述非易失性元件 14、16 也被交叉耦合到节点 A 和 B。其中一个非易失性元件的控制栅极 C 连接到节点 B,其源极连接到节点 A,另一个非易失性元件的控制栅极连接到节点 A,其源极连接到节点 B。每个非易失性元件的漏极经由分开的对应的 pMOS 晶体管 18、20 连接到程序提供源 VDP,其还对所述静态单元供电。这些晶体管 18、20 被用于再调用操作,并且用来隔离每个单元的漏极以便在程序周期期间避免冲突。

[0034] 在普通模式中,可以将所述存储器设备作为静态存储器来访问及写入。VDP 处于电源电压电平 (Vdd),而再调用棒 (recall bar) (RCB) 也处于 Vdd,从而保持晶体管 18 和 20 关断。节点 A 可以处于 Vdd 或者接地电平,但是节点 B 将总是处于相反的电平。

[0035] 可以通过将 VDP 电压提高到一个高电平来将数据从静态单元传送到非易失性元件 14、16。RCB 的电平必须跟随 VDP。如果在存储之前节点 A 处于 Vdd 而节点 B 处于接地电平,则 A 将跟随 VDP,而 B 将保持在接地电平,这样其控制栅极连接到 A 的非易失性单元在该栅极处将具有高电压,而在源极处将具有接地电平。所述设备将在其浮动栅处收集电子,并变得不太导通。另一个单元经受相反的电压 (即在控制栅极处是接地电平,而在源极处则是高电压),并且将在其浮动栅处收集正电荷以变得更为导通。

[0036] 在任何时间,可以在静态单元中恢复存储在非易失性单元中的数据。为了实现这一点,RCB 必须被强制到接地电平,在该情况下,最为导通的单元将试图在其源极所连接到的节点中 (本例中是节点 A) 强制一个电流,并且将提升该节点的电压电平。在切换了 RCB 之后,该静态单元中的放大将把该节点带到 Vdd,并且还将对另一节点进行放电。为了得到鲁棒的再调用操作, nMOS 晶体管 MN0 和 MN1 的尺寸应当被选择为足够小,以使得来自非易失性元件的即便是很小的电流也可以切换该静态单元中的电平。此外,在编程期间,存储器单元中的晶体管经受高电压,从而必须被设计成能够在足够长的时间段内承受这种情况。

[0037] 可以将选择晶体管 (图 3 中未示出) 设计或者选择成在存储数据的同时阻塞高电压的传播。该存储器元件周围的所有其它电路将只经受普通电源电压。

[0038] 图 4 说明了具有用于非易失性存储的 EEPROM 单元 14、16 的非易失性静态存储器元件。这里,说明了具有电压电平恢复晶体管 26 的选择晶体管 22 和隔离晶体管 24。该单元例如可被用于在 FPGA 中存储开关选择信息。可以通过 DAT 线来修改该单元中的数据,并且 SW 线可以直接连接到开关晶体管。PMOS 晶体管 26 恢复该线上的 Vdd 电平。nMOS 晶体管 24 和 22 还将外围电路与该存储器元件中的高编程电压隔离(在 EEPROM 单元 14、16 的编程期间)。

[0039] 图 5 示出了一个类似的存储器元件,其中针对一个允许其作为 FPGA 结构中的数据存储器进行操作的环境而对其进行适配;图 6 示出了一个其中静态存储器单元是一个经典 SRAM 单元的安排。

[0040] 上面仅以举例的方式描述了本发明的一个实施例,本领域技术人员将意识到,在不脱离由所附权利要求书限定的本发明范围的情况下可以做出各种修改和变动。应该理解,术语“包括”不排除其它元件或步骤,“一个”不排除多个,并且单个处理器或其它单元可以实现权利要求书中所述的几个装置的功能。

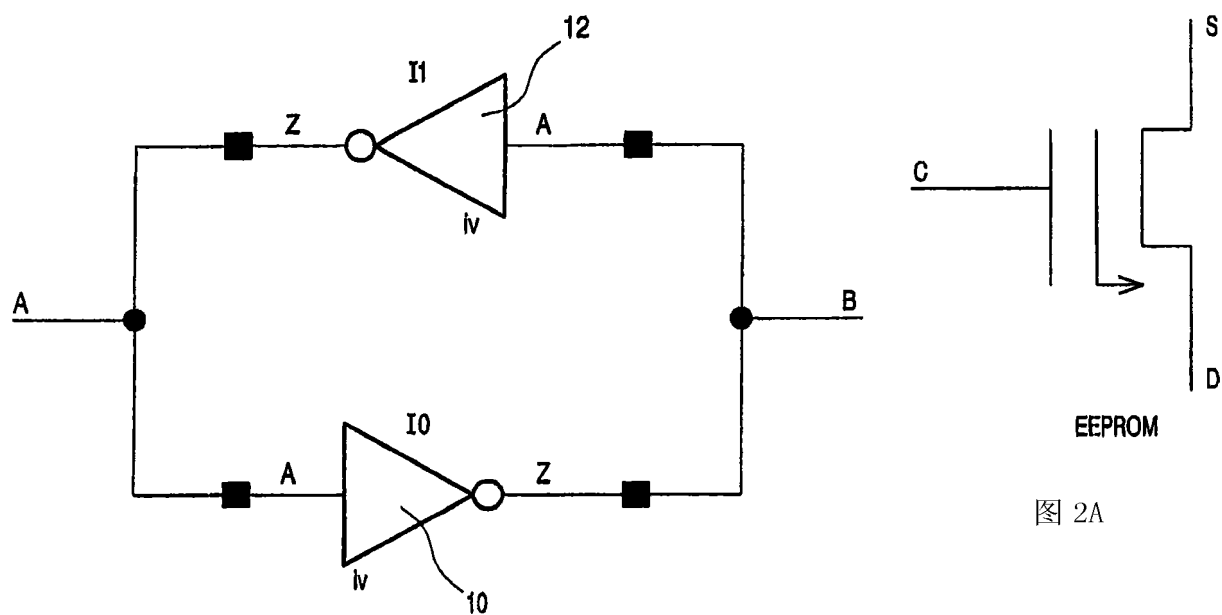
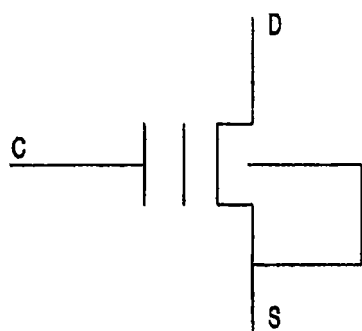


图 2A

图 1



闪存

图 2B

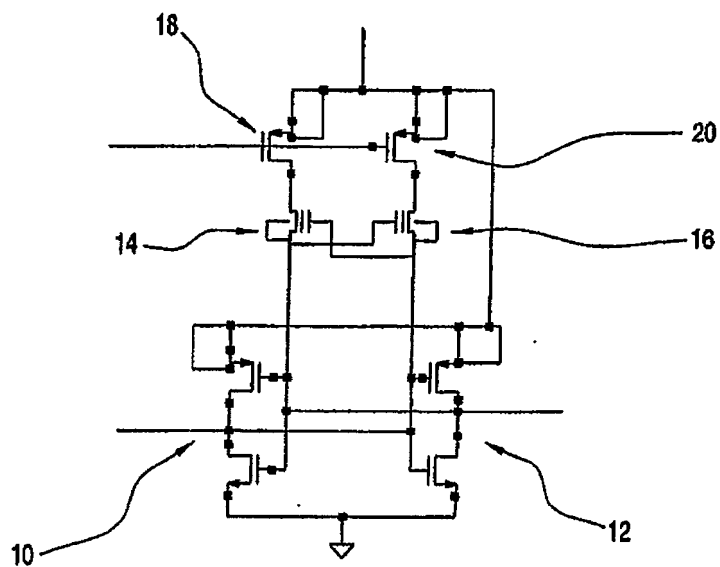


图 3

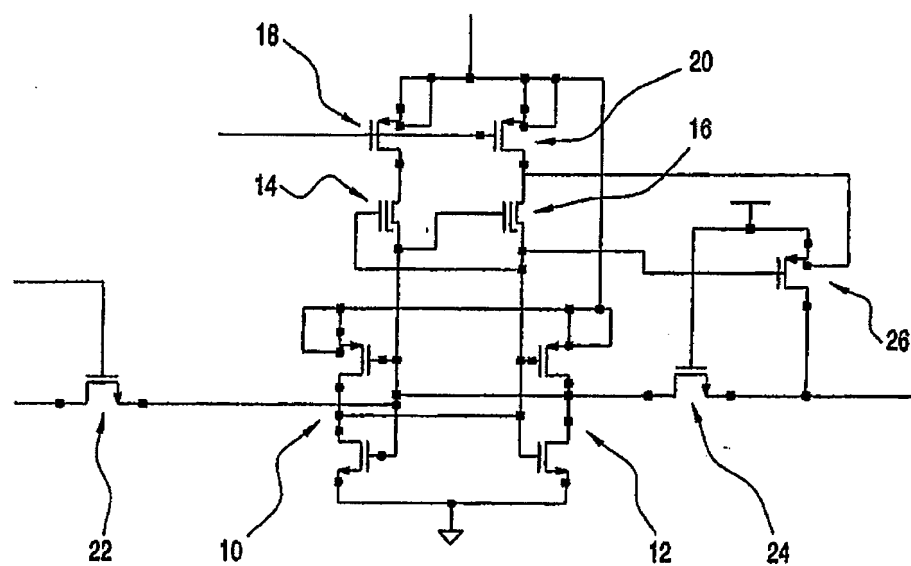


图 4

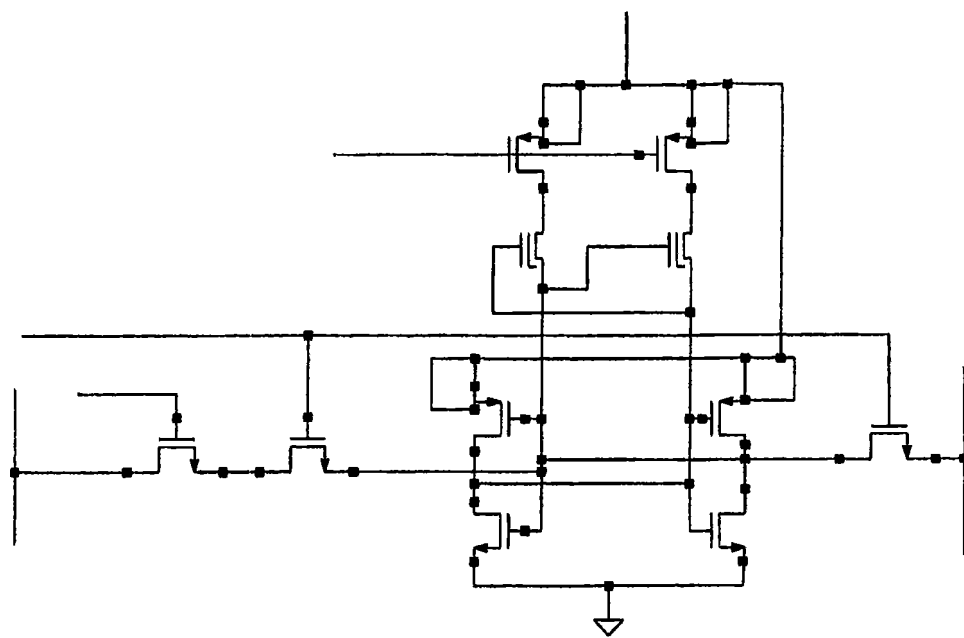


图 5

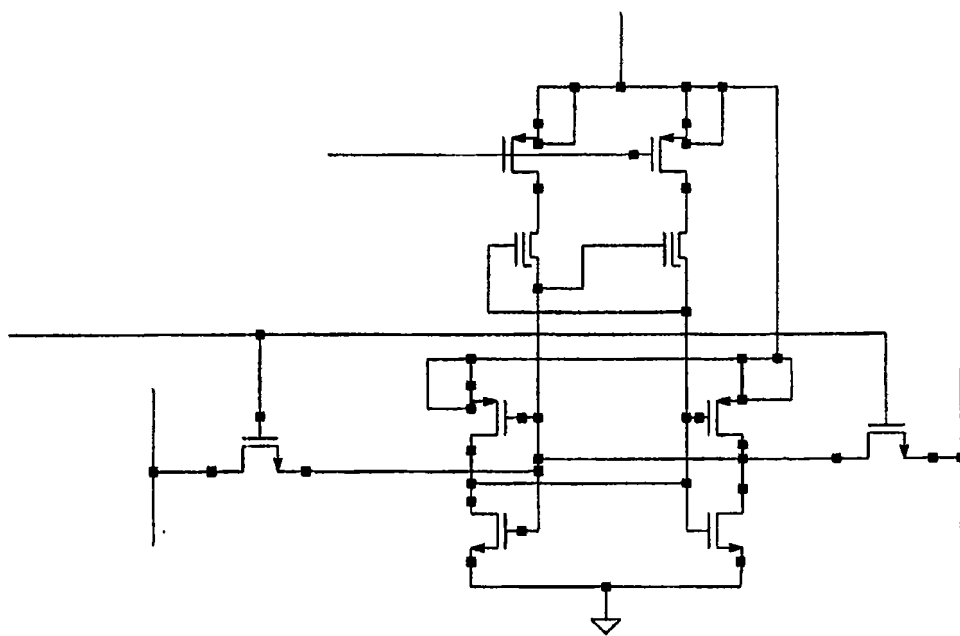


图 6